

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0109485
H01L 29/73 (2006.01) (43) 공개일자 2006년10월20일

(21) 출원번호	10-2006-7011573	(87) 국제공개번호	WO 2005/048352
(22) 출원일자	2006년06월12일	국제공개일자	2005년05월26일
번역문 제출일자	2006년06월12일		
(86) 국제출원번호	PCT/JP2004/016792		
국제출원일자	2004년11월05일		

(30) 우선권주장 JP-P-2003-00382834 2003년11월12일 일본(JP)

(71) 출원인 도요다 지도샤 가부시끼가이샤
일본 아이찌켄 도요다시 도요다쥬 1반지

(72) 발명자 홋타 고지
일본국 아이치켄 도요타시 도요타쥬 1, 도요다 지도샤가부시끼가이샤 내
가와지 사치코
일본국 아이치켄 아이치군 나가쿠테쥬 오아자 나가쿠테 아자요코미치
41-1, 가부시끼가이샤 도요타 쥬오 켄큐쇼 내
우스이 마사노리
일본국 아이치켄 아이치군 나가쿠테쥬 오아자 나가쿠테 아자요코미치
41-1, 가부시끼가이샤 도요타 쥬오 켄큐쇼 내
스기야마 다카히데
일본국 아이치켄 아이치군 나가쿠테쥬 오아자 나가쿠테 아자요코미치
41-1, 가부시끼가이샤 도요타 쥬오 켄큐쇼 내

(74) 대리인 특허법인화우

심사청구 : 있음

(54) 트렌치 게이트 전계 효과 디바이스

요약

본 발명은 바디 영역, 즉 탑 영역과 딥 영역 사이에 개재된 중간 영역에 소수 캐리어들을 축적하여, 상기 중간 영역에서의 소수 캐리어들의 농도를 증가시키기 위한 기술을 제공한다. 반도체 디바이스는 제2도전형의 탑 영역(34)과, 제2도전형의 딥 영역(26), 및 상기 탑 영역과 딥 영역을 격리시키기 위한 제1도전형의 중간 영역(28)을 구비한다. 상기 반도체 디바이스는 또한 절연층(33)을 통해 상기 중간 영역의 일부분을 향하고 있는 트렌치 게이트(32)를 구비한다. 상기 트렌치 게이트를 향하고 있는 부분은 탑 영역과 딥 영역을 격리시킨다. 상기 트렌치 게이트는 길이 방향을 따라 연장된다. 상기 트렌치 게이트의 폭은 길이 방향을 따라 일정하지 않고, 대신 상기 트렌치 게이트의 폭이 길이 방향을 따라 변한다.

대표도

도 1

명세서

기술분야

본 출원은 2003년 11월 12일에 출원된 일본특허출원 제2003-382834호를 우선권으로 주장하고, 본 명세서에서는 그 전문을 인용참조한다.

본 발명은 한 쌍의 전극들 간의 전류가 트렌치형 게이트 전극(트렌치 게이트)에 의해 턴온 및 턴오프되는 반도체 디바이스에 관한 것이다. 보다 상세하게는, 본 발명의 반도체 디바이스는 제2도전형의 탑 영역(top region), 제2도전형의 딥 영역(deep region) 및 탑 영역과 딥 영역을 격리시키기 위한 제1도전형의 중간 영역을 포함하여 이루어진다. 트렌치 게이트가 제공되어, 상기 트렌치 게이트가 절연층을 통해 상기 중간 영역의 일부분을 향하도록 되어 있다. 상기 트렌치 게이트는 상기 탑 영역과 중간 영역을 격리시키는 중간 영역의 일부분을 향한다. 탑 영역과 딥 영역 간의 전류는 트렌치 게이트에 의해 턴온 및 턴오프된다. 상기 탑 영역은 IGBT(Insulated Gate Bipolar Transistor)의 이미터 또는 MOS의 소스일 수도 있고, 상기 딥 영역은 IGBT의 드리프트 또는 MOS의 드리프트일 수도 있다. 본 발명은 반도체 디바이스를 턴온시키는 전압이 트렌치 게이트에 인가되지 않는 경우에 전극 쌍간의 전압과 저항을 감소시키는 기술에 관한 것이다.

배경기술

MOS 구조체가 바이폴라 트랜지스터의 표면부에 형성되는 IGBT(Insulated Gate Bipolar Transistor)가 공지되어 있다. 도 7은 트렌치 게이트(132)들이 콜렉터 전극 C와 이미터 전극 E 간에 흐르는 전류를 턴온 및 턴오프하는 IGBT(6)의 일 예를 보여준다.

상기 IGBT(6)의 표면부는, 이미터 전극 E와 연결된 n^+ 형 이미터 영역(134), 이미터 전극 E와 연결된 p^+ 형 바디 콘택 영역(136), 및 상기 바디 콘택 영역(136)과 상기 이미터 영역(134)을 둘러싸는 p^- 형 바디 영역(128)을 포함하여 이루어진다. p^+ 형 바디 콘택 영역(136) 및 p^- 형 바디 영역(128)은 동일한 전위로 유지되고, 두 영역들은 바디 영역으로서 함께 참조될 수 있다.

n^- 형 드리프트 영역(126)이 p^- 형 바디 영역(128) 아래에 형성되어 있다. n^+ 형 버퍼 영역(124)은 드리프트 영역(126) 아래에 형성되어 있다. p^+ 형 콜렉터 영역(122)은 버퍼 영역(124) 아래에 형성되어 있다. 상기 콜렉터 영역(122)은 콜렉터 전극 C와 연결되어 있다.

상기 드리프트 영역(126)에 도달하는 트렌치들은 상기 드리프트 영역(126)으로부터 상기 이미터 영역(134)을 격리시키는 바디 영역(128)을 통과한다. 트렌치 게이트(132)들은 이들 트렌치 내에 형성되어 있다. 이러한 트렌치 게이트(132)들은 게이트 절연층(133)을 통해, 상기 이미터 영역(134)을 드리프트 영역(126)으로부터 격리시키는 바디 영역(128)을 향한다.

도 7에 도시된 IGBT는 제2도전형의 탑 영역(134)과, 제2도전형의 딥 영역(126), 및 상기 탑 영역(134)과 상기 딥 영역(126)을 격리시키기 위한 제1도전형의 중간 영역(128)을 포함하여 이루어진다. 트렌치 게이트(132)들이 제공되어, 상기 트렌치 게이트(132)들이 절연층(133)을 통해, 탑 영역(134)과 딥 영역(126)을 격리시키는 중간 영역(128)의 일부분을 향하도록 한다.

이하, 온 상태에 있는 IGBT(6)의 동작을 설명한다. 이미터 전극 E가 접지되면, 양전압이 콜렉터 전극 C에 인가되고, 양전압이 트렌치 게이트(132)들에 인가된다. 그 후, 바디 영역(128)에서 게이트 절연층(133)을 통해 트렌치 게이트(132)들을 향하고 있는 부분이 n 형으로 반전된다. 이 때, 전자 캐리어들은 이미터 영역(134)으로부터 n 형으로 반전된 채널들을 통해 드리프트 영역(126) 쪽으로 주입되고, 버퍼 영역(124)에 축적된다. 상기 전자 캐리어들이 버퍼 영역(124)에 축적되면, 상기 버퍼 영역(124)과 콜렉터 영역(122)의 콘택 전위차가 감소하고, 홀 캐리어(hole carrier)들이 콜렉터 영역(122)으로부터 버퍼 영역(124)으로 주입되며, 상기 드리프트 영역(126)으로도 주입된다. 이러한 수단에 의하면, 버퍼 영역(124)과 드리프트 영역(126)의 전도도 변조(conductivity modulation)가 발생하고, 저항이 감소된다. 상기 콜렉터 영역(122)으로부터 주입된 홀 캐리어들은 전자 캐리어들과 재결합하여 사라지거나, 또는 바디 영역(128)과 바디 콘택 영역(136)을 통해 이미터 전극 E로 방전된다. 이러한 전도도 변조를 이용하면, IGBT(6)가 낮은 온-전압을 실현하게 된다.

이러한 타입의 반도체 디바이스에서 온-전압을 더욱 줄이기 위하여, 콜렉터 및 이미터 전극들 사이의 홀 캐리어들의 농도가 증가되는 반도체 디바이스가 제안되어 왔다.

일본특허공개공보 제1996(H8)-316479호에서는, 드리프트 영역보다 불순물 농도가 더 높은 영역이 상기 드리프트 영역과 바디 영역 사이의 p-n 접합 경계부에 형성되어 있는 반도체 디바이스가 설명되어 있다. 상기 반도체 디바이스에서는, 불순물의 농도가 높은 반도체 영역과 드리프트 영역 사이의 경계면에 형성된 전위 장벽(potential barrier)으로 인하여 상기 드리프트 영역에 홀 캐리어들이 축적되기 쉽다. 따라서, 상기 홀 캐리어들의 농도가 증가될 수 있다. 상기 전자 캐리어들의 주입률 또한 상기 홀 캐리어들의 농도가 증가됨에 따라 증가한다. 그 결과, 반도체 디바이스의 온-전압(반도체 디바이스를 턴온시키는 전압이 트렌치 게이트에 인가되는 동안의 전극들 간의 전압)이 감소된다.

발명의 상세한 설명

이러한 타입의 반도체 디바이스의 온-전압을 더욱 줄이기 위해서는, 드리프트 영역뿐만 아니라 바디 영역의 저항을 줄여야만 한다. 이렇게 하기 위해서, 바디 영역 내의 소수 캐리어(minority carrier)들의 농도가 증가되어야 한다. 일본특허공개공보 제 1996-316479호의 반도체 디바이스는 드리프트 영역 내의 소수 캐리어들의 농도를 증가시킬 수는 있지만, 상기 바디 영역 내에 소수 캐리어들을 축적시킬 수 없으므로, 소수 캐리어들의 농도를 증가시키게 된다.

본 발명은 바디 영역, 즉 탑 영역과 딥 영역 사이에 개재된 중간 영역에 소수 캐리어들을 축적하여, 상기 중간 영역 내의 소수 캐리어들의 농도를 증가시키기 위한 기술을 제공한다. 본 발명은 또한 상기 중간 영역 내의 소수 캐리어들의 농도를 증가시켜 반도체 디바이스의 온-전압을 더욱 감소시키는 것을 목적으로 한다.

본 발명에 따른 반도체 디바이스는, 제2도전형의 탑 영역, 상기 제2도전형의 딥 영역, 상기 탑 영역과 상기 딥 영역을 격리시키기 위한 제1도전형의 중간 영역을 포함하여 이루어진다. 상기 반도체 디바이스는 또한 절연층을 통해 상기 중간 영역의 일부분을 향하고 있는 트렌치 게이트를 더 포함하여 이루어진다. 상기 트렌치 게이트를 향하고 있는 부분은 상기 탑 영역과 상기 딥 영역을 격리시킨다. 상기 트렌치 게이트는 길이 방향을 따라 연장된다. 본 발명에 따른 트렌치 게이트의 폭은 길이 방향에 따라 일정하지 않고; 그 대신 상기 트렌치 게이트의 폭은 상기 길이 방향을 따라 변한다.

본 발명에 따른 반도체 디바이스는 MOSFET, IGBT, 또는 p-n-p-n 사이리스터(Thyristor)일 수도 있다. 상기 탑 영역은 MOSFET의 소스이거나 IGBT의 이미터 또는 p-n-p-n 사이리스터의 캐소드일 수도 있다. 상기 딥 영역은 MOSFET, IGBT, p-n-p-n 사이리스터의 드리프트일 수도 있다.

상기 탑 영역은 반도체 디바이스의 표면에 돌출되어 있는 전도층과 연결될 수도 있고, 트렌치 게이트와 연결되는 범위 이내에 존재한다. 상기 탑 영역은 반도체 디바이스의 표면을 커버할 필요는 없다. 상기 중간 영역은 불순물의 농도가 높은 제2도전형의 영역으로 또는 불순물의 농도가 낮은 제2도전형의 영역으로 형성될 수도 있다. 상기 중간 영역은, 중간 영역과 전극들 간의 옴 접촉이 이루어지기 쉽기 때문에, 불순물의 농도가 높은 영역으로 형성되는 것이 좋다.

상술된 반도체 디바이스의 트렌치 게이트들에 있어서, 트렌치들의 폭은 길이 방향에 따라 변한다. 만일 복수의 트렌치 게이트가 평행하게 연장되어 있다면, 인접한 트렌치 게이트들 간에 개재된 중간 영역의 폭은 트렌치 게이트들의 길이 방향을 따라 변한다. 상기 중간 영역의 표면적은 인접한 트렌치 게이트들 사이의 보다 좁은 영역들에서 감소된다. 상기 중간 영역의 표면적이 감소한다는 것은, 중간 영역을 통해 이미터 전극으로 방전되는 소수 캐리어들에 대한 저항이 증가한다는 것을 의미한다. 그 결과, 보다 쉽게 이미터로 방전되었어야만 하는 소수 캐리어들이 중간 영역에 남아 있게 된다. 이에 따라 주입되는 다수 캐리어들의 양도 증가되므로, 반도체 디바이스의 온-전압은 감소한다.

트렌치 게이트들의 트렌치 폭이 길이 방향에 따라 변한다는 것이 핵심이다. 예컨대, 트렌치 게이트들이 그 전체 길이에 따라 넓어지도록 형성되었다면, 오프 내전압(반도체 디바이스가 오프될 때의 내전압)이 저하되는 문제가 발생한다. 즉, 트렌치 게이트들이 그 전체 길이에 따라 넓다면, 중간 영역과 딥 영역 사이의 p-n 접합 경계부의 영역이 감소될 것이다. 결과적으로, 반도체 디바이스가 턴오프되면, 중간 영역과 딥 영역 사이의 p-n 접합 경계부로부터 연장되어 있는 공핍된 층에 의해 유지될 수 있는 전계의 감소가 있을 것이다. 그 결과, 트렌치 게이트들을 에워싸는 절연층에 전계가 집중되기 쉬운 것이다. 특히, 전계가 트렌치 게이트들의 기저면과 측면들을 갖는 경계부들에 위치한 절연층에 집중되고, 이러한 위치들에서의 절연층이 파괴되는 현상이 일어나기 쉽다. 결론적으로, 트렌치 게이트들의 트렌치 폭이 길이 방향에 따라 변한다는 것이 핵심이다. 다시 말해, 길이 방향에서 볼 때, 인접한 트렌치 게이트들 사이의 보다 넓은 영역들이 제자리에 형성되는 것이 핵심이다. 이러한 수단에 의하면, 인접한 트렌치 게이트들 사이의 보다 좁은 영역들에서 절연층에 집중되기 쉬운 전계가

인접한 트렌치 게이트들 사이의 보다 넓은 영역들을 향해 소산(disperse)될 수 있다. 전계가 소산되도록 인접한 트렌치 게이트들 사이에 보다 넓은 영역들을 위치시키는 것은, 절연층의 파괴가 방지될 수 있고, 높은 내전압이 유지될 수 있다는 것을 의미한다.

복수의 트렌치 게이트들이 평행하게 연장되어 있는 경우, 길이 방향에 따른 트렌치 게이트들의 폭의 변량들의 위상들은 정렬된 상태에 있는 것이 바람직할 수도 있다. 즉, 트렌치 게이트가 넓다면 인접한 트렌치 게이트 또한 상기 위치에서 넓고, 트렌치 게이트가 좁다면 인접한 트렌치 게이트 또한 상기 위치에서 좁은 것이 바람직하다.

만일 길이 방향에 따른 트렌치 게이트들의 폭의 변량들의 위상들이 정렬된 상태에 있다면, 인접한 트렌치 게이트들의 넓은 부분들 사이에는 보다 좁은 공간들이 있고, 인접한 트렌치 게이트들의 보다 좁은 부분들 사이에는 보다 넓은 공간들이 있다. 인접한 트렌치 게이트들 사이의 보다 좁은 공간들과 보다 넓은 공간들은 트렌치 게이트들의 길이 방향으로 번갈아 형성되어 있다. 이러한 수단에 의하면, 다수 캐리어들이 중간 영역에 축적되는 것이 가능하고, 반도체 디바이스의 온-전압이 감소될 수 있다. 또한, 인접한 트렌치 게이트들 사이의 공간들은 보다 넓게 번갈아 형성되어 있기 때문에, 상기 트렌치 게이트들을 커버하는 절연층들에 전계가 집중되지 않고, 오프 내전압이 감소되지 않는다.

트렌치 게이트들의 넓은 부분들과 좁은 부분들이 한 쌍을 형성하는 경우, 이 쌍은 트렌치 게이트들의 길이 방향으로 반복되고, 상기 트렌치 게이트들의 넓은 부분들의 전체 길이는 상기 트렌치 게이트들의 전체 길이의 30% 내지 80%의 범위로 형성되는 것이 바람직하다.

만일 트렌치 게이트들이 그 전체 길이를 따라 넓은 폭을 가진다면, 상기 트렌치 게이트들을 커버하는 게이트 절연층들에 전계가 집중되고, 오프 내전압이 감소된다. 이와 달리, 트렌치 게이트들이 그 전체 길이를 따라 좁은 폭을 가진다면, 종래의 반도체 디바이스에서와 같이 소수 캐리어들이 중간 영역에 축적될 수 없다. 그들이 단면에 있어 트렌치 게이트들의 길이 방향을 따라 상호 분리되도록 상기 트렌치 게이트들의 넓은 부분들을 형성함으로써, 오프 내전압이 감소하지 않으면서도 소수 캐리어들이 축적될 수 있다.

상술된 반도체 디바이스에서 트렌치 게이트들의 전체 길이의 30% 내지 80%의 범위로 상기 트렌치 게이트들의 넓은 부분들의 전체 길이를 형성함으로써, 전계가 절연층들에 집중되지 않고 오프 내전압도 감소되지 않는다. 결과적으로, 소수 캐리어들이 중간 영역에 축적될 수 있고, 온-전압도 감소될 수 있다.

트렌치 게이트들의 폭의 변량들이 상기 트렌치 게이트들의 길이 방향을 따라 주기적으로 반복되는 것이 바람직하다.

이렇게 된다면, 인접한 트렌치 게이트들 간의 보다 좁은 영역들과 보다 넓은 영역들이 길이 방향으로 주기적으로 형성된다. 이는 인접한 트렌치 게이트들 사이의 보다 넓은 영역들이 동일하게 이격되어 있다는 것을 의미한다. 결과적으로, 절연층들에 집중되기 쉬운 전계를 소산시키는 것이 용이하게 된다.

트렌치 게이트들의 폭이 길이 방향으로 변경된 경우에 얻어지는 결과들을 주의 깊게 조사한 결과, 본 발명자들은 온-전압이 감소될 수 있을 뿐만 아니라, 반도체 디바이스가 턴온되었을 때, 턴-온 주기가 단축될 수 있다는 것을 발견하였다.

특히, 턴-온 주기가 인접한 트렌치 게이트들 사이에 보다 좁은 영역들을 포함하여 이루어지는 중간 영역이, 실제로 반도체 디바이스를 턴온시키기 위한 전압이 트렌치 게이트들에 인가되지 않은 경우, 완전히 공핍하게 되는 폭으로 좁아지도록 설정되는 경우에 현저하게 단축될 수 있다는 것을 발견하였다.

게이트 전압이 트렌치 게이트들에 인가되지 않은 경우에도, 공핍된 층은 트렌치 게이트들을 커버하고 있는 절연층과 반도체영역 사이의 접합 경계부로부터 연장되어 있다.

만일 인접한 트렌치 게이트들 사이의 중간 영역의 폭이 좁도록 만들어진다면, 상기 트렌치 게이트들을 커버하는 절연층의 막 두께가 최적화되고, 각각의 절연층으로부터 연장되는 공핍된 층은 인접한 트렌치 게이트들 사이의 중간 영역 내에서 연결되며, 상기 중간 영역이 완전히 공핍된다.

이러한 상태에서, 반도체 디바이스를 턴온시키는 전압이 트렌치 게이트들에 인가된다면, 상기 공핍된 영역들은 인접한 트렌치 게이트들 사이의 중간 영역들에서 더욱 연장될 수 없고, 그 결과 반전된 층이 중간 영역들에 바로 형성될 수 있게 된다.

상술된 반도체 디바이스에 있어서, 상기 반전된 층은 인접한 트렌치 게이트들 사이에 보다 좁은 부분들을 포함하여 이루어지는 중간 영역에서 극히 짧은 주기 이내로 형성될 수 있다. 상기 턴-온 주기는 단축될 수 있고, 고속의 스위칭 특성이 실현된다.

온-전압이 트렌치 게이트들에 인가되지 않는 경우, 인접한 트렌치 게이트들 사이에 개재되는 중간 영역이 완전히 공핍되게 된다면, 중간 영역에 의하여 탐 영역과 딥 영역을 격리시킬 필요가 없다. 상기 딥 영역은 트렌치 게이트들 사이에 넓은 공간들이 있는 탐 영역과 직접 접촉하게 만들 수도 있다. 만일 반도체 디바이스를 턴온시키기 위한 전압이 트렌치 게이트들에 인가되지 않을 때 트렌치 게이트들 사이의 딥 영역이 완전히 공핍되게 되도록 상기 딥 영역이 좁게 만들어진다면, 상기 반도체 디바이스는 턴오프될 수 있다.

본 발명에서는, 중간 영역에서의 소수 캐리어들의 농도가 증가될 수 있고, 반도체 디바이스의 온-전압(반도체 디바이스가 온 상태인 동안의 전극들 간의 전압)이 감소될 수 있다.

도면의 간단한 설명

도 1은 제1실시예의 반도체 디바이스(1)의 핵심 부분들의 사시도;

도 2는 제1실시예의 반도체 디바이스(1)의 트렌치 게이트들의 평면 패턴을 도시한 도면;

도 3은 제2실시예의 반도체 디바이스(2)의 핵심 부분들의 사시도;

도 4는 제3실시예의 반도체 디바이스(3)의 트렌치 게이트들의 평면 패턴을 도시한 도면;

도 5는 제4실시예의 반도체 디바이스(4)의 트렌치 게이트들의 평면 패턴을 도시한 도면;

도 6은 제5실시예의 반도체 디바이스(5)의 핵심 부분들의 사시도; 및

도 7은 종래의 반도체 디바이스의 핵심 부분들의 사시도이다.

실시예

본 발명을 실시하기 위한 최적의 방법

우선, 본 실시예들의 중요 특징들을 열거할 것이다.

(첫 번째 특징) IGBT의 트렌치 게이트들의 폭이 상기 트렌치 게이트들의 길이 방향을 따라 변한다. 이러한 IGBT는, 이미터 전극과 연결된 제2도전형(예컨대, n형)의 이미터 영역, 동일한 이미터 전극과 연결된 제1도전형(예컨대, p형)의 바디 콘택 영역, 상기 바디 콘택 영역과 상기 이미터 영역을 둘러싸는 제1도전형의 바디 영역, 상기 바디 영역과 접촉시켜 상기 바디 영역에 의해 상기 바디 접촉 영역과 상기 이미터 영역으로부터 격리되는 제2도전형의 드리프트 영역, 상기 드리프트 영역과 접촉시켜 상기 드리프트 영역에 의해 상기 드리프트 영역으로부터 격리되는 제1도전형의 콜렉터 영역, 상기 콜렉터 영역과 연결된 콜렉터 전극, 및 게이트 절연층을 통해 상기 이미터 영역을 상기 드리프트 영역으로부터 격리시키는 상기 바디 영역을 향하고 있는 트렌치 게이트를 포함하여 이루어진다.

이미터 영역은 탐 영역이고, 바디 영역은 중간 영역이며, 드리프트 영역은 딥 영역이다.

(두 번째 특징) MOSFET의 트렌치 게이트들의 폭이 상기 트렌치 게이트들의 길이 방향에 따라 변한다.

이러한 MOSFET은, 소스 전극과 연결된 제2도전형(예컨대, n형)의 소스 영역, 동일한 소스 전극과 연결된 제1도전형(예컨대, p형)의 바디 콘택 영역, 상기 바디 콘택 영역과 상기 소스 영역을 둘러싸는 제1도전형의 바디 영역, 상기 바디 영역과 접촉시켜 상기 바디 영역에 의해 상기 바디 접촉 영역과 상기 소스 영역으로부터 격리되는 제2도전형의 드리프트 영역, 상기 드리프트 영역과 접촉시켜 상기 드리프트 영역에 의해 상기 드리프트 영역으로부터 격리되는 제2도전형의 드레인 영역, 상기 드레인 영역과 연결된 드레인 전극, 및 게이트 절연층을 통해 상기 소스 영역을 상기 드리프트 영역으로부터 격리시키는 상기 바디 영역을 향하고 있는 트렌치 게이트를 포함하여 이루어진다.

소스 영역은 탑 영역이고, 바디 영역은 중간 영역이며, 드리프트 영역은 딥 영역이다.

(세 번째 특징) 평행하게 연장되는 복수의 트렌치 게이트들의 평면 패턴들의 위상들이 상기 트렌치 게이트들의 길이 방향에 따라 정렬된 상태에 있다.

(네 번째 특징) 폭이 상이한 트렌치 게이트들의 부분들이 상기 트렌치 게이트들의 길이 방향을 따라 (동등하게 이격된) 일정한 사이클로 형성되어 있다.

(다섯 번째 특징) 트렌치 게이트들의 보다 넓은 부분들은 인접한 트렌치 게이트에 대한 공간의 5배와 같거나 그 이하의 길이 방향으로의 길이를 가진다.

이하, 도면들을 참조하여 실시예들을 상세히 설명한다.

(제1실시예) 도 1은 제1실시예의 반도체 디바이스(1)의 핵심 부분들의 사시도를 개략적으로 보여준다. 상기 반도체 디바이스(1)는, 콜렉터 전극과 이미터 전극 사이에서 흐르는 전류를 턴온 및 턴오프하기 위한 트렌치 게이트(32)가 제공된 반도체이다.

반도체 디바이스(1)의 구성을 그 기저면 쪽부터 상기 반도체 디바이스의 막 두께의 방향(도면에서 z 방향)으로 설명한다. 상기 반도체 디바이스(1)에는 p⁺형 불순물들을 함유하는 실리콘 단결정의 콜렉터 영역(22)이 제공된다. 이러한 콜렉터 영역(22)은 알루미늄 등으로 이루어진 콜렉터 전극(도시안됨)과 연결된다. n⁺형 불순물들을 함유하는 실리콘 단결정의 버퍼 영역(23)이 상기 콜렉터 영역(22) 위쪽에 형성된다. n⁻형 불순물들을 함유하는 실리콘 단결정의 드리프트 영역(26)이 상기 버퍼 영역(24) 위쪽에 형성된다. p⁺형 불순물들을 함유하는 실리콘 단결정의 바디 영역(28)이 상기 드리프트 영역(26) 위쪽에 형성된다.

평행하게(도면에서 y 방향으로) 형성되어 있는 복수의 트렌치 게이트(32)는 바디 영역(28)을 통과하여 드리프트 영역(26)에 도달한다. 각각의 트렌치 게이트(32)는 게이트 절연층(33)을 통해 바디 영역(28)을 향한다. 상기 게이트 절연층(33)은 실리콘 산화물로 형성되고, 상기 트렌치 게이트(32)들은 폴리실리콘으로 형성된다. 상기 트렌치 게이트(32)들은, 트렌치 게이트(32)들의 넓은 부분들이 상기 트렌치 게이트(32)들의 길이 방향(도면에서 x 방향)으로 일정한 사이클로 반복되도록 형성되어 있다. 대안적으로는, 트렌치 게이트(32)들의 넓은 부분들이 동일한 간격으로 반복되어 있다고 말할 수도 있다.

인접한 트렌치 게이트(32)들의 평면 패턴들의 주기적 위상들은 정렬 상태에 있다. 결과적으로, 인접한 트렌치 게이트(32)들의 넓은 부분들 사이에는 보다 좁은 공간들이 있고, 인접한 트렌치 게이트(32)들의 넓지 않은 부분들 사이에는 보다 넓은 공간들이 있다. 인접한 트렌치 게이트(32)들 사이의 보다 좁은 공간들과 보다 넓은 공간들은, 상기 트렌치 게이트(32)들이 연장되는 방향(x로 도시된 방향)으로 주기적으로 형성되어 있다.

n⁺형 불순물들을 함유하는 이미터 영역(34) 및 p⁺형 바디 콘택 영역(36)이 바디 영역(28) 상에 형성되어 있다. 상기 이미터 영역(34)은 인접한 트렌치 게이트(32)들 사이의 보다 넓은 공간들을 따라 상기 트렌치 게이트(32)들과 접촉을 이룬다. 상기 바디 콘택 영역(36)은 상기 바디 영역(28)의 최상부를 따라 형성되어 있는데, 이는 상기 인접한 트렌치 게이트(32)들 사이의 보다 좁은 공간들을 포함하고 있다. 상기 이미터 영역(34) 및 바디 콘택 영역(36)은 이미터 전극(도시안됨)과 연결되어 있다. 바디 콘택 영역(36)은 이미터 전극 및 바디 영역(28)을 동일한 전위로 유지시키기 때문에, 음 접촉이 이미터 전극과 바디 영역(28) 사이에서 유지된다면 상기 바디 콘택 영역(36)은 생략될 수 있다. 따라서, 이는 협의의 관점에서는 바디 영역(28)이고, 광의의 관점에서는 바디 콘택 영역(36)이 일반적으로 바디 영역으로 참조될 수 있다.

각각의 반도체 영역의 불순물들의 농도는 다음과 같은 것이 바람직하다: 콜렉터 영역(22)은 1x10¹⁸ 내지 1x10²⁰cm⁻³의 범위에 있고, 버퍼 영역(24)은 1x10¹⁶ 내지 1x10¹⁸cm⁻³의 범위에 있고, 드리프트 영역(26)은 1x10¹³ 내지 1x10¹⁴cm⁻³의 범위에 있고, 바디 영역(28)은 1x10¹⁶ 내지 1x10¹⁸cm⁻³의 범위에 있고, 바디 콘택 영역(36)은 1x10¹⁸ 내지 1x10²⁰cm⁻³의 범위에 있고, 이미터 영역(34)은 1x10¹⁸ 내지 1x10²⁰cm⁻³의 범위에 있다.

도 2는 도 1의 평면도를 보여준다. 도 2의 I-I 선을 따른 단면도가 도 1의 정면에 해당한다. 더욱이, 이러한 평면도는 콜렉터 및 이미터 전극들 사이에서 연장되는 방향에 직교한 면의 단면도이다.

복수의 트렌치 게이트(32)들은 도면에서 y 방향으로 평행하게 형성되어 있다. 트렌치 게이트(32)들의 넓은 부분들(도면에서 L4)은 상기 트렌치 게이트(32)의 길이 방향(x로 도시된 방향)으로 주기적으로 형성되어 있다. 트렌치 게이트(32)들의 넓은 부분들(도면에서 L4)은 상기 트렌치 게이트(32)(이는 트렌치 게이트(32)들의 넓지 않은 부분들을 포함함)의 각각의 사이클(도면에서 L3)에서 특정 비율로 형성되어 있다. 다시 말해, 트렌치 게이트(32)들의 넓은 부분들은 상기 트렌치 게이트(32)들의 전체 길이에 대한 특정 비율로 형성된다. 이러한 비율은 30% 내지 80%의 범위에 있는 것이 바람직하다.

또한, 보다 좁은 영역들(도면에서 L1)은 인접한 트렌치 게이트(32)들의 넓은 부분들(도면에서 L4) 사이의 공간들에 형성되어 있다. 이와 유사하게, 보다 넓은 부분들(도면에서 L2)은 인접한 트렌치 게이트(32)들의 넓지 않은 부분들 사이의 공간들에 형성되어 있다. 이러한 인접한 트렌치 게이트(32)들 사이의 보다 좁은 영역들(L1) 및 보다 넓은 영역들(L2)은 트렌치 게이트(32)들의 평면 패턴의 사이클을 따라 연장되고, 상기 트렌치 게이트(32)들이 연장되는 방향(x로 도시된 방향)으로 주기적으로 형성된다.

바디 콘택 영역(36)의 표면적은 인접한 트렌치 게이트(32)들 사이의 보다 좁은 영역들(L1)을 포함하여 이루어지기 때문에, 상기 바디 콘택 영역(36)의 표면적은 작다.

도 1 및 도 2에 도시된 반도체 디바이스(1)는 제2도전형의 탑 영역(34), 제2도전형의 딥 영역(26) 및 탑 영역(34)과 딥 영역(26)을 격리시키는 제1도전형의 중간 영역(28)을 포함하여 이루어진다. 트렌치 게이트(32)들이 절연층(33)을 통해 탑 영역(34)과 딥 영역(26)을 격리시키는 중간 영역(28)의 일부분을 향하도록 복수의 트렌치 게이트(32)들이 제공된다.

상기 예시에 있어서, 제1도전형은 p 도전형이고, 제2도전형은 n 도전형이다. 하지만, 제1도전형이 등가적으로 n 도전형일 수도 있고, 제2도전형이 등가적으로 p 도전형일 수도 있다.

은 상태에 있는 반도체 디바이스의 동작을 설명한다.

이미터 전극이 접지되면, 양전압이 콜렉터 전극에 인가되고, 양전압이 트렌치 게이트(32)들에 인가된다. 이 때, 바디 영역(28)에 있으면서 트렌치 게이트(32)들을 향하고 있는 부분들이 n형으로 반전된다. 이러한 수단에 의하여, 전자 캐리어들이 이미터 영역(34)으로부터 주입되고, n형으로 반전된 부분들을 따르는 트렌치 게이트(32)들을 따라 통과하여, 드리프트 영역(26)으로 주입된다. 상기 드리프트 영역(26) 안으로 주입된 전자 캐리어들은 상기 드리프트 영역(26)의 콜렉터 전극 측을 향해 흐르고, 버퍼 영역(24)에 축적된다. 상기 전자 캐리어들이 버퍼 영역(24)에 축적되면, 상기 버퍼 영역(24)과 콜렉터 영역(22)의 콘택 전위차가 감소하고, 홀 캐리어들이 콜렉터 영역(22)으로부터 버퍼 영역(24)으로 안내되며, 상기 드리프트 영역(26)으로도 주입된다. 이러한 수단에 의하면, 버퍼 영역(24)과 드리프트 영역(26)의 전도도 변조가 발생하고, 낮은 온-저항이 실현된다.

상기 콜렉터 영역(22)으로부터 주입된 홀 캐리어들은 전자 캐리어들과 재결합하여 사라지거나, 또는 바디 영역(28)과 바디 콘택 영역(36)을 통해 이미터 전극으로 방전된다.

상기 바디 영역(28)은 트렌치 게이트(32)들의 넓은 부분들 사이에 개재된 영역들(도 2에서 L1에 상응하는 영역들)로 인하여 작은 표면적을 가지고, 결과적으로 홀 캐리어들에 대한 확산 저항이 높게 된다. 나아가, 트렌치 게이트(32)들의 넓은 부분들 사이에 개재된 영역들(도 2에서 L1에 상응하는 영역들)을 포함하여 이루어지는 바디 콘택 영역(36)도 작은 표면적을 가진다. 결과적으로, 홀 캐리어들에 대한 높은 접촉 저항을 가지게 된다. 그 결과, (트렌치 게이트(32)들의 넓은 부분들에 상응하는) 바디 콘택 영역(36)을 통해 이미터 전극으로 방전되는 홀 캐리어들에 대한 저항값이 높게 된다. 결과적으로, 바디 영역(28)에서의 홀 캐리어들의 농도가 증가한다. 이와 함께, 이미터 영역(34)으로부터 주입되는 전자 캐리어들이 증가되고, 따라서 바디 영역(28)의 저항이 감소한다. 반도체 디바이스(1)의 온-저항이 감소한다.

(트렌치 게이트(32)들의 넓은 부분들(도 4의 L4) 사이에 개재된 영역들(도 2의 L1)에 존재하는) 드리프트 영역(26)과 바디 영역(28) 사이의 p-n 접합 경계부의 표면적은 인접한 트렌치 게이트(32)들 사이의 보다 넓은 영역들(도 2의 L2)보다 작다. 결과적으로, 트렌치 게이트(32)들의 넓은 부분들의 게이트 산화물 층들(33)(트렌치 게이트(32)들의 기저면 및 측면 경계부들에 위치한 굽은 부분들)에 전계가 집중되기 쉽다. 하지만, 본 실시예의 반도체 디바이스(1)에서는, 보다 좁은 영역들(도 2의 L1) 및 보다 넓은 영역들(도 2의 L2)이 상기 트렌치 게이트(32)들의 길이 방향(도 2의 x 방향)으로, 인접한 트렌치 게이트(32)들 사이에 주기적으로 형성되어 있다. 그 결과, 인접한 트렌치 게이트(32)들 사이의 보다 좁은 영역들(도 2의 L1)에 집중되기 쉬운 전계가 인접한 트렌치 게이트(32)들 사이의 보다 넓은 영역들(도 2의 L2)을 향해 소산될 수 있다. 따라서, 게이트 절연층(33)의 파괴가 방지될 수 있다. 더욱이, 집중된 전계의 소산이 효과적이도록, 트렌치 게이트(32)들의 넓은 부분들의 길이 방향으로의 길이(도 2에서 L4로 도시된 길이)는 인접한 트렌치 게이트(32)들의 넓은 부분들 사이의

공간들의 길이(도 2에서 L1로 도시된 길이)의 5배 또는 그 이하인 것이 바람직하다. 만일 트렌치 게이트(32)들의 넓은 부분들이 상기 범위를 초과한다면, 트렌치 게이트(32)들의 게이트 절연층(33)의 굵은 부분들에 전계가 집중될 수도 있고, 상기 게이트 절연층(33)이 파괴될 수도 있다.

이하, 제1실시예의 변형예들로서 평가될 수 있는 실시예들을 도면들을 참조하여 설명한다. 제1실시예에서와 동일한 구성들은 동일한 도면번호들로 할당되고 그 설명은 생략하기로 한다.

(제2실시예) 도 3은 반도체 디바이스(2)의 핵심 부분들의 사시도를 개략적으로 보여준다. 반도체 디바이스(2)의 구성은 반도체 디바이스(1)와 비교하여 이미터 영역(34)이 형성되어 있는 위치가 다르다. 상기 이미터 영역(34)은 인접한 트렌치 게이트(32)들의 넓은 부분들 사이에 개재된 바디 영역(28) 상에 부가적으로 형성되어 있다.

이 경우, 인접한 트렌치 게이트(32)들의 넓은 부분들을 향하고 있는 바디 영역(28)에 형성되어 있는 반전된 층은 이미터 영역(34)으로부터 주입되는 전자 캐리어들을 위한 채널들로서 효과적으로 형성될 수 있다. 결과적으로, 채널들이 더욱 넓어지므로, 온-전압이 더욱 감소될 수 있다.

(제3실시예) 도 4는 반도체 디바이스(3)의 트렌치 게이트(32)들의 평면 패턴의 핵심 부분들을 개략적으로 보여준다.

트렌치 게이트(32)들의 넓은 부분들은 제1실시예의 반도체 디바이스(1)에서와 같이 직사각형일 필요는 없고, 등가적으로 제3실시예에서와 같이 다각형으로 형성될 수도 있다. 제3실시예의 경우에는, 실질적으로 6각형으로 형성되어 있다. 이 경우에도, 제1실시예의 반도체 디바이스(1)와 동일한 동작 및 효과들은 트렌치 게이트(32)들의 넓은 부분들 사이에 개재된 영역들에서의 홀 캐리어들에 대한 보다 높은 확산 저항 및 접촉 저항이 있고, 온-저항이 감소된다는 것을 의미한다.

(제4실시예) 도 5에 도시된 반도체 디바이스(4)에서는, 인접한 트렌치 게이트(32)들의 평면 패턴이 대칭적이지 않다.

이 경우, 인접한 트렌치 게이트(32)들 사이의 공간은 트렌치 게이트(32)들의 넓은 부분들에 의해 보다 좁게 이루어진다. 그 결과, 상기 보다 좁은 공간들에서의 홀 캐리어들에 대한 확산 저항 및 접촉 저항이 보다 높고, 온-저항이 감소된다.

(제5실시예) 도 6은 반도체 디바이스(5)의 핵심 부분들의 사시도를 개략적으로 보여준다.

제5실시예의 반도체 디바이스(5)에서는, 이미터 영역(34)이 트렌치 게이트(32)들의 넓은 부분들에 의해 보다 좁게 이루어진 영역 상에 형성된다. 또한, 본 실시예에서는, 트렌치 게이트(32)들의 넓은 부분들에 의해 보다 좁게 이루어진 영역(도면에서 L1)의 폭이 매우 좁다. 이러한 매우 좁은 폭은, 이미터 영역(34) 아래쪽에 형성된 바디 영역(28)이 실제로는 게이트 전압이 트렌치 게이트(32)들에 인가되지 않는 경우에 완전히 공핍된다는 것을 의미한다. 즉, 트렌치 게이트(32)들에 의해 보다 좁게 이루어진 영역이 극히 좁은 경우, 게이트 절연층(33)과 바디 영역(28) 사이의 접합 경계부로부터 연장되어 있는 공핍된 영역이 마주하고 있는 트렌치 게이트(32)로부터 연장되어 있는 공핍된 영역과 연결될 수 있다. 이러한 수단에 의하면, 바디 영역(28)은 게이트 전압이 트렌치 게이트(32)들에 인가되지 않는 경우에 완전히 공핍되게 된다. 그 결과, 공핍된 영역들은 게이트 전압이 트렌치 게이트(32)들에 인가되는 경우에 추가로 연장될 수 없게 되고, 그 결과 바로 반전된다. 즉, 반도체 디바이스의 턴-온 주기가 단축된다.

도 6에 도시된 반도체 디바이스에 있어서, 상기 트렌치 게이트(32)들의 인접한 넓은 부분들 사이에 개재된 중간 영역(28)은 매우 좁아, 턴-온-전압이 트렌치 게이트(32)들에 인가되지 않는 경우에 상기 개재된 영역(28)이 공핍된 영역이 되게 된다.

트렌치 게이트(32)들의 넓은 부분들 사이에 개재된 중간 영역(28)의 폭(도면에서는 L1)과, 상기 트렌치 게이트(32)들의 게이트 절연층(33)의 막 두께는 필요에 따라 조정될 수도 있어, 상기 중간 영역(28)이 완전히 공핍되게 될 것이다.

또한, 상기 영역이 완전히 공핍되게 되는 경우, 상기 바디 영역(28)은 이미터 영역(34) 아래쪽에 형성될 필요가 없는데, 그 이유는 상기 영역의 도전형이 특별히 문제가 되지 않기 때문이다. 상기 이미터 영역(34)이 드리프트 영역(26)과 직접 접촉되게 할 수도 있다. 이미터 영역(34)이 드리프트 영역(26)과 직접 접촉되게 하더라도, 상기 트렌치들의 넓은 부분들 사이에 개재된 드리프트 영역(26)이 완전히 공핍된다면, 반도체 디바이스가 턴-오프될 수 있다.

더욱이, 제5실시예의 반도체 디바이스(5)에서도, 바디 콘택 영역(36)의 표면적이 감소되고, 그 결과 홀 캐리어들에 대한 접촉 저항이 증가된다. 결과적으로, 바디 영역(28)에서의 홀 캐리어들의 농도가 증가하고, 온-전압의 감소가 실현되게 된다.

상술된 실시예들은 단지 본 발명의 소정의 가능성들을 예시한 것으로 본 발명의 청구범위를 제한하는 것은 아니다. 본 청구범위에 설명된 기술은 상술된 실시예들에 대한 수많은 변형에 및 수정예들을 포괄한다.

나아가, 본 명세서 또는 도면들에 개시된 기술적인 요소들은 별도로 또는 여하한의 결합들로 활용될 수 있고, 본 출원의 출원 시의 청구범위에 설명된 결합들에 한정되는 것은 아니다. 또한, 본 명세서 또는 도면들에 개시된 기술은 복수의 목적들을 동시에 실현하거나 또는 상기 목적들 가운데 하나를 실현하기 위해 활용될 수도 있다.

(57) 청구의 범위

청구항 1.

반도체 디바이스에 있어서,

제2도전형의 탑 영역(top region);

상기 제2도전형의 딥 영역(deep region);

상기 탑 영역과 상기 딥 영역을 격리시키기 위한 제1도전형의 중간 영역; 및

절연층을 통해 상기 중간 영역의 일부분을 향하고 있는 트렌치 게이트를 포함하되,

상기 트렌치 게이트를 향하고 있는 부분은 상기 탑 영역과 상기 딥 영역을 격리시키고, 상기 트렌치 게이트는 길이 방향을 따라 연장되며, 상기 트렌치 게이트의 폭은 상기 길이 방향을 따라 변하는 것을 특징으로 하는 반도체 디바이스.

청구항 2.

제1항에 있어서,

평행하게 연장되어 있는 복수의 트렌치 게이트들이 제공되고, 상기 길이 방향을 따르는 각각의 트렌치 게이트의 폭의 변량들이 동위상으로(in phase) 정렬되는 것을 특징으로 하는 반도체 디바이스.

청구항 3.

제1항 또는 제2항에 있어서,

넓은 트렌치 게이트 및 좁은 트렌치 게이트를 포함하는 한 쌍이 상기 길이 방향을 따라 반복되고, 상기 넓은 트렌치 게이트들의 전체 길이는 상기 트렌치 게이트의 상기 전체 길이의 30% 내지 80%인 것을 특징으로 하는 반도체 디바이스.

청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 길이 방향을 따르는 각각의 트렌치 게이트의 폭의 변량들은 상기 길이 방향을 따라 주기적으로 반복되는 것을 특징으로 하는 반도체 디바이스.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

인접한 넓은 트렌치 게이트들 사이에 개재된 상기 중간 영역의 폭이 좁아, 상기 트렌치 게이트들에 온-전압이 인가되지 않는 경우에 개재된 상기 영역이 공핍된 영역(depressed region)이 되도록 하는 것을 특징으로 하는 반도체 디바이스.

청구항 6.

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 탑 영역은 아이지비터(IGBT)의 이미터(emitter)이고, 상기 딥 영역은 IGBT의 드리프트(drift)인 것을 특징으로 하는 반도체 디바이스.

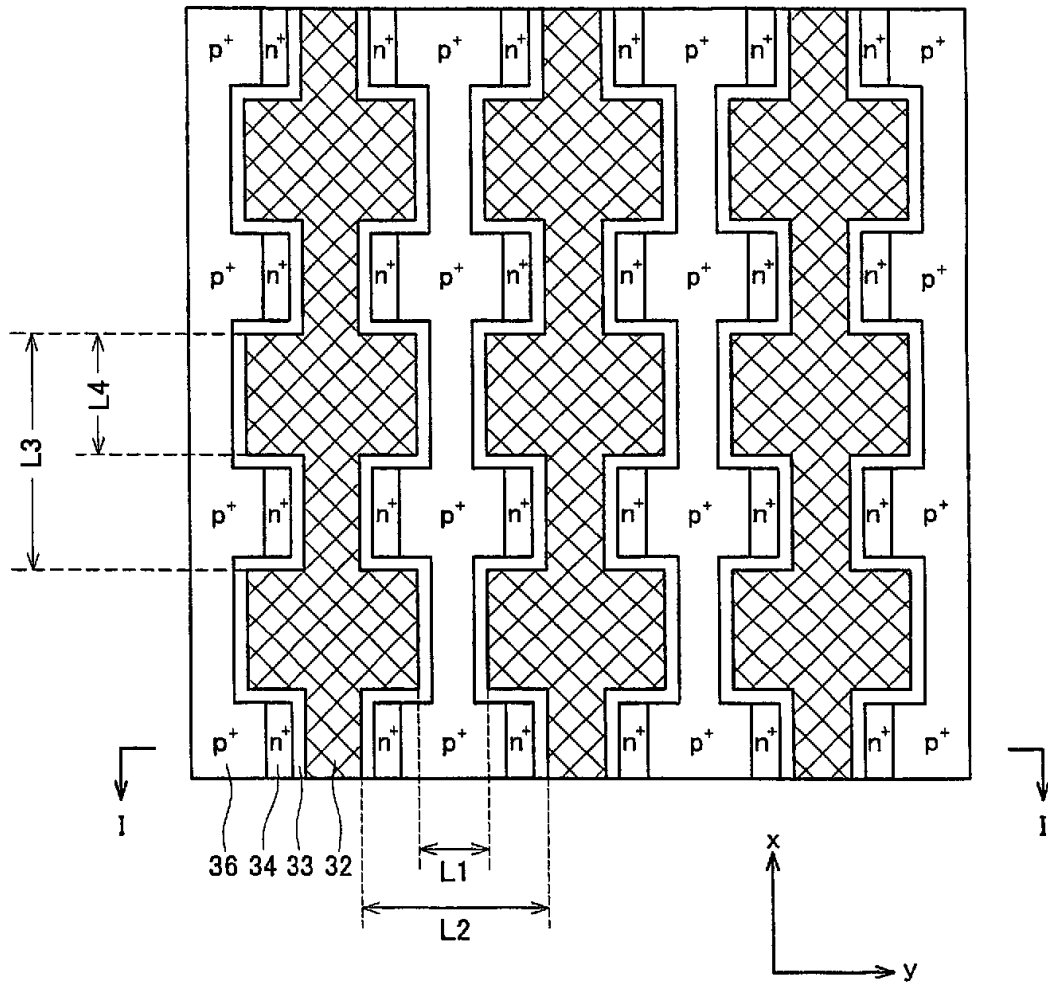
청구항 7.

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 탑 영역은 MOS의 소스(source)이고, 상기 딥 영역은 MOSFET의 드리프트인 것을 특징으로 하는 반도체 디바이스.

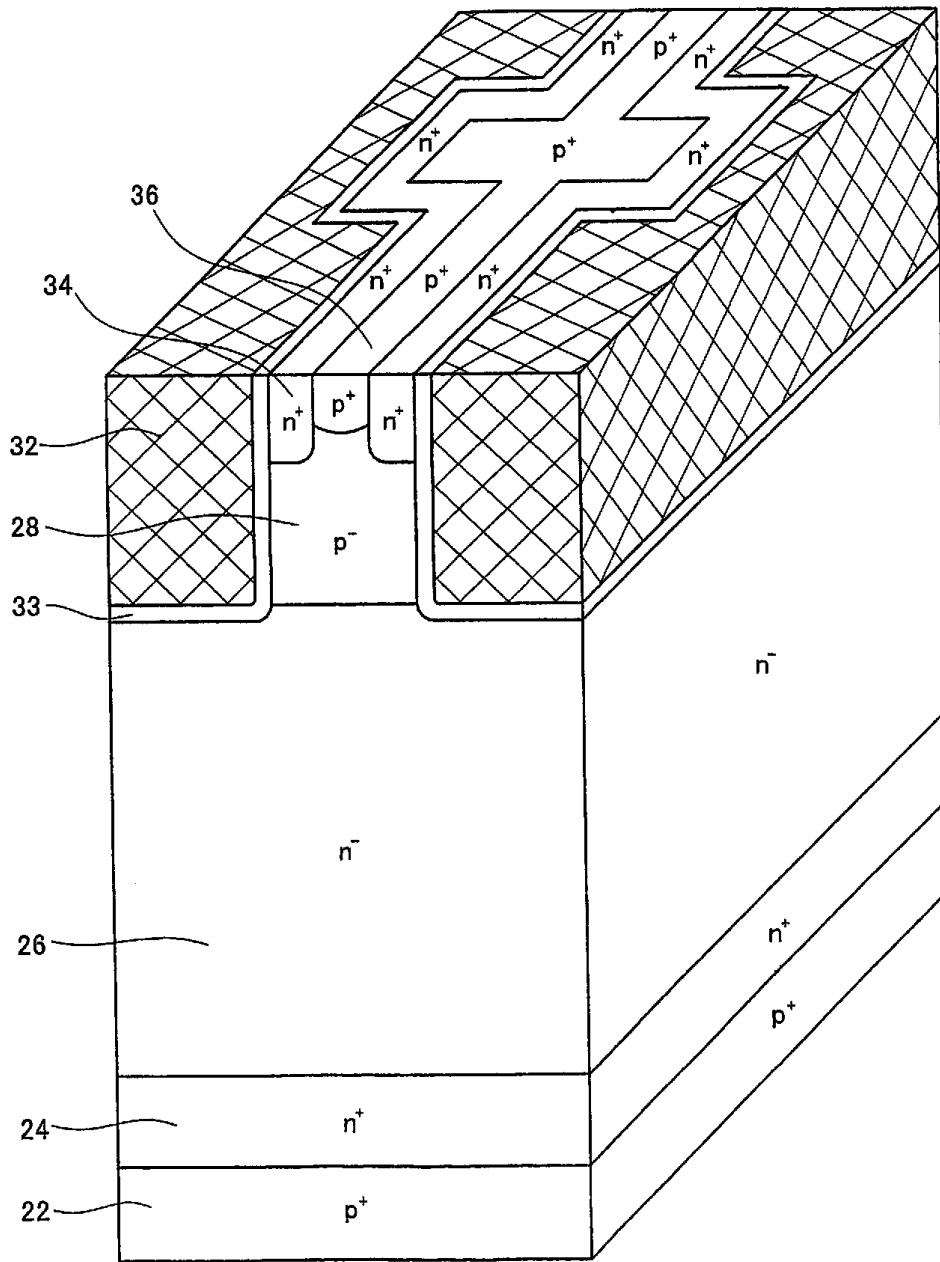
도면

도면2



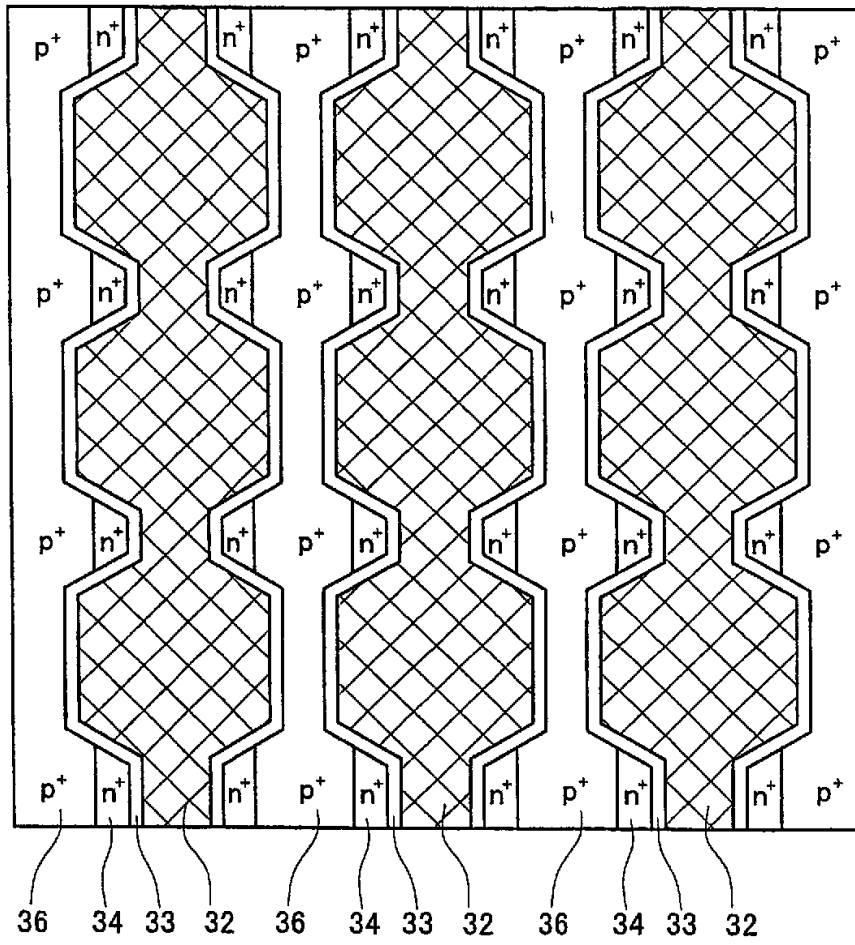
도면3

2



도면4

3



도면5

4

