



(12) 发明专利

(10) 授权公告号 CN 108155202 B

(45) 授权公告日 2020. 12. 08

(21) 申请号 201611099421.X

(22) 申请日 2016.12.02

(65) 同一申请的已公布的文献号
申请公布号 CN 108155202 A

(43) 申请公布日 2018.06.12

(73) 专利权人 联华电子股份有限公司
地址 中国台湾新竹市新竹科学工业园区

(72) 发明人 许文馨 陈克基 张子云

(74) 专利代理机构 北京市柳沈律师事务所
11105

代理人 陈小雯

(51) Int. Cl.

H01L 27/24 (2006.01)

H01L 45/00 (2006.01)

(56) 对比文件

US 2008232154 A1, 2008.09.25

US 2008232154 A1, 2008.09.25

US 2009272962 A1, 2009.11.05

CN 104685626 A, 2015.06.03

US 2004235309 A1, 2004.11.25

审查员 杨敏

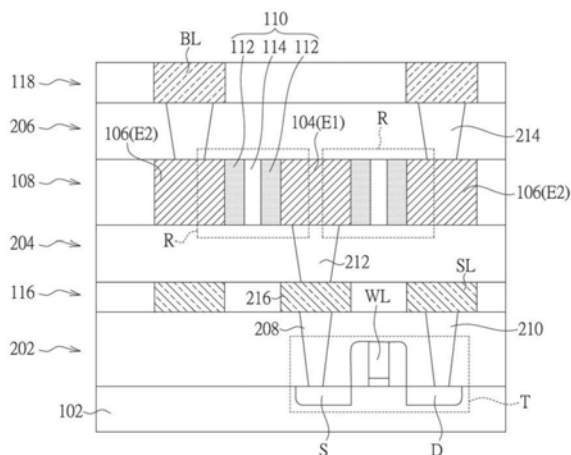
权利要求书3页 说明书6页 附图5页

(54) 发明名称

半导体结构及其制造方法

(57) 摘要

本发明公开一种半导体结构及其制造方法。该半导体结构包括一存储单元结构。所述存储单元结构包括一晶体管、一第一电极、两个第二电极、和两个电阻式随机存取存储器元件。第一电极和第二电极设置在一水平的平面中。第一电极是设置在第二电极间。第一电极和第二电极是平行设置。第一电极耦接至晶体管的源极区。其中一电阻式随机存取存储器元件是设置在第一电极和其中一第二电极间。另一电阻式随机存取存储器元件是设置在第一电极和另一第二电极间。



1. 一种半导体结构,其特征在于,包括:

基板;

多条第一金属线和多条第二金属线,交替地设置在水平地位于所述基板上的一平面中;

多个电阻式随机存取存储器元件构成的一阵列,设置在所述平面中,其中各个所述电阻式随机存取存储器元件分别位于其中一所述第一金属线和与该其中一所述第一金属线相邻的其中一所述第二金属线间,其中该各个所述电阻式随机存取存储器元件包括:

两个障壁层,分别设置在该其中一所述第一金属线的侧壁和该其中一所述第二金属线的侧壁上;以及

可变电阻层,设置在两个所述障壁层之间,其中所述障壁层比起所述可变电阻层更富含金属;

多个晶体管,其中所述晶体管的源极区分别耦接至所述第一金属线;以及

多条位线,分别耦接至所述第二金属线。

2. 根据权利要求1所述的半导体结构,其中所述第一金属线和所述第二金属线是平行设置。

3. 根据权利要求1所述的半导体结构,其中该各个所述电阻式随机存取存储器元件的所述障壁层包括至少一种选自下列选项的材料:铝(Al)、钛(Ti)、钽(Ta)、金(Au)、银(Ag)、铂(Pt)、钨(W)、镍(Ni)、铱(Ir)、铜(Cu)、镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物($SrTiO_x$)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。

4. 根据权利要求1所述的半导体结构,其中该各个所述电阻式随机存取存储器元件的所述可变电阻层包括至少一种选自下列选项的材料:镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物($SrTiO_x$)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。

5. 根据权利要求1所述的半导体结构,其中所述晶体管是设置在所述基板上且水平高度低于所述平面的水平高度,所述位线的水平高度高于所述平面的水平高度。

6. 根据权利要求1所述的半导体结构,其中所述晶体管分别耦接至多条字线。

7. 一种半导体结构,其特征在于,包括:

存储单元结构,包括:

晶体管;

第一电极和两个第二电极,设置在一水平的平面中,其中所述第一电极是设置在所述第二电极间,所述第一电极和所述第二电极是平行设置,且其中所述第一电极耦接至所述晶体管的源极区;以及

两个电阻式随机存取存储器元件,其中一所述电阻式随机存取存储器元件是设置在所述第一电极和其中一所述第二电极间,另一所述电阻式随机存取存储器元件是设置在所述第一电极和另一所述第二电极间,

其中该其中一所述电阻式随机存取存储器元件包括:

两个障壁层,分别设置在所述第一电极的侧壁和该其中一所述第二电极的侧壁上;以及

可变电阻层, 设置在该其中一所述电阻式随机存取存储器元件的所述障壁层间, 其中该其中一所述电阻式随机存取存储器元件的所述障壁层比起该其中一所述电阻式随机存取存储器元件的所述可变电阻层更富含金属; 且

其中该另一所述电阻式随机存取存储器元件包括:

两个障壁层, 分别设置在所述第一电极的侧壁和该另一所述第二电极的侧壁上; 以及

可变电阻层, 设置在该另一所述电阻式随机存取存储器元件的所述障壁层间, 其中该另一所述电阻式随机存取存储器元件的所述障壁层比起该另一所述电阻式随机存取存储器元件的所述可变电阻层更富含金属。

8. 根据权利要求7所述的半导体结构, 其中所述存储单元结构包括两个电阻式随机存取存储单元, 耦接至所述晶体管, 其中一电阻式随机存取存储单元包括所述第一电极、该其中一所述第二电极、和该其中一所述电阻式随机存取存储器元件, 另一电阻式随机存取存储单元包括所述第一电极、该另一所述第二电极、和该另一所述电阻式随机存取存储器元件。

9. 根据权利要求7所述的半导体结构, 其中该其中一所述电阻式随机存取存储器元件的所述障壁层和该另一所述电阻式随机存取存储器元件的所述障壁层包括至少一种选自下列选项的材料: 铝 (Al)、钛 (Ti)、钽 (Ta)、金 (Au)、银 (Ag)、铂 (Pt)、钨 (W)、镍 (Ni)、铱 (Ir)、铜 (Cu)、镍氧化物 (NiO_x)、钽氧化物 (Ta_yO_x)、钛氧化物 (TiO_x)、铪氧化物 (HfO_x)、钨氧化物 (WO_x)、锆氧化物 (ZrO_x)、铝氧化物 (Al_yO_x)、锶钛氧化物 (SrTiO_x)、铌氧化物 (Nb_yO_x)、和钇氧化物 (Y_yO_x)。

10. 根据权利要求7所述的半导体结构, 其中该其中一所述电阻式随机存取存储器元件的所述可变电阻层和该另一所述电阻式随机存取存储器元件的所述可变电阻层包括至少一种选自下列选项的材料: 镍氧化物 (NiO_x)、钽氧化物 (Ta_yO_x)、钛氧化物 (TiO_x)、铪氧化物 (HfO_x)、钨氧化物 (WO_x)、锆氧化物 (ZrO_x)、铝氧化物 (Al_yO_x)、锶钛氧化物 (SrTiO_x)、铌氧化物 (Nb_yO_x)、和钇氧化物 (Y_yO_x)。

11. 一种半导体结构的制造方法, 其特征在于, 包括:

提供一初步结构, 其中所述初步结构包括一基板、多个晶体管、和一介电层, 所述晶体管形成在所述基板上, 所述介电层形成在所述基板和所述晶体管上;

形成多条金属线所述初步结构的所述介电层上, 其中所述金属线包括交替设置的多条第一金属线和多条第二金属线, 且所述第一金属线分别耦接至所述晶体管;

形成多个障壁层分别位于所述第一金属线和所述第二金属线的侧壁上; 以及

形成多个可变电阻层, 其中各个所述可变电阻层位于形成在其中一所述第一金属线上的其中一所述障壁层和相邻于该形成在其中一第一金属线上的其中一所述障壁层的形成在其中一所述第二金属线上的其中一所述障壁层间, 其中所述障壁层比起所述可变电阻层更富含金属。

12. 根据权利要求11所述的半导体结构的制造方法, 其中所述初步结构的所述介电层覆盖所述晶体管。

13. 根据权利要求11所述的半导体结构的制造方法, 还包括:

在形成所述金属线前, 形成多个导孔穿过所述初步结构的所述介电层;

其中所述第一金属线通过所述导孔耦接至所述晶体管。

14. 根据权利要求11所述的半导体结构的制造方法,其中形成所述障壁层的步骤包括:形成一障壁材料共形地覆盖所述第一金属线、所述第二金属线、和所述初步结构的所述介电层;以及

移除所述障壁材料中不需要的部分,使得所述第一金属线、所述第二金属线、和所述介电层位于所述第一金属线和所述第二金属线间的部分暴露出来。

15. 根据权利要求14所述的半导体结构的制造方法,其中所述障壁材料包括选自下列选项的至少一者:铝(Al)、钛(Ti)、钽(Ta)、金(Au)、银(Ag)、铂(Pt)、钨(W)、镍(Ni)、铱(Ir)、铜(Cu)、镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物(SrTiO_x)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。

16. 根据权利要求11所述的半导体结构的制造方法,其中形成所述可变电阻层的步骤包括:

形成一可变电阻材料覆盖所述第一金属线、所述第二金属线、和所述初步结构的所述介电层;以及

通过平坦化制作工艺移除所述可变电阻材料中不需要的部分,使得所述第一金属线和所述第二金属线暴露出来。

17. 根据权利要求16所述的半导体结构的制造方法,其中所述可变电阻材料包括选自下列选项的至少一者:镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物(SrTiO_x)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。

18. 根据权利要求11所述的半导体结构的制造方法,其中所述初步结构具有一存储单元区和一逻辑区,形成在所述初步结构的所述介电层上的所述第一金属线和所述第二金属线是位于所述存储单元区,且所述的半导体结构的制造方法还包括:

在形成所述障壁层前,形成一介电材料在所述初步结构上并填满所述金属线间的沟槽,形成一硬掩模在所述介电材料位于所述逻辑区的部分和位于所述逻辑区的所述金属线上,以及移除所述介电材料位于所述存储单元区的部分;以及

通过移除形成所述可变电阻层的可变电阻材料中不需要的部分的平坦化制作工艺,移除位于所述逻辑区的所述硬掩模。

半导体结构及其制造方法

技术领域

[0001] 本发明涉及半导体结构及其制造方法。本发明特别是涉及包括电阻式随机存取存储器(resistive random access memory,RRAM)元件的半导体结构及其制造方法。

背景技术

[0002] 存储器已被广泛地使用在电子系统中,用于数据的存储。它们可被分成挥发性存储器(volatile memory)和非挥发性存储器(non-volatile memory)两种类别。挥发性存储器需要电力来维持存储的资讯。相对于此,非挥发性存储器即使电力被切断也能维持其资讯。目前最为广泛使用的非挥发性存储器类型是闪存存储器存储器(flash memory)。然而,随着存储器尺寸的缩小,闪存存储器存储器的发展因其物理限制而受阻。因此,已有人提出其他类型的非挥发性存储器,例如电阻式随机存取存储器、相变化存储器(phase change random access memory,PCRAM)、和磁阻式随机存取存储器(magnetoresistive random access memory,MRAM)等等。

发明内容

[0003] 本发明是关于包括存储器元件的半导体结构及其制造方法。本发明特别是关于包括电阻式随机存取存储器元件的半导体结构及其制造方法。

[0004] 根据一些实施例,一种半导体结构包括一基板、多条第一金属线、多条第二金属线、多个电阻式随机存取存储器元件构成的一阵列、多个晶体管、和多条位线。第一金属线和第二金属线交替地设置在水平地位于基板上的一平面中。电阻式随机存取存储器元件构成的阵列设置在所述平面中。各个所述电阻式随机存取存储器元件分别位于其中一第一金属线和与该第一金属线相邻的其中一第二金属线间。晶体管的源极区分别耦接至第一金属线。位线分别耦接至第二金属线。

[0005] 根据一些实施例,一种半导体结构包括一存储单元结构。所述存储单元结构包括一晶体管、一第一电极、两个第二电极、和两个电阻式随机存取存储器元件。第一电极和第二电极设置在一水平的平面中。第一电极是设置在第二电极间。第一电极和第二电极是平行设置。第一电极耦接至晶体管的源极区。其中一电阻式随机存取存储器元件是设置在第一电极和其中一第二电极间。另一电阻式随机存取存储器元件是设置在第一电极和另一第二电极间。

[0006] 根据一些实施例,一种半导体结构的制造方法包括下列步骤。首先,提供一初步结构。所述初步结构包括一基板、多个晶体管、和一介电层。晶体管形成在基板上。介电层形成在基板和晶体管上。接着,形成多条金属线在初步结构的介电层上。所述金属线包括交替设置的多条第一金属线和多条第二金属线。第一金属线分别耦接至晶体管。形成多个障壁层分别位于第一金属线和第二金属线的侧壁上。而后,形成多个可变电阻层。各个可变电阻层位于形成在其中一第一金属线上的其中一障壁层和相邻于该形成在其中一第一金属线上的其中一障壁层的形成在其中一第二金属线上的其中一障壁层间。

[0007] 为了让本发明的上述内容能更明显易懂,下文特举实施例,并配合附图,作详细说明如下:

附图说明

- [0008] 图1为实施例的半导体结构的示意图;
- [0009] 图2A~图2J为半导体结构在根据实施例的制作工艺中的各个阶段的示意图。
- [0010] 其中,附图标记
- [0011] 102:基板
- [0012] 104:第一金属线
- [0013] 106:第二金属线
- [0014] 108:平面
- [0015] 110:电阻式随机存取存储器元件
- [0016] 112:障壁层(阻挡层)
- [0017] 114:可变电阻层
- [0018] 116:第一金属层
- [0019] 118:第三金属层
- [0020] 202:介电层
- [0021] 204:介电层
- [0022] 206:介电层
- [0023] 208:导孔
- [0024] 210:导孔
- [0025] 212:导孔
- [0026] 214:导孔
- [0027] 216:连接部分
- [0028] 300:初步结构
- [0029] 302:基板
- [0030] 304:介电层
- [0031] 306:导孔
- [0032] 308:导孔
- [0033] 310:导孔
- [0034] 312:金属线
- [0035] 312(1):第一金属线
- [0036] 312(2):第二金属线
- [0037] 314:介电材料
- [0038] 316:硬掩模
- [0039] 318:障壁材料
- [0040] 320:障壁层
- [0041] 322:可变电阻材料
- [0042] 324:可变电阻层

- [0043] A1: 存储单元区
- [0044] A2: 逻辑区
- [0045] BL: 位线
- [0046] D: 漏极区
- [0047] E1: 第一电极
- [0048] E2: 第二电极
- [0049] R: 电阻式随机存取存储单元
- [0050] S: 源极区
- [0051] SL: 源极线
- [0052] T: 晶体管
- [0053] WL: 字线

具体实施方式

[0054] 以下将参照附图更详细地阐述各种实施例。为了清楚起见,附图中可能省略一些元件。举例来说,半导体结构可包括多个相同的元件,但只有其中一个或一些被绘示在附图中。此外,附图中的元件可能并未反映其真实尺寸。用于描述空间关系的用语,例如「上」、「下」、或「相邻」等等,可囊括直接接触和非直接接触两种情况。可以预期的是,一实施例中的元件和特征,可被有利地纳入于另一实施例中,而未再加以阐述。

[0055] 请参照图1,其示出根据实施例的一种半导体结构。所述半导体结构包括一基板102、多条第一金属线104、多条第二金属线106、多个电阻式随机存取存储器元件110构成的一阵列、多个晶体管T、和多条位线BL。第一金属线104和第二金属线106交替地设置在水平地位于基板102上的一平面108中。根据一些实施例,第一金属线104和第二金属线106是平行设置。电阻式随机存取存储器元件110构成的阵列设置在平面108中。各个电阻式随机存取存储器元件110分别位于其中一第一金属线104和与该第一金属线104相邻的其中一第二金属线106间。各个晶体管T可包括一源极区S和一漏极区D。晶体管T的源极区S分别耦接至第一金属线104。位线BL分别耦接至第二金属线106。

[0056] 根据一些实施例,各个电阻式随机存取存储器元件110包括两个障壁层112和一可变电阻层114。两个障壁层112分别设置在对应的第一金属线104的侧壁和对应的第二金属线106的侧壁上。可变电阻层114设置在两个障壁层112间。根据一些实施例,障壁层112可由金属形成,或可由过渡金属的氧化物形成。举例来说,障壁层112可包括至少一种选自下列选项的材料:铝(Al)、钛(Ti)、钽(Ta)、金(Au)、银(Ag)、铂(Pt)、钨(W)、镍(Ni)、铱(Ir)、铜(Cu)、镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物($SrTiO_x$)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。根据一些实施例,可变电阻层114可由过渡金属的氧化物形成。举例来说,可变电阻层114可包括至少一种选自下列选项的材料:镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、铪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物($SrTiO_x$)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。根据一些实施例,障壁层112比起可变电阻层114更富含金属。

[0057] 第一金属线104相邻于电阻式随机存取存储器元件110的部分可被称为存储单元

结构的第一电极E1。第二金属线106相邻于电阻式随机存取存储器元件110的部分可被称为存储单元结构的第二电极E2。在此所述的实施例中，半导体结构的一存储单元结构包括一晶体管T、一第一电极E1、两个第二电极E2、和两个电阻式随机存取存储器元件110。第一电极E1和第二电极E2设置在水平的平面108中，其中第一电极E1是设置在两个第二电极E2间，且第一电极E1和第二电极E2是平行设置。第一电极E1耦接至晶体管T的源极区S。其中一电阻式随机存取存储器元件110是设置在第一电极E1和其中一第二电极E2间，另一电阻式随机存取存储器元件110是设置在第一电极E1和另一第二电极E2间。

[0058] 更具体地说，存储单元结构是一个晶体管T和耦接至该晶体管T的两个电阻式随机存取存储单元R的组合。其中一电阻式随机存取存储单元R包括第一电极E1、其中一第二电极E2、和其中一电阻式随机存取存储器元件110，另一电阻式随机存取存储单元R包括第一电极E1、另一第二电极E2、和另一电阻式随机存取存储器元件110。由于一个晶体管T根据实施例能被用于控制两个电阻式随机存取存储单元R，晶体管T的数目可以减少。从而，能达到较高的存储单元密度。

[0059] 第二金属线106耦接至位线BL，从而电阻式随机存取存储单元R的第二电极E2耦接至位线BL。第一金属线104耦接至晶体管T，从而电阻式随机存取存储单元R的第一电极E1耦接至晶体管T。此外，在一些实施例中，晶体管T分别耦接至多条字线WL。举例来说，晶体管T的闸电极延伸并作为字线WL。如此一来，一个存储单元结构能被两条位线BL和一条字线WL所控制。在一些实施例中，晶体管T更分别耦接至多条源极线SL，例如是通过它们的漏极区D耦接至源极线SL。

[0060] 在一些实施例中，如图1所示，晶体管T是设置在基板102上且水平高度低于平面108的水平高度。在一些实施例中，如图1所示，位线BL的水平高度高于平面108的水平高度。根据一些实施例，半导体结构可包括位于平面108下方和/或上方的一或多个金属层。举例来说，如图1所示，一第一介电层202可设置在基板102上，并覆盖晶体管T。一第一金属层116可设置在第一介电层202上，其中源极线SL可形成在金属层116中。一第二介电层204可设置在金属层116上。平面108作为第二金属层，设置在介电层204上。一第三介电层206可设置在平面108上。一第三金属层118可设置在介电层206上，其中位线BL可形成在金属层118中。导孔可形成在介电层中，以提供电连接。举例来说，在图1中，导孔208形成在介电层202中，并将晶体管T的源极区S连接至形成在金属层116中的一连接部分216。导孔210形成在介电层202中，并将晶体管T的漏极区D连接至源极线SL。导孔212形成在介电层204中，并将连接部分216连接至第一金属线104。导孔214形成在介电层206中，并将第二金属线106连接至位线BL。然而，根据实施例的半导体结构并不受限于上述的型态。

[0061] 以下将叙述根据实施例的一种半导体结构的制造方法。所述方法包括下列步骤。首先，提供一初步结构。所述初步结构包括一基板、多个晶体管、和一介电层。晶体管形成在基板上。介电层形成在基板和晶体管上。接着，形成多条金属线在初步结构的介电层上。所述金属线包括交替设置的多条第一金属线和多条第二金属线。第一金属线分别耦接至晶体管。形成多个障壁层分别位于第一金属线和第二金属线的侧壁上。而后，形成多个可变电阻层。各个可变电阻层位于形成在其中一第一金属线上的其中一障壁层和相邻于该形成在其中一第一金属线上的其中一障壁层的形成在其中一第二金属线上的其中一障壁层间。所述方法的细节将参照第2A~2J图加以描述。

[0062] 请参照图2A,提供一初步结构300。初步结构300包括一基板302、多个晶体管T、和一介电层304。晶体管T形成在基板302上。根据一些实施例,初步结构300具有一存储单元区A1和一逻辑区A2,且晶体管T是位于存储单元区A1。介电层304形成在基板302和晶体管T上。举例来说,如图2A所示,介电层304覆盖晶体管T。

[0063] 请参照图2B,可形成多个导孔306穿过初步结构300的介电层304,导孔306是提供用于将晶体管T连接至在接下来的步骤中形成的第一金属线。在本步骤中,也可形成其他导孔,例如导孔308和导孔310。

[0064] 请参照图2C,形成多条金属线312在初步结构300的介电层304上。金属线312包括交替设置的多条第一金属线312(1)和多条第二金属线312(2)。根据一些实施例,第一金属线312(1)和第二金属线312(2)是位于存储单元区A1。第一金属线312(1)分别耦接至晶体管T,例如是通过导孔306耦接至晶体管T。在此,金属线312是形成在第一金属层。然而,它们也可如图1所示形成在第二金属层中,又或者是形成在其他的金属层中。

[0065] 请参照图2D,可形成一介电材料314在初步结构300上并填满金属线312间的沟槽。请参照图2E,可形成一硬掩模316在介电材料314位于逻辑区A2的部分和位于逻辑区A2的金属线312上。如此一来,能够定义出存储单元区A1,使其与逻辑区A2区分开来。接着,如图2F所示,移除介电材料314位于存储单元区A1的部分。举例来说,移除的步骤能够通过蚀刻制作工艺来进行,例如通过反应性离子蚀刻(reactive ion etch,RIE)、或离子研磨(ion milling)等等的干蚀刻制作工艺。

[0066] 请参照图2G,形成一障壁材料318。障壁材料318共形地覆盖第一金属线312(1)、第二金属线312(2)、和介电层304。根据一些实施例,障壁材料318可包括选自下列选项的至少一者:铝(Al)、钛(Ti)、钽(Ta)、金(Au)、银(Ag)、铂(Pt)、钨(W)、镍(Ni)、铱(Ir)、铜(Cu)、镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、钪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物(SrTiO_x)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。形成的步骤能够通过沉积制作工艺来进行,例如原子层沉积(atomic layer deposition,ALD)、化学气相沉积(chemical vapor deposition,CVD)、或物理气相沉积(physical vapor deposition,PVD)等等。

[0067] 请参照图2H,移除障壁材料318中不需要的部分,使得第一金属线312(1)、第二金属线312(2)、和介电层304位于第一金属线312(1)和第二金属线312(2)间的部分暴露出来。如此一来,便形成多个障壁层320分别位于第一金属线312(1)和第二金属线312(2)的侧壁上。移除的步骤能够通过蚀刻制作工艺来进行,例如通过反应性离子蚀刻、或离子研磨等等的干蚀刻制作工艺。障壁材料318剩余的部分可具有介于10 Å和200 Å间的厚度,从而障壁层320可具有介于10 Å和200 Å间的厚度。

[0068] 请参照图2I,形成一可变电阻材料322。可变电阻材料322覆盖第一金属线312(1)、第二金属线312(2)、和介电层304。根据一些实施例,可变电阻材料322可包括选自下列选项的至少一者:镍氧化物(NiO_x)、钽氧化物(Ta_yO_x)、钛氧化物(TiO_x)、钪氧化物(HfO_x)、钨氧化物(WO_x)、锆氧化物(ZrO_x)、铝氧化物(Al_yO_x)、锶钛氧化物(SrTiO_x)、铌氧化物(Nb_yO_x)、和钇氧化物(Y_yO_x)。形成的步骤能够通过沉积制作工艺来进行,例如原子层沉积、化学气相沉积、或物理气相沉积等等。

[0069] 请参照图2J,通过平坦化制作工艺移除可变电阻材料322中不需要的部分,使得第一金属线312(1)和第二金属线312(2)暴露出来。如此一来,便形成多个可变电阻层324,其中各个可变电阻层324位于形成在其中一第一金属线312(1)上的其中一障壁层320和相邻于该形成在其中一第一金属线312(1)上的其中一障壁层320的形成在其中一第二金属线312(2)上的其中一障壁层320间。所述平坦化制作工艺能够是化学机械平坦化(chemical mechanical planarization, CMP)制作工艺。此外,位于逻辑区A2的硬掩模316也可通过所述平坦化制作工艺来移除。

[0070] 如上所述的自对准制作工艺能够和一般用于半导体结构的制造方法相容。从而,根据实施例的方法是节省成本的。此外,由于电阻式随机存取存储器元件和电极是形成在相同的水平平面,该平面可为典型地设置在半导体结构中的其中一金属层,因此不需要为了电阻式随机存取存储单元提供额外的层。如此一来,便能够以更协调的方式制造存储单元区的结构和逻辑区的结构。再者,不需要额外地将介电材料填充至电阻式随机存取存储单元之间的微小空间中,而这类填充是困难的。根据实施例的半导体结构特别适合用于提供埋入式存储器结构。

[0071] 虽然结合以上实施例揭露了本发明,然而其并非用以限定本发明。本发明所属技术领域的技术人员,在不脱离本发明精神和范围之内,可作各种的更动与润饰。因此,本发明的保护范围当视权利要求书所界定的为准。

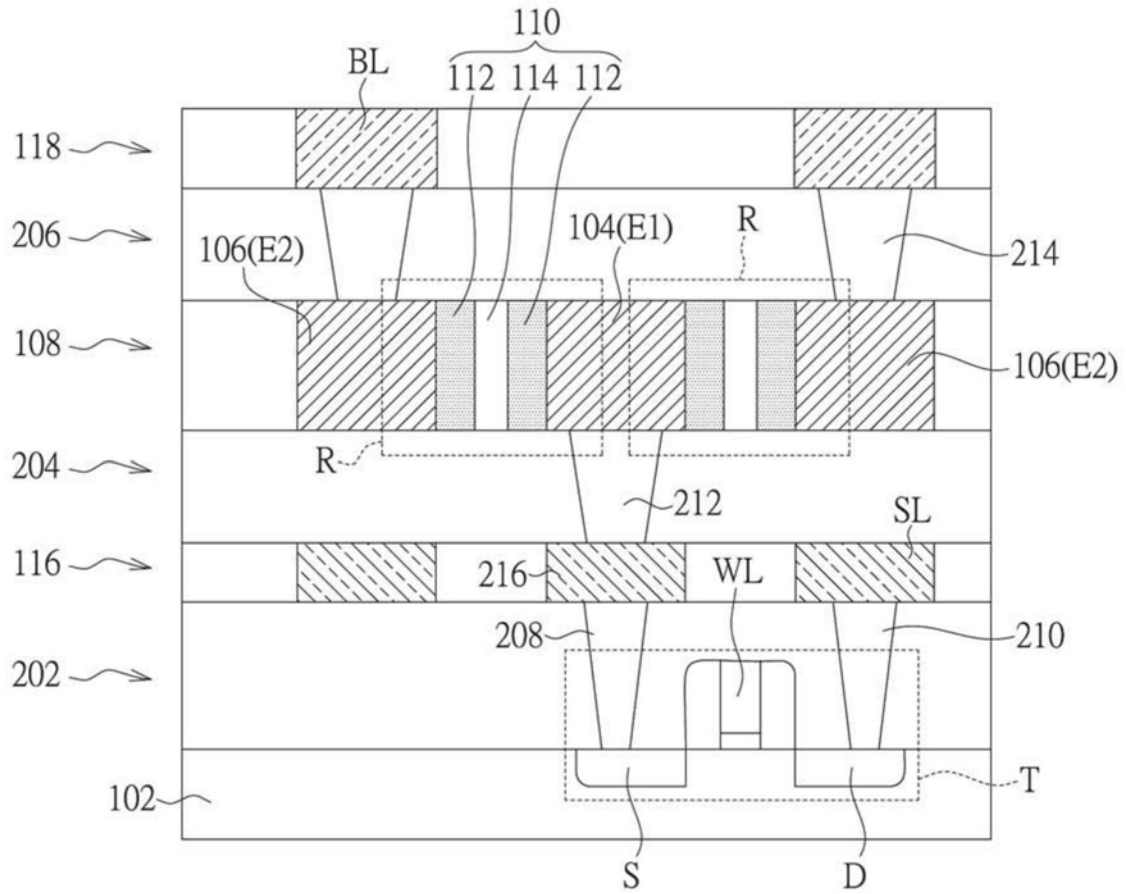


图1

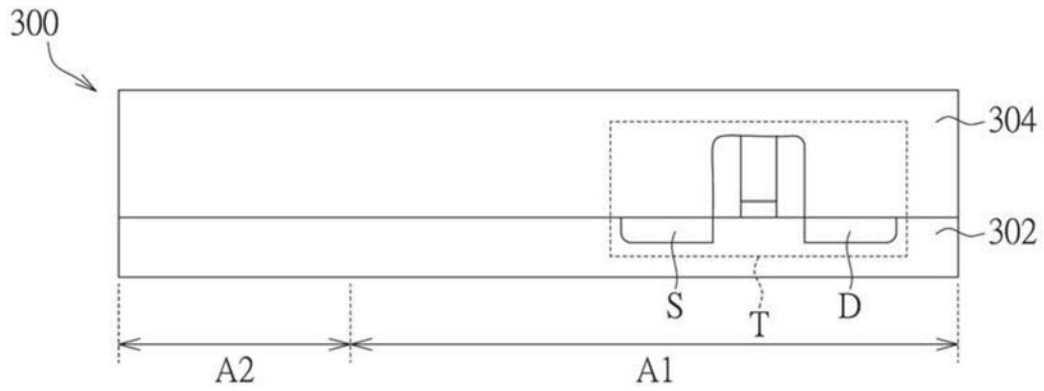


图2A

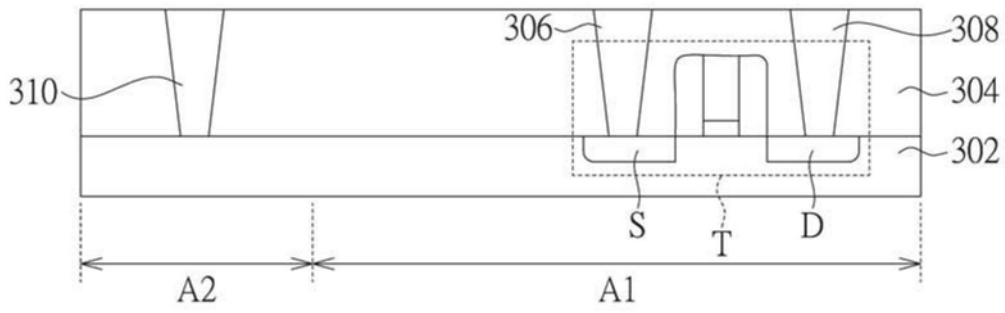


图2B

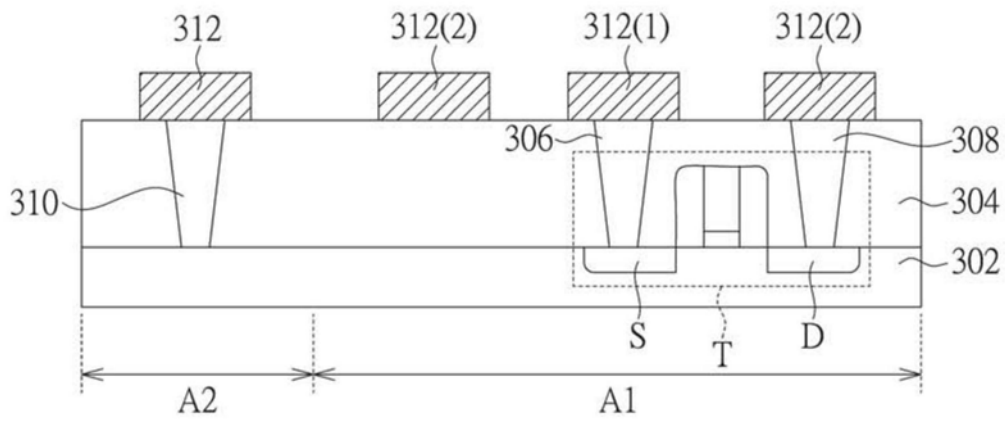


图2C

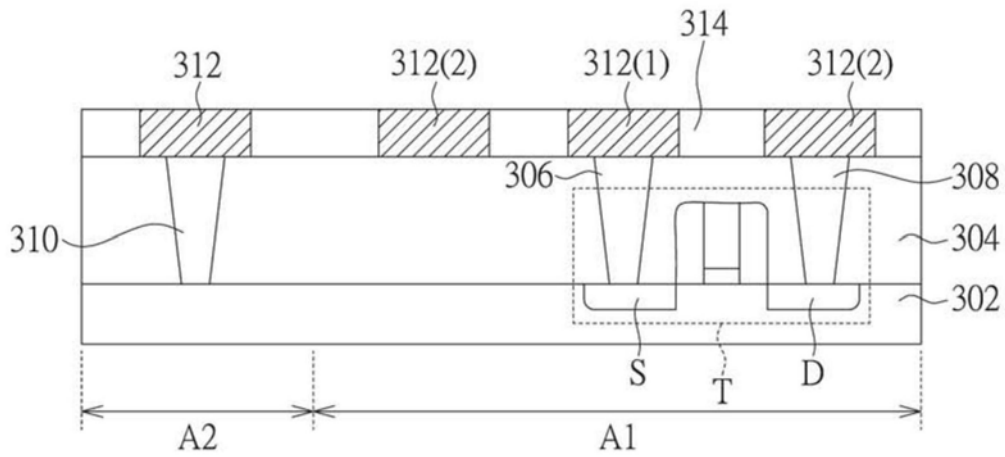


图2D

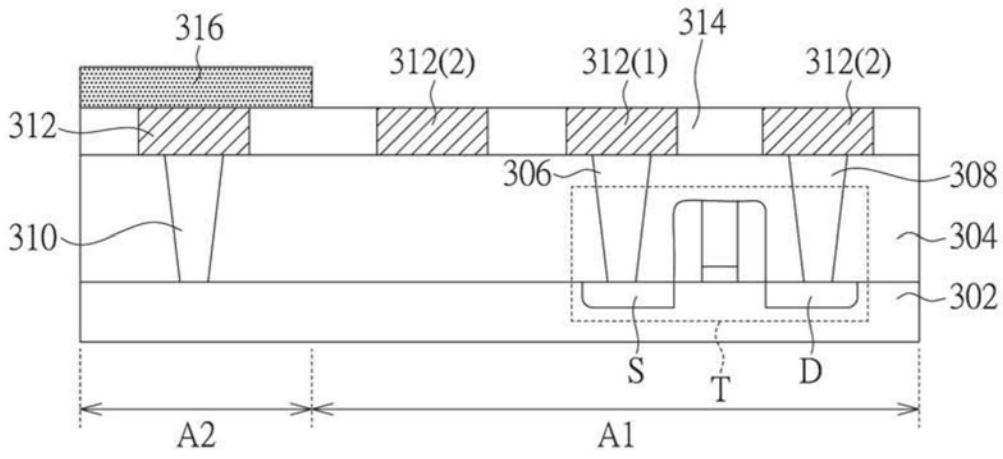


图2E

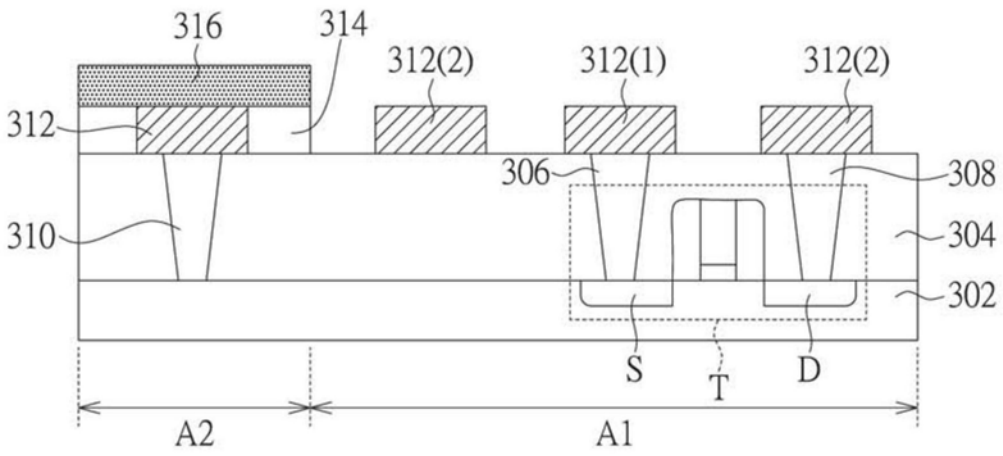


图2F

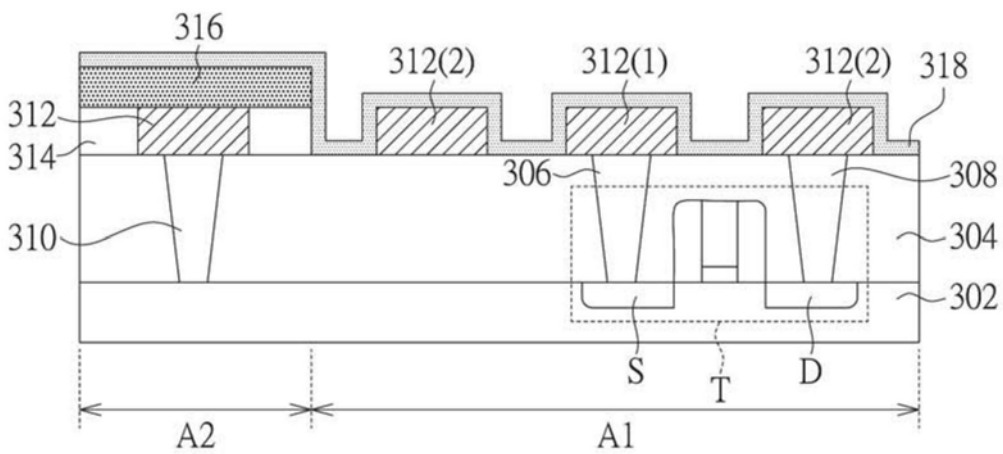


图2G

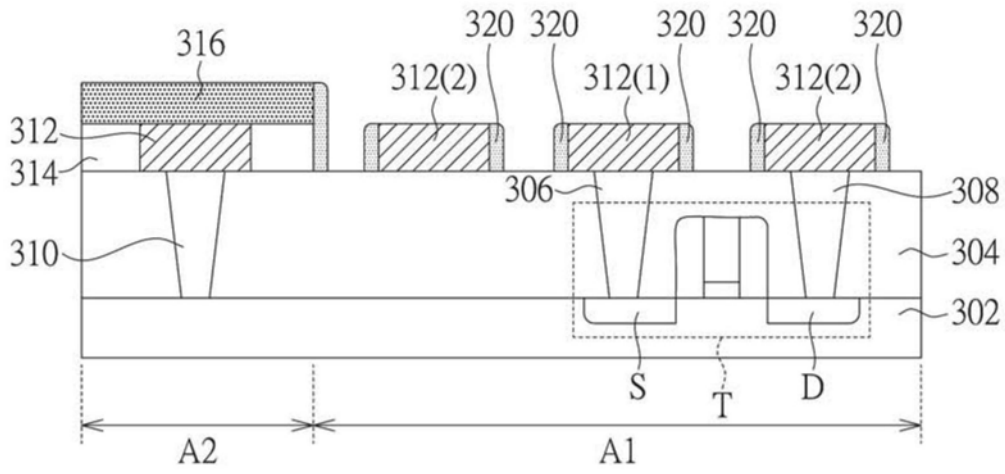


图2H

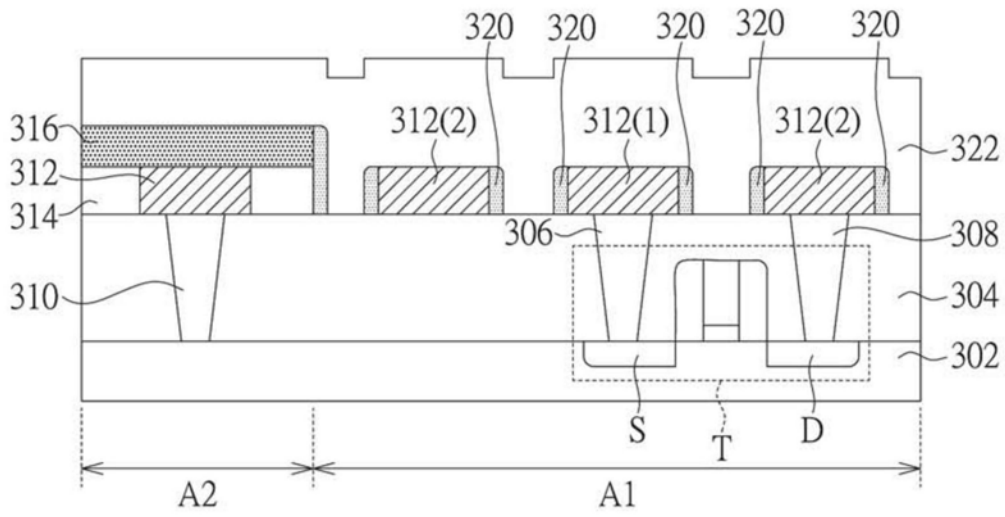


图2I

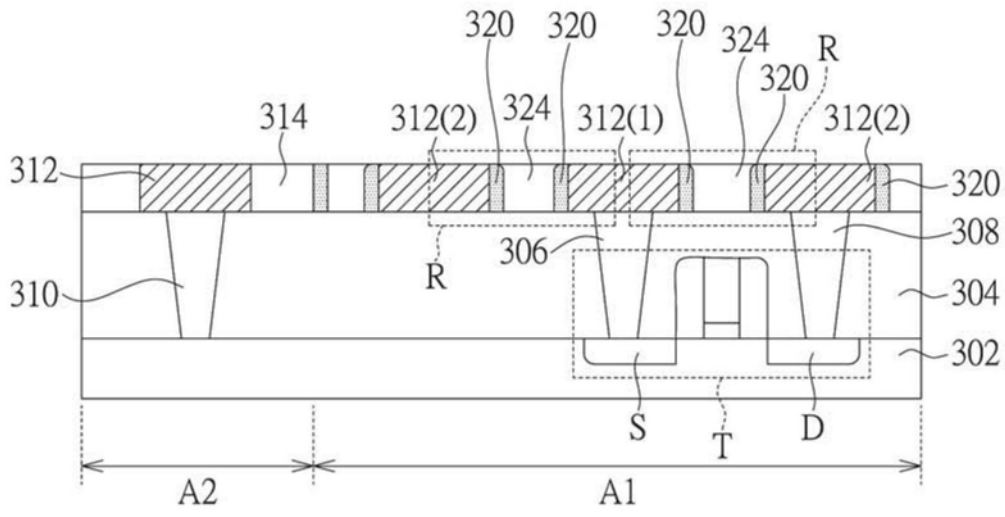


图2J