

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年6月7日(2018.6.7)

【公表番号】特表2017-517073(P2017-517073A)

【公表日】平成29年6月22日(2017.6.22)

【年通号数】公開・登録公報2017-023

【出願番号】特願2016-569919(P2016-569919)

【国際特許分類】

G 05 F 1/56 (2006.01)

【F I】

G 05 F	1/56	3 1 0 K
G 05 F	1/56	3 1 0 P
G 05 F	1/56	3 1 0 U
G 05 F	1/56	3 1 0 V

【手続補正書】

【提出日】平成30年4月20日(2018.4.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電圧制御型発振器(VCO)レギュレータ回路であって、

第1の電圧レギュレータへの第1の入力電圧を調整するための前記第1の電圧レギュレータと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体(PMOS)パス素子を含み、

第2の電圧レギュレータへの第2の入力電圧を調整するための前記第2の電圧レギュレータと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体(NMOS)パス素子を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続される、

を備え、

電圧モードを選択し、選択された前記電圧モードに基づいて、前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを選択的にアクティブにするための切替え回路

をさらに備えることを特徴とし、

前記切替え回路は、前記VCOレギュレータ回路に接続されたVCOの影響に基づいて前記電圧モードを選択するように、及び、前記影響に基づいて前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの前記少なくとも1つを選択的にアクティブにするように構成される、レギュレータ回路。

【請求項2】

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、直列に接続される、請求項1に記載のレギュレータ回路。

【請求項3】

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、並列に接続される、請求項1に記載のレギュレータ回路。

【請求項4】

前記第1の電圧レギュレータは、2つの段において前記第1の入力電圧を増幅するため

の二段式増幅器回路を含む、請求項1に記載のレギュレータ回路。

【請求項5】

前記第2の電圧レギュレータは、2つの段において前記第2の入力電圧を増幅するための二段式増幅器回路を含む、請求項1に記載のレギュレータ回路。

【請求項6】

前記第2の電圧レギュレータは、ポールキャンセレーション回路を含む、請求項1に記載のレギュレータ回路。

【請求項7】

前記第2の電圧レギュレータは、キャパシタ及び抵抗器を含み、前記抵抗器の一端は、前記キャパシタに接続され、前記抵抗器の別の端は、前記N M O S バス素子のソースに接続される、請求項1に記載のレギュレータ回路。

【請求項8】

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、異なる入カインピーダンス及び出カインピーダンスを有する、請求項1に記載のレギュレータ回路。

【請求項9】

電圧制御型発振器(VCO)レギュレータ回路による方法であって、

第1の電圧レギュレータへの第1の入力電圧を、前記第1の電圧レギュレータを介して調整することと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体(P M O S) バス素子を含む、

第2の電圧レギュレータへの第2の入力電圧を、前記第2の電圧レギュレータを介して調整することと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体(N M O S) 素子を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続される、

を備え、

選択された電圧モードに基づいて、前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを選択的にアクティブにするために、切替え回路を介して、前記電圧モードを選択すること

をさらに備えることを特徴とし、

前記電圧モードは、前記VCOレギュレータ回路に接続されたVCOの影響に基づいて、及び、前記影響に基づいて前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの前記少なくとも1つを選択的にアクティブにために、選択される、
方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

[0065]先の説明は、当業者による、本明細書に説明された様々な態様の実施を可能にするために提供される。これらの態様に対する様々な修正は、当業者には容易に明らかとなり、本明細書において定義された包括的な原理は、他の態様に適用され得る。故に、特許請求の範囲は、本明細書で示された態様に限定されることを意図しておらず、特許請求の範囲の文言と一致する全範囲が付与されるべきものであり、ここにおいて、単数形の要素への参照は、そのように明記されていない限り、「1つ及び1つのみ」を意味することを意図するものではなく、「1つ又は複数」を意味する。別途明記されていない限り、「何等かの/幾つかの」という用語は、1つ又は複数を指す。当業者に知られているか又は後に知られることとなる、本開示全体にわたって説明された様々な態様の要素と構造的及び機能的に同等なものは全て、参照によって本明細書に明確に組み込まれ、そして特許請求の範囲によって包含されることが意図される。更に、本明細書に開示されたものは何れも、そのような開示が特許請求の範囲に明示的に記載されているかどうかに関わらず、公に

献呈されることを意図するものではない。何れの請求項の要素も、その要素が「～ための手段」という表現を使用して明記されていない限り、ミーンズプラスファンクション(means plus function)として解釈されるべきではない。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

レギュレータ回路であって、

第1の電圧レギュレータへの第1の入力電圧を調整するための前記第1の電圧レギュレータと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体(PMOS)を含み、

第2の電圧レギュレータへの第2の入力電圧を調整するための前記第2の電圧レギュレータと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体(NMOS)を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続され、

前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを選択的にアクティブにするための切替え回路と

を備えるレギュレータ回路。

[C 2]

前記切替え回路は、前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを、ノイズに基づいて選択的にアクティブにする、C1に記載のレギュレータ回路。

[C 3]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、直列に接続される、C1に記載のレギュレータ回路。

[C 4]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、並列に接続される、C1に記載のレギュレータ回路。

[C 5]

前記第1の電圧レギュレータは、2つの段において前記第1の入力電圧を増幅するための二段式増幅器回路を含む、C1に記載のレギュレータ回路。

[C 6]

前記第2の電圧レギュレータは、2つの段において前記第2の入力電圧を増幅するための二段式増幅器回路を含む、C1に記載のレギュレータ回路。

[C 7]

前記第2の電圧レギュレータは、ポールキャンセレーション回路を含む、C1に記載のレギュレータ回路。

[C 8]

前記第2の電圧レギュレータは、キャパシタ及び抵抗器を含み、前記抵抗器の一端は、前記キャパシタに接続され、前記抵抗器の別の端は、前記NMOSのソースに接続される、C1に記載のレギュレータ回路。

[C 9]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、入力電圧調整の程度を変更するように調節可能である、C1に記載のレギュレータ回路。

[C 10]

前記第1の電圧レギュレータ及び前記第2の電圧レギュレータは、異なる入力インピーダンス及び出力インピーダンスを有する、C1に記載のレギュレータ回路。

[C 11]

レギュレータ回路による方法であって、

第1の電圧レギュレータへの第1の入力電圧を、前記第1の電圧レギュレータを介して調整することと、ここで、前記第1の電圧レギュレータは、P型金属酸化膜半導体(PMOS)を含む、

第2の電圧レギュレータへの第2の入力電圧を、前記第2の電圧レギュレータを介して

調整することと、ここで、前記第2の電圧レギュレータは、N型金属酸化膜半導体（NMOS）を含み、前記第1の電圧レギュレータは、前記第2の電圧レギュレータに接続され、

前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの少なくとも1つを、切替え回路を介して選択的にアクティブにすることと
を備える方法。

[C 1 2]

前記第1の電圧レギュレータ又は前記第2の電圧レギュレータのうちの前記少なくとも1つは、ノイズに基づいて選択的にアクティブにされる、C 1 1に記載の方法。

[C 1 3]

レギュレータ回路であって、

第1の入力電圧を調整するための手段への前記第1の入力電圧を調整するための前記手段と、ここで、前記第1の入力電圧を調整するための前記手段は、P型金属酸化膜半導体（PMOS）を含み、

第2の電圧を調整するための手段への前記第2の入力電圧を調整するための前記手段と、ここで、前記第2の電圧を調整するための前記手段は、N型金属酸化膜半導体（NMOS）を含み、前記第1の入力電圧を調整するための前記手段は、前記第2の電圧を調整するための前記手段に接続され、

前記第1の入力電圧を調整するための前記手段又は前記第2の電圧を調整するための前記手段のうちの少なくとも1つを選択的にアクティブにするための手段と
を備えるレギュレータ回路。

[C 1 4]

選択的にアクティブにするための前記手段は、前記第1の入力電圧を調整するための前記手段又は前記第2の電圧を調整するための前記手段のうちの少なくとも1つを、ノイズに基づいて選択的にアクティブにするように構成される、C 1 3に記載のレギュレータ回路。