

發明專利說明書

200529360

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94105777

※申請日期：94.2.25

※IPC 分類：H01L 21/56

一、發明名稱：(中文/英文)

銅鑲嵌結構及其製作方法

COPPER DUAL DAMASCENE AND FABRICATION METHOD
THEREOF**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

Taiwan Semiconductor Manufacturing Co., Ltd.

代表人：(中文/英文) 張忠謀 / Chung-Mou Chang

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

No.8, Li-Hsin Rd. 6, Science-Based Industrial Park Hsin-Chu, Taiwan

300-77, R.O.C.

國籍：(中文/英文) 中華民國 / TW

三、發明人：(共 8 人)

姓名：(中文/英文)

- | | |
|---------------------------|----------------------------|
| 1. 陳科維 / Kei-Wei Chen | 2. 曹榮志 / Jung-Chih Tsao |
| 3. 劉繼文 / Chi-Wen Liu | 4. 陳俊彰 / Jchung-Chang Chen |
| 5. 張仕宗 / Shih-Tzung Chang | 6. 林世和 / Shih-Ho Lin |
| 7. 林俞谷 / Yu-Ku Lin | 8. 王英郎 / Ying-Lang Wang |

國籍：(中文/英文)

- | | | |
|--------------|--------------|--------------|
| 1. 中華民國 / TW | 2. 中華民國 / TW | 3. 中華民國 / TW |
| 4. 中華民國 / TW | 5. 中華民國 / TW | 6. 中華民國 / TW |
| 7. 中華民國 / TW | 8. 中華民國 / TW | |

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 美國(US)、2004/2/27、10/788,912

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於一種半導體元件，特別是關於一種可降低電阻與改善可靠度的銅鑲嵌結構及其製作方法。

【先前技術】

在積體電路的製作過程中，鑲嵌結構往往需要一厚度均勻的障壁層，以形成足夠的銅擴散阻力，並使其形成的電阻值能在符合積體電路表現的標準內。而一鑲嵌開口，例如一雙鑲嵌開口，則會藉由一連串的黃光暨蝕刻製程形成於金屬間介電(inter-metal dielectric)層上，之後才於鑲嵌開口內形成障壁層與填入金屬。

隨著積體電路元件尺寸的不斷下降，為降低訊號延遲與功率的損失，低介電常數(low-k)材料的需求也日益增加，而其可採用的各種解決方案之一則是在介電絕緣層，亦即前述之金屬間介電層中加入一些孔隙或摻質。

將多孔性低介電常數材料與銅同時使用時，將會發生一些問題，舉例來說，在銅鑲嵌製程中進行金屬(銅)填入時，銅可能會擴散到金屬間介電層，而造成金屬間介電層的介電常數改變與降低電阻。在習知技術中，多會利用不同的阻障材料來和多孔性低介電常數材料及銅一起使用，例如可使用耐火金屬(refractory metal)或耐火金屬氮化物(refractory metal nitride)來形成一堅固的障壁層，以達到降低銅鑲嵌結構電阻之目的。

當元件的特徵尺寸低於0.25微米，甚至0.17微米時，要如何進行障壁層的沉積，使其具有足夠的覆蓋能力就成了一大挑戰，在習知技術中大多藉由各種物理氣相沉積(PVD)製程來達成足夠的階梯覆蓋能力，然而，由於物理氣相沉積製程本質上是一種濺鍍製程，因此想要藉由物理氣相沉積製程來於一個小開口中沉積一薄膜材料自然會有許多製程上的限制，舉

例來說，物理氣相沉積製程通常在開口的底部具有較高的階梯覆蓋能力，而在側壁部分的階梯覆蓋能力則普遍較差，此外，對於一雙鑲嵌製程而言，障壁層的覆蓋往往會在角落處變薄，例如在雙鑲嵌結構的下導孔(via)角落以及在導孔/溝槽(trench)間的過渡部分，此外，覆蓋於導孔底部以及上溝槽側壁的障壁層通常會具有相對較高的厚度，而造成不必要的電阻增加。

因此，在半導體製程技術需要一種可以在降低電阻的同時，改善障壁層覆蓋能力均勻度的銅鑲嵌結構製作方法，以改善積體電路的電性表現及可靠度。

【發明內容】

本發明的目的之一在於提供一種可以在降低電阻的同時，改善障壁層覆蓋能力均勻度的銅鑲嵌結構製作方法，以改善積體電路的電性表現及可靠度，並克服習知技術中的缺點。

為達上述與其他目的，本發明之方法主要係提供一種製作銅鑲嵌結構的方法，可用來改善銅的遷移阻力及降低電阻，根據本發明一較佳實施例，該方法首先提供一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、分隔上介電絕緣層與下介電絕緣層之非金屬阻障層與蝕刻停止層，以及一導電區域位於下介電絕緣層之下方，再於半導體晶片上形成一雙鑲嵌開口，延伸超過上介電絕緣層與下介電絕緣層之厚度，雙鑲嵌開口並具有一上溝槽線部份，延伸超過上介電絕緣層，且部分超過中間蝕刻停止層，接著於雙鑲嵌開口上毯覆式沉積一障壁層，並對該雙鑲嵌開口進行一遠距電漿蝕刻處理，以去除障壁層之底部，而露出下方之導電區域，最後將銅填入雙鑲嵌開口，以形成一大致平坦之表面。

依照本發明之另一實施例，該方法包括下列主要步驟，首先提供一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、一分隔上介電絕

緣層與下介電絕緣層之複合式中間蝕刻停止層，以及一導電區域位於下介電絕緣層之下方，再於半導體晶片上形成一雙鑲嵌開口，延伸超過上介電絕緣層與下介電絕緣層之厚度，雙鑲嵌開口並具有一上溝槽線部份，延伸超過上介電絕緣層，且部分超過複合式中間蝕刻停止層，接著於雙鑲嵌開口上毯覆式沉積一障壁層，並對該雙鑲嵌開口進行一遠距電漿蝕刻處理，以去除障壁層之底部，而露出下方之導電區域，最後將銅填入雙鑲嵌開口，以形成一大致平坦之表面。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

雖然在下列說明中，本發明係以一雙鑲嵌結構為例來說明本發明之鑲嵌結構製作方法，然而本發明並不限於此，而可應用於各種鑲嵌結構之製作，此外，堆疊的複數金屬層間介電層(IMD)或是單一層間介電(ILD)層可與本發明之蝕刻停止層一起被用來改善障壁層的覆蓋能力、銅的電遷移阻力，以及改善可靠度與電性表現。雖然本發明之方法對於特徵尺寸小於0.17微米，深寬比(aspect ratio)大於6:1的銅鑲嵌結構具有較顯著之功效，但本發明仍可應用於較大尺寸的銅鑲嵌結構。

鑲嵌結構係泛指各種填入一介電絕緣層內開口中的金屬，例如單鑲嵌結構或雙鑲嵌結構。此外，雖然本發明之方法係特別利用銅來實施，並對銅有特別之功效，但是填入鑲嵌開口的金屬仍可包含有其他種類的金屬，例如鎢、鋁或銅合金。本發明之方法對於銅鑲嵌結構特徵，例如線寬/半徑小於0.25微米的導孔及溝槽線(trench line)具有特別之功效，尤其是0.17微米以下，例如0.13微米或更小。此外，本發明之方法對於使用以氧化矽為主、具有電連線孔洞結構及介電常數小於3的低介電常數絕緣材料有特別之功效，尤其是介電常數小於2.5，例如2.2到3的低介電常數

絕緣材料。此外，在下列說明中，所述之銅皆泛指銅或銅合金。

請參考第 1A 至 1F 圖，第 1A 至 1F 圖為一系列之剖面示意圖，用來說明本發明一實施例中製作雙鑲嵌結構的方法，本發明所使用的半導體晶片包含有一多層結構，但為說明方便起見，在第 1A 至 1F 圖中僅顯示了與本發明相關之部分，其他部分應為熟悉相關技藝者所熟知，故予以省略。如第 1A 圖所示，首先藉由一習知微電子積體電路製程，於一介電絕緣層 10 上形成一導電區域 11，舉例來說，可為一導電金屬電連線結構，例如銅鑲嵌結構，接著再於其上沉積一第一蝕刻停止層 12A。在本發明之一實施例中，第一蝕刻停止層 12A 係藉由一習知化學氣相沉積製程所形成，例如可為低壓化學氣相沉積 (LPCVD) 或是電漿增強型化學氣相沉積 (PECVD)，其包含有氮矽化合物 (SiN 或 Si_3N_4)、矽氧氮化合物 (SiON) 或碳矽化合物 (SiC) 中之至少一者，並以氮矽化合物較佳，而厚度則大抵為 300 至 700 埃。

接著在第一蝕刻停止層 12A 上形成一第一介電絕緣層 14A，作為一下介電絕緣層或金屬層間介電 (IMD) 層，在本發明之一實施例中，第一介電絕緣層 14A 係由以氧化矽為主的低介電常數絕緣材料所構成，並包含有一多孔性結構，例如電連線孔洞結構，其製作方法為利用一有機矽烷先趨物 (organo-silane precursor)，例如四甲基矽烷 (tetramethylsilane)、三甲基矽烷 (trimethylsilane) 或環四矽氧烷 (cyclo-tetra-siloxane) 來進行一電漿增強型化學氣相沉積製程，此外，亦可使用氟矽玻璃 (FSG) 作為第一介電絕緣層 14A，而其厚度並無特別限制，但以能於其中形成一雙鑲嵌結構中的導孔部分者較佳，例如可為 1000 至 2700 埃。

接著會於第一介電絕緣層 14A 上沉積一第二蝕刻停止層 12B，在本發明之一實施例中，第二蝕刻停止層 12B 係為一複合式蝕刻停止層，而包含有至少兩種不同的材料層，例如複合式蝕刻停止層之下半部可包含有由氮

矽化合物 (SiN 或 Si_3N_4)、矽氧氮化合物 (SiON) 構成的一最下層 (lowermost layer)，以作為一蝕刻停止層，而其上半部則包含有由碳矽化合物 (SiC) 構成的一最上層 (uppermost layer)，以作為一非金屬阻障層，再本發明之一較佳實施例中，最下層 (蝕刻停止層) 之厚度大抵為 200 至 400 埃，最上層 (非金屬阻障層) 之厚度大抵為 100 至 300 埃。其中，並以包含有由氮矽化合物構成的最下層以及由碳矽化合物構成的最上層之第二蝕刻停止層 12B 較佳。而其製作方法可為一般習知之化學氣相沉積製程，例如低壓化學氣相沉積或是電漿增強型化學氣相沉積。複合式之第二蝕刻停止層 12B 除了能增加對銅遷移的抵抗能力外，更可藉由一些習知技術來進行蝕刻終點 (etching endpoint) 的偵測，例如可藉由對蝕刻電漿成分的光學偵測來判斷蝕刻終點，而能在後續製程中，精確控制對複合式之第二蝕刻停止層 12B 之蝕刻深度，而能對第二蝕刻停止層 12B 進行部份蝕刻，此部份之詳細內容將於後續說明中予以進一步解釋。

接著會於第二蝕刻停止層 12B 再沉積一第二介電絕緣層 14B，作為一上介電絕緣層，其可由與前述第一介電絕緣層 14A 相同之材質所構成，並以相同之製程方式來製作。第二介電絕緣層 14B 之厚度則以能包含有一雙鑲嵌結構中的溝槽線 (trench line) 部份者較佳。之後可再選擇性地於第二介電絕緣層 14B 上形成一抗反射層 16，其可由有機或無機材料所構成，並以氮氧矽化合物較佳。

如第 1B 圖所示，接著可藉由習知之黃光圖案化製程以及乾蝕刻製程來於半導體晶片上形成一雙鑲嵌開口 18，在本發明之一實施例中，所形成的雙鑲嵌開口 18 會使下方之導電區域 11 露出，例如可藉由一習知黃光圖案化製程以及反應性離子蝕刻 (reactive ion etch) 製程於半導體晶片表面形成一導孔開口 (via opening) 部分 18A，其半徑大抵為 0.25 微米以下，並以 0.17 微米以下較佳，值得注意的是在本發明之一較佳實施例中，可再進行一習知的反應性離子蝕刻製程來對半導體晶片進行蝕刻，以於半

導體晶片中形成一溝槽開口 (trench opening) 部分 18B，在蝕刻過程中，並可藉由前述之複合式第二蝕刻停止層 12B (例如一 SiON/SiC 複合層) 來控制蝕刻終點，使第二蝕刻停止層 12B 僅被蝕刻掉部分厚度，例如可將第二蝕刻停止層 12B 中的最上層蝕刻穿，但未貫穿整個第二蝕刻停止層 12B。

如第 1C 圖所示，接著會於雙鑲嵌開口 18 上形成一障壁層 20A，在本發明之一實施例中，障壁層 20A 係藉由一物理氣相沉積製程毯覆式沉積於半導體晶片上，其可包含有耐火金屬、耐火金屬氮化物及耐火金屬氮矽化合物中之一者，例如可為選自由鈮 (Ta)、鈦 (Ti)、鎢 (W)、氮化鈮 (Ta₃N₅)、氮化鈦 (TiN)、氮化鎢 (WN) 與矽氮化鈮 (TaSiN) 所構成之族群中之任一者或其組合，例如可為 Ta/Ta₃N₅、Ta₃N₅ 或 TaSiN，並以由離子金屬電漿製程所形成之 Ta/Ta₃N₅ 複合層較佳，其厚度則以 100 至 350 埃者較佳。

如第 1D 圖所示，接著會進行一遠距電漿蝕刻處理 (remote plasma etch treatment)，藉由至少一種惰氣 (inert gas) 電漿來源 (如氮、氬或氫等) 來蝕刻部份之障壁層 20A，在本發明之一實施例中，係藉由遠距電漿蝕刻處理來去除覆蓋於導孔開口部分 18A 底部 20B 處的障壁層 20A，以使其下的導電區域 11 露出，如前所述，導電區域 11 可為可為一導電金屬電連線結構，例如銅鑲嵌結構。值得注意的是雖然在障壁層 20A 剛形成時，會具有習知技術中側壁及底部厚度不均之問題，但由於遠距電漿蝕刻處理可對底部部分產生較大的蝕刻速率，因此經過遠距電漿蝕刻處理後，可使障壁層 20A 之側壁及底部具有一均勻之厚度，在本發明之一實施例中，障壁層 20A 在經過遠距電漿蝕刻處理後，其厚度大抵為 50 至 250 埃。

本發明之特點之一即在於藉由此遠距電漿蝕刻處理，使障壁層 20A 在側壁與角落部分 23 (例如位於溝槽開口部分 18B 與導孔開口部分 18A 間的過渡部分) 具有一均勻之厚度。此外，並可藉由降低障壁層 20A 的厚度，來增加整個鑲嵌開口 18 內側壁 (含角落 23) 的厚度均勻性，以降低障壁層

20A 所造成之電阻值，但其厚度仍需足以維持一定的抵抗力，來避免後續形成之銅擴散或遷移至週圍之第一介電絕緣層 14A 與第二介電絕緣層 14B 內。

請參考第 2 圖，第 2 圖為本發明一實施例中所使用的一遠距電漿蝕刻系統之示意圖。如第 2 圖所示，遠距電漿來源 34 主要包含有一容室 (chamber)，其經由一氣體管線 36A 連結到至少一電漿氣體來源 36，遠距電漿來源 34 係位於整個反應室 38 之上游 (upstream) 位置，並藉由一導管 (conduit) 34A 將來自遠距電漿來源 34 的流體經由氣體擴散分散歧管 (gas diffusion distribution manifold) 30 送到反應室 38，因此遠距電漿來源 34 處產生的電漿可經由氣體擴散分散歧管 30 反應室 38，而直接向下撞擊位於晶片台座 (wafer pedestal) 32B 上的製程晶片 (process wafer) 32A。晶片台座 32B 可電連接到一直流電源或一射頻偏壓 (RF bias) 來源 (未顯示)。此外，遠距電漿蝕刻系統另包含有一氣體幫浦接口 (gas pumping port) 36，用以將反應室 38 內之壓力維持在一需要的操作壓力上，例如 1 至 100 mTorr。遠距電漿蝕刻系統亦可再包含有一射頻產生器以及一電極 (未顯示)，以及一變流裝置 (deflector)，以使氣體能以螺旋 (spiral) 的方式流動。在本發明之一實施例中，遠距電漿蝕刻系統係以 1000 至 5000 瓦的射頻功率進行操作，並具有 1 至 100 MHz 之頻率。遠距電漿蝕刻系統並可選擇性的包含有一微波腔室 (microwave cavity)，其連接到一微波產生器，而以 1500 至 2500 瓦的功率進行操作，並具有 1 至 5 GHz 的頻率。

如第 1E 圖所示，接著會施行一習知的銅沉積製程，來將銅填入鑲嵌開口 18 內，並形成一銅層 22，舉例來說，可於鑲嵌開口 18 內先沉積一銅種晶層，之後再藉由一電化學沉積製程 (ECD)，來形成銅層 22，其中由於障壁層 20 已利用遠距電漿蝕刻進行預先處理，而具有一均勻之厚度，因此可提升銅種晶層之可靠度。

如第 1F 圖所示，接著會進行一平坦化製程，例如一化學機械研磨 (CMP) 製程，來去除高於出鑲嵌開口 18 的部分銅層 22，並去除高於出鑲嵌開口 18 的部分障壁層 20A 與抗反射層 16，以完成銅雙鑲嵌結構之製作。

請參考第 3 圖，第 3 圖係為本發明一實施例中製作銅鑲嵌結構之流程示意圖。如第 3 圖所示，在步驟 301 中，先提供一半導體晶片，其上包含有一金屬電連線結構，設於一介電絕緣層上，再進行步驟 303，於半導體晶片上形成一第一蝕刻停止層，而在步驟 305 中，則會於第一蝕刻停止層上形成第一金屬層間介電層 (第一介電絕緣層)，接著進行步驟 307，於第一介電絕緣層上形成一複合式蝕刻停止層，接著進行步驟 309，於複合式蝕刻停止層上形成第二金屬層間介電層 (第二介電絕緣層)，再進行步驟 311，於半導體晶片上形成一雙鑲嵌開口，其包含有一導孔開口以及一溝槽開口，在進行溝槽開口的蝕刻時，係以複合式蝕刻停止層作為其蝕刻終點，例如可蝕刻掉一部分之複合式蝕刻停止層，接下來在步驟 313 中，則藉由一物理氣相沉積製程，毯覆式沉積一障壁層於鑲嵌開口上，再進行步驟 315，利用一遠距電漿蝕刻處理來移除部份之障壁層，例如導孔開口的底部部分，並使下方的金屬連線結構部份露出，最後進行步驟 317，於鑲嵌開口內填入銅，並進行一平坦化製程，以完成鑲嵌結構的製作。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 至 1F 圖為本發明一實施例中製作雙鑲嵌結構之剖面示意圖。

第 2 圖為本發明一實施例中一遠距電漿蝕刻系統之示意圖。

第 3 圖係為本發明一實施例中製作銅鑲嵌結構之流程示意圖。

【主要元件符號說明】

- | | |
|---|--------------|
| 10~介電絕緣層； | 11~導電區域； |
| 12A~第一蝕刻停止層； | 12B~第二蝕刻停止層； |
| 14A~第一介電絕緣層； | 14B~第二介電絕緣層； |
| 16~抗反射層； | 18~雙鑲嵌開口； |
| 18A~導孔開口； | 18B~溝槽開口； |
| 20A~障壁層； | 20B~底部； |
| 22~銅； | 23~角落； |
| 30~氣體擴散分散歧管； | 32A~反應晶片； |
| 32B~晶片台座； | 34~遠距電漿來源； |
| 34A~導管； | 36~電漿氣體來源； |
| 36A~氣體管線； | 38~反應室； |
| 301、303、305、307、309、311、313、315、317~步驟。 | |

五、中文發明摘要：

本發明係提供一種製作銅鑲嵌結構及其製作方法，可用來改善銅的遷移阻力及降低電阻，首先提供一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、一分隔上介電絕緣層與下介電絕緣層之非金屬阻障層，以及一導電區域位於下介電絕緣層之下方，再於半導體晶片上形成一雙鑲嵌開口，延伸超過上介電絕緣層與下介電絕緣層之厚度，雙鑲嵌開口並具有一上溝槽線部份，延伸超過上介電絕緣層，且部分超過中間蝕刻停止層，接著於雙鑲嵌開口上毯覆式沉積一障壁層，並對該雙鑲嵌開口進行一遠距電漿蝕刻處理，以去除障壁層之底部，而露出下方之導電區域，最後將銅填入雙鑲嵌開口，以形成一大致平坦之表面。

六、英文發明摘要：

A method for forming a copper dual damascene is provided. A semiconductor wafer including upper and lower dielectric insulating layers separated by a barrier layer is first provided. A dual damascene opening is then formed on the semiconductor wafer. The dual damascene opening extends through a thickness of the upper and lower dielectric insulating layers wherein an upper trench line portion extends through the upper dielectric insulating layer thickness and partially through the middle etch stop layer. A barrier is blanket deposited on the dual damascene opening. A remote plasma etch treatment of the dual damascene opening to remove a bottom portion of the barrier layer to reveal an underlying conductive area. The dual damascene opening is then filled with copper to provide a substantially planar surface.

十、申請專利範圍：

1. 一種製作銅鑲嵌結構的方法，可用來改善銅的遷移阻力及降低電阻，其包括下列步驟：

提供一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、一分隔該上介電絕緣層與該下介電絕緣層之非金屬阻障層，以及一導電區域位於該下介電絕緣層之下方；

於該半導體晶片上形成一雙鑲嵌開口；

於該雙鑲嵌開口上毯覆式沉積(blanket deposit)一障壁層；

對該雙鑲嵌開口進行一電漿蝕刻處理(plasma etch treatment)，以去除該障壁層之底部，並露出下方之導電區域；以及

將銅填入該雙鑲嵌開口，以形成一大致平坦之表面。

2. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該上介電絕緣層與該下介電絕緣層之間包含有一蝕刻停止層。

3. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該非金屬阻障層係選自由碳氮氧化矽與碳氧化矽所構成之族群。

4. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該障壁層係選自由鉭(Ta)、鈦(Ti)、鎢(W)、氮化鉭(TaN)、氮化鈦(TiN)、氮化鎢(WN)與矽氮化鉭(TaSiN)所構成之族群。

5. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該障壁層由鈦/氮化鈦複合層所構成。

6. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該障壁層係藉由一物理氣相沉積(PVD)製程毯覆式沉積於該雙鑲嵌開口上。

7. 如申請專利範圍第 6 項所述之製作銅鑲嵌結構的方法，其中該物理氣相沉積製程包含有一離子金屬電漿(IMP)製程。

8. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該電漿蝕刻處理包含有將一遠距電漿產生裝置設置於一蝕刻反應室上。

9. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該電漿蝕刻處理包含有提供選自紅外線或微波中之一能量來源。

10. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中該導電區域包含有銅。

11. 如申請專利範圍第 1 項所述之製作銅鑲嵌結構的方法，其中將銅填入該雙鑲嵌開口包含有下列步驟：

沉積一銅種子層；

進行一電化學沉積製程以將銅填入該雙鑲嵌開口；以及

進行一化學機械研磨 (CMP) 製程，以將高度超過該雙鑲嵌開口的銅移除。

12. 一種製作銅鑲嵌結構的方法，可用來改善銅的遷移阻力及電阻，其包括下列步驟：

提供一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、分隔該上介電絕緣層與該下介電絕緣層之非金屬阻障層與蝕刻停止層，以及一導電區域位於該下介電絕緣層之下方；

於該半導體晶片上形成一雙鑲嵌開口，延伸超過該上介電絕緣層與該下介電絕緣層之厚度，該雙鑲嵌開口具有一上溝槽線部份，延伸超過該上介電絕緣層之厚度；

於該雙鑲嵌開口上毯覆式沉積一障壁層；

對該雙鑲嵌開口進行一電漿蝕刻處理，以去除該障壁層之底部，並露出下方之導電區域；以及

將銅填入該雙鑲嵌開口，以形成一大致平坦之表面。

13. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該蝕刻停止層係選自由氮化矽層與氮氧化矽所構成之族群，而該非金屬阻障層係選自由碳化矽與碳氧化矽所構成之族群。

14. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該蝕

刻停止層由氮氧化矽所構成，而該非金屬阻障層係由碳化矽所構成。

15. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該障壁層係選自由鈹 (Ta)、鈦 (Ti)、鎢 (W)、氮化鈹 (Ta₃N₅)、氮化鈦 (TiN)、氮化鎢 (WN) 與矽氮化鈹 (TaSiN) 所構成之族群。

16. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該障壁層由鈦/氮化鈦複合層所構成。

17. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該障壁層係藉由一物理氣相沉積製程毯覆式沉積於該雙鑲嵌開口上。

18. 如申請專利範圍第 17 項所述之製作銅鑲嵌結構的方法，其中該物理氣相沉積製程包含有一離子金屬電漿製程。

19. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該電漿蝕刻處理係為一遠距電漿蝕刻處理，而包含有將一遠距電漿產生裝置設置於一蝕刻反應室上。

20. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該遠距電漿蝕刻處理包含有提供選自紅外線或微波中的一能量來源。

21. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中該導電區域包含有銅。

22. 如申請專利範圍第 12 項所述之製作銅鑲嵌結構的方法，其中將銅填入該雙鑲嵌開口包含有下列步驟：

沉積一銅種子層；

進行一電化學沉積製程以將銅填入該雙鑲嵌開口；以及

進行一化學機械研磨製程，以將高度超過該雙鑲嵌開口的銅移除。

23. 一種銅鑲嵌結構，其包含有：

一半導體晶片，其包含有一上介電絕緣層、一下介電絕緣層、一分隔該上介電絕緣層與該下介電絕緣層之非金屬阻障層，以及一導電區域位於該下介電絕緣層之下方；

一雙鑲嵌開口設於該半導體晶片表面，該雙鑲嵌開口包含有一溝槽開口以及一導孔開口，該溝槽開口係位於該上介電絕緣層內，而該導孔開口係位於下介電絕緣層內，並露出該導電區域；

一厚度均勻之障壁層設於該雙鑲嵌開口中，覆蓋於該上介電絕緣層、該非金屬阻障層以及該下介電絕緣層，並露出該導電區域；以及

一銅導電層設於該雙鑲嵌開口內之該障壁層上，並鄰接至該導電區域。

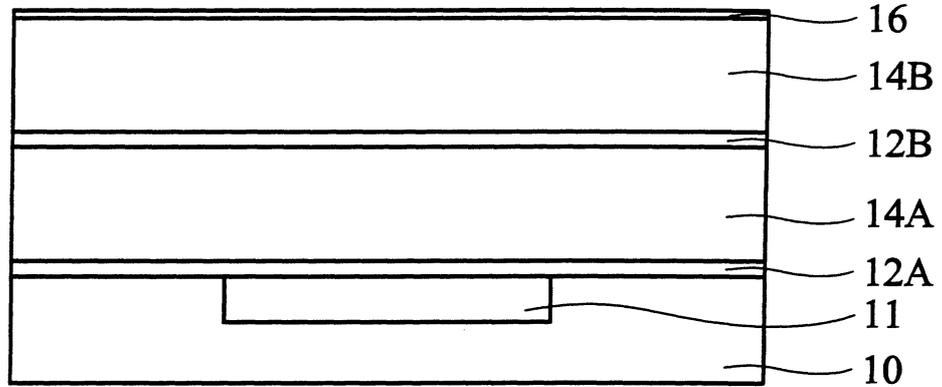
24.如申請專利範圍第 23 項所述之銅鑲嵌結構，其中該上介電絕緣層與該下介電絕緣層之間另包含有一蝕刻停止層。

25.如申請專利範圍第 24 項所述之銅鑲嵌結構，其中該蝕刻停止層係選自由氮化矽層與氮氧化矽所構成之族群，而該非金屬阻障層係選自由碳化矽與碳氧化矽所構成之族群。

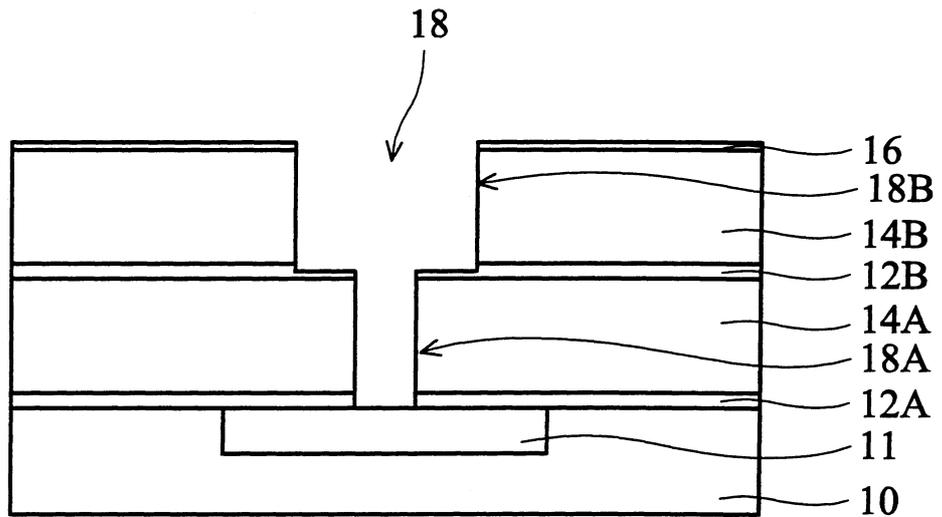
26.如申請專利範圍第 23 項所述之銅鑲嵌結構，其中該障壁層係選自由鉭(Ta)、鈦(Ti)、鎢(W)、氮化鉭(TaN)、氮化鈦(TiN)、氮化鎢(WN)與矽氮化鉭(TaSiN)所構成之族群。

27.如申請專利範圍第 23 項所述之銅鑲嵌結構，其中該障壁層由鈦/氮化鈦複合層所構成。

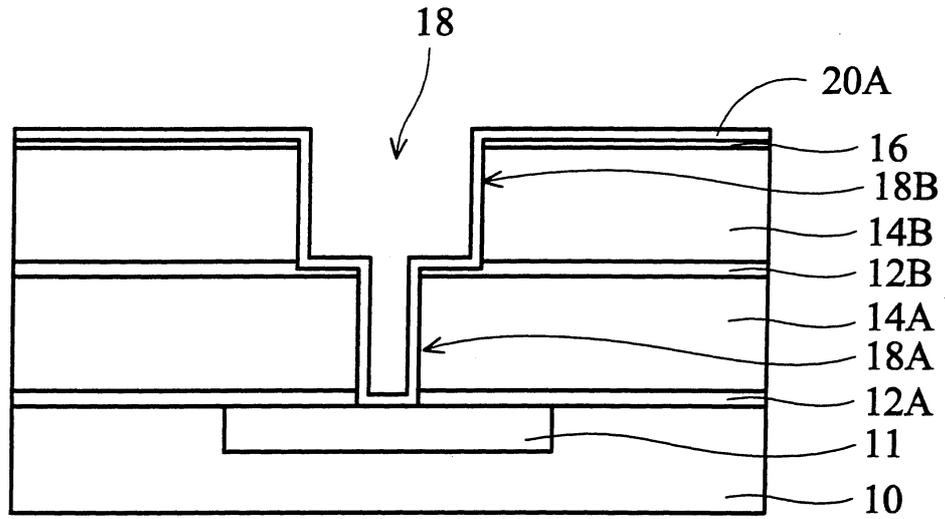
28.如申請專利範圍第 23 項所述之銅鑲嵌結構，其中該導電區域包含有銅。



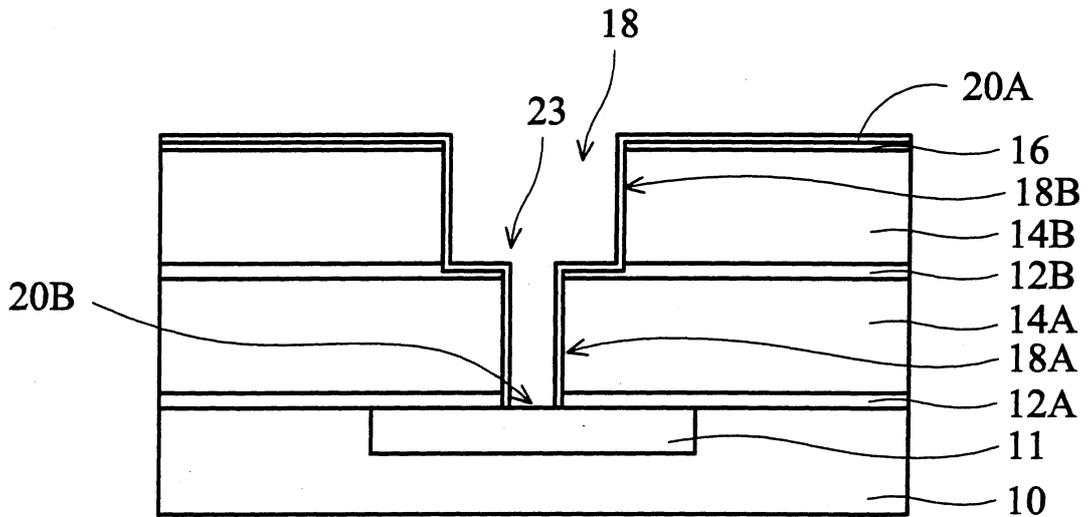
第 1A 圖



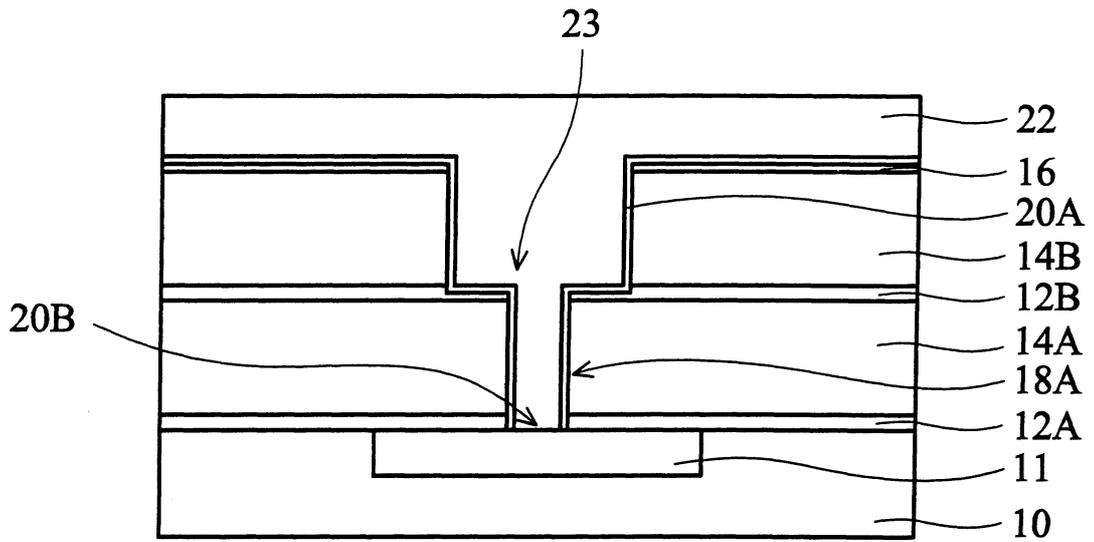
第 1B 圖



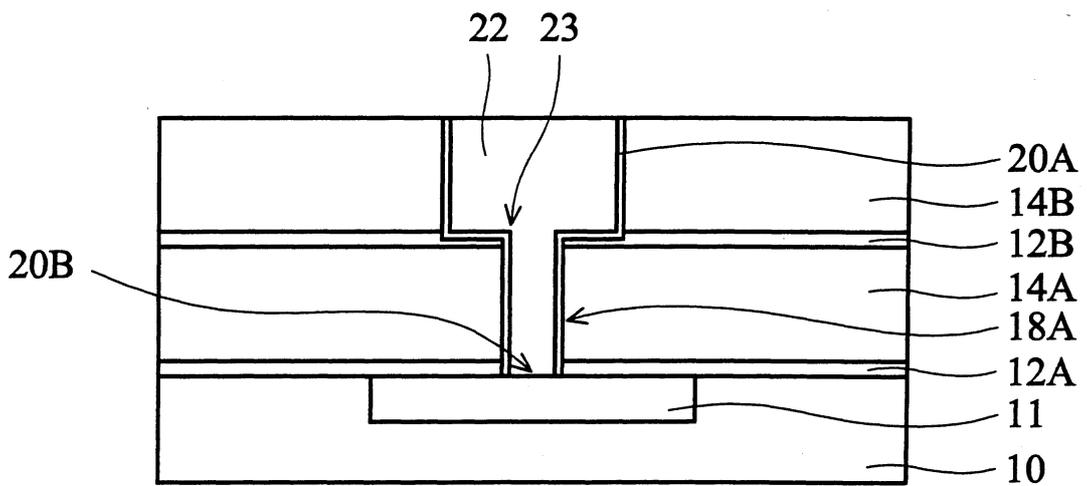
第 1C 圖



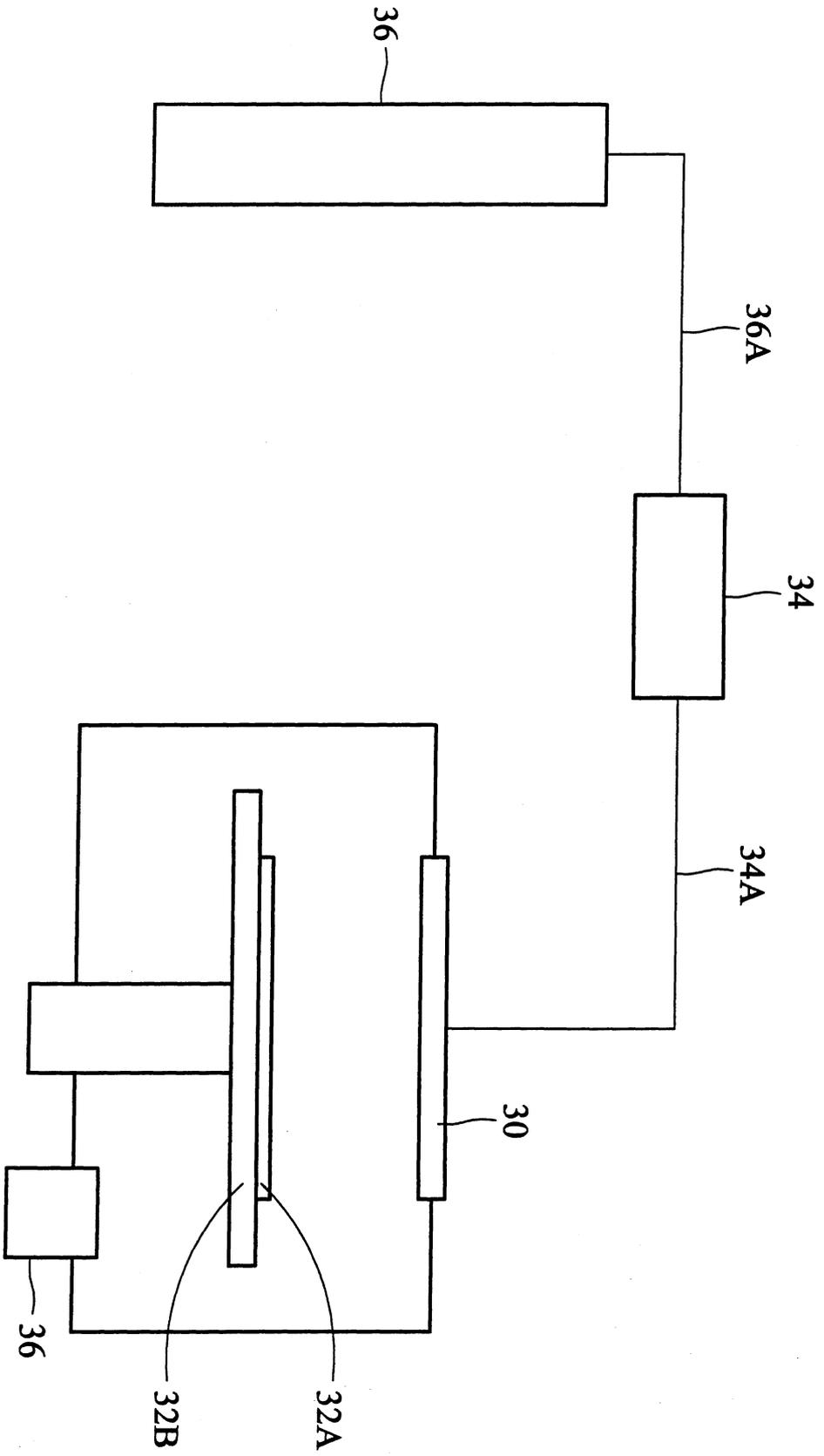
第 1D 圖



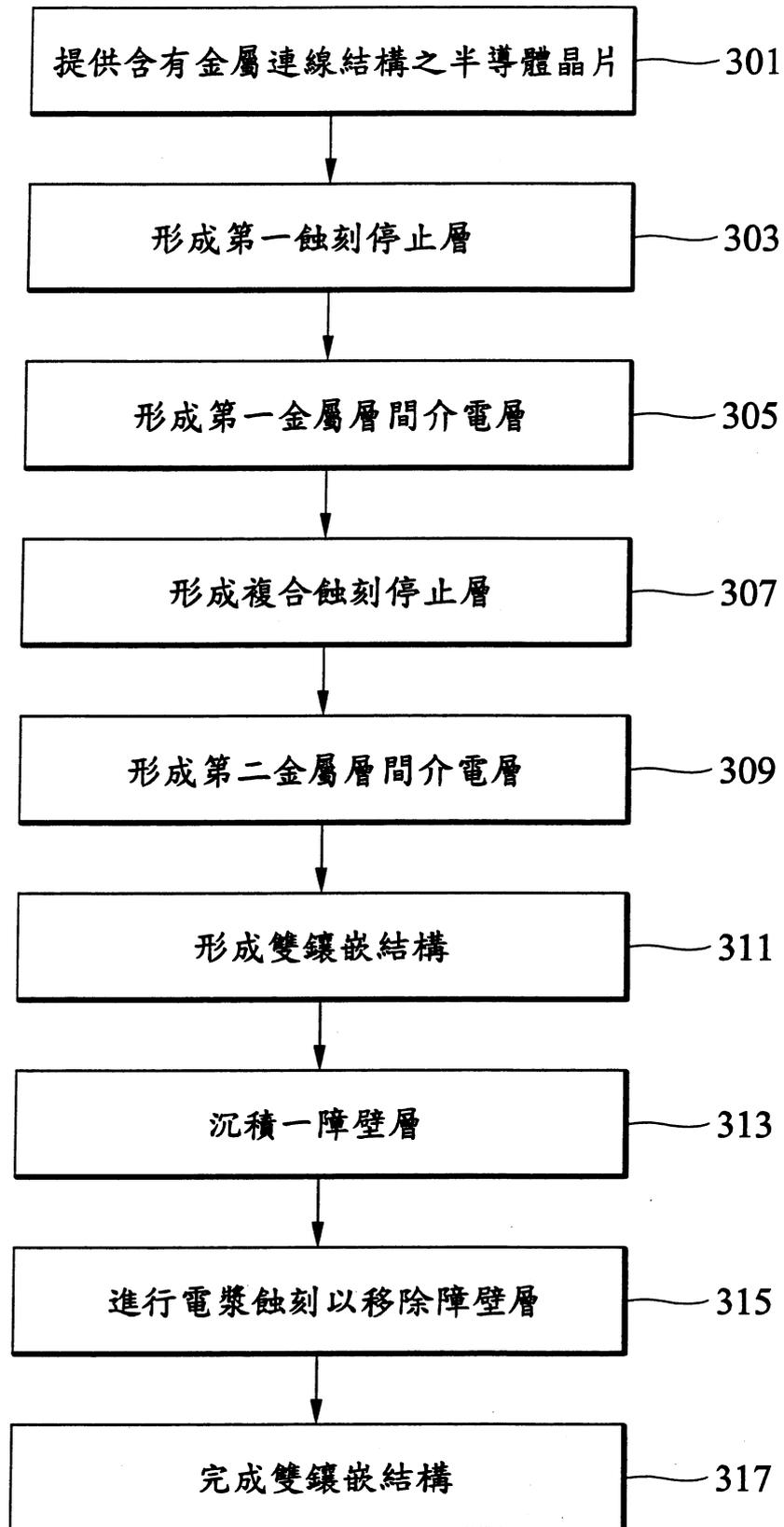
第 1E 圖



第 1F 圖



第 2 圖



第 3 圖

七、指定代表圖：

(一)本案指定代表圖為：第 1F 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|--------------|--------------|
| 10~介電絕緣層； | 11~導電區域； |
| 12A~第一蝕刻停止層； | 12B~第二蝕刻停止層； |
| 14A~第一介電絕緣層； | 14B~第二介電絕緣層； |
| 18~雙鑲嵌開口； | 18A~導孔開口； |
| 20A~障壁層； | 20B~底部； |
| 22~銅； | 23~角落。 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：