

WO 2019/181547 A1

紀(ONOHAMA Hiroki); 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 松本 拓巳(MATSUMOTO Takumi); 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).

(74) 代理人: 特 許 業 務 法 人 暁 合 同 特 許 事 務 所 (AKATSUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

path LCN and protects the semiconductor element Q1; and a buffer circuit 20 that is provided, in the control input path LCN, between the protection element D1 and the control terminal G of the semiconductor element and compensates for a voltage drop V_f resulting from the insertion of the protection element D1.

(57) 要約: リレー駆動回路 10 は、上流リレー RL1 と、上流リレー RL1 の駆動に応じて駆動される下流リレー RL2 との間に設けられ、下流リレー RL2 を駆動する。リレー駆動回路 10 は、下流リレー RL2 のオン・オフをスイッチする半導体素子 Q1 と、半導体素子 Q1 の制御端子 G に電氣的に接続され、上流リレー RL1 を介して電源電圧 V_b が印加される制御入力経路 LCN と、制御入力経路 LCN に挿入接続され、半導体素子 Q1 を保護する保護素子 D1 と、制御入力経路 LCN における保護素子 D1 と半導体素子の制御端子 G との間に設けられ、保護素子 D1 の挿入による電圧降下 V_f を補償するバッファ回路 20 と、を備える。

明 細 書

発明の名称： リレー駆動回路

技術分野

[0001] 本明細書に開示される技術は、リレー駆動回路に関し、詳しくは、電源電圧が低下した場合であっても、リレーの動作状態を保持できる技術に関する。

背景技術

[0002] 従来、電源電圧が低下した場合であっても、リレーの動作状態を保持できる技術として、例えば、特許文献1に記載された技術が知られている。特許文献1では、リレーを駆動する2系列の第1、第2スイッチを設け、そのうち第2スイッチには、リレーのコイルとの間に抵抗が設けられている。そしてリレーの接点を作動させた後には、抵抗が設けられた第2スイッチによってリレーを駆動し、電源電圧が低下した場合に第1スイッチを駆動することによって省電力化しつつ、電源電圧の低下時にもリレーの動作状態を保持できる技術が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-116197号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、近年、特許文献1にも示されるように、リレーの駆動には半導体素子が用いられおり、電源電圧の低下は半導体素子の制御入力電圧が低下し、リレー駆動の制御に悪影響を及ぼす可能性がある。

[0005] また、図2に示されるリレー駆動回路10Pのように、2個のリレー（RL1、RL2）が2段に接続され、2段目のリレー（下流リレー）RL2が1段目のリレー（上流リレー）RL1の負荷となる場合においては、下流リレーRL2を駆動する半導体素子Q1の制御入力経路LCNに、半導体素子

Q 1 を保護するためのダイオード D 1 が挿入されることがある。このダイオード D 1 は、下流リレー R L 2 と並列接続される負荷 R D 1 がモータ等の誘導性負荷である場合に、誘導性負荷からのサージから半導体素子 Q 1 を保護するために制御入力経路 L C N に挿入される。この場合、ダイオード D 1 の電圧降下（順方向電圧） V_f によって、半導体素子 Q 1 の制御入力電圧が低下し、バッテリー電圧（電源電圧） V_b の低下度合いによっては、半導体素子 Q 1 のオン状態、すなわち、下流リレー R L 2 の動作状態を保持できなくなる懸念があった。

[0006] そこで、本明細書に開示される技術は、上流リレーの負荷となる下流リレーを駆動する場合において、駆動用半導体素子の制御入力経路に保護素子が挿入される場合であっても、電源電圧がより低電圧である時に下流リレーの動作状態を保持できるリレー駆動回路を提供する。

課題を解決するための手段

[0007] 本明細書に開示されるリレー駆動回路は、上流リレーと、前記上流リレーの駆動に応じて駆動される下流リレーとの間に設けられ、前記下流リレーを駆動するリレー駆動回路であって、前記下流リレーのオン・オフをスイッチする半導体素子と、前記半導体素子の制御端子に電氣的に接続され、前記上流リレーを介して電源電圧が印加される制御入力経路と、前記制御入力経路に挿入接続され、前記半導体素子を保護する保護素子と、前記制御入力経路における前記保護素子と前記半導体素子の前記制御端子との間に設けられ、前記保護素子の挿入による電圧降下を補償するバッファ回路と、を備える。

本構成によれば、バッファ回路によって保護素子の挿入による電圧降下が補償され、それによって保護素子による電源電圧の低下量が低減される。そのため、上流リレーの負荷となる下流リレーを駆動する場合において、半導体素子の制御入力経路に保護素子が挿入される場合であっても、電源電圧がより低電圧である時に下流リレーの動作状態を保持できる。

[0008] 上記リレー駆動回路において、前記バッファ回路は、PNP型バイポーラトランジスタと、NPN型バイポーラトランジスタと、を含み、前記PNP

型バイポーラトランジスタのエミッタが電源ラインに接続され、コレクタが前記半導体素子の制御端子に電氣的に接続されており、前記NPN型バイポーラトランジスタのコレクタが前記PNP型バイポーラトランジスタのベースに電氣的に接続され、ベースが前記保護素子の出力側に電氣的に接続され、エミッタが接地されており、前記保護素子は、アノードが前記上流リレーのリレー接点に接続され、カソードが前記NPN型バイポーラトランジスタのベースに接続される保護ダイオードによって構成されるようにしてもよい。

本構成によれば、2個のバイポーラトランジスタによって構成されるバッファ回路によって、ダイオードの挿入による電圧降下（順方向電圧）を適切に補償できる。すなわち、ダイオードの順方向電圧は、ほぼ0.7Vであり、PNP型バイポーラトランジスタのコレクターエミッタ間電圧は、通常0.7V未満である。そのため、電源電圧を、PNP型バイポーラトランジスタを介する場合、ダイオードを介する場合と比べて電圧低下の少ない電源電圧を半導体素子の制御端子に印加することができる。すなわち、ダイオードの挿入による電圧降下が適切に補償される。

[0009] また、上記リレー駆動回路において、前記バッファ回路は、さらに、アノードが前記PNP型バイポーラトランジスタのベースに電氣的に接続され、カソードが前記NPN型バイポーラトランジスタのコレクタに電氣的に接続された整流ダイオードを含むようにしてもよい。

本構成によれば、電源がバッテリーの場合、バッテリーの逆接時の保護ができる。

発明の効果

[0010] 本明細書に開示されるリレー駆動回路によれば、上流リレーの負荷となる下流リレーを駆動する場合において、駆動用半導体素子の制御入力経路に保護素子が挿入される場合であっても、電源電圧がより低電圧である時に下流リレーの動作状態を保持できる。

図面の簡単な説明

[0011] [図1]本発明に係る一実施形態のリレー駆動回路を含むリレーシステムの概略的なブロック図

[図2]従来のリレー駆動回路を含むリレーシステムの概略的なブロック図

[図3]別の例のリレー駆動回路を含むリレーシステムの概略的なブロック図

発明を実施するための形態

[0012] <実施形態>

本発明に係るリレー駆動回路10の一実施形態について図1を参照しつつ説明する。本実施形態では、リレー駆動回路10は、自動車に搭載され、また、電源は自動車に搭載されるバッテリーBaである。なお、リレー駆動回路10および電源は、車載用に限られない。

[0013] 1. 回路構成

リレー駆動回路10は、図1に示されるように、上流リレーRL1と、上流リレーRL1の駆動に応じて駆動される下流リレーRL2との間に設けられ、下流リレーRL2を駆動する。すなわち、下流リレーRL2は、上流リレーRL1に対してモータM等の誘導性負荷RD1と並列されており、誘導性負荷RD1と同様に、上流リレーRL1がオンされた場合にオンされる。

[0014] リレー駆動回路10は、半導体素子Q1、制御入力経路LCN、保護ダイオードD1、およびバッファ回路20を含む。

[0015] 半導体素子Q1は、例えば、図1に示されるようにNチャンネルMOSFETによって構成され、上流リレーRL1のオン・オフに応じて下流リレーRL2のオン・オフをスイッチする。詳しくは、半導体素子Q1は、下流リレーRL2の励磁コイルL2に流れる励磁電流を、オン・オフする。半導体素子Q1のゲートGには、バイアス抵抗(R1、R2)が接続されている。

[0016] 制御入力経路LCNは、半導体素子Q1の制御端子であるゲートGに電氣的に接続される。上流リレーRL1のオン時に、制御入力経路LCNに、上流リレーRL1のリレー接点1を介してバッテリー電圧（電源電圧）Vbが印加される。

[0017] 保護ダイオードD1（「保護素子」の一例）は、制御入力経路LCNに挿

入して設けられる。保護ダイオードD 1は、上流リレーRL 1に接続されるモータM等の誘導性負荷RD 1から制御入力経路LCNを介して伝搬するサージに対して、半導体素子Q 1を保護する。保護ダイオードD 1のアノードAは、制御入力経路LCNを介して上流リレーRL 1のリレー接点1に接続され、カソードKは、バイアス抵抗R 3を介して、後述するNPN型バイポーラトランジスタTR 1のベースBに接続されている。

[0018] バッファ回路20は、制御入力経路LCNにおいて、保護ダイオードD 1と半導体素子Q 1のゲートGとの間に設けられ、保護ダイオードD 1による電圧降下（順方向電圧）V_fを補償する。

[0019] バッファ回路20は、具体的には、図1に示されるように、NPN型バイポーラトランジスタ（以下、「NPNトランジスタ」と記す）TR 1、PNP型バイポーラトランジスタ（以下、「PNPトランジスタ」と記す）TR 2、整流ダイオードD 2、およびバイアス抵抗（R 3、R 4、R 5、R 6）を含む。

[0020] NPNトランジスタTR 1のエミッタEはグラウンドに接続されて接地されており、コレクタCは整流ダイオードD 2のカソードKに接続され、整流ダイオードD 2およびバイアス抵抗R 5を介してPNPトランジスタTR 2のベースBに電氣的に接続されている。また、NPNトランジスタTR 1のベースBは、バイアス抵抗R 3を介して保護ダイオードD 1のカソードK（保護素子の出力側）に電氣的に接続されている。

[0021] PNPトランジスタTR 2のエミッタEは電源ラインLVに接続され、コレクタCはバイアス抵抗R 1を介して半導体素子Q 1のゲートGに電氣的に接続され、ベースBはバイアス抵抗R 5を介して整流ダイオードD 2のアノードAに接続されている。

[0022] また、整流ダイオードD 2のアノードAがバイアス抵抗R 5を介してPNPトランジスタTR 2のベースBに電氣的に接続され、カソードKがNPNトランジスタのコレクタCに接続されている。整流ダイオードD 2はバッテリーBaの逆接時の保護をする。すなわち、バッテリーBaが逆に接続された場

合において、整流ダイオードD 2 が設けられない場合には、電流が、接地→抵抗R 4 →NPNトランジスタTR 1 のベースBーコレクタC間→抵抗R 5 →抵抗R 6 →電源ラインLVの経路で流れることになる。この場合、NPNトランジスタTR 1 およびPNPトランジスタTR 2 のベースBーエミッタE間には逆電圧が印加されることとなり、それによってトランジスタ素子が破損する虞がある。

[0023] 2. バッファ回路の動作

次に、上記構成によるバッファ回路20の動作を説明する。

上流リレー用駆動スイッチSW1のオンに伴い上流リレーRL1がオンすると、バッテリー電圧Vbが制御入力経路LCNおよび保護ダイオードD1を介してバッファ回路20に印加される。すると、NPNトランジスタTR1にベース電流が流れることによってNPNトランジスタTR1がオンし、それによってPNPトランジスタTR2にベース電流が流れることによってPNPトランジスタTR2がオンする。

[0024] すると、半導体素子Q1のゲートGに、PNPトランジスタTR2を介して、バッテリー電圧Vbを印加することができ、それによって半導体素子Q1がオンし、下流リレーRL2がオンする。

[0025] その際、PNPトランジスタTR2のコレクターエミッタ間の電圧降下は、通常、0.1V以下であり、保護ダイオードD1による電圧降下Vf（通常、0.7V）よりも十分小さい。そのため、図2に示される従来例と比べて、よりバッテリー電圧Vbに近い電圧を半導体素子Q1のゲートG（詳細には、バイアス抵抗R1、R2）に印加することができる。それによって、制御入力経路LCNに保護ダイオードD1が設けられる構成において、従来例と比べてバッテリー電圧Vbがより低い電圧まで低下した場合であっても、半導体素子Q1をオン保持でき、下流リレーRL2をオン保持できる。

[0026] 3. 実施形態の効果

バッファ回路20によって保護ダイオードD1の挿入による電圧降下Vfが補償される。すなわち、バッファ回路20によって保護ダイオードD1に

よるバッテリー電圧 V_b の低下量が低減される。そのため、上流リレー RL_1 の負荷となる下流リレー RL_2 を駆動する場合において、半導体素子（駆動用半導体素子） Q_1 の制御入力経路 LCN に保護ダイオード D_1 が挿入される場合であっても、バッファ回路 20 が設けられない場合と比べてバッテリー電圧 V_b がより低電圧である時に下流リレー RL_2 の動作状態を保持できる。それは、車両システムの機能性および安全性の向上につながる。

[0027] その際、バッファ回路 20 は、主に2個のバイポーラトランジスタ（ TR_1 、 TR_2 ）による簡易な構成によって、保護ダイオード D_1 の挿入による電圧降下（順方向電圧） V_f を適切に補償できる。すなわち、通常、ダイオードの順方向電圧は、ほぼ $0.7V$ であり、PNP型バイポーラトランジスタ TR_2 のオン抵抗による電圧降下は、通常 $0.1V$ 以下である。そのため、バッテリー電圧 V_b を、PNP型バイポーラトランジスタ TR_2 を介して半導体素子 Q_1 のゲート端子（制御端子） G に印加する場合、保護ダイオード D_1 を介する場合と比べて、電圧低下の少ないバッテリー電圧 V_b をゲート端子 G に印加することができる。すなわち、保護ダイオード D_1 の挿入による電圧降下 V_f が確実に補償され、低減される。

[0028] <他の実施形態>

本発明は上記記述および図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

[0029] （1）上記実施形態においては、バッファ回路 20 を2個のバイポーラトランジスタ（ TR_1 、 TR_2 ）によって構成する例を示したが、バッファ回路 20 の構成はこれに限られない。例えば、図3に示されるように、バッファ回路 20 は、NPNトランジスタ TR_1 に代えてNチャネルMOSFET 1 、PNPトランジスタ TR_2 に代えてPチャネルMOSFET 2 によって構成するようにしてもよい。

[0030] （2）上記実施形態においては、保護素子が保護ダイオード D_1 である例を示したが、保護素子は必ずしも保護ダイオード D_1 に限られない。例えば、誘導性負荷 RD_1 からのサージが非常に小さい場合、保護素子は抵抗値の

小さい抵抗によって構成するようにしてもよい。

- [0031] (3) 上記実施形態においては、バッファ回路20にバッテリー逆接保護用の整流ダイオードD2を設ける例を示したが、これに限られず、整流ダイオードD2は省略されてもよい。

符号の説明

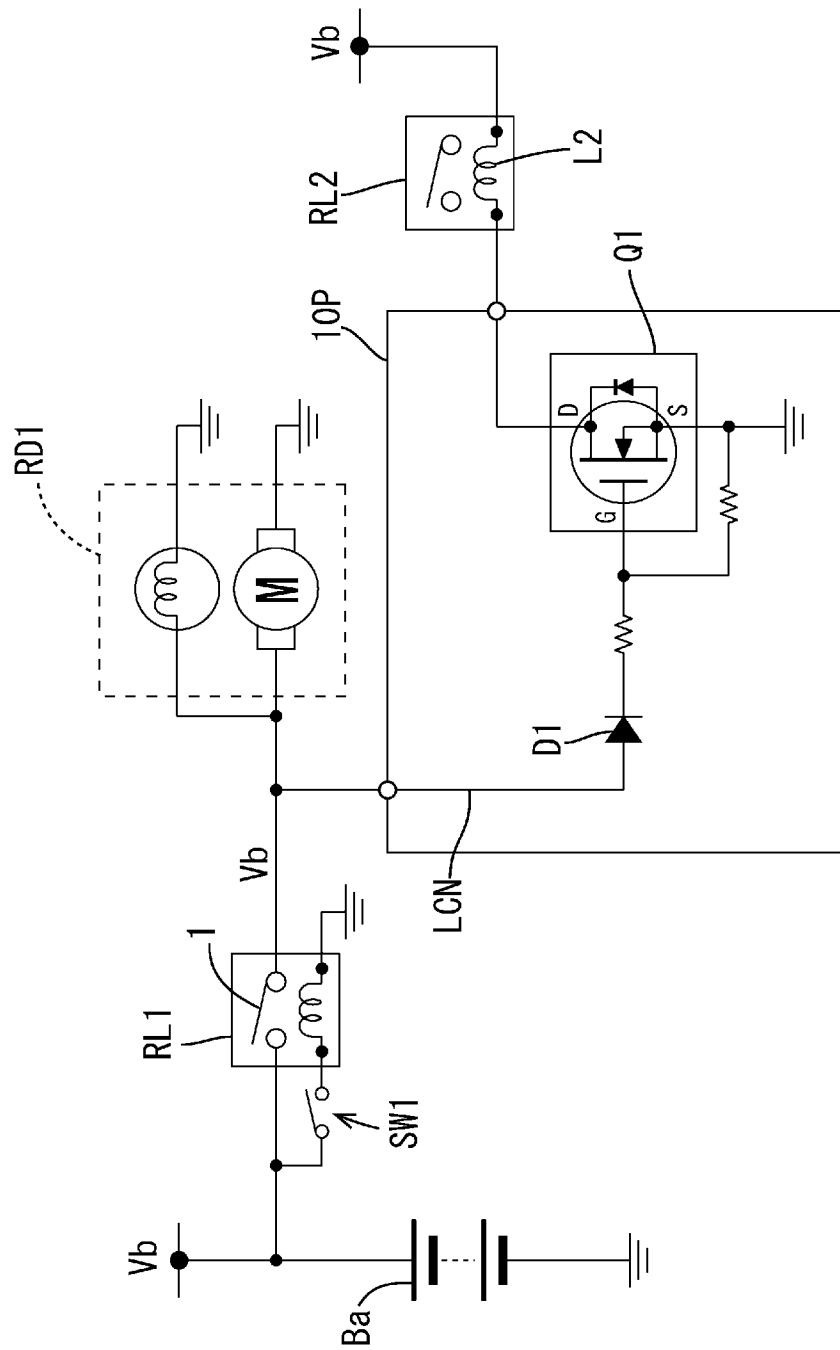
- [0032] 10…リレー駆動回路
20…バッファ回路
Ba…バッテリー（電源）
D1…保護ダイオード（保護素子）
D2…整流ダイオード
G…ゲート（半導体素子の制御端子）
LCN…制御入力経路
Q1…半導体素子
RL1…上流リレー
RL2…下流リレー
TR1…NPN型バイポーラトランジスタ
TR2…PNP型バイポーラトランジスタ
Vb…バッテリー電圧（電源電圧）

請求の範囲

- [請求項1] 上流リレーと、前記上流リレーの駆動に応じて駆動される下流リレーとの間に設けられ、前記下流リレーを駆動するリレー駆動回路であって、
- 前記下流リレーのオン・オフをスイッチする半導体素子と、
- 前記半導体素子の制御端子に電氣的に接続され、前記上流リレーを介して電源電圧が印加される制御入力経路と、
- 前記制御入力経路に挿入接続され、前記半導体素子を保護する保護素子と、
- 前記制御入力経路における前記保護素子と前記半導体素子の前記制御端子との間に設けられ、前記保護素子の挿入による電圧降下を補償するバッファ回路と、を備えた、リレー駆動回路。
- [請求項2] 請求項1に記載のリレー駆動回路において、
- 前記バッファ回路は、PNP型バイポーラトランジスタと、NPN型バイポーラトランジスタと、を含み、
- 前記PNP型バイポーラトランジスタのエミッタが電源ラインに接続され、コレクタが前記半導体素子の制御端子に電氣的に接続されており、
- 前記NPN型バイポーラトランジスタのコレクタが前記PNP型バイポーラトランジスタのベースに電氣的に接続され、ベースが前記保護素子の出力側に電氣的に接続され、エミッタが接地されており、
- 前記保護素子は、アノードが前記上流リレーのリレー接点に接続され、カソードが前記NPN型バイポーラトランジスタのベースに接続される保護ダイオードによって構成される、リレー駆動回路。
- [請求項3] 請求項2に記載のリレー駆動回路において、
- 前記バッファ回路は、さらに、
- アノードが前記PNP型バイポーラトランジスタのベースに電氣的に接続され、カソードが前記NPN型バイポーラトランジスタのコレ

クタに電氣的に接続された整流ダイオードを含む、リレー駆動回路。

[図2]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009236

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01H47/00 (2006.01) i, H01H9/54 (2006.01) i, H01H47/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01H47/00, H01H9/54, H01H47/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-103001 A (SUZUKI MOTOR CORP.) 16 April 1996, entire text, all drawings (Family: none)	1-3
A	JP 2013-204451 A (HONDA MOTOR CO., LTD.) 07 October 2013, entire text, all drawings (Family: none)	1-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14.05.2019

Date of mailing of the international search report
28.05.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009236

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 049336/1976 (Laid-open No. 140751/1977) (TRIO CORPORATION) 25 October 1977, whole specification, all drawings (Family: none)	1-3

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01H47/00(2006.01)i, H01H9/54(2006.01)i, H01H47/32(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01H47/00, H01H9/54, H01H47/32

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 8-103001 A（スズキ株式会社）1996.04.16, 全文, 全図（ファミリーなし）	1-3
A	JP 2013-204451 A（本田技研工業株式会社）2013.10.07, 全文, 全図（ファミリーなし）	1-3

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.05.2019

国際調査報告の発送日

28.05.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

太田 義典

3 T

6106

電話番号 03-3581-1101 内線 3368

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	日本国実用新案登録出願51-049336号(日本国実用新案登録出願公開52-140751号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム(トリオ株式会社)1977.10.25, 明細書全文, 全図(ファミリーなし)	1-3