

Patent dodatkowy
do patentu nr _____

Zgłoszono: 31.12.75 (P. 186174)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 04.07.77

Opis patentowy opublikowano: 15.03.1979

Int. Cl.² H02H 7/20

Twórcy wynalazku: Wiesław Martynow, Marian Włodarkiewicz
Uprawniony z patentu: „Mera-ZSM” Zakłady Systemów Minikomputerowych, Warszawa (Polska)

**Układ zabezpieczający urządzenia elektroniczne przed skutkami
obniżenia bądź zaniku napięcia sieci zasilającej**

1

Przedmiotem wynalazku jest układ zabezpieczający urządzenia elektroniczne przed skutkami obniżenia bądź zaniku napięcia sieci zasilającej przydatny szczególnie dla komputerów i innych urządzeń informatyki. Włączanie, załączanie, zanik, bądź obniżenie napięcia zasilającego prowadzi do niszczenia programu oraz danych wprowadzanych do pamięci urządzenia. Powoduje to konieczność ich ponownego, czasochłonnego wprowadzania. Aby tego uniknąć stosuje się odpowiednie układy zabezpieczające, dające sygnały: ostrzeżenia i zerowania, sterujące urządzeniem zabezpieczanym.

Do takich rozwiązań należy układ z opisu patentowego nr 90 481. Z tego opisu patentowego wynika, że układ zabezpieczający zawiera zespół kontrolny poziomu napięcia sieci zasilającej, połączony swym wyjściem z zespołem generującym impuls ostrzeżenia. Jedno wyjście zespołu generującego impuls ostrzeżenia stanowiące zarazem jedno wyjście dla całego układu, połączone jest poprzez układ opóźnienia z jednym wejściem układu dającego impuls zerowania. Drugie wejście układu dającego impuls zerowania połączone jest poprzez drugi zespół opóźnienia z wyjściem zespołu kontrolnego. Wyjście zespołu generującego impuls zerowania stanowi drugie wyjście dla całego układu i połączone jest bezpośrednio z drugim wejściem zespołu generującego impuls ostrzeżenia, którego drugie wyjście połączone jest również bezpośrednio z trzecim wejściem zespołu dającego impuls zerowania. Układ

2

zawiera elementy pamięciowe a więc nie nadaje się do zasilania z tej samej sieci co urządzenie zabezpieczane.

Układ zabezpieczający według wynalazku zawiera zespół kontrolny z wejściem podłączonym do źródła zasilania oraz zespół generujący sygnał ostrzeżenia i zespół opóźnienia dający sygnał zerowania. Ponadto układ zawiera zasilacz pomocniczy służący do zasilania tego układu i podłączony do tego samego źródła co zasilacz główny urządzenia zabezpieczanego. Wyjście zespołu kontrolnego połączone jest z wejściem zespołu generującego sygnał ostrzeżenia, którego jedno wyjście połączone jest z wejściem zespołu opóźnienia posiadającym wyjście dla sygnału zerowania a drugie wyjście zespołu generującego stanowi wyjście dla sygnału ostrzeżenia. Wejście zasilacza pomocniczego podłączone jest wraz z wejściem zespołu kontrolnego do źródła napięcia sieci zasilającej.

Układ według wynalazku w stosunku do układu ze stanu techniki posiada znacznie prostszą postać, dzięki czemu zwiększa się jego niezawodność co w przypadku układów zabezpieczających jest zagadnieniem pierwszoplanowym. Przede wszystkim najbardziej jednak istotną zaletą rozwiązania będącego przedmiotem wynalazku jest to, że nie posiada elementów pamięciowych. Układ zabezpieczający zasilany jest z tego samego źródła co urządzenie zabezpieczane. W przypadku bowiem posiadania elementów pamięciowych jak w układzie według

opisu patentowego nr 90 481 układ zabezpieczający wymaga stosowania oddzielnego źródła zasilania niepodlegającego zakłóceniom. Wynika to stąd, że przy zaniku napięcia zasilającego elementy pamięciowe nie zachowują swego stanu i po ponownym włączeniu ustawiają się w sposób przypadkowy.

Nowe rozwiązanie przedstawione jest na rysunku, na którym: Fig. 1 obrazuje konfigurację połączeń zespołów, będącą przedmiotem wynalazku. Fig. 2, Fig. 3, Fig. 4, Fig. 5 przedstawiają możliwości realizacji zespołu generacyjnego. Fig. 6 przedstawia w sposób blokowy przykład wykonania układu zabezpieczającego.

Zgodnie z Fig. 1 układ zabezpieczający zawiera zespół kontrolny ZK, zespół generacyjny ZG, zespół opóźnienia ZO oraz zasilacz pomocniczy ZP. Wejście W_{ek} zespołu kontrolnego ZK podłączone jest wraz z wejściem W_{ez} zasilacza pomocniczego ZP do źródła zasilania UZ. Wyjście W_{yk} zespołu kontrolnego ZK połączone jest z wejściem W_{eg} zespołu generacyjnego ZG. Jedno wyjście W_{yg1} zespołu generacyjnego ZG połączone jest z wejściem W_{eo} zespołu opóźnienia ZO, a drugie wyjście W_{yg2} zespołu generacyjnego stanowi wyjście dla sygnału ostrzeżenia SO. Wyjście W_{yo} zespołu opóźniającego ZO stanowi wyjście dla sygnału zerowania SZ. Wyjście W_{yz} zasilacza ZP daje napięcie zasilające układ zabezpieczający.

Zespół generacyjny ZG według Fig. 2 zawiera separator S i uniwbator ostrzeżenia UO. Wejście separatora S i wejście uniwbatora ostrzeżenia UO połączone są ze sobą i stanowią wejście W_{eg} zespołu generacyjnego ZG. Wyjście separatora S stanowi jedno wyjście W_{yg1} zespołu generacyjnego ZG łączone z układem opóźnienia ZO a wyjście uniwbatora ostrzeżenia UO stanowi drugie wyjście W_{yg2} zespołu generacyjnego ZG będące wyjściem dla sygnału ostrzeżenia SO. Zespół generacyjny ZG według Fig. 3 stanowi uniwbator ostrzeżenia UO. Jego wejście stanowi wejście W_{eg} i zarazem jedno wyjście W_{yg1} zespołu generacyjnego ZG łączone z zespołem opóźnienia ZO a wyjście uniwbatora ostrzeżenia UO stanowi drugie wyjście W_{yg2} zespołu generacyjnego ZG będące wyjściem dla sygnału ostrzeżenia SO.

Układy według Fig. 4 i Fig. 5 podają zespoły generacyjne, z których każdy zawiera: bramkę B typu NAND, uniwbator blokady UB i uniwbator ostrzeżenia UO. Według konfiguracji Fig. 4, wyjście bramki B NAND połączone jest z wejściem uniwbatora ostrzeżenia UO i zarazem stanowi jedno wyjście W_{yg1} zespołu generacyjnego ZG łączone z zespołem opóźnienia ZO, a wyjście uniwbatora ostrzeżenia UO połączone jest poprzez uniwbator blokady UB z jednym wejściem bramki B NAND i stanowi zarazem drugie wyjście W_{yg2} zespołu generacyjnego ZG będące wyjściem dla sygnału ostrzeżenia SO. Drugie wejście bramki B NAND stanowi wejście W_{eg} dla zespołu generacyjnego ZG. Według konfiguracji Fig. 5, wyjście bramki B NAND połączone jest z wejściem uniwbatora ostrzeżenia UO oraz poprzez uniwbator blokady UB z jednym wejściem bramki B NAND. Wyjście bramki B NAND stanowi ponadto jedno wyjście W_{yg1} zespołu generacyjnego ZG łączone

z zespołem opóźnienia ZO, a wyjście uniwbatora ostrzeżenia UO stanowi drugie wyjście W_{yg2} zespołu generacyjnego ZG. Drugie wejście bramki B NAND stanowi wejście W_{eg} dla zespołu generacyjnego ZG.

Działanie układu według wynalazku zostanie omówione na przykładzie wykonania przedstawionym na Fig. 6. Napięcie zmienne ze źródła zasilania UZ, które stanowi transformator Σ podłączony do sieci zasilającej, podawane jest do zespołu kontrolnego ZK z prostownikiem Pr i komparatorem K. Przy obniżeniu napięcia sieci, na wyjściu W_{yk} zespołu kontrolnego ZK pojawia się poziom zera logicznego doprowadzany do zespołu generacyjnego ZG zawierającego uniwbator ostrzeżenia UO i układ blokady zbudowany z uniwbatora blokady UB oraz bramki B typu NAND. Poziom zera logicznego powoduje występowanie na wyjściu bramki B jedynki logicznej wyzwalającej uniwbator ostrzeżenia UO. Uniwbator ten daje na wyjściu W_{yg2} impuls ostrzeżenia SO, który w urządzeniu zabezpieczanym powoduje wpisanie wszystkich danych do pamięci po uprzednim przerwaniu operacji roboczych. Jednocześnie sygnał jedynki z wyjścia bramki B poprzez uniwbator blokady UB dający na swym wyjściu zero logiczne, powoduje blokadę bramki B uniemożliwiając dostęp informacji z wyjścia W_{yk} zespołu kontrolnego ZK. Rozwiązanie takie uniemożliwia wysyłanie przez zespół generacyjny ZG serii szybko następujących po sobie impulsów, które mogłyby zakłócić pracę zabezpieczanego urządzenia. Sygnał z jednego wyjścia W_{yg1} zespołu generacyjnego ZG podawany jest do układu opóźnienia ZO. Układ ten zawiera człon Γ realizujący odpowiednie opóźnienie impulsu i człon formujący UF przebieg napięcia do postaci logicznej. Na wyjściu W_{yo} zespołu opóźnienia ZO otrzymujemy impuls zerowania SZ blokujący pracę zabezpieczanego urządzenia. Dzieje się to w czasie, gdy zabezpieczane urządzenie poprzez impuls ostrzeżenia SO zostało przygotowane do przerwania pracy.

Po włączeniu sieci zasilającej, napięcia wyjściowe zasilacza pomocniczego ZP pojawiają się szybciej niż napięcie zasilacza urządzenia zabezpieczanego. Dzięki temu układ zabezpieczający zdolny do pracy wcześniej niż urządzenie zabezpieczane. Stan taki osiągnięto dzięki mniejszym stałym czasowym ładowania kondensatorów w zasilaczu ZP układu zabezpieczającego niż w zasilaczu urządzenia zabezpieczanego. Z chwilą osiągnięcia przez napięcie sieci właściwej wartości, zespół kontrolny ZK dostarcza sygnał do zespołu generacyjnego ZG. Układ ten ZG steruje układem opóźnienia ZO, na którego wyjściu po czasie propagacji Γ zanika sygnał zerujący SZ, zezwalając w ten sposób na pracę urządzenia zabezpieczanego. Stała propagacji Γ zespołu opóźnienia ZO jest tak dobrana, aby zdążyły naładować się kondensatory zasilacza urządzenia zabezpieczanego.

Zastrzeżenia patentowe

1. Układ zabezpieczający urządzenia elektroniczne przed skutkami obniżenia bądź zaniku napięcia sieci zasilającej zawierający zespół kontrolny z wej-

ściem podłączonym do źródła zasilania oraz zespół generujący sygnał ostrzeżenia i zespół opóźnienia dający sygnał zerowania, **znamienny tym**, że wyjście (**Wyk**) zespołu kontrolnego (**ZK**) połączone jest z wejściem (**Weg**) zespołu generacyjnego (**ZG**), którego jedno wyjście (**Wyg1**) połączone jest z wejściem (**Weo**) zespołu opóźnienia (**ZO**) posiadającym wyjście (**Wyo**) dla sygnału zerowania (**SZ**) a drugie wyjście (**Wyg2**) zespołu generacyjnego (**ZG**) stanowi wyjście dla sygnału ostrzeżenia (**SO**), ponadto układ zabezpieczający zawiera zasilacz pomocniczy (**ZP**) podłączony swym wejściem (**Wwz**) wraz z wejściem (**Wek**) zespołu kontrolnego (**ZK**) do źródła zasilania (**UZ**).

2. Układ według zastrz. 1, **znamienny tym**, że zespół generacyjny (**ZG**) zawiera separator (**S**) oraz uniwbator ostrzeżenia (**UO**), przy czym wejście separatora (**S**) i wejście uniwbatora ostrzeżenia (**UO**) połączone są ze sobą i stanowią wejście (**Weg**) zespołu generacyjnego (**ZG**), natomiast wyjście separatora (**S**) stanowi jedno wyjście (**Wyg1**) zespołu generacyjnego (**ZG**) łączone z układem opóźnienia (**ZO**) a wyjście uniwbatora ostrzeżenia (**UO**) stanowi drugie wyjście (**Wyg2**) zespołu generacyjnego (**ZG**) będące wyjściem dla sygnału ostrzeżenia (**SO**).

3. Układ według zastrz. 1, **znamienny tym**, że układ generacyjny (**ZG**) stanowi uniwbator ostrzeżenia (**UO**), którego wejście stanowi zarazem wejście (**Weg**) zespołu generacyjnego (**ZG**) i jedno wyjście (**Wyg1**) zespołu generacyjnego (**ZG**) łączone z zespołem opóźnienia (**ZO**), natomiast wyjście uniwbatora ostrzeżenia (**UO**) stanowi drugie wyjście (**Wyg2**) zespołu generacyjnego (**ZG**) będące wyjściem dla sygnału ostrzeżenia (**SO**).

4. Układ według zastrz. 1, **znamienny tym**, że zespół generacyjny (**ZG**) zawiera bramkę (**B**) NAND oraz uniwbator ostrzeżenia (**UO**) i uniwbator blokady (**UB**), połączonych ze sobą tak, że wyjście bramki (**B**) NAND połączone jest z wejściem uniwbatora ostrzeżenia (**UO**) i zarazem stanowi jedno wyjście (**Wyg1**) zespołu generacyjnego (**ZG**), łączone z zespołem opóźnienia (**ZO**), a wyjście uniwbatora ostrzeżenia (**UO**) połączone jest poprzez uniwbator blokady (**UB**) z jednym wejściem bramki (**B**) NAND i stanowi zarazem drugie wyjście (**Wyg2**) zespołu generacyjnego (**ZG**) będące wyjściem dla sygnału ostrzeżenia (**SO**) przy czym drugie wejście bramki (**B**) NAND stanowi wejście (**Weg**) dla zespołu generacyjnego (**ZG**).

5. Układ według zastrz. 1, **znamienny tym**, że zespół generacyjny (**ZG**) zawiera bramkę (**B**) NAND oraz uniwbator ostrzeżenia (**UO**) i uniwbator blokady (**UB**), połączonych ze sobą tak, że wyjście bramki (**B**) NAND połączone jest z wejściem uniwbatora ostrzeżenia (**UO**) oraz poprzez uniwbator blokady (**UB**) z jednym wejściem bramki (**B**) NAND, przy czym wyjście bramki (**B**) NAND stanowi jedno wyjście (**Wyg1**) zespołu generacyjnego (**ZG**) łączone z zespołem opóźnienia (**ZO**), a wyjście uniwbatora ostrzeżenia (**UO**) stanowi drugie wyjście (**Wyg2**) zespołu generacyjnego (**ZG**) oraz drugie wejście bramki (**B**) NAND stanowi wejście (**Weg**) dla zespołu generacyjnego (**ZG**).

6. Układ według zastrz. 1, **znamienny tym**, że stała czasowa ładowania kondensatorów w zasilaczu pomocniczym (**ZP**) jest mniejsza od stałej czasowej ładowania w zasilaczu urządzenia zabezpieczonego.

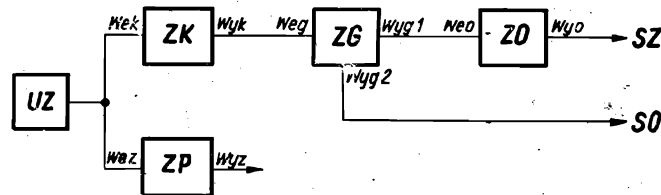
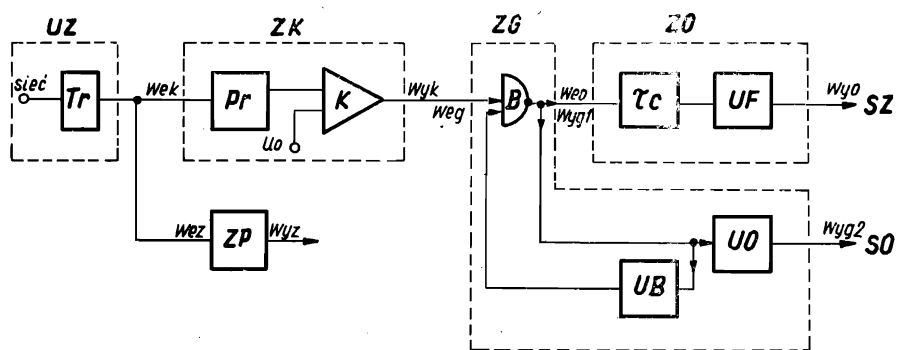
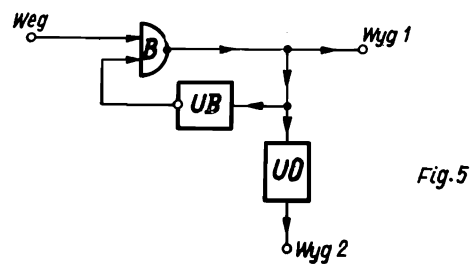
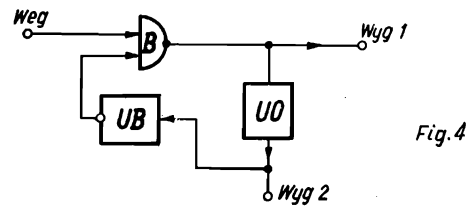
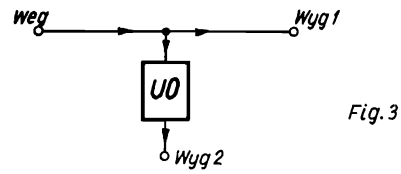
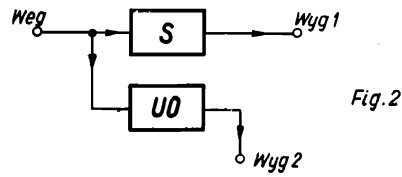


Fig. 1



Cena 45 zł