



(12)发明专利

(10)授权公告号 CN 103077938 B

(45)授权公告日 2017. 12. 08

(21)申请号 201210416034.X

(51)Int.Cl.

(22)申请日 2012.10.26

H01L 23/62(2006.01)

(65)同一申请的已公布的文献号

审查员 徐玮

申请公布号 CN 103077938 A

(43)申请公布日 2013.05.01

(30)优先权数据

13/281638 2011.10.26 US

(73)专利权人 通用电气公司

地址 美国纽约州

(72)发明人 A.S.卡什亚普 D.M.谢多克

E.A.安达拉维斯 P.M.桑维克

S.D.阿瑟 V.逊尔卡

(74)专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 叶晓勇 朱海煜

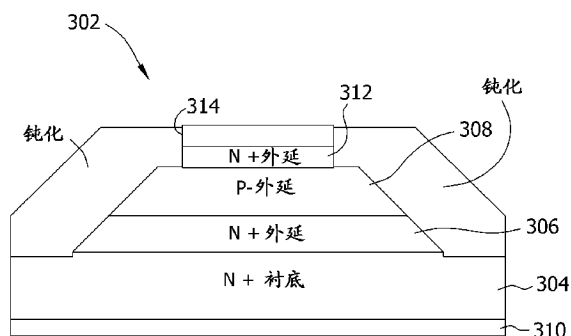
权利要求书1页 说明书7页 附图11页

(54)发明名称

用于瞬时电压抑制器的方法和系统

(57)摘要

本发明的名称是“用于瞬时电压抑制器的方法和系统”。提供一种形成碳化硅瞬时电压抑制器(TVS)组件(218)的方法和用于瞬时电压抑制器(TVS)组件的系统。TVS组件包含采用台面结构的半导体芯片(302),该台面结构包含:具有第一极性的导电性的第一宽带隙半导体的第一层(306);与第一层电接触地耦合的具有第二极性的导电性的第一或第二宽带隙半导体的第二层(308),其中第二极性不同于第一极性。TVS组件还包含与第二层电接触地耦合的具有第一极性的导电性的第一、第二或第三宽带隙半导体的第三层(312)。具有第二极性的导电性的层相对于具有第一极性的导电性的层轻掺杂。



1. 一种瞬时电压抑制器组件, 包含:
采用台面结构的半导体芯片, 包含:
包含具有第一极性的导电性的第一宽带隙半导体的层的衬底;
与所述衬底电接触地耦合的具有第二极性的导电性的所述第一宽带隙半导体或第二宽带隙半导体的第二层, 所述第二极性不同于所述第一极性; 以及
与所述第二层电接触地耦合的具有所述第一极性的导电性的所述第一宽带隙半导体、所述第二宽带隙半导体或第三宽带隙半导体的第三层, 其中
具有所述第二极性的导电性的所述层相对于具有所述第一极性的导电性的所述层轻掺杂;
与所述衬底电接触地耦合的第一电极; 以及
与所述第三层电接触地耦合的第二电极, 其中
当跨所述第一电极和所述第二电极施加大于预定幅度的电压时, 所述瞬时电压抑制器组件操作于允许相对大量的电流流经所述瞬时电压抑制器组件的穿通模式;
其中, 所述台面结构具有相对于邻近的接触层之间的界面成五度到八十度的角度的、有斜面的侧壁, 所述第二层至少部分的形成斜面。
2. 根据权利要求1所述的瞬时电压抑制器组件, 还包含至少部分围绕所述芯片以及所述第一电极和所述第二电极的玻璃或陶瓷包装。
3. 根据权利要求1所述的瞬时电压抑制器组件, 其中具有第一极性的导电性的所述层包含n+型导电性层以及具有第二极性的导电性的所述层包含p-型导电性层。
4. 根据权利要求1所述的瞬时电压抑制器组件, 其中具有第一极性的导电性的所述层包含p+型导电性层以及具有第二极性的导电性的所述层包含n-型导电性层。
5. 根据权利要求1所述的瞬时电压抑制器组件, 其中所述衬底和所述层包含碳化硅、氮化镓、金刚石、氮化铝、氮化硼及其组合中的至少一个。
6. 根据权利要求1所述的瞬时电压抑制器组件, 其中对于包含碳化硅的具有第二极性的导电性的层, 掺杂剂的浓度比具有第一极性的导电性的层的掺杂剂的浓度低一到五个数量级。
7. 根据权利要求6所述的瞬时电压抑制器组件, 其中对于包含碳化硅的具有第二极性的导电性的层, 掺杂剂的浓度是具有第一极性的导电性的层的掺杂剂的浓度的千分之一。
8. 根据权利要求1所述的瞬时电压抑制器组件, 还包含安置于所述第一电极和所述第二电极的每个以及所述芯片之间的扩散接合的或合金接触层。
9. 根据权利要求8所述的瞬时电压抑制器组件, 其中所述扩散接合的或合金接触层包含铜、金、铝、铂及其组合。
10. 根据权利要求1所述的瞬时电压抑制器组件, 其中所述第一电极和所述第二电极包含与玻璃包装的热膨胀系数大体上匹配的热膨胀系数。

用于瞬时电压抑制器的方法和系统

技术领域

[0001] 本公开通常涉及高温半导体装置,并且更具体地,涉及用于高温环境中的瞬时电压抑制的半导体装置。

背景技术

[0002] 尽管硅装置已经用于防止并联耦合到TVS装置的灵敏的电子设备经受由例如雷击引起的电压尖峰以及被损坏,但是它们不适用于高温操作。硅装置趋于随着温度增加而泄露更高的电流,其中电流在大于近似150℃的周围温度中达到难以接受地高的值,这使得它们不适合在要求核心引擎安装电子设备(例如,分布式引擎控制)的航空应用所需要的225℃或更高的周围温度中使用。此外,已知的TVS装置典型地使用环氧包装来封装。环氧封装趋于在高于近似185℃的TVS装置结构内引起大的热应变并且趋于开始分解。

[0003] 用于航空和电力生成应用的涡轮引擎仪器通常要求昂贵的冷却或将电子设备进一步从传感器和致动器移开,导致增加的安装和布线复杂性以及由于噪声而降低的传感器性能。在飞行器中用于分布式控制的电子设备经受来自电磁干扰(EMI)和雷击所引起的电压浪涌的损坏。至少一些已知的应用使用瞬时电压抑制(TVS)装置,其可包含类似于齐纳二极管的特征。由硅制成的商业可获得的TVS装置由于它们会暴露于的高的周围温度而不能用于保护接近引擎核心放置的分布式电子设备。

发明内容

[0004] 在一个实施例中,一种瞬时电压抑制器(TVS)组件包含采用台面结构的半导体芯片(die),该台面结构包含:包含具有第一极性的导电性的第一宽带隙半导体的层的衬底;与该衬底电接触地耦合的具有第二极性的导电性的第一或第二宽带隙半导体的第二层,该第二极性不同于该第一极性;以及与第二层电接触地耦合的具有第一极性的导电性的第一、第二或第三宽带隙半导体的第三层。具有第二极性的导电性的层相对于具有第一极性的导电性的层轻掺杂。TVS组件还包含与衬底电接触地耦合的第一电极,以及与第三层电接触地耦合的第二电极。当跨第一和第二电极施加大于预定幅度的电压时,TVS组件操作于允许相对大量的电流流经TVS组件的穿通(punch-through)模式。

[0005] 在另一实施例中,一种形成碳化硅瞬时电压抑制器(TVS)组件的方法包含:提供穿通碳化硅半导体瞬时电压抑制器芯片,该芯片包含第一侧和相反的第二侧;将芯片包装在至少部分围绕芯片的玻璃壳体中;以及将相应电极与第一和第二侧的每个电连通地耦合,每个电极具有与玻璃壳体的热膨胀系数大体上匹配的热膨胀系数。

[0006] 在又一实施例中,一种高温电子系统包含:电子设备单元,配置为暴露于具有温度大于近似150.0℃的环境;远程电子设备单元,包含以可操作关系与该电子设备单元的至少一些电子部件耦合的瞬时电压抑制器(TVS)组件,TVS包含穿通碳化硅半导体TVS芯片,该芯片包装于至少部分围绕该芯片的玻璃壳体中,并且使用热压接合、瞬时液相焊料接合、扩散接合以及合金层(alloyed layer)中的至少一个耦合到电极。

附图说明

[0007] 当参考附图阅读下文的详细描述时,本技术的这些和其它特征、方面以及优点将变得更好理解,其中在通篇附图中类似的字符表示类似的部件,其中:

[0008] 图1是根据本发明的示范性实施例的电力和通信分配系统的架构的示意框图;

[0009] 图2是根据本系统的示范性实施例的在图1中示出的电子设备单元的示范性的一的示意框图;

[0010] 图3A-3C是根据本发明的示范性实施例的使用TVS 218的可用的电压抑制保护的各种配置的示意框图。

[0011] 图4是根据本系统的示范性实施例的在图2中示出的瞬时电压抑制 (TVS) 组件的半导体芯片部分的侧视图;

[0012] 图5是根据本系统的另一实施例的在图2中示出的瞬时电压抑制 (TVS) 组件的半导体芯片部分的侧视图;

[0013] 图6是根据本系统的另一实施例的在图2中示出的瞬时电压抑制 (TVS) 组件的半导体芯片部分的侧视图;

[0014] 图7是根据本发明的示范性实施例的在图2中示出的瞬时电压抑制 (TVS) 组件的侧视图;

[0015] 图8是根据本系统的示范性实施例的在图2中示出的瞬时电压抑制 (TVS) 组件的另一视图;

[0016] 图9是图示TVS组件的雷电测试波形的结果的图表800;

[0017] 图10是图示TVS组件的DC测试的结果的图表900;以及

[0018] 图11是图示TVS组件的在图9中示出的DC测试的结果的图表1000。

具体实施方式

[0019] 下文的详细描述以示例的方式而不以限制的方式说明系统的实施例。要领会到该系统和方法对在功率电子设备、信号电子设备中的电子部件制造和封装以及在工业、商业和住宅应用中的电磁干扰 (EMI) 保护具有一般应用。

[0020] 如本文所使用的,以单数叙述并且冠以词语“一”的元件或步骤应该理解为不排除多个元件或步骤,除非明确地叙述了这样的排除。此外,本发明的“一个实施例”的提及并不旨在解释为排除也并入所叙述的特征的附加实施例的存在。

[0021] 本公开的实施例演示可靠地操作于300℃的基于半导体的TVS装置。在一个实施例中,该装置由碳化硅 (SiC) 制成。在其它实施例中,装置由其它宽带隙材料例如但不限于氮化镓 (GaN)、金刚石、氮化铝 (AlN)、氮化硼 (BN) 及其组合制成。宽带隙半导体TVS装置可靠地可操作于高达近似500℃,然而,其它部件 (例如,TVS封装) 在示例实施例中可能更限制。TVS是钳位 (clamping) 装置,抑制近似所有高于其击穿电压的过电压。TVS装置典型地包含三个SiC层 (N-P-N)。在其它实施例中,三个层包含P-N-P层。在N-P-N型装置中,当装置经受跨两个N层的电位时,在P层 (通常) 形成耗尽层,这是因为与两个N层相比P层的掺杂低得多。例如,低一到五个数量级,或N层的掺杂剂浓度的十分之一到万分之一。对于另外的示例,如果N层中的掺杂浓度是近似 $10^{18}/\text{cm}^3$,则P层中的掺杂浓度会是近似 $10^{15}/\text{cm}^3$ 。随着跨装置的电

压增加,耗尽区域全部跨P层地延伸并且触到另一侧上的N层。这导致已知为“穿通”的状况并且大量电流开始在装置中流动。装置能够用跨该装置的电压的最小改变来保持此状况。当层的极性改变为P-N-P时,类似解释描述操作。

[0022] 在一个示例中,封装件设计成具有低电感和电容以提供快速电响应以及具有热容以管理热脉冲。低电感和电容通过使用从芯片到接合到电路的末端的短的导电路径来实现。玻璃或陶瓷包装可用于保护芯片免受环境中的污染并且提供改进的跨装置的电绝缘。已经发现硼硅玻璃包装在高达600℃的测试中具有低泄漏电流。选择末端材料以分别与陶瓷到金属密封和玻璃到金属密封兼容。末端材料可包含但不限于钨、钼或科瓦(Kovar)®。芯片在两侧使用例如热压接合、瞬时液相焊料接合、扩散接合或合金层而接合到相应末端。在一个实施例中,金热压接合提供更低热阻路径并且在高温中不氧化。金还具有大的可塑范围以特别在高温提供低应力界面。

[0023] TVS装置有助于防止与TVS装置并联耦合的灵敏的电子设备经受由例如雷击所引起的电压尖峰和被损坏。在各实施例中,多于一个TVS装置可以连接在TVS组件中,该TVS组件包含TVS装置的并联、串联和/或串并联配置以允许TVS组件的增强的电保护特征,例如,更大的电压或电流能力。高温封装件中的SiC装置使能具有相对高的周围温度(例如,大于近似150℃)的环境中的其部署。此外,SiC装置提供超强钳位。尽管本文描述为适合于在高温应用中使用,但是宽带隙材料也适合于在温度相对不高的(例如,在室温)的地方的应用。

[0024] 图1是根据本发明的示范性实施例的电力和通信分配系统100的架构的示意框图。在示范性实施例中,分配系统100包含电力供应分配总线102和通信通道104。在示范性实施例中,电力供应分配总线102将电力分配到位于引擎110附近的多个电子设备单元106。在示范性实施例中,引擎110是包含风扇112和核心引擎114的燃气涡轮引擎。在各其它实施例中,引擎110可以是另一台机器,例如但不限于活塞驱动的内燃引擎、压缩机、发电机以及泵。在示范性实施例中,多个电子设备单元106包含电子设备单元(EU) 116和118,该电子设备单元(EU) 116和118图示为安装在例如接近燃气涡轮引擎(GTE) 110的风扇112的相对凉的环境中。分配系统100还包含高温电子设备单元(HT-EU) 120、122以及124。每个HT-EU 120、122以及124图示为安装于燃气涡轮引擎110的核心引擎114上,其是相对热的环境位置。例如,核心壳体114的附近的温度可以是大于近似150.0摄氏度(℃)到近似300.0℃。

[0025] EU 116从电力供应126接收电力。所接收的电力由EU 116管理用于在分配系统100中分配。将所管理的电力通过电力总线电力供应分配总线102传送到包含EU 118、HT-EU 120、122以及124的各相应负载。类似地,各电子单元之间的通信在通信通道104上传送。

[0026] 在操作期间,对飞行器的电磁干扰和/或雷击可在总线102和/或104上引起大的瞬时电压尖峰。如果不修复,这样的大的电压尖峰可引起对包含EU 116、118以及HT-EU 120、122以及124的耦合到总线的电气和电子部件的损坏。为了避免这样的损坏,可以与所选择的部件和/或部件中的电路串联和/或并联使用瞬时电压抑制器,以有助于减少和/或消除这样的尖峰。一种方法将总线上的电压钳位到预定电平。

[0027] 图2是根据本系统的示范性实施例的EU 116、118以及HT-EU 120、122以及124的示范性的一的示意框图。在示范性实施例中,HT-EU 120,例如包含处理器202、在通信上耦合到处理器202的存储器204、ROM存储器206、也在通信上耦合到处理器202的输入段208、驱动模块210以及输出模块212。HT-EU 120还包含在通信上耦合到通信总线104和处理器202

的通信模块214。HT-EU 120还包含电耦合到电力供应分配总线102并且配置为在遍及HT-EU 120的各电压分配电力的电力模块216。由于耦合到相应总线,通信模块214和电力模块216易受EMI和/或雷电引起的尖峰影响。为了防止这样的干扰和尖峰到达通信模块214和电力模块216以及下游部件,一个或多个瞬时电压抑制(TVS)组件218和220耦合于相应总线和通信模块214以及电力模块216之间。

[0028] 图3A-3C是根据本发明的示范性实施例的使用TVS组件218的可用的电压抑制保护各种配置的示意框图。在图3A的实施例中,TVS组件218包含串联配置的两个瞬时电压抑制器。在图3B的实施例中,TVS组件218包含串联配置的两个瞬时电压抑制器与第三瞬时电压抑制器并联。在图3C的实施例中,TVS组件218包含并联配置的两个瞬时电压抑制器与第三瞬时电压抑制器串联。可以聚集个别瞬时电压抑制器的各种其它组合以提供用于很多不同的应用的充分的载流能力和预定的电压性能。

[0029] 图4是根据本系统的示范性实施例的瞬时电压抑制(TVS)组件218或220(在图2中示出)的半导体芯片302部分的侧视图。在示范性实施例中,芯片302包含台面结构,该台面结构由例如具有n+型导电性的碳化硅的衬底304和外延生长的n+型导电性层306、与层306电接触地耦合的外延生长的p-层308、以及与p-层308电接触地耦合的外延生长的n+层312形成。在示范性实施例中,p-层308相对于n+层306和308相对轻掺杂。衬底304和层306、308以及312的均匀的掺杂浓度改进耗尽区域中的电场分布的均匀性,由此改进击穿电压特性。此外,台面结构具有相对于邻近的接触层之间的界面成近似五度到近似八十度的角度的有斜面的侧壁,以降低芯片的表面处的最大电场曲线。第一电触头(electrical contact)310与衬底304电接触地耦合。第二电触头314与外延生长的n+层312电接触地耦合。瞬时电压抑制(TVS)组件218或220的半导体芯片302部分使用“穿通”或也已知为“穿透(reach through)”物理现象来操作,以便随着跨芯片302的电压的增加,耗尽区域全部跨p-层308延伸并且触到n+层306和312。这导致已知为“穿通”的状况并且大量电流能够流经芯片302。芯片302能够以跨该芯片302的电压的最小改变来保持此状况。

[0030] 在各实施例中,对TVS组件218设计大小并形成为确保保持芯片302的半导体材料的内部的最大电场小于两兆伏每厘米。此外,对于小于近似1.0纳安到近似1.0毫安的范围的电流,TVS组件218配置为保持阻断电压的增加小于5%。如本文所使用的,阻断电压指的是TVS组件218不导电或仍然处于“截止”状态的最高电压。此外,TVS组件218配置为保持泄漏电流小于近似1.0微安上至近似TVS组件218在室温的穿通电压以及小于1.0微安上至近似高达225摄氏度的操作温度处的穿通电压。

[0031] 在各实施例中,TVS组件218配置为展现近似5.0伏到近似75.0伏之间的穿通特性。在各其它实施例中,TVS组件218配置为展现近似75.0伏到近似200.0伏之间的穿通特性。在另外其它实施例中,配置为展现大于近似200伏的穿通特性。

[0032] 图5是根据本系统的另一实施例的瞬时电压抑制(TVS)组件218或220(在图2中示出)的半导体芯片302部分的侧视图。在示范性实施例中,芯片302包含第一截头锥(frusto-conical)结构402和第二大体上圆柱形结构404。第一截头锥结构402由外延生长的n+型导电性层306和至少部分外延生长的p-层308形成。圆柱形结构404由至少部分外延生长的p-层308和外延生长的n+层312形成。在示范性实施例中,p-层308相对于n+层306和312相对轻掺杂。衬底304和层306、308以及312的均匀的掺杂浓度改进耗尽区域中的电场分布的均匀

性,由此改进击穿电压特性。第一电触头310与衬底304电接触地耦合。第二电触头314与外延生长的n+层312电接触地耦合。

[0033] 图6是根据本系统的另一实施例的瞬时电压抑制(TVS)组件218或220(在图2中示出)的半导体芯片302部分的侧视图。在示范性实施例中,芯片302包含第一截头锥结构602和第二截头锥结构604。第一截头锥结构602由外延生长的n+型导电性层306和至少部分外延生长的p-层308形成。第二截头锥结构604由至少部分外延生长的p-层308和外延生长的n+层312形成。在示范性实施例中,p-层308相对于n+层304、306以及312相对轻掺杂。衬底304和层306、308以及312的均匀的掺杂浓度改进耗尽区域中的电场分布的均匀性,由此改进击穿电压特性。第一电触头310与衬底304电接触地耦合。第二电触头314与外延生长的n+层312电接触地耦合。

[0034] 图7是根据本发明的示范性实施例的瞬时电压抑制(TVS)组件218(在图2中示出)的侧视图。在示范性实施例中,第一和第二电触头310和314每个包含扩散接合的或合金层702和704以及相应头针(header pin)406和408。在各实施例中,层702和704由铜(Cu)、金(Au)、铝(Al)、铂(Pt)及其组合形成。在其它实施例中,层702和704可以由其它材料、组合或合金形成。在各实施例中,第一和第二电触头310和314使用层702和704使用例如但不限于热压接合、瞬时液相焊料接合、扩散接合或合金层而耦合到芯片302。表面安装触头410和412分别典型地与第一和第二电触头310和314电接触地耦合到头针406和408。玻璃包装414至少部分围绕芯片302以及第一和第二电触头310和314。在各实施例中,玻璃包装414包含硼硅玻璃或氧化铝陶瓷。头针406和408由选择为具有与玻璃包装414的热膨胀系数大体上匹配的热膨胀系数的材料形成。这样的材料可包含钨、钼、铁镍钴、低膨胀合金(有时称作科瓦®)以及其组合中的至少一个。科瓦®合金是真空熔化的、铁镍钴、低或受控膨胀合金,其化学组分控制在窄的限制中以保证精确均匀的热膨胀性质。在示范性实施例中,头针406和408由包含近似29%的镍(Ni)、17%的钴(Co)以及剩余余额大体上为铁(Fe)的材料形成。

[0035] 图8是根据本系统的示范性实施例的瞬时电压抑制(TVS)组件218(在图2中示出)的另一视图。在示范性实施例中,形成具有凸缘502和504的头针406和408,凸缘502和504配置为与玻璃包装414配合并且容纳例如焊料连接以将TVS组件218电耦合到电路。

[0036] 图9是图示TVS组件218的雷电测试波形的图表800。在示范性实施例中,图表800包含以时间为单位分度的x轴802以及以电压和电流为单位分度的y轴804。迹线806表示施加于TVS组件218上的电压,其峰值指向TVS组件218的钳位电压。在示范性实施例中,它是近似100.0伏。迹线808表示流经TVS组件218的电流,其近似134安。

[0037] 图10是图示DC测试的图表900。在示范性实施例中,图表900包含以电压为单位分度的x轴902以及使用对数标度的以电流为单位分度的y轴904。迹线906表示当经受跨第一和第二电触头310和312的电压并且测量对应电流时TVS组件218的响应。DC测试在近似200摄氏度处对TVS组件218进行以确定TVS组件218的高温能力。在示范性实施例中,TVS组件218在近似65.0伏处打开,在那里迹线906变平坦。在小于65.0伏的电压,TVS组件218处于“截止”状况。当TVS组件218截止时流动的电流是泄漏电流。可以看出当TVS组件218在高温下截止时,通过TVS组件218的泄漏电流值极其小(例如,在皮安范围),指示低泄漏电流。

[0038] 图11是图示TVS 218的DC测试的图表1000。在示范性实施例中,图表1000包含以电压为单位分度的x轴1002以及使用线性标度的以电流为单位分度的y轴1004。迹线1006表示

当经受跨第一和第二电触头310和312的电压并且测量对应电流时TVS组件218的响应。在近似200摄氏度对TVS组件218进行DC测试以确定TVS组件218的高温能力。在示范性实施例中，TVS组件218在近似65.0伏打开，在那里迹线906急剧地突变。

[0039] 瞬时电压抑制的方法和系统的上述实施例提供有成本效率并且可靠的手段用于降低和/或消除例如EMI和/或雷击所引起的进入电气系统的电压尖峰。更具体地，本文描述的方法和系统有助于电子设备的操作经受相对高的环境温度。此外，上述方法和系统有助于不用附加的冷却支持而操作高密度壳体中的电子部件。其结果是本文描述的方法和系统有助于以有成本效率并且可靠的方式来操作交通工具，例如飞行器。

[0040] 本书面描述使用示例以公开本发明，包含最佳模式，并且也使本领域的任何技术人员能够实践本发明，包含制作和使用任何装置或系统以及进行任何并入的方法。本发明的可专利范围由权利要求来定义，并且可包含本领域技术人员想到的其它示例。如果这样的其它示例具有与权利要求的字面语言没有不同的结构元件，或如果它们包含与权利要求的字面语言没有实质性差别的等效结构元件，则这样的其它示例预计落入权利要求的范围内。

[0041] 部件列表：

[0042] 分配系统 100

[0043] 电力供应分配总线 102

[0044] 通信通道 104

[0045] 电子设备单元(EU) 106

[0046] 引擎 110

[0047] 风扇 112

[0048] 核心引擎114

[0049] EU 116

[0050] EU 118

[0051] HT-EU 120

[0052] EU 122

[0053] EU 124

[0054] 电力供应 126

[0055] 处理器 202

[0056] 存储器 206

[0057] 输入段 208

[0058] 驱动模块 210

[0059] 输出模块 212

[0060] 通信模块 214

[0061] 电力模块 216

[0062] TVS组件 218

[0063] 半导体芯片 302

[0064] 衬底 304

[0065] 层 306

- [0066] 层 308
- [0067] 电触头 310
- [0068] 电触头 312
- [0069] 电触头 314
- [0070] 截头锥结构 402
- [0071] 圆柱形结构 404
- [0072] 头针 406
- [0073] 头针 408
- [0074] 表面安装触头 410
- [0075] 表面安装触头 412
- [0076] 包装 414
- [0077] 凸缘 502
- [0078] 凸缘 504
- [0079] 截头锥结构 502
- [0080] 截头锥结构 504
- [0081] 图表 800
- [0082] x轴 802
- [0083] y轴 804
- [0084] 迹线 806
- [0085] 迹线 808
- [0086] 图表 900
- [0087] x轴 902
- [0088] y轴 904
- [0089] 迹线 906
- [0090] 图表 1000
- [0091] x轴 1002
- [0092] y轴 1004
- [0093] 迹线1006。

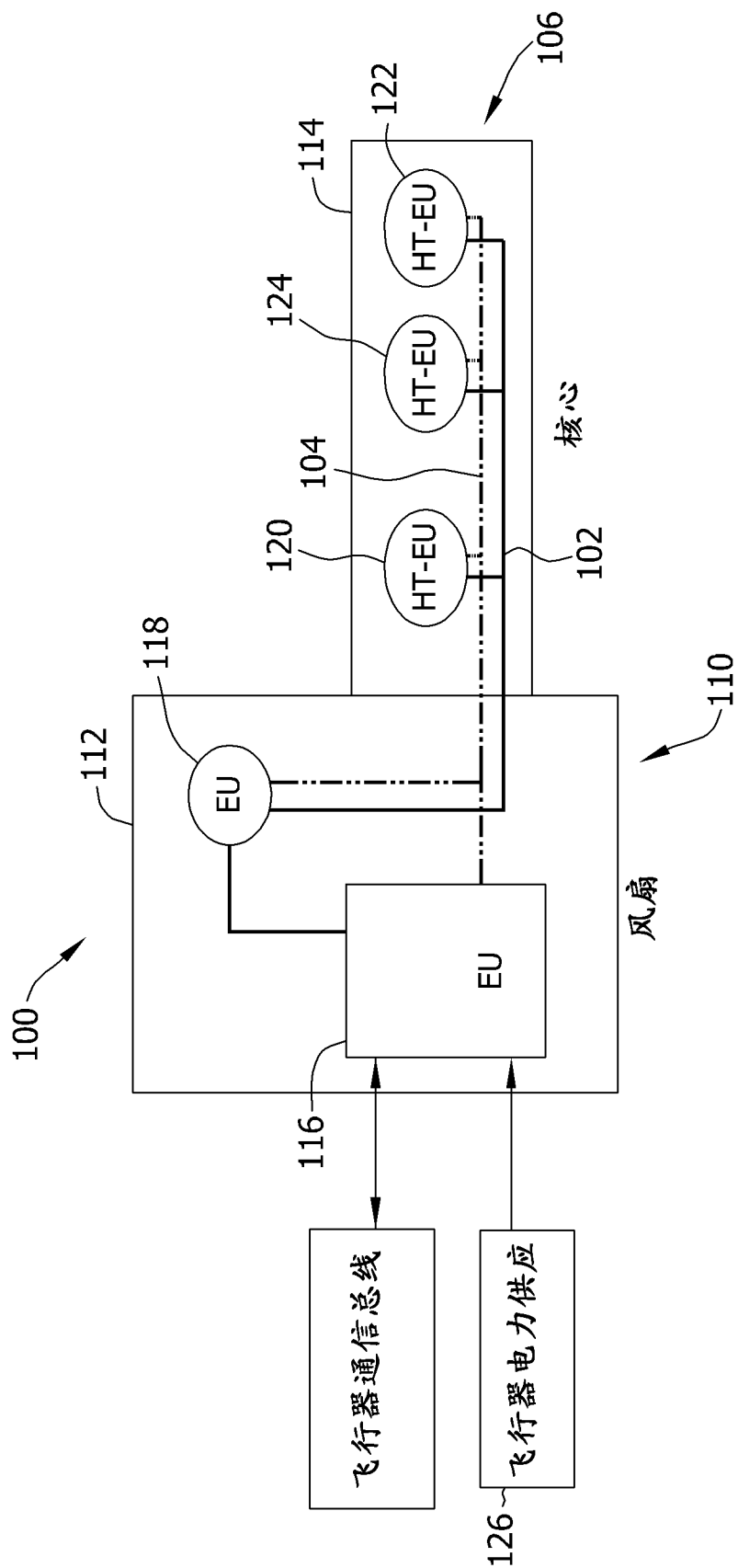


图 1

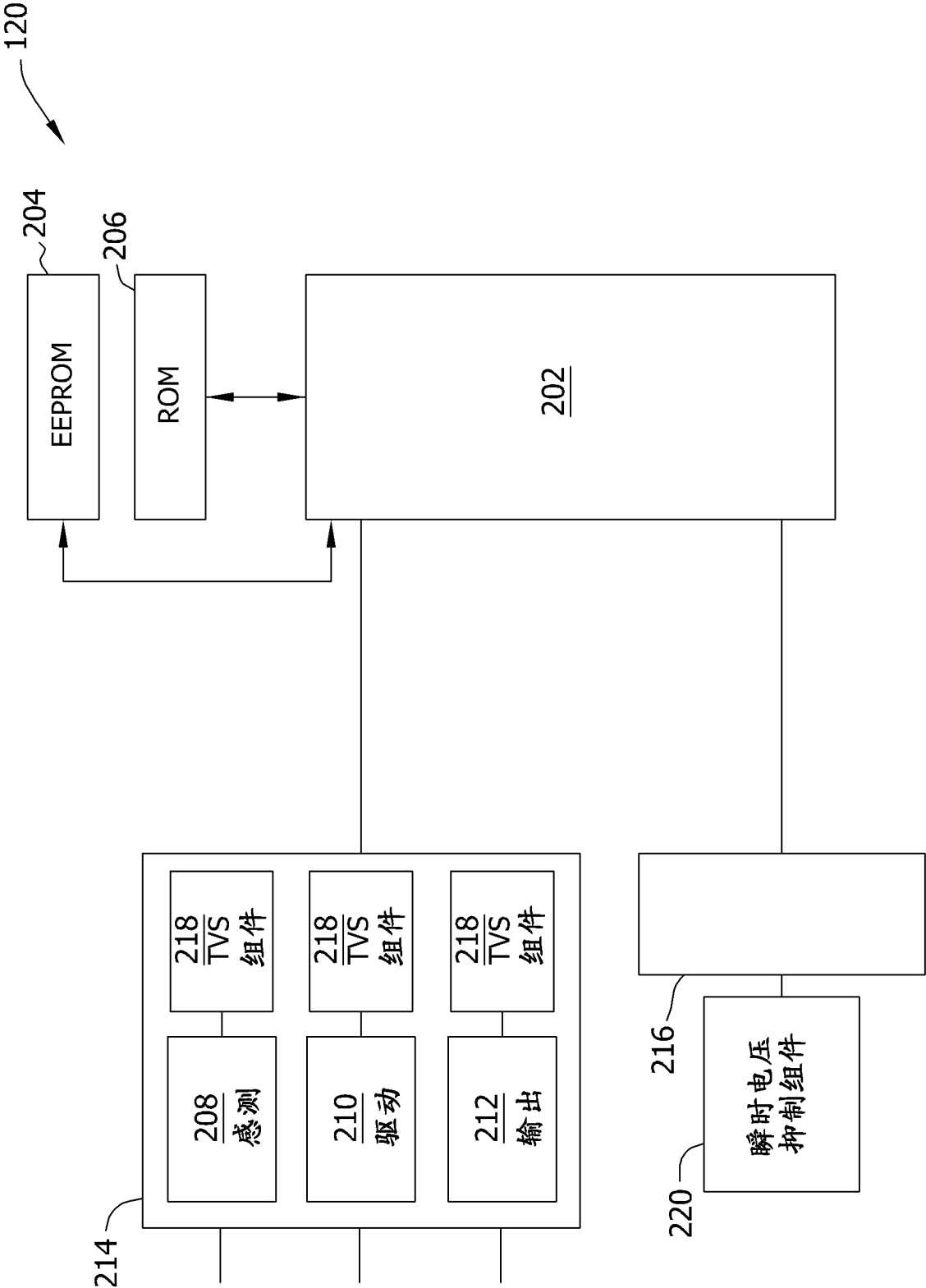


图 2

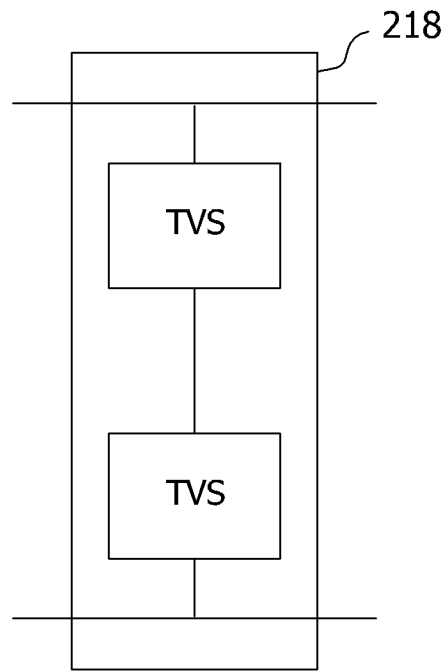


图 3A

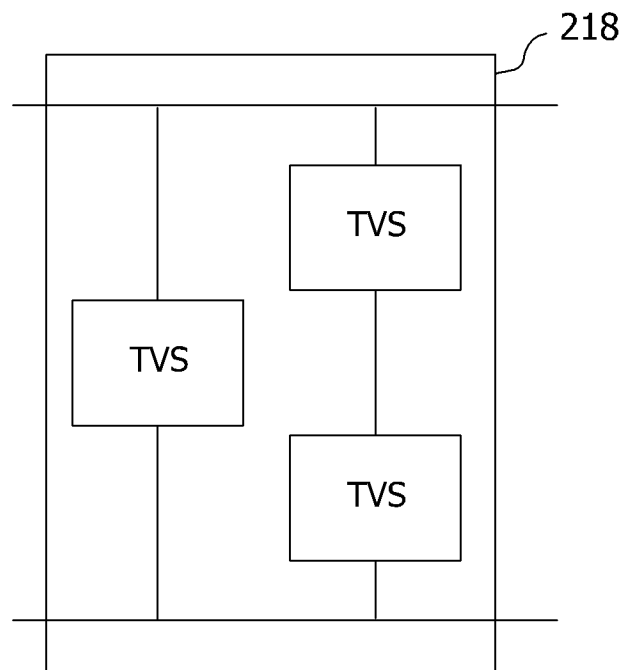


图 3B

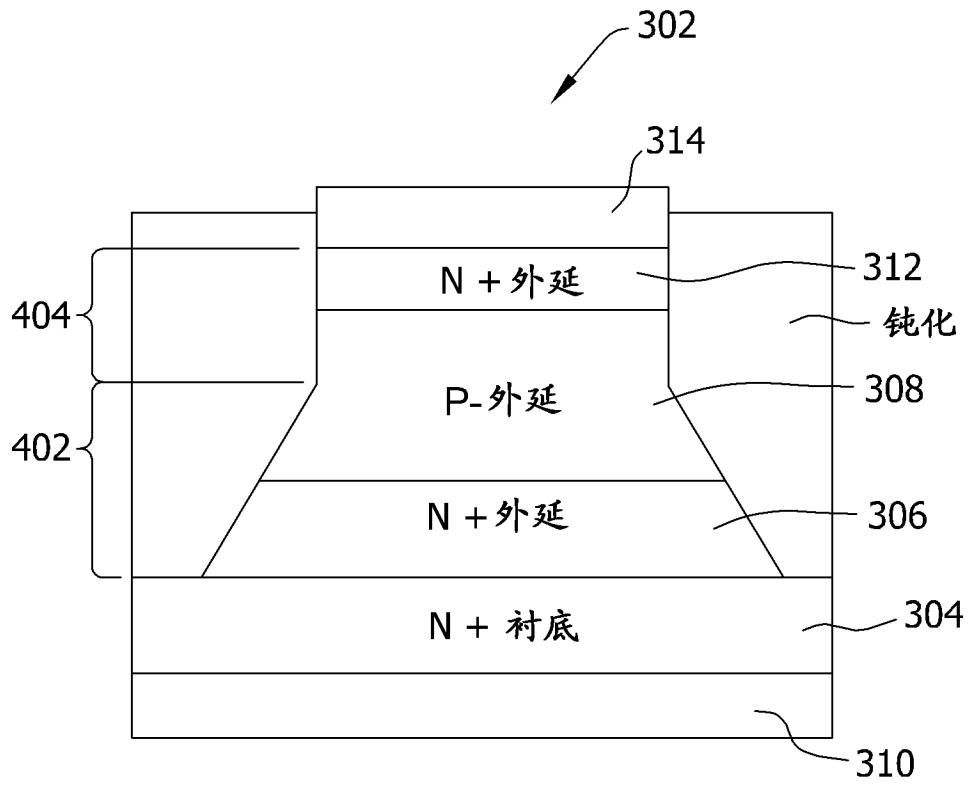


图 5

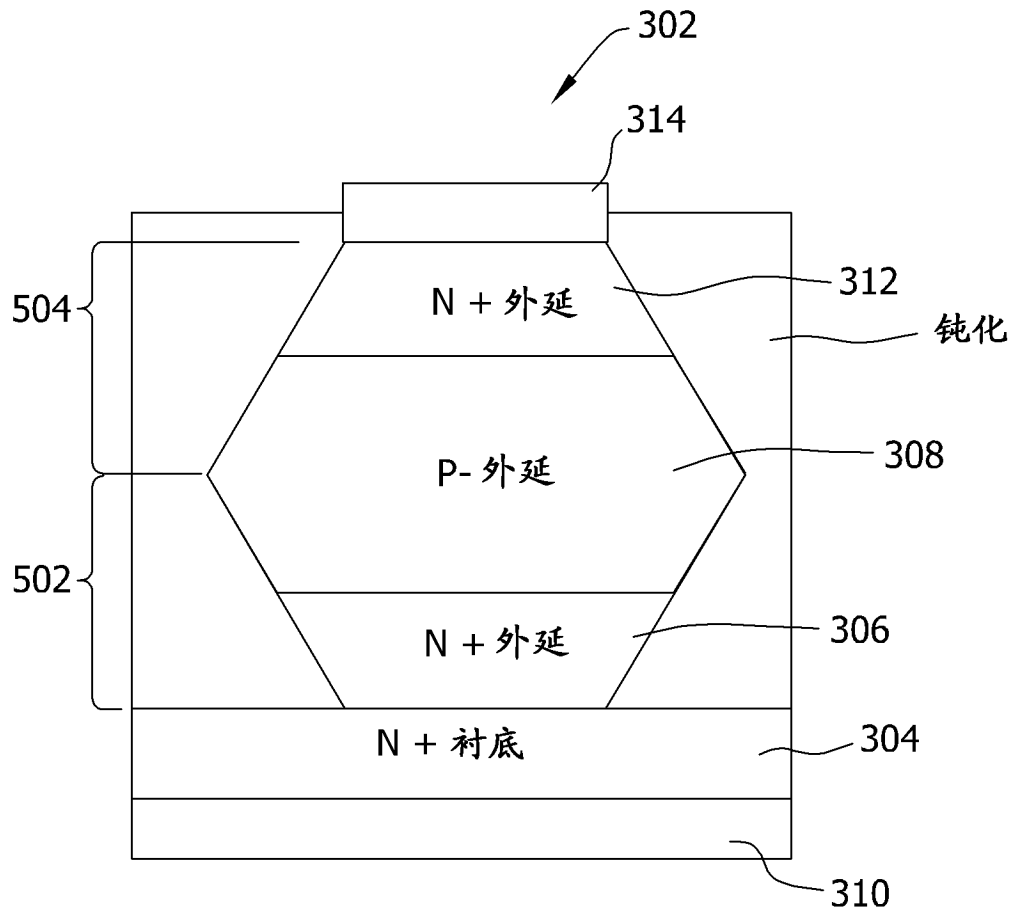


图 6

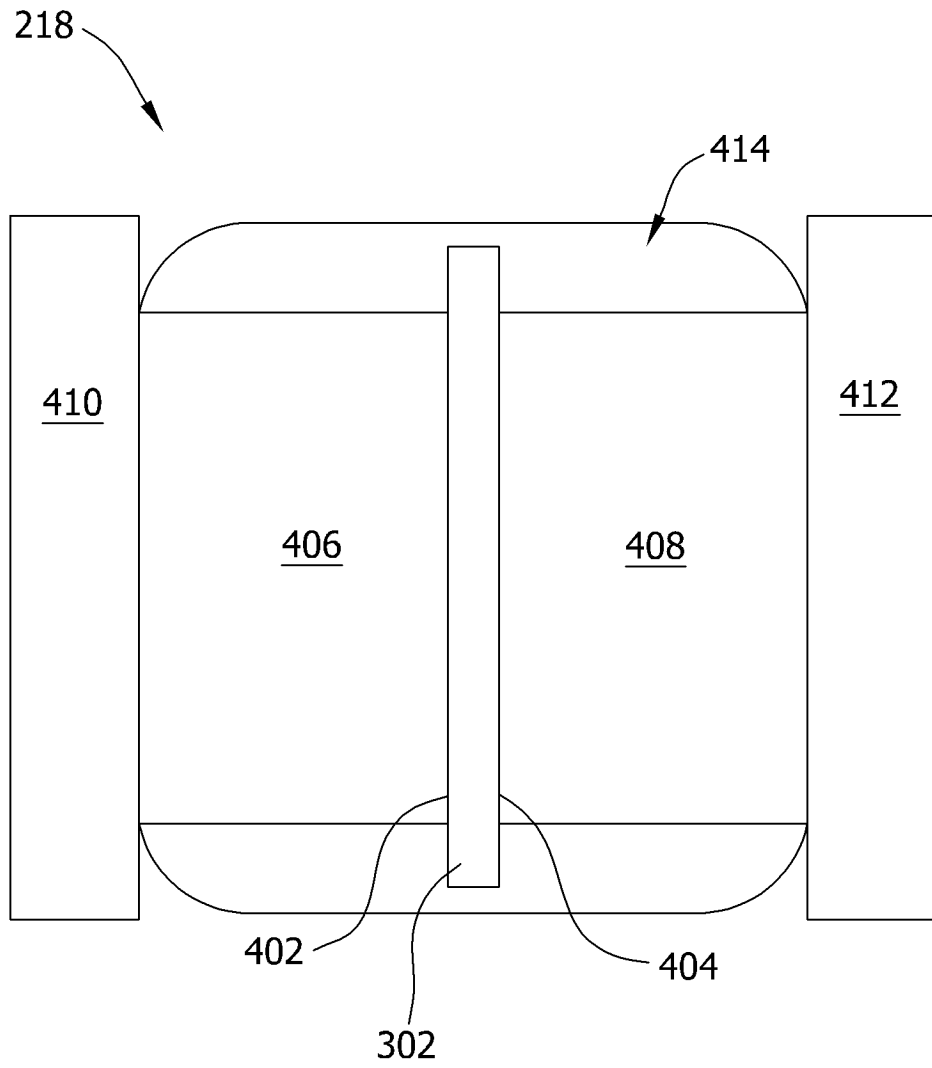


图 7

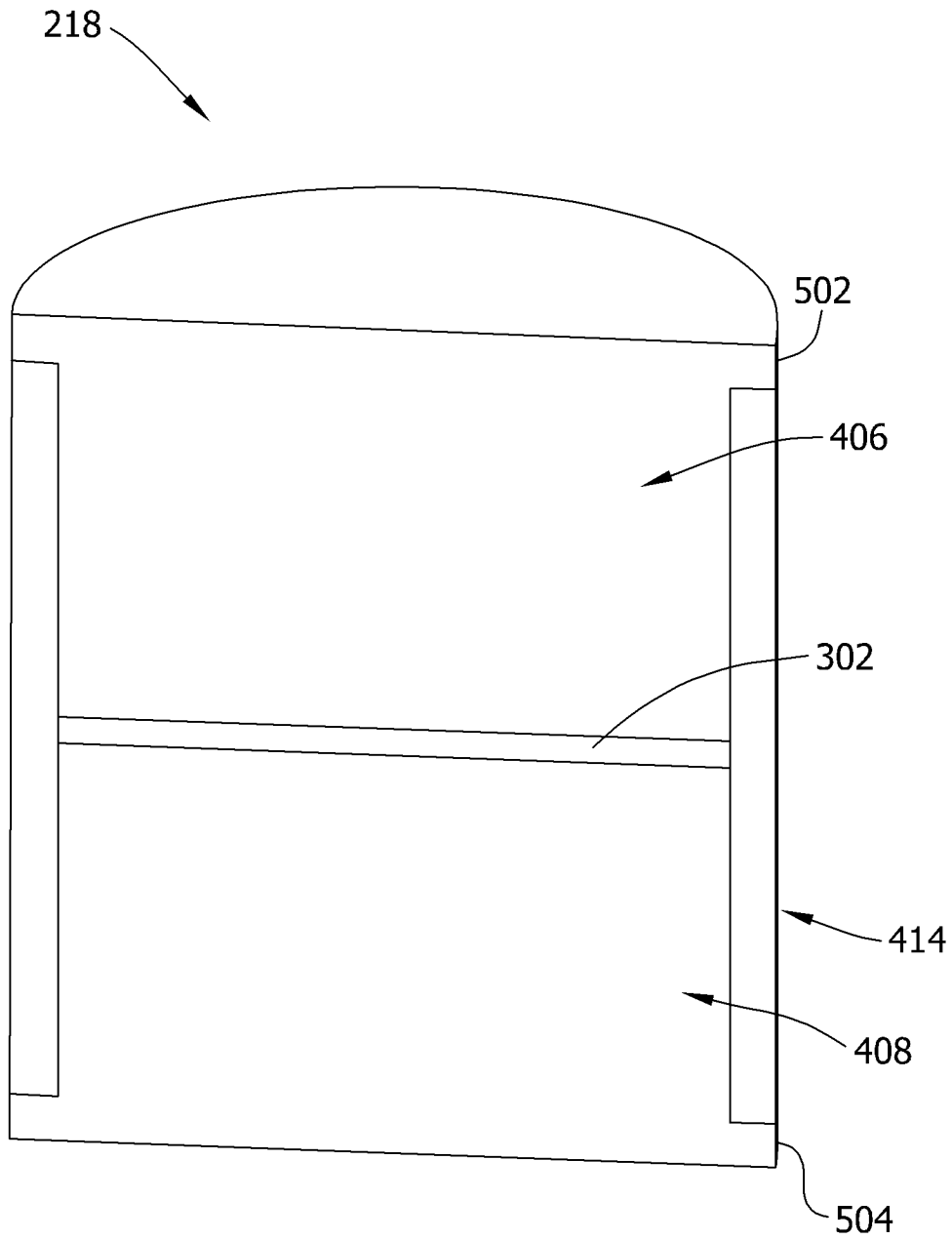


图 8

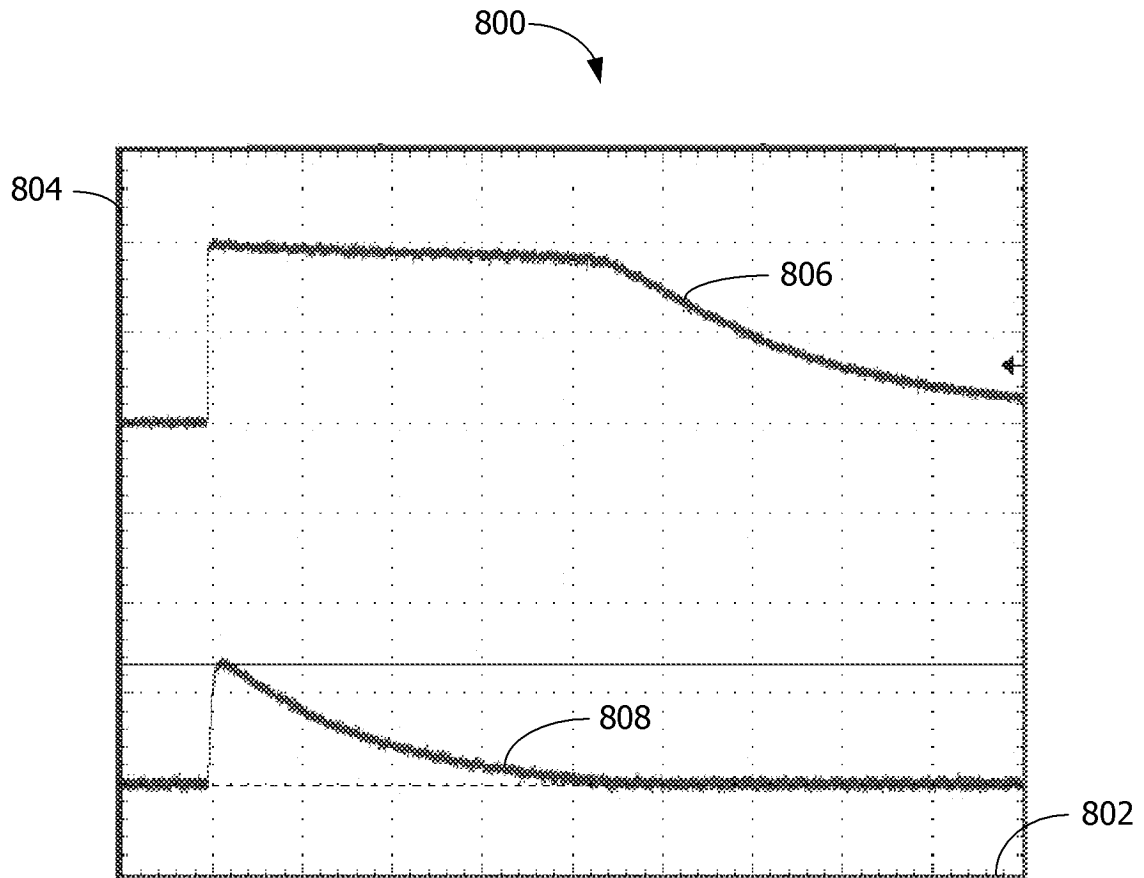


图 9

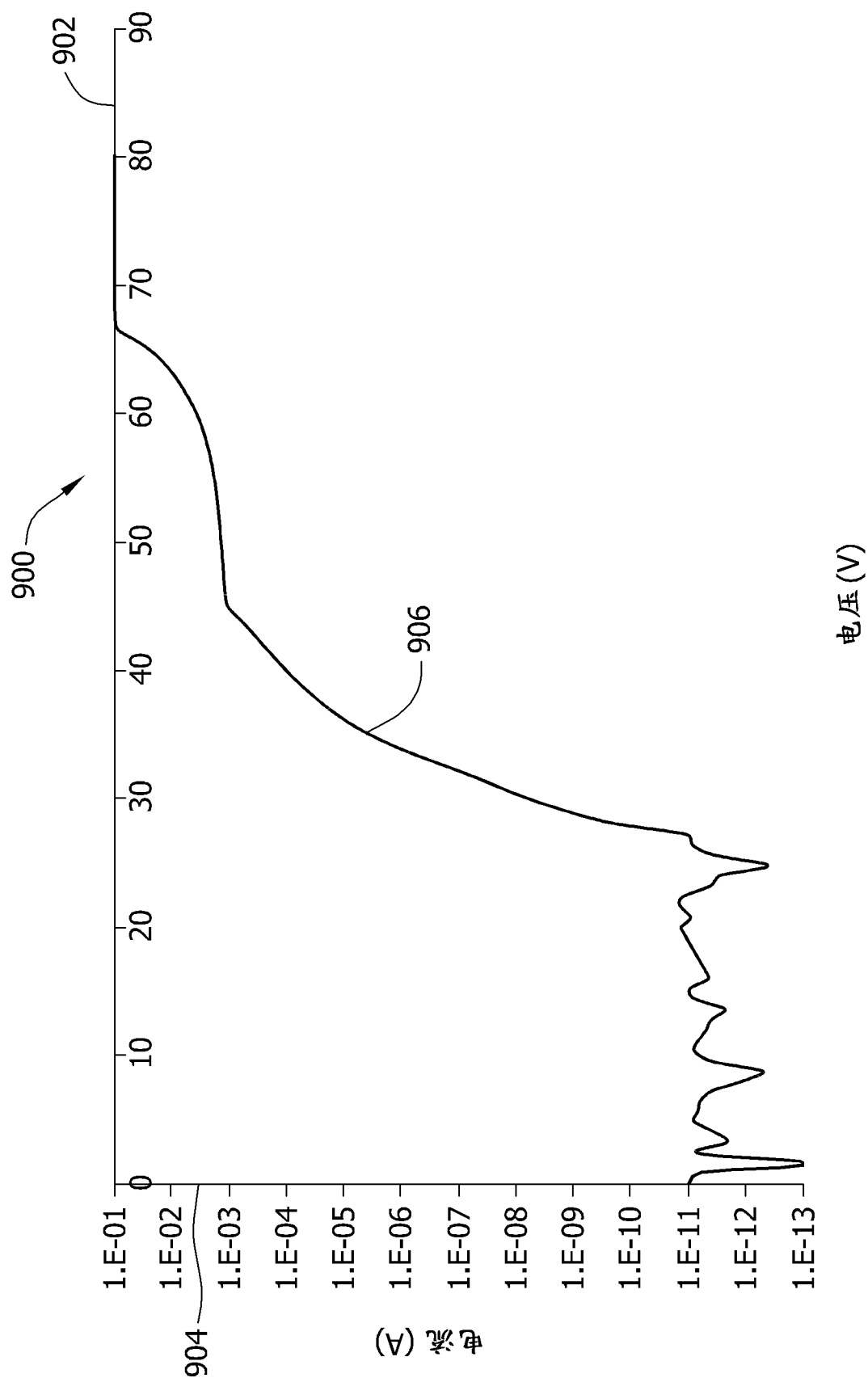


图 10

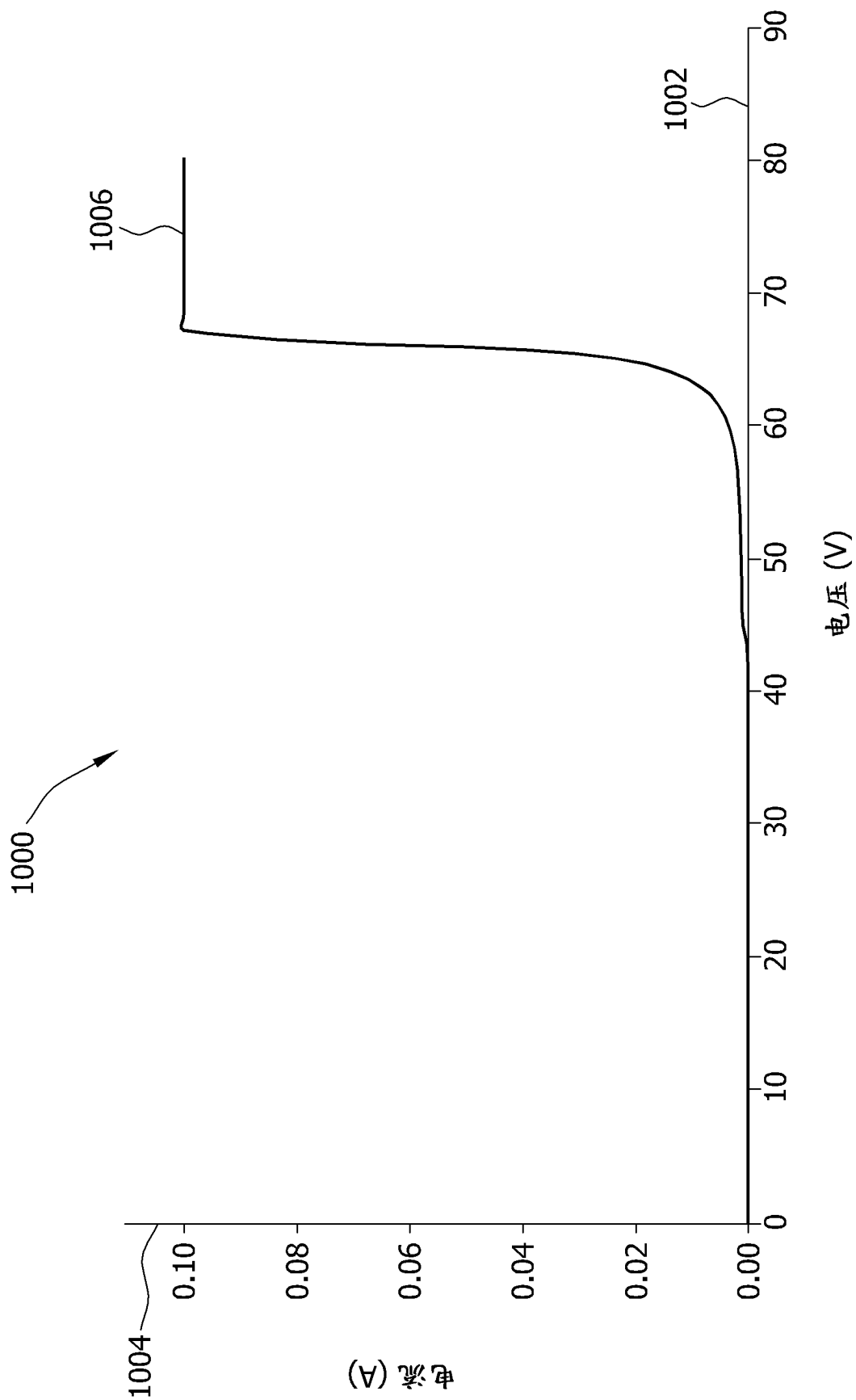


图 11