

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-530726

(P2010-530726A)

(43) 公表日 平成22年9月9日(2010.9.9)

(51) Int.Cl.
H02M 3/07 (2006.01)F I
H02M 3/07テーマコード (参考)
5H730

審査請求 未請求 予備審査請求 有 (全 35 頁)

(21) 出願番号 特願2009-542239 (P2009-542239)
 (86) (22) 出願日 平成19年12月21日 (2007.12.21)
 (85) 翻訳文提出日 平成21年8月11日 (2009.8.11)
 (86) 国際出願番号 PCT/GB2007/050788
 (87) 国際公開番号 W02008/078120
 (87) 国際公開日 平成20年7月3日 (2008.7.3)
 (31) 優先権主張番号 0625954.3
 (32) 優先日 平成18年12月22日 (2006.12.22)
 (33) 優先権主張国 英国 (GB)

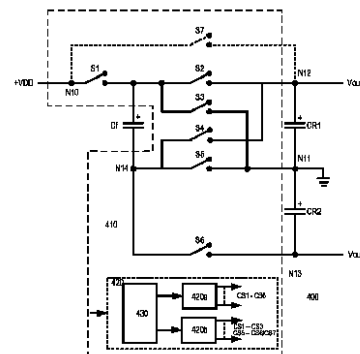
(71) 出願人 307014810
 ウルフソン マイクロエレクトロニクス
 ビーエルシー
 Wolfson Microelectr
 onics Plc
 イギリス国 EH11 2QW エディン
 バラ ウェスト フィールド ロード 2
 6, ウェストフィールド ハウス
 Westfield House, 26
 Westfield Road Edin
 burgh EH11 2QW, Unit
 ed Kingdom
 (74) 代理人 100114775
 弁理士 高岡 亮一

最終頁に続く

(54) 【発明の名称】 チャージポンプ回路およびその動作方法

(57) 【要約】

1つのフライングキャパシタ(c f)を使用して、複数の出力電圧(V_{out+} , V_{out-})を供給するためのデュアルモードチャージポンプ回路(400)、ならびに関連する方法および装置が開示される。前記回路は、多くの異なる状態で動作可能なスイッチ網(410)と、第1モードにおいて、合計して前記入力電圧($+V_{DD}$)にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧(V_{out+} , V_{out-})を生成し、第2モードにおいて、それぞれが実質的に前記入力電圧($+V_{DD}$)に達する正負の出力電圧を供給するために、前記スイッチを前記状態のシーケンスで作動させるためのコントローラ(420)とを有する。



【特許請求の範囲】**【請求項 1】**

入力端子および共通端子の両端に入力される 1 つの入力供給から分割レール電圧供給を生成する方法であって、前記分割レール供給は、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続された第 1 出力端子および第 2 出力端子に出力され、前記方法は、

状態シーケンスにおいて前記異なる端子間にフライングキャパシタを接続し、前記入力供給から前記リザーバキャパシタに、直接または前記フライングキャパシタを介して電荷のパケットを繰り返し転送し、これにより、選択された動作モードに応じて、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が、それぞれが実質的に前記入力供給に達する正負の出力電圧を有する前記分割レール供給を生成するステップを有する方法。

10

【請求項 2】

第 1 モードでの動作時に、少なくとも第 1 状態と第 2 状態を交互に反復するステップを有し、前記第 1 状態は、前記入力電圧を前記フライングキャパシタと第 1 リザーバキャパシタ間で直列に分割するのに有効であり、前記第 2 状態は、前記フライングキャパシタの分割された前記電圧の一部を前記第 2 リザーバキャパシタに印加するのに有効である請求項 1 に記載の方法。

【請求項 3】

前記第 1 状態は、前記入力端子と前記第 1 出力端子との間に前記フライングキャパシタを接続することによって得られ、前記第 2 状態は、前記共通端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られる請求項 2 に記載の方法。

20

【請求項 4】

前記第 1 モードにおける前記シーケンスは、第 3 状態の反復を含み、前記第 3 状態は、前記フライングキャパシタの分割された前記電圧の一部を前記第 1 リザーバキャパシタに印加するのに有効である請求項 2 または 3 に記載の方法。

【請求項 5】

前記第 3 状態は、前記第 1 出力端子と前記共通端子との間に前記フライングキャパシタを接続することによって得られる請求項 4 に記載の方法。

【請求項 6】

30

第 1 モードでの動作時に、少なくとも第 4 状態と第 5 状態を交互に反復するステップを有し、前記第 4 状態は、前記フライングキャパシタを前記入力電圧まで充電するのに有効であり、前記第 5 状態は、前記フライングキャパシタ上の電圧を前記第 1 リザーバキャパシタと第 2 リザーバキャパシタ間で直列に分割するのに有効である請求項 1 ~ 5 のいずれか 1 項に記載の方法。

【請求項 7】

前記第 4 状態は、前記入力端子と前記共通端子との間に前記フライングキャパシタを接続することによって得られ、前記第 5 状態は、前記第 1 出力端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られる請求項 6 に記載の方法。

【請求項 8】

40

第 2 モードでの動作時に、少なくとも第 2 状態と第 6 状態を交互に反復するステップを有し、前記第 6 状態は、前記フライングキャパシタおよび前記第 1 リザーバキャパシタを実質的に前記入力電圧まで充電するのに有効であり、前記第 2 状態は、前記フライングキャパシタから前記第 2 リザーバキャパシタに前記電圧を転送するのに有効である請求項 1 ~ 7 のいずれか 1 項に記載の方法。

【請求項 9】

前記第 2 状態は、前記共通端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られ、前記第 6 状態は、前記入力端子を前記第 1 出力端子に接続し、このノードと前記共通端子との間に前記フライングキャパシタを接続することによって得られる請求項 8 に記載の方法。

50

【請求項 10】

前記第2モードにおける前記シーケンスは、第7状態の反復を含み、前記第7状態は、いずれのリザーバキャパシタとも独立して、前記フライングキャパシタを充電するのに有効である請求項8または9に記載の方法。

【請求項 11】

前記第7状態は、前記入力端子と前記共通端子との間に前記フライングキャパシタを接続し、前記入力端子を前記第1出力端子から分離することによって得られる請求項10に記載の方法。

【請求項 12】

第2モードの特定の実装における動作時に、前記フライングキャパシタから独立して、前記入力端子と前記第1出力端子間に接続が維持され、これにより、この特定の実装での動作時に、前記第1リザーバキャパシタが前記入力端子と前記共通端子間に常に確実に接続されるようになっている請求項1～11のいずれか1項に記載の方法。

10

【請求項 13】

選択信号に応じて、請求項9に記載の変形例、請求項11に記載の変形例、または請求項13に記載の変形例のいずれかにおいて、第2動作モードを実装するために選択信号が使用される請求項1～12のいずれか1項に記載の方法。

【請求項 14】

前記状態に応じて、前記フライングキャパシタの一方が、前記入力端子、前記第1出力端子または前記共通端子の1つに独立して接続され、もう一方のフライングキャパシタ端子が、前記第1出力端子、前記共通端子または前記第2出力端子の1つに独立して接続される請求項1～13のいずれか1項に記載の方法。

20

【請求項 15】

任意の状態シーケンスが負荷条件に応じて変更される請求項1～14のいずれか1項に記載の方法。

【請求項 16】

前記第1リザーバキャパシタは、前記第1出力端子における電圧が第1のしきい値より低下したときにのみ充電され、前記第2リザーバキャパシタは、前記第2出力端子における電圧が第2のしきい値より低下したときにのみ充電される請求項15に記載の方法。

【請求項 17】

負荷への接続のための信号出力を有する増幅器回路に給電するために生成された前記分割レール電圧供給を使用するステップを更に有し、出力レベル要求信号に応じて、前記信号出力で生成される信号のレンジが、動作の前記第1モードまたは前記第2モードのいずれかで動作することによって変更される請求項1～16のいずれか1項に記載の方法。

30

【請求項 18】

前記増幅器回路がヘッドフォンを駆動する場合に前記第1モードが使用され、前記増幅器回路がライン入力を駆動する場合に前記第2モードが使用される請求項17に記載の方法。

【請求項 19】

前記第2モードでの動作時に、前記信号出力において電流を制限するステップを更に有する請求項18に記載の方法。

40

【請求項 20】

前記出力レベル要求信号は、前記増幅器の音量設定入力を参照することで求められ、前記音量が最大のときに前記第1モードが選択される請求項17, 18または19に記載の方法。

【請求項 21】

複数の出力電圧を提供するためのチャージポンプ回路であって、
入力電圧への接続のための入力端子および共通端子と、
前記複数の出力電圧を出力するための第1出力端子および第2出力端子と、前記第1出力端子および第2出力端子は、使用時に、個々の第1負荷および第2負荷と、個々の第1

50

リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続され、
1 つのフライングキャパシタへの接続のための第 1 フライングキャパシタ端子および第
2 フライングキャパシタ端子と、

前記端子間を相互接続するために、複数の異なる状態で動作可能なスイッチ網と、
前記スイッチ網を前記異なる状態のシーケンスで作動させるためのコントローラと、を
有し、

前記コントローラは、第 1 モードと第 2 モードで動作可能であり、前記モードの前記第
1 モードでは、前記状態に応じて、前記入力供給から前記リザーバキャパシタに、前記フ
ライングキャパシタを介して電荷のパケットを転送し、これにより、合計して前記入力電
圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が
生成されるように適合されている回路。 10

【請求項 2 2】

前記モードの前記第 2 モードは、それぞれが実質的に前記入力供給に達する正負の出力
電圧を生成する請求項 2 1 に記載の回路。

【請求項 2 3】

前記コントローラは、第 1 モードにおいて、前記スイッチを、少なくとも第 1 状態と第
2 状態を交互に反復するシーケンスで作動させるように適合されており、前記第 1 状態は
、前記入力電圧を前記フライングキャパシタと第 1 リザーバキャパシタ間で直列に分割す
るのに有効であり、前記第 2 状態は、前記フライングキャパシタの分割された前記電圧の
一部を前記第 2 リザーバキャパシタに印加するのに有効である請求項 2 1 または 2 2 に記
載の回路。 20

【請求項 2 4】

前記第 1 状態において、前記第 1 フライングキャパシタ端子および第 2 フライングキャ
パシタ端子は、それぞれ前記入力端子および前記第 1 出力端子に接続され、前記第 2 状態
において、前記第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子は、
それぞれ前記共通端子および前記第 2 出力端子に接続される請求項 2 3 に記載の回路。

【請求項 2 5】

前記コントローラは、前記第 1 モードにおいて、前記反復シーケンスに第 3 状態を追加
するように適合されており、前記第 3 状態は、前記フライングキャパシタの分割された前
記電圧の一部を前記第 1 リザーバキャパシタに印加するのに有効である請求項 2 3 または
2 4 に記載の回路。 30

【請求項 2 6】

前記第 3 状態において、前記第 1 フライングキャパシタ端子および第 2 フライングキャ
パシタ端子は、それぞれ前記第 1 出力端子および前記共通端子に接続される請求項 2 5 に
記載の回路。

【請求項 2 7】

前記コントローラは、第 1 モードにおいて、前記スイッチを、少なくとも第 4 状態と第
5 状態を交互に反復するシーケンスで作動させるように適合されており、前記第 4 状態は
、前記フライングキャパシタを前記入力電圧まで充電するのに有効であり、前記第 5 状態
は、前記フライングキャパシタ上の電圧を前記第 1 リザーバキャパシタと第 2 リザーバキ
ャパシタ間で直列に分割するのに有効である請求項 2 1 ~ 2 6 のいずれか 1 項に記載の回
路。 40

【請求項 2 8】

前記第 4 状態において、前記第 1 フライングキャパシタ端子および第 2 フライングキャ
パシタ端子は、それぞれ前記入力端子および前記共通端子に接続され、前記第 5 状態にお
いて、前記第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子は、それ
ぞれ前記第 1 出力端子および前記第 2 出力端子に接続される請求項 2 7 に記載の回路。

【請求項 2 9】

前記コントローラは、第 2 モードにおいて、前記スイッチを、少なくとも第 2 状態と第
6 状態を交互に反復するシーケンスで作動させるように適合されており、前記第 6 状態は
 50

、前記フライングキャパシタおよび前記第 1 リザーバキャパシタを実質的に前記入力電圧まで充電するのに有効であり、前記第 2 状態は、前記フライングキャパシタから前記第 2 リザーバキャパシタに前記電圧を転送するのに有効である請求項 2 1 ~ 2 8 のいずれか 1 項に記載の回路。

【請求項 3 0】

前記第 2 状態において、前記第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子は、それぞれ前記共通端子および前記第 2 出力端子に接続され、前記第 6 状態において、前記第 1 のフライングキャパシタ端子は前記入力端子および前記第 1 出力端子の両方に接続され、前記第 2 のフライングキャパシタ端子は前記共通端子に接続される請求項 2 9 に記載の回路。

10

【請求項 3 1】

前記コントローラは、前記第 2 モードにおいて、前記反復シーケンスに第 7 状態を追加するように適合されており、前記第 7 状態は、いずれのリザーバキャパシタとも独立して、前記フライングキャパシタを充電するのに有効である請求項 2 9 または 3 0 に記載の回路。

【請求項 3 2】

前記第 7 状態において、前記第 1 のフライングキャパシタ端子は前記入力端子のみに接続され、前記第 2 のフライングキャパシタ端子は前記共通端子に接続される請求項 3 1 に記載の回路。

【請求項 3 3】

前記網は、前記第 2 モードにおいて、前記第 1 のフライングキャパシタ端子と独立して、前記入力端子を前記第 1 出力端子に接続するために使用されるスイッチを有する請求項 2 1 ~ 3 2 のいずれか 1 項に記載の回路。

20

【請求項 3 4】

前記回路が前記第 2 モードの特定の実装での動作時に、前記スイッチが常に閉じ、これにより、この特定の実装での動作時に、前記第 1 リザーバキャパシタが前記入力端子と前記共通端子間に常に確実に接続されるようになっている請求項 3 3 に記載の回路。

【請求項 3 5】

前記コントローラは、選択信号に応じて、請求項 3 2 に記載の変形例、請求項 3 4 に記載の変形例、または請求項 3 4 に記載の変形例のいずれかにおいて、第 2 動作モードを実装するように適合されている請求項 2 4 ~ 3 4 のいずれか 1 項に記載の回路。

30

【請求項 3 6】

前記スイッチ網は、前記第 1 のフライングキャパシタ端子を前記入力端子のいずれかに独立して接続するように動作可能であり、前記第 1 出力端子および前記共通端子は、前記第 2 のフライングキャパシタ端子を前記第 1 出力端子のいずれかに独立して接続するように動作可能である請求項 2 4 ~ 3 5 のいずれか 1 項に記載の回路。

【請求項 3 7】

前記スイッチ網は、
前記入力端子を前記第 1 フライキャパシタ端子に接続するための第 1 スイッチ (S 1) と、

40

前記第 1 フライキャパシタ端子を前記第 1 出力端子に接続するための第 2 スイッチ (S 2) と、

前記第 1 フライキャパシタ端子を前記共通端子に接続するための第 3 スイッチ (S 3) と、

前記第 2 フライキャパシタ端子を前記第 1 出力端子に接続するための第 4 スイッチ (S 4) と、

前記第 2 フライキャパシタ端子を前記共通端子に接続するための第 5 スイッチ (S 5) と、

前記第 2 フライキャパシタ端子を前記第 2 出力端子に接続するための第 6 スイッチ (S 6) と、を有する請求項 2 4 ~ 4 0 のいずれか 1 項に記載の回路。

50

【請求項 38】

前記第 1 リザーバキャパシタは、前記第 1 出力端子における電圧が第 1 のしきい値より低下したときにのみ充電され、前記第 2 リザーバキャパシタは、前記第 2 出力端子における電圧が第 2 のしきい値より低下したときにのみ充電されるように動作可能な請求項 4 2 または 4 3 に記載の回路。

【請求項 39】

前記チャージポンプ回路によって給電されるように構成され、負荷への接続のための信号出力を有する増幅器回路と組み合わせられ、前記コントローラは、出力レベル要求信号に応じて、所定の入力供給電圧に対する前記チャージポンプの前記第 1 モードまたは前記第 2 モードを選択することによって、前記信号出力で生成される信号のレンジを変更する請求項 2 1 ~ 3 8 のいずれか 1 項に記載の回路。

10

【請求項 40】

前記増幅器回路がヘッドフォンを駆動時に、前記チャージポンプ回路は前記第 1 モードで動作し、前記増幅器回路がライン入力を駆動時に、前記チャージポンプは前記第 2 モードで動作するように適合されている請求項 3 9 に記載の回路。

【請求項 41】

前記第 2 モードでの動作時に、前記信号出力において電流を制限する手段を更に有する請求項 4 0 に記載の方法。

【請求項 42】

前記コントローラは、前記増幅器の音量設定入力を参照することで前記出力レベル要求信号を駆動するように構成され、前記音量が最大のときに前記第 1 モードが選択される請求項 3 9 , 4 0 または 4 1 に記載の方法。

20

【請求項 43】

請求項 2 4 ~ 4 2 のいずれか 1 項に記載のチャージポンプ回路を有するオーディオ装置であって、前記チャージポンプは、前記第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子に接続されたフライングキャパシタと、前記第 1 出力端子と前記共通端子の間、前記第 2 出力端子と前記共通端子の間にそれぞれ接続された第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを有し、前記オーディオ装置は、前記コンバータの前記第 1 出力電圧および前記第 2 出力電圧によって給電されるように接続された音声出力回路を更に有するオーディオ装置。

30

【請求項 44】

前記音声出力回路の出力端子に接続された負荷として接続された音声出力トランスデューサを更に有する請求項 4 3 に記載のオーディオ装置。

【請求項 45】

前記音声出力回路は、第 1 の構成において音声トランスデューサを直接駆動するように動作可能な 1 つの出力段と、第 2 の構成において、前記第 2 の構成において前記ライン入りに提供される出力信号が、所定の信号コンテンツに対して、前記第 1 の構成において前記音声出力トランスデューサを駆動する出力信号よりも高い電圧振幅を有するようにする、外部増幅装置のライン入力とを有し、前記チャージポンプ回路は、前記オーディオ装置が前記第 1 の構成において動作時に第 1 モードで動作し、前記オーディオ装置が前記第 2 の構成において動作時に第 2 モードで動作するように、前記 1 つの出力段に供給するように構成されている請求項 4 3 または 4 4 に記載のオーディオ装置。

40

【請求項 46】

ラインレベル信号用の専用の出力端子が設けられている請求項 4 5 に記載のオーディオ装置。

【請求項 47】

複数の出力電圧を提供するためのチャージポンプ回路であって、
入力電圧への接続のための入力端子および共通端子と、

前記複数の出力電圧を出力するための第 1 出力端子および第 2 出力端子と、前記第 1 出力端子および第 2 出力端子は、使用時に、個々の第 1 負荷および第 2 負荷と、個々の第 1

50

リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続され、複数のフライングキャパシタへの接続のための複数の第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子と、

前記端子間を相互接続するために、複数の異なる状態で動作可能なスイッチ網と、前記スイッチ網を前記異なる状態のシーケンスで作動させるためのコントローラと、を有し、

前記コントローラは、第 1 モードおよび第 2 モードにおいて動作可能であり、前記モードの前記第 1 モードでは、前記シーケンスは、前記状態に応じて、前記入力供給から前記リザーバキャパシタに、前記フライングキャパシタを介して電荷のパケットを転送し、これにより、実質的に前記入力電圧の分数の値の正負の出力電圧が生成されるように適合されており、前記入力電圧の前記分数が実質的に $1 / (n + 1)$ である (n は、フライングキャパシタの個数を表す整数) 回路。

10

【請求項 48】

入力端子および共通端子の両端に入力される 1 つの入力供給から分割レール電圧供給を生成する方法であって、前記分割レール供給は、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続された第 1 出力端子および第 2 出力端子に出力され、前記方法は、

1 つのフライングキャパシタを使用して、選択された動作モードに応じて、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が、それぞれが実質的に前記入力供給に達する正負の出力電圧を有する前記分割レール供給を生成する方法。

20

【請求項 49】

入力電圧から複数の供給電圧を提供するためのチャージポンプ回路であって、前記チャージポンプ回路は、第 1 リザーバキャパシタおよび第 2 リザーバキャパシタへの接続のための第 1 出力端子および第 2 出力端子および共通端子と、フライングキャパシタへの接続のためのフライングキャパシタ端子の対と、を有し、前記回路は 2 つのモードで動作可能であり、前記第 1 モードにおいて、前記回路は、前記フライングキャパシタを使用して、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧を生成するように動作可能である回路。

【請求項 50】

30

前記第 2 モードにおいて、前記回路は、それぞれが実質的に前記入力供給に達する正負の出力電圧を生成するように構成されている請求項 49 に記載の回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャージポンプ回路、より詳細には、デュアルレール出力を提供するチャージポンプ回路に関する。

【背景技術】

【0002】

チャージポンプ回路は、当業界において公知である。このような回路は、エネルギー蓄積装置としてキャパシタを使用し、入力源よりも昇圧または降圧された電力源を供給可能な DC - DC コンバータの一種である。チャージポンプ回路は、高効率 (時に 90 ~ 95 % もの高効率) が可能である。

40

【発明の概要】

【発明が解決しようとする課題】

【0003】

チャージポンプは、キャパシタと電圧源およびキャパシタ間の接続を制御する何らかの形の切替装置を使用して、通常、入力電圧値とは異なる電圧を得ている。チャージポンプは、「リザーバキャパシタ」と以降呼ぶ 1 つ以上の出力キャパシタに電荷を転送するための、「フライングキャパシタ」として一般に知られているキャパシタを備える。このよう

50

なチャージポンプは、シングルレールの入力電圧 V_{DD} から 2 極性の供給電圧を生成するために使用されうる。公知のデュアルレールチャージポンプの欠点として、例えば、チャージポンプが、入力電圧 (V_{DD}) の 2 倍の値の出力電圧、すなわち、共通端子に対して一方のレールが電圧 V_{DD} を、もう一方のレールが $-V_{DD}$ を生成しようという点が挙げられる。このようなチャージポンプが、例えば、増幅器回路の電力供給 $\pm V_{DD}$ よりも最大振幅の極めて小さい信号を増幅するパワー回路に使用される場合に、この点が極めて非効率となりうる。このような場合、出力電力 (このため入力電力) の大部分は、信号の駆動ではなく熱の発生に浪費される。しかし、当然、必要な場合にこのフル出力レンジも選択できることが時には有利となる。

【0004】

10

本発明の目的は、上述の欠点に対処することにある。

【課題を解決するための手段】

【0005】

本発明の第 1 の態様においては、入力端子および共通端子の両端に入力される 1 つの入力供給から分割レール電圧供給を生成する方法であって、前記分割レール供給は、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続された第 1 出力端子および第 2 出力端子に出力され、前記方法は、

状態シーケンスにおいて前記異なる端子間にフライングキャパシタを接続し、前記入力供給から前記リザーバキャパシタに、直接または前記フライングキャパシタを介して電荷のパケットを繰り返し転送し、これにより、選択された動作モードに応じて、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が、それぞれが実質的に前記入力供給に達する正負の出力電圧を有する前記分割レール供給を生成するステップを有する方法が提供される。

20

【0006】

また、入力端子および共通端子の両端に入力される 1 つの入力供給から分割レール電圧供給を生成する方法であって、前記分割レール供給は、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続された第 1 出力端子および第 2 出力端子に出力され、前記方法は、

1 つのフライングキャパシタを使用して、選択された動作モードに応じて、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が、それぞれが実質的に前記入力供給に達する正負の出力電圧を有する前記分割レール供給を生成する方法も開示される。

30

【0007】

前記方法は、第 1 モードでの動作時に、少なくとも第 1 状態と第 2 状態を交互に反復するステップを有し、前記第 1 状態は、前記入力電圧を前記フライングキャパシタと第 1 リザーバキャパシタ間で直列に分割するのに有効であり、前記第 2 状態は、前記フライングキャパシタの分割された前記電圧の一部を前記第 2 リザーバキャパシタに印加するのに有効であってもよい。前記第 1 状態は、前記入力端子と前記第 1 出力端子との間に前記フライングキャパシタを接続することによって得られ、前記第 2 状態は、前記共通端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られてもよい。前記第 1 モードにおける前記シーケンスは、第 3 状態の反復を含み、前記第 3 状態は、前記フライングキャパシタの分割された前記電圧の一部を前記第 1 リザーバキャパシタに印加するのに有効であってもよい。前記第 3 状態は、前記第 1 出力端子と前記共通端子との間に前記フライングキャパシタを接続することによって得られてもよい。

40

【0008】

前記方法は、第 1 モードでの動作時に、第 4 状態と第 5 状態を交互に反復するステップを有し、前記第 4 状態は、前記フライングキャパシタを前記入力電圧まで充電するのに有効であり、前記第 5 状態は、前記フライングキャパシタ上の電圧を前記第 1 リザーバキャパシタと第 2 リザーバキャパシタ間で直列に分割するのに有効であってもよい。前記第 4

50

状態は、前記入力端子と前記共通端子との間に前記フライングキャパシタを接続することによって得られ、前記第 5 状態は、前記第 1 出力端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られてもよい。

【 0 0 0 9 】

前記方法は、第 2 モードでの動作時に、少なくとも第 2 状態と第 6 状態を交互に反復するステップを有し、前記第 6 状態は、前記フライングキャパシタおよび前記第 1 リザーバキャパシタを実質的に前記入力電圧まで充電するのに有効であり、前記第 2 状態は、前記フライングキャパシタから前記第 2 リザーバキャパシタに前記電圧を転送するのに有効であってもよい。前記第 2 状態は、前記共通端子と前記第 2 出力端子との間に前記フライングキャパシタを接続することによって得られ、前記第 6 状態は、前記入力端子を前記第 1 出力端子に接続し、このノードと前記共通端子との間に前記フライングキャパシタを接続することによって得られてもよい。前記第 2 モードにおける前記シーケンスは、第 7 状態の反復を含み、前記第 7 状態は、いずれのリザーバキャパシタとも独立して、前記フライングキャパシタを充電するのに有効であってもよい。前記第 7 状態は、前記入力端子と前記共通端子との間に前記フライングキャパシタを接続し、前記入力端子を前記第 1 出力端子から分離することによって得られてもよい。

10

【 0 0 1 0 】

第 2 モードの特定の実装における動作時に、前記フライングキャパシタから独立して、前記入力端子と前記第 1 出力端子間に接続が維持され、これにより、この特定の実装での動作時に、前記第 1 リザーバキャパシタが前記入力端子と前記共通端子間に常に接続されることが保証されてもよい。

20

【 0 0 1 1 】

ここに開示した変形例のいずれかにおいて、第 2 動作モードを実装するために選択信号が使用されてもよい。

【 0 0 1 2 】

前記状態に応じて、前記フライングキャパシタの一方が、前記入力端子、前記第 1 出力端子または前記共通端子の 1 つに独立して接続されてもよい。

【 0 0 1 3 】

もう一方のフライングキャパシタ端子が、前記第 1 出力端子、前記共通端子または前記第 2 出力端子の 1 つに独立して接続されてもよい。

30

【 0 0 1 4 】

任意の状態シーケンスが負荷条件に応じて変更されてもよい。前記状態シーケンスの前記変形例は、前記負荷は非対称的の場合に、前記第 2 状態を含む前記周波数を低下させるステップを有してもよい。

【 0 0 1 5 】

前記第 1 リザーバキャパシタは、前記第 1 出力端子における電圧が第 1 のしきい値より低下したときにのみ充電され、前記第 2 リザーバキャパシタは、前記第 2 出力端子における電圧が第 2 のしきい値より低下したときにのみ充電されてもよい。

【 0 0 1 6 】

前記方法は、前記動作モードを選択する初期のステップを更に有してもよい。

40

【 0 0 1 7 】

負荷への接続のための信号出力を有する増幅器回路に給電するために生成された前記分割レール電圧供給を使用するステップを更に有し、出力レベル要求信号に応じて、前記信号出力で生成される信号のレンジが、動作の前記第 1 モードまたは前記第 2 モードのいずれかで動作することによって変更されてもよい。

【 0 0 1 8 】

前記増幅器回路がヘッドフォンを駆動する場合に前記第 1 モードが使用され、前記増幅器回路がライン入力を駆動する場合に前記第 2 モードが使用されてもよい。前記方法は、前記第 2 モードでの動作時に、前記信号出力において電流を制限するステップを更に有してもよい。前記出力レベル要求信号は、前記増幅器の音量設定入力を参照することで求め

50

られ、前記音量が最大のときに前記第 1 モードが選択されてもよい。

【0019】

本発明の更に別の態様では、複数の出力電圧を提供するためのチャージポンプ回路であって

- 入力電圧への接続のための入力端子および共通端子と、
- 前記複数の出力電圧を出力するための第 1 出力端子および第 2 出力端子と、前記第 1 出力端子および第 2 出力端子は、使用時に、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続され、
- 1 つのフライングキャパシタへの接続のための第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子と、
- 前記端子間を相互接続するために、複数の異なる状態で動作可能なスイッチ網と、
- 前記スイッチ網を前記異なる状態のシーケンスで作動させるためのコントローラと、を有し、

10

前記コントローラは、第 1 モードと第 2 モードで動作可能であり、前記モードの前記第 1 モードでは、前記状態に応じて、前記入力供給から前記リザーバキャパシタに、前記フライングキャパシタを介して電荷のパケットを繰り返し転送し、これにより、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧が生成されるように適合されている回路が提供される。

【0020】

「合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする」との文言は、例えば、前記回路に小さな負荷がかかっている状態も含むように解釈すべきであり、前記出力電圧レベルは、実際には、 $\pm (I_{load} \times R_{load})$ (前記入力電圧の $1/2$ から $I_{load} \times R_{load}$ を減じた値) (I_{load} は前記負荷電流、 R_{load} は前記負荷抵抗) である。

20

【0021】

本発明の更に別の態様では、複数の出力電圧を提供するためのチャージポンプ回路であって

- 入力電圧への接続のための入力端子および共通端子と、
- 前記複数の出力電圧を出力するための第 1 出力端子および第 2 出力端子と、前記第 1 出力端子および第 2 出力端子は、使用時に、個々の第 1 負荷および第 2 負荷と、個々の第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを介して前記共通端子に接続され、
- 複数のフライングキャパシタへの接続のための複数の第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子と、
- 前記端子間を相互接続するために、複数の異なる状態で動作可能なスイッチ網と、
- 前記スイッチ網を前記異なる状態のシーケンスで作動させるためのコントローラと、を有し、

30

前記コントローラは、第 1 モードおよび第 2 モードにおいて動作可能であり、前記モードの前記第 1 モードでは、前記シーケンスは、前記状態に応じて、前記入力供給から前記リザーバキャパシタに、前記フライングキャパシタを介して電荷のパケットを繰り返し転送し、これにより、実質的に前記入力電圧の分数の値の正負の出力電圧が生成されるように適合されており、前記入力電圧の前記分数が実質的に $1/(n+1)$ である (n は、フライングキャパシタの個数を表す整数) 回路が提供される。

40

【0022】

この態様では、前記回路は、前記入力電圧の異なる分数の値の出力電圧を生成することが可能であり、この分数には、 2 と $(n+1)$ の間の各整数の一部もしくは全ての逆数が含まれうる。

【0023】

本明細書に記載されているか、または特許請求されている任意のオーディオ装置は、ポータブルの形態であっても、通信装置、車載オーディオ装置あるいは(おそらくステレオ)ヘッドフォン装置の一部を有してもよい。

50

【 0 0 2 4 】

本発明の別の態様では、入力電圧から複数の供給電圧を提供するためのチャージポンプ回路であって、前記チャージポンプ回路は、第 1 リザーバキャパシタおよび第 2 リザーバキャパシタへの接続のための第 1 出力端子および第 2 出力端子および共通端子と、フライングキャパシタへの接続のためのフライングキャパシタ端子の対と、を有し、前記回路は 2 つのモードで動作可能であり、前記第 1 モードにおいて、前記回路は、前記フライングキャパシタを使用して、合計して前記入力電圧にほぼ等しい電圧になり、かつ前記共通端子の前記電圧を中心とする正負の出力電圧を生成するように動作可能である回路が提供される。

【 0 0 2 5 】

前記第 2 モードにおいて、前記回路は、それぞれが実質的に前記入力供給に達する正負の出力電圧を生成するように構成されてもよい。

【 0 0 2 6 】

また、チャージポンプ回路を有するオーディオ装置であって、前記チャージポンプは、前記第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子に接続されたフライングキャパシタと、前記第 1 出力端子と前記共通端子の間、前記第 2 出力端子と前記共通端子の間にそれぞれ接続された第 1 リザーバキャパシタおよび第 2 リザーバキャパシタとを有し、前記オーディオ装置は、前記コンバータの前記第 1 出力電圧および前記第 2 出力電圧によって給電されるように接続された音声出力回路を更に有するオーディオ装置も開示される。前記オーディオ装置はポータブルであってもよい。前記オーディオ装置は、通信装置に含まれてもよい。前記オーディオ装置は車載オーディオ装置でもよい。前記オーディオ装置は、ヘッドフォン装置またはステレオヘッドフォン装置に含まれてもよい。前記オーディオ装置は、前記音声出力回路の出力端子に接続された負荷として接続された音声出力トランスデューサを更に有してもよい。

【 0 0 2 7 】

本発明の更に別の任意選択の特徴は、添付の請求の範囲に開示されている。

【 図面の簡単な説明 】

【 0 0 2 8 】

【 図 1 】 先行技術の反転チャージポンプ回路を示す。

【 図 2 a 】 図 1 と同じ回路を、図示したスイッチアレイの詳細と共に示す。

【 図 2 b 】 動作時に使用される 2 つの状態での図 2 a の回路の等価回路を示す。

【 図 2 c 】 動作時に使用される 2 つの状態での図 2 a の回路の等価回路を示す。

【 図 3 】 閉ループ構成で動作する図 1 の回路の変形例を示す。

【 図 4 a 】 本発明の一実施形態に係るデュアルモードチャージポンプ回路を示す。

【 図 4 b 】 図 4 a と同じ回路を、チャージポンプスイッチアレイおよび制御モジュールの内部の詳細と共に示す。

【 図 5 a 】 スwitchアレイが第 1 状態をとっている回路を示す。

【 図 5 b 】 第 1 状態における等価回路を示す。

【 図 6 a 】 スwitchアレイが第 2 状態をとっている回路を示す。

【 図 6 b 】 第 2 状態における等価回路を示す。

【 図 7 a 】 スwitchアレイが第 3 状態をとっている回路を示す。

【 図 7 b 】 第 3 状態における等価回路を示す。

【 図 8 】 第 1 の主要モード（モード 1）で動作中の図 1，2 の回路の 3 つのスイッチ制御信号を示すタイミングチャートである。

【 図 9 a 】 スwitchアレイが第 6 状態をとっている回路を示す。

【 図 9 b 】 第 6 状態における等価回路を示す。

【 図 10 a 】 スwitchアレイが第 2 状態をとっている回路を再び示す。

【 図 10 b 】 第 2 状態における等価回路を有する回路を再び示す。

【 図 11 】 第 2 の主要動作モード（モード 2（a））の第 1 変形例における制御信号を示すタイミングチャートである。

10

20

30

40

50

【図 1 2 a】スイッチアレイが第 7 状態をとっている回路を示す。

【図 1 2 b】第 7 状態における等価回路を示す。

【図 1 3】第 2 の主要動作モード（モード 2（b））の第 2 変形例におけるスイッチ制御信号を示すタイミングチャートである

【図 1 4】第 2 の主要動作モード（モード 2（c））の第 3 変形例におけるスイッチ制御信号を示すタイミングチャートである

【図 1 5】第 2 の主要動作モード（モード 2（d））の第 4 変形例におけるスイッチ制御信号を示すタイミングチャートである

【図 1 6】閉ループ構成で動作可能な図 4 の回路の変形例を示す。

【図 1 7】本発明の更に別の実施形態を示し、多くの異なる入力電圧値の 1 つが、本明細書に開示のデュアルモードチャージポンプのいずれかへの入力電圧として選択されうる。

【図 1 8 a】本発明を実施するデュアルモードチャージポンプのいずれかが使用されうる 2 つの増幅器回路を、ブロック模式図で示す。

【図 1 8 b】本発明を実施するデュアルモードチャージポンプのいずれかが使用されうる 2 つの増幅器回路を、ブロック模式図で示す。

【図 1 9 a】異なる動作モードでのポータブルオーディオ装置を示す。

【図 1 9 b】異なる動作モードでのポータブルオーディオ装置を示す。

【図 1 9 c】異なる動作モードでのポータブルオーディオ装置を示す。

【発明を実施するための形態】

【0029】

次に、添付の図面を参照して、本発明の実施形態について記載する。

【0030】

図 1 は、正の入力電圧（+VDD）から負の出力電圧（Vout-）を生成する先行技術の反転チャージポンプ（inverting charge-pump：ICP）回路 100 を示す。理想的な条件では、Vout- は、実質的に -VDD と等しく、このため、ノード N1 ~ N2 の合計電圧が 2 × VDD となる。回路 100 は、1 つのフライングキャパシタ Cf および 2 つのリザーバキャパシタ CR1, CR2 の 3 つのキャパシタと、スイッチアレイ 110 を備える。回路 100 は、スイッチアレイ 110 を制御し、このため、回路 100 を、下記に説明する 2 つの主要状態間で切り替えさせるコントローラ 120 によって制御される。

【0031】

図 2 a は、ICP 回路 100 に関連するスイッチアレイ 110 を示す。図 2 b, 2 c は、2 つの主要な充電 / 放電の動作状態の等価回路を示す。スイッチ SA1, SA2 およびスイッチ SB1, SB2 は図のように配置され、それぞれ共通の制御信号（CSA および CSB）によって作動される。

【0032】

コントローラは、電圧 Vout- を生成するために、以下の 4 つのステップを繰り返すようにスイッチアレイ 110 を作動させる。

1. 最初に全てのスイッチが開いている。

2. スwitch SA1, SA2 を閉じ（SB1, SB2 は開のまま）、これにより、ICP 回路 100 が第 1 状態で動作する。フライングキャパシタ Cf が、（図 2 b に示すように）入力電圧ノード N1 と共通基準電圧ノード N3 間に接続される。このため、フライングキャパシタ Cf が電圧 +VDD まで充電される。

3. 次にスイッチ SA1, SA2 を開く（SB1, SB2 は開いたまま）。

4. 次にスイッチ SB1, SB2 を閉じ（SA1, SA2 は開のまま）、これにより、ICP 回路 100 が第 2 状態で動作する。この状態では、フライングキャパシタ Cf が、（図 2 c に示すように）共通基準電圧ノード N3 と出力電圧ノード N2 間に接続されている負のリザーバキャパシタ CR2 と並列に接続される。この第 1 のサイクルでは、最初にキャパシタ CR2 の充電が 0 ボルトであるとする、キャパシタ CR2 はキャパシタ Cf と電荷を共有し、両キャパシタの電圧が等しくなる。キャパシタ Cf の陽極板と CR2 の陽極板が共通基準電圧ノード N3（グランド）に接続されているため、Cf と CR2 のそ

10

20

30

40

50

れぞれのサイズに応じて、ノードN2は、ノードN3に対して - VDD よりやや正の電圧となる。

【0033】

全てのスイッチが開き、この過程がステップ1から繰り返す。4ステップからなる各サイクルにおいて、キャパシタCR2が更に充電され、最終的に、4ステップのサイクルを複数繰り返した後に定常状態に達する。この時点までに、キャパシタCR2は、実質的に - VDD に充電され（このためVout-は - VDD と等しくなっており）、このため、Cfが、更に電荷を追加することはなくなる。

【0034】

スイッチアレイ110は、上で説明したように、スイッチのスイッチング周波数が実質的に固定されている閉ループ構成で作動されうる。実際のスイッチング周波数は、回路が使用されるアプリケーションによって決まり、例えば、KHz ~ MHz の値（magnitude）であってもよい。

【0035】

負荷がVout-に印加されると、これによりキャパシタCR2が常に放電される。その後、この電荷が、状態2中にキャパシタCfからの電荷によって置き換えられ、この結果、Vout-が - VDD よりも若干正となる。平均の差と電圧リプルは、Cf、CR2の値、スイッチング周波数および負荷特性に依存する。

【0036】

図3は、スイッチアレイ110が閉ループ構成で作動される別の先行技術のICP回路300を示す。この別の先行技術のICP回路300は、スイッチアレイ制御論理310が出力電圧Vout-に依存しているという点で、図1のものとは異なる。ICP回路300は、上で説明したようにスイッチアレイ110、キャパシタCf、CR1、CR2のほか、分圧器R1、R2と比較器320を備える。ノードN2上の出力電圧Vout-の調整は、内部抵抗分割器R1、R2によって出力電圧Vout-を検知し、キャパシタCR2の電圧Vout-が比較器320の基準入力Vrefよりも正になったときに、スイッチアレイ110を作動させることによって行われる。スイッチアレイ110の作動時は、2相の非重複のクロック信号K1、K2がスイッチ（図示なし）を制御する。一方のクロック信号（K1）が、フライングキャパシタCfを入力電圧+VDDまで充電させる（図2b参照）スイッチSA1、SA2を制御し、もう一方のクロック信号（K2）が、出力リザーバキャパシタCR2を電圧Vout-まで充電させる（図2c参照）スイッチSB1、SB2を制御する。

【0037】

出力電圧Vout-は、グランド電位と - VDD の間の値に調整されうるが、チャージポンプ自体は、出力電圧Vout-が - VDD と等しい場合に最も効率が低い点に留意すべきである。実際には、目標電圧は、リプルを低減させるために、おそらく - VDD よりわずかに上の値に設定される。

【0038】

この先行技術のICP回路（100、300）に関連する問題として、入力電圧よりレール・ツー・レールの値の大きな出力電圧しか生成されないという点がある。この点は、特定のアプリケーションでは不利でありうる。これは、例えば、このようなICP回路（100、300）が、増幅器回路の電力供給±VDDに比べて最大振幅の極めて小さい信号を増幅するパワー回路に使用される場合などに、給電される回路が効率的に動作できないことがあるためである。

【0039】

図4aは、新規のデュアルモードチャージポンプ（dual mode charge-pump：DMCP）回路400を示す。回路400は、1つのフライングキャパシタCfおよび2つのリザーバキャパシタCR1、CR2の3つのキャパシタと、スイッチアレイ410を備える。回路400は、スイッチアレイ410を制御し、このため、回路400を、下記に説明する異なる動作モードを実施するために、各種状態間で切り替えさせるコントローラ420

によって制御される。クロック信号（図示せず）がコントローラに供給され、このクロック信号はDMCP400内で生成されても、あるいはチップ上のほかの回路と共有されてもよい。動作時に、回路400は、フライングキャパシタCfを使用して、正の入力電圧（+VDD）から正負の出力電圧（Vout+およびVout-）を生成するように、入力供給からリザーバキャパシタに電荷のパケット（packets of charge）を高周波数で転送する。この出力電圧の値は、選択されたモードによって決まる。説明の便宜上、さまざまな回路ノードに名称を付し、入力供給電圧VDDを入力するように接続されたノードをN10、共通（グランド）ノードであるノードをN11、Vout+およびVout-のための出力端子をそれぞれ形成しているノードをN12、N13と呼ぶ。

10

【0040】

出力Vout+、Vout-とN11（0V）に負荷450が接続されている。実際には、この負荷450は、その全体または一部が電源と同じチップに存在していても、あるいはチップの外に存在していてもよい。アプリケーションの例については、図23～25を参照して後述する。

【0041】

DMCP400は、名前が示すように、2つの主要モードで動作可能である。これらの全モードについて、以下で更に詳細に説明する。当然、デュアルモード回路の原理は、複数モードにも拡張することができる。

【0042】

以降「モード1」と呼ぶ第1の主要モードでは、DMCP400が、入力電圧+VDDに対して、値がそれぞれ入力電圧VDDの半分である出力を生成するようにDMCP400が動作する。換言すれば、この第1モードで生成される出力電圧の値は、公称値では+VDD/2と-VDD/2となる。実際は、わずかに負荷がかかっている場合には、出力レベルは、 $\pm(VDD/2 - I_{load} \times R_{load})$ となる（Iloadは負荷電流、Rloadは負荷抵抗）。この場合、ノードN12とノードN13間の出力電圧の大きさ（VDD）が、ノードN10とノードN11間の入力電圧（VDD）と同じか実質的に同じとなるが、シフトする。このため、このモードは、「レベルシフティング」モードと呼ぶことができる。第2の主要モード（モード2）では、DMCP400は、 $\pm VDD$ のデュアルレール出力を生成する。

20

【0043】

チャージポンプのこの特定の形態は、特に1つのフライングキャパシタのみを使用して、降圧された（reduced）2極性の供給を生成することができるため、公知の回路と比べて大きな利点を有する。降圧された出力電圧を生成するための先行技術の回路では、追加のフライングキャパシタが必要であった。フライングキャパシタとリザーバキャパシタは、多くの場合これらをチップ外に設けなければならない位の大きさを有し、このため、1つのキャパシタと2本のICピンを省略できることは非常に有利である。本発明は、本明細書に示す特定の形態のDMCPのアプリケーションに限定されるとみなすべきではなく、公知あるいは現時点で未知のマルチモードチャージポンプ回路にも潜在的に適用可能である。

30

【0044】

図4bは、DMCP100の内部の詳細を更に詳しく示す。この図から、スイッチアレイ410は、スイッチ制御モジュール420からの対応する制御信号CS1～CS6によって各々制御される6つのメインスイッチS1～S6を備えることがわかる。これらのスイッチは、第1スイッチS1が、フライングキャパシタCfの陽極板と入力電圧源の間に接続され、第2スイッチS2が、フライングキャパシタの陽極板と第1出力ノードN12の間に接続され、第3スイッチS3が、フライングキャパシタの陽極板と共通端子N11の間に接続され、第4スイッチS4が、フライングキャパシタの陰極板と第1出力ノードN12の間に接続され、第5スイッチS5が、フライングキャパシタの陰極板と共通端子N11の間に接続され、第6スイッチS6が、フライングキャパシタの陰極板と第2出力

40

50

ノードN13の間に接続されるように構成されている。任意選択で、入力電圧源（ノードN10）と第1出力ノードN12の間に接続された第7スイッチS7（点線で示す）が設けられてもよい。これらのスイッチは、記載するモードに適している。当然、ほかの動作モードを実現するためにスイッチを追加することが除外されることはない。

【0045】

スイッチは、例えば、集積回路のプロセス技術または入出力電圧の要件に応じて、多くの異なる方法（例えば、MOSトランジスタスイッチまたはMOS伝送ゲートスイッチ）で実装することができる。適切な実装の選択は、当業者である読者の能力の十分に範囲内である。

【0046】

また、この図には、2つの制御機能420a, 420bのいずれを使用するかを判定し、このため、DMCPの動作モードを決定するためのモード選択回路430を少なくとも概念的に有する制御モジュール420も詳細に示されている。モード選択回路430とコントローラ420a等は、DMCP400の異なる動作モードを実装する際の制御モジュールの異なる挙動を表しているという点で、概念的なブロックである。これらは、説明のように別個の回路によって実装することもできる。実際には、これらは、所定の時点で実装すべき挙動を決定する、固定配線された論理および/またはシーケンサコードを有する1つの回路ブロックあるいはシーケンサによって実装される可能性が高い。また、下記に記載するように、所定のモードが、さまざまな変形例で実装されてもよく、設計者は、異なる全モードを併せて考察する際に、制御信号の生成を簡略化する変形例を選択してもよい。

【0047】

DMCP動作 - モード1

モード1の主要動作の実施形態では、3段階の高周波数のサイクルで繰り返される3つの基本動作状態が存在し、これらの状態をP1、P2、P3と呼ぶ。DMCP400がモード1で動作しているときは、スイッチS7（存在する場合）は常時開いており、このため、このモードの説明では記載しない。

【0048】

図5a, 5bは、第1状態（「状態1」）で動作しているスイッチアレイ410を示す。図5aを参照すると、キャパシタCfとCR1が相互に直列に、入力電圧+VDDと並列に接続されるように、スイッチS1, S4が閉じる。このため、キャパシタCfとCR1は、キャパシタCfとCR1の両端に印加された入力電圧+VDDを共有する。図5bは、電圧+VDDが、ノードN10とN11の両端に実質上印加されている状態1の動作の等価回路を示す。

【0049】

対称な逆極性の出力電圧を必要とするアプリケーションでは、各キャパシタCf, CR1が、電圧源の両端に直列に接続されたときに、電圧が同じ増分で変化するように、キャパシタCfとCR1の値が等しいことが好ましい。両キャパシタが初期状態では放電されているか、または等しい電圧に充電されている場合には、最終的には、キャパシタCf, CR1は、印加された電圧源の半分（この場合には入力電圧VDDの半分）に等しい電圧にそれぞれ充電される。

【0050】

図6a, 6bは、第2状態（「状態2」）で動作しているスイッチアレイ410を示す。図6aを参照すると、キャパシタCfとCR2が相互に並列に、ノードN11とN13の間に接続されるように、スイッチS3, S6が閉じる。このため、キャパシタCfの電圧は、キャパシタCR2の電圧と等しくなる。図6bは、この状態2の状態の等価回路を示す。

【0051】

リザーバキャパシタCR2の値が必ずしもフライングキャパシタCfと等しい必要があるというわけではない点に留意すべきである。キャパシタCR2がキャパシタCfよりも

10

20

30

40

50

非常に大きな場合、 $VDD/2$ に近い値に充電されるには、多くのサイクルを要する。リザーバキャパシタ $CR2$ の値は、予想される負荷条件、必要な動作周波数、および出力リブルの許容値に応じて選択すべきである。

【0052】

状態1, 2が交互に反復されるサイクルが複数繰り返されると、理想的な条件では、キャパシタ Cf の電圧と $CR2$ の電圧が、電圧 $\pm VDD/2$ に収束する。しかし、チャージポンプの出力端子に大きな負荷が存在する場合には、 $Vout+$, $Vout$ のそれぞれの電圧が $\pm VDD$ から垂下する。負荷が対称的であり、 $Vout+$ と $Vout-$ の両方の電流の大きさが等しい場合には、このようなシステムの対称性により2つの出力の垂下量が等しくなる。

10

【0053】

しかし、例えば、 $Vout+$ に大きな負荷が存在し、 $Vout-$ に負荷がないか負荷が軽微な場合には、キャパシタ $CR1$ の電圧が低下する。この結果、状態1の終了時点でキャパシタ Cf の電圧が高くなり、これが、その後、状態2でキャパシタ $CR2$ に印加される。状態1, 2のみが使用されるとすれば、フライングキャパシタ Cf が状態1においてキャパシタ $CR1$ と直列に接続されるが、初期であるにも関わらず電圧が高くなっている。このため、電圧 $Vout+$ と $Vout-$ の両方が負に垂下してしまう。これは、つまり、コモンモードが制御されないということである。

【0054】

この影響を回避するために、第3状態の状態3を導入し、連続するサイクルで、状態1~3が段階1~3において繰り返される。図7a, 7bは、この状態3の動作で動作しているスイッチアレイ410を示す。図7aを参照すると、状態3では、キャパシタ Cf と $CR1$ が互いに並列に、ノード $N11$ と $N12$ 間に接続されるように、スイッチ $S2$, $S5$ が閉じる。このため、前の電圧差の有無を問わず、キャパシタ Cf と $CR1$ が、等しい電圧に充電される。定常状態(多くのサイクル後)では、この値はほぼ $VDD/2$ になる。図7bは、この状態3の状態の等価回路を示す。

20

【0055】

このため、回路は、状態3が終わった時点で、電圧が等しくなっており、その後状態1に戻る。このように、回路は、原理上、負荷条件とスイッチングシーケンスに応じて、 $Vout+ = +VDD/2$ で次のサイクルの状態1の段階1に入る。

30

【0056】

実際には、特にDMCPのRC時定数に対してスイッチング周波数が高い場合には、状態2, 3において、並列に接続されたキャパシタ間の電圧が、1回のシーケンスで完全には等しくなることがある。この場合は、各状態シーケンスにおいて、電荷の寄与が、キャパシタからキャパシタに移される。この寄与により、各出力電圧が、ゼロを下回るかまたは低い負荷条件のレベルに設定される。高負荷条件下では、出力リザーバキャパシタ $CR1$, $CR2$ は、通常、低電圧(若干のリブルを含む)となる。各キャパシタの大きさを、予想されるあらゆる負荷条件に対して、コモンモードのドリフトの低下が許容される幅に入るように設計するだけでよい。あるいは、これに代えて、またはこれに加えて、オン抵抗(on-resistance)の小さい大きなスイッチを使用してもよい。

40

【0057】

図8は、モード1の主要動作の実施形態の3状態(1, 2, 3)中にスイッチ($S1 \sim S6$)を制御するための非重複の制御信号($CS1 \sim CS6$)を示す。上で説明したように、これは、多くの可能な制御シーケンスの一例を例示するに過ぎない。

【0058】

上記の3状態の開ループシーケンスが必ずしも必要であるというわけではないことが理解されるべきである。例えば、状態シーケンスは、(上記の)1, 2, 3, 1, 2, 3...でも、1, 3, 2, 1, 3, 2...でも、1, 2, 1, 3, 1, 2, 1, 3でもよい。また、第3状態が他の2つの状態ほど頻繁に使用する必要はなく、例えば、1, 2, 1, 2, 1, 2, 3, 1のシーケンスが想到されることが明らかであろう。更には、負荷の balan

50

スが良好な場合、あるいは、コモンモード安定化のための別の方式が使用されている場合に限り、第3状態を完全に省略することも想到される。

【0059】

ほかのスイッチングおよびシーケンスも存在する。例えば、動作モード1の別の一実施形態では、状態1に代えて、スイッチS1, S5が閉じる(他の全スイッチは開)第4状態(「状態4」)が使用されてもよい。この状態では、キャパシタCfが、入力電圧+VDDに充電される。次に、第5状態である「状態5」において、フライングキャパシタCfが、リザーバキャパシタCR1およびCR2の両端に直列に(この場合、キャパシタンスが等しい)接続されるように、スイッチS2, S6が閉じて(他の全スイッチは開)動作する。この別のスイッチングおよびシーケンスの特定の例は、コモンモードが制御されないという欠点を有し、このためコモンモードのドリフトが発生する。しかし、このコモンモードドリフトは、「通常の」スイッチングおよびシーケンスサイクル中に、適切な間隔でスイッチングシーケンスを変更することによって「リセット」することができる。この変更は、事前に決定されても、観察された状態に応じて開始されてもよい。

【0060】

キャパシタCf, CR1, CR2のサイズは、(サイズ/コストに対する)要求されるリプル許容値に応じて選択され、このため、各状態のクロック段階の時間の長さの比が、必ずしも1:1:1である必要はないという点に留意すべきである。

【0061】

上記は、モード1で $\pm VDD/2$ の出力が生成される実施形態について説明したが、上記の教示は、フライングキャパシタCfの個数を増やし、これに応じてスイッチ網を変更することによって、VDDの任意の分数出力を得るために使用できることを当業者は理解するであろう。この場合には、出力と入力との関係は、 $V_{out} + / - = \pm VDD / (n + 1)$ となる(nはフライングキャパシタCfの個数)。また、記載の複数のフライングキャパシタを有する回路は、 $\pm VDD/2$ の出力のほか、その制御に応じて、 $\pm VDD/2 \sim \pm VDD / (n + 1)$ 間のあらゆる整数分母の出力を生成することもできる。例えば、2つのフライングキャパシタを有する回路はVDD/3とVDD/2の出力を生成することができ、3つのフライングキャパシタを有する回路はVDD/4、VDD/3、およびVDD/2の出力を生成することができるなどである。

【0062】

DMCP動作 - モード2

上で述べたように、DMCPは、 $\pm VDD$ (この場合も、+VDDはノードN10における入力源電圧レベルである)のデュアルレール出力を発生させる第2の主要モード(モード2)でも動作可能である。モード2では、スイッチS4は、常に開いている。

【0063】

モード2のいくつかの変形例が可能であり、これらをモード2(a)、2(b)、2(c)、2(d)と称し、下に後述する。任意選択のスイッチS7は、モード2(c)、2(d)のために必要である。

【0064】

モード2(a)では、DMCPは、2つの基本動作状態を有する。図9aは、これらの状態の1つである「状態6」で動作している回路を示す。この状態では、スイッチS1, S2, S5が閉じる(S3, S4, S6は開)。この結果、キャパシタCfとCR1が、ノードN10およびN11間で入力電圧+VDDと並列に接続される。このため、キャパシタCfとCR1は、それぞれ入力電圧+VDDを保持する。図9bは、この状態6の状態の等価回路を示す。

【0065】

図10aはこれらの状態の第2状態で動作中の回路を示す。この状態は、実際にはモード1の状態2と同じ状態であり、スイッチS3, S6が閉じる(S1, S2, S4, S5は開)。このため、キャパシタCfとCR2は、共通ノードN11と第2出力ノードN13間に並列に接続される。このため、キャパシタCfとCR2は、互いの電荷を共有し、

所定のサイクル後、ノード13が電圧 - VDDとなる。図10bは、この状態2の状態の等価回路を示す。

【0066】

図12aは、追加の状態である「状態7」を示す。この状態は、ここでモード2(b)と呼ぶわずかに異なる実装を作るために、モード2(a)のシーケンスに導入することができる。状態7では、スイッチS1, S5が閉じる(S2, S3, S4, S6は開)。この状態7は、フライングキャパシタCfを入力電圧+VDDの両端に接続する。この状態の後に状態6と状態2が続き、再び状態7に戻りうる。図12bは、この状態7の状態の等価回路を示す。

【0067】

図13は、スイッチ(S1~S3およびS5~S7)を制御して、モード2(b)を定義する3状態7、6、2、7、6、2...などの反復シーケンスを生成するための非重複の制御信号(CS1~CS3およびCS5~CS7)を示す。この場合も、これは、多くの可能な制御シーケンスの一例を例示するに過ぎない。状態6の前に状態7を入れているのは、CR1をCR2の影響から隔離して、相互調整(cross-regulation)を阻止することを意図している。一方で、状態7を入れることにより、主要な状態2と状態6において電荷転送に使える時間が短くなるため、状態7を単に省略することにより(モード2(a))、全体としての調整が改善されうる。これらは設計事項である。

【0068】

いずれのパターンを選択する場合であっても、(モード1に関して上で説明したように)状態の1つが他の状態よりも使用頻度が低くてもよい。例えば、(恒久的に、あるいは信号状態により)2つの出力ノードN12, N13の負荷の均衡が崩れた場合、キャパシタCR1はキャパシタCR2ほど頻繁に充電が必要でなくなるか、この逆の状況となるため、状態6と状態2の一方は、もう一方の状態よりも使用頻度低くてもよい。

【0069】

モード2(c)とモード2(d)は、 $\pm VDD$ を生成するための更に別の動作モードであり、DMCPにスイッチS7が設けられている場合に可能である。このスイッチは、ハイサイドの負荷(すなわちノードN12とN11間に接続された負荷)が、多くの電流を必要としないアプリケーションにおいて、ノードN12で正の出力電圧を生成するために、スイッチS1とS2を併せた機能の代わりとして使用されうる。これは、例えばミキサの「ライン出力」のように、負荷が高い入力抵抗を有する場合などである。このような場合、スイッチS7のサイズと駆動要件は、スイッチS1, S2よりも下げ、変更することができる。実際、スイッチS7は、モード2(c)の動作中は、常時オンであり、この点は、スイッチを駆動するために必要な電力が少なく済み、スイッチS7は、MOSスイッチの実装の場合、そのゲート・ドレインおよびゲート・ソースの寄生キャパシタンスのため、ノードN10またはN12に電荷を注入することがないという点で有利である。また、スイッチS1は、負出力電圧 - VDDを生成するように作動させる必要があるという点にも留意すべきである。更に、フライングキャパシタCfとハイサイドのリザーバキャパシタCR1を並列に接続するために、スイッチS2がさほど頻繁ではないにせよ、作動されうる点にも留意すべきである。

【0070】

図14は、モード2(c)の2つの交互の状態中に、スイッチ(S1~S3およびS5~S7)を制御するための非重複の制御信号(CS1~CS3およびCS5~CS7)を示す。このため、モード2(c)をまとめると、スイッチS7は恒久的に(またはほぼ恒久的に)閉じている。フライングキャパシタCfとキャパシタCR1を並列に充電するために変更された状態6が使用され、これは、スイッチS1, S5, S7を閉じるだけで行われる。次に、上で説明したように、スイッチS3, S6を介してこの電荷をキャパシタCR2に転送するために変更された状態2が使用されるが、この場合は、S7が閉じているため、キャパシタCR1に電圧VDDが保持されている。

【0071】

図 15 は、モード 2 (d) と呼ぶ、モード 2 (c) の変形例の 3 状態中に、スイッチ (S 1 ~ S 3 および S 5 ~ S 7) を制御するための非重複の制御信号 (C S 1 ~ C S 3 および C S 5 ~ C S 7) を示す。モード 2 (c) との違いは、状態 7 にスイッチによる追加の段階が追加されているという点で、モード 2 (a) と 2 (b) の差と同様である。状態 7 では、スイッチ S 1 および S 5 は閉じる (S 2、S 3、S 4 および S 6 は開き、S 7 は常に閉じてもよい)。モード 2 (d) は、7、6、2 ではなく、7、2、6、7、2、6 ... というシーケンスを辿る点に留意されたい。これらのモードには、必ずしも効果に大きな違いがあるというわけではないが、下記で説明するように、シーケンスを自由に変更できることにより、制御論理を簡略化することができる。

【 0 0 7 2 】

10

【 表 1 】

	S1	S2	S3	S4	S5	S6	S7*
状態 1	1	0	0	1	0	0	0
状態 2	0	0	1	0	0	1	1 ⁺⁺
状態 3	0	1	0	0	1	0	0
状態 4	1	0	0	0	1	0	0
状態 5	0	1	0	0	0	1	0
状態 6	1	1	0	0	1	0	0
状態 6 ⁺	1	0	0	0	1	0	1
状態 7	1	0	0	0	1	0	0
状態 7 ⁺⁺	1	0	0	0	1	0	1

* 存在する場合

⁺ モード 2c および 2d

⁺⁺ モード 2d

20

30

【 0 0 7 3 】

表 1 は、上に説明した 7 つの状態に対するスイッチ (S 1 ~ S 7) の状態を示し、「 0 」はスイッチの開を、「 1 」はスイッチの閉を表している。特定の実装で、記載したモードのサブセットが使用される限り、スイッチ網とコントローラは、状態 1 ~ 7 の全てを必ずしも実装しなくても点に留意されたい。

【 0 0 7 4 】

この場合も、これらの 4 つのシーケンスの例と、スイッチ網の 7 ~ 8 の異なる状態は、唯一可能なシーケンスの制御ではない。この場合も、多くの異なるシーケンスの実装が可能であり、これらの状態は、負荷に応じて、他よりも使用頻度が低くてもよい。

40

【 0 0 7 5 】

図 16 は、図 4 に示したものと同様の D M C P 9 0 0 回路を示すが、D M C P 9 0 0 が、2 つの出力電圧を調整するための 2 つの比較器 9 1 0 a , 9 1 0 b も備える点が異なる。

【 0 0 7 6 】

D M C P 9 0 0 が閉回路 D M C P を表している点に留意すべきである。比較器 9 1 0 a , 9 1 0 b の各々は、チャージポンプ出力電圧 (V o u t + , V o u t -) のそれぞれを、個々のしきい値電圧 (V m i n + , V m i n -) と比較し、電荷信号 C H C R 1 , C H C R 2 をそれぞれ出力する。これらの電荷信号 C H C R 1 , C H C R 2 は、スイッチアレイ 1 4 1 0 を制御して、関連するリザーバキャパシタを充電するように D M C P を作動さ

50

せるために、スイッチ制御モジュール 1420 に供給される。一方の出力電圧が、そのしきい値を越えて垂下している場合、チャージポンプが作動され、垂下していない場合には、チャージポンプは一時停止される。これにより、特に低負荷の条件において、スイッチの切換に消費されるパワーを低減することができる。

【0077】

この方式により、最大 $\pm VDD/2$ の出力電圧が可能となる。更に、この構成においては、DMCP900 が、これよりも高電圧を生成するために使用されてもよいが、効率が低下する点にも留意すべきである。この場合、出力電圧を適宜調整するために、基準電圧 (V_{min+}/V_{min}) が調整されうる。フライングキャパシタ C_f は、(スイッチ S_1 , S_5 を介して) $+VDD$ に充電され、次に、(スイッチ S_2 , S_5 を介して) リザーバキャパシタ CR_1 、または (スイッチ S_3 , S_6 を介して) リザーバキャパシタ CR_2 の両端に並列に接続され、これらの電圧が基準電圧によって設定されたレベルに昇圧される。このような動作はリザーバキャパシタ CR_1 , CR_2 上のリプル電圧を増加させるものの、スイッチング損失を低減する。しかし、充電キャパシタ C_f に対してリザーバキャパシタ CR_1 , CR_2 をスケール調整 (scaling) することによって、リプル電圧を低減することができる。

【0078】

図 17 は、上に記載した新規のデュアルモードチャージポンプ 400, 900 のいずれかの更に別の実施形態を示し、多くの異なる入力電圧値の 1 つが、DMCP400, 900 への入力電圧として選択されうる。この図には、入力セクタ 1000 が、多くの異なる電圧入力 ($+Vin1 \sim +VinN$) を有し、選択される実際の入力が、制御入力 I_c によって決定されることが示されている。選択された電圧レベルは、その後、デュアルモードチャージポンプ 400, 900 の入力電圧 VDD となる。

【0079】

図 18a は、本明細書に記載のチャージポンプ 400, 900 によってデュアルレール供給電圧 V_{out+} および V_{out-} が生成される代表的なアプリケーションを示し、チャージポンプ 400, 900 は、例えばシングルレール供給電圧 VDD から供給を受ける。別の実施形態では、図 17 に示すように、チャージポンプ 400, 900 が複数の供給電圧によって供給を受けてもよい。 VDD 、 V_{out+} などの記号は、図 18a, 18b に関連する説明において解釈すべきであり、文脈に応じて、個々の端子またはその端子における電圧を指す。

【0080】

図 18a を参照すると、供給電圧 VDD は、処理回路 20 に供給するものとして示される。入力信号 S_1 は、アナログ信号でもデジタル信号でもよい。 S_1 がアナログ信号の場合、処理回路 20 は、オペアンプ、マルチプレクサ、ゲインブロックなどの純粋なアナログ型回路である。 S_1 がデジタル信号であり、出力段がアナログである場合は、処理回路 20 はデジタルとアナログの混合回路であってもよい。この場合、信号 S_1 は、直接または何らかのデジタル信号処理を介して、DAC (図示なし) に供給され、DAC の出力が、上で述べたようにアナログ回路に供給される。

【0081】

処理回路 20 は、処理された信号 S_2 を出力し、信号 S_2 は、この特定の実施形態では、レベルシフタ 30 に渡されるアナログ信号である。レベルシフタ 30 は、例えば DC ブロッキングキャパシタによって実装されてもよい。出力増幅器 40 は、チャージポンプ 400, 900 によって生成されるデュアルレール供給電圧 V_{out+} , V_{out-} によって給電され、このレベルは、特定の実施形態では、チャージポンプ 400, 900 の動作モードに応じて、 $\pm VDD$ または $\pm VDD/2$ である。チャージポンプ 400, 900 の動作モードは、制御信号 $Cn1$ によって決定される。モード 1 は、ヘッドフォンなどの低インピーダンス負荷を駆動するために使用され、モード 2 は、ライン出力などの高インピーダンス負荷を駆動するために使用されうる。モード選択は、例えば、音量設定レベルまたはコードによって手動で行われても、あるいは、ポータブルオーディオデバイスの場合

には、出力インピーダンスまたは出力電流供給、またはジャックソケットとドッキングステーションのいずれが使用されているかを自動的に検知して行われうる。チャージポンプをモード2に設定する「モード選択」に音量制御が使用される場合、音量が高に設定されると、通常の状態では、負荷の電力所要量がチャージポンプ400, 900の設計値よりも大きいため、出力供給電圧が崩壊しうる。しかし、このような状態を監視して、回路のチャージポンプ400, 900または別の部品をオフにするために、(例えば、危険なほど高い音量により、耳が損傷を受けないように保護するための)追加の回路の形の保護(図示なし)が設けられてもよい。

【0082】

入力信号S1がアナログであり、処理回路20中のアナログ信号である場合は、通常、グランド電位とVDDの中間の値で参照される一方、分割レール供給Vout+, Vout-から動作している出力増幅器によって要求されるように、レベルシフトされた信号S2'はグランドに対して参照される。

【0083】

レベルシフトされた信号S2'は、出力増幅器40に供給され、出力増幅器40は、増幅出力信号S3を出力し、これが、信号トランスデューサ50の形のグランド基準負荷に供給される。出力増幅器40が、スイッチング(クラスDまたはPWM)増幅器または1ビットデジタル(シグマ-デルタ)タイプの出力段である場合には、信号S1, S2は、入力から出力まで(right through to input to output)デジタル信号形式であっても、最初はアナログ形式であるが、処理回路20でデジタル形式に変換されてもよい。

【0084】

図18bは、図18aの構成の特定のアプリケーションを示し、簡潔を期するために、チャージポンプ400, 900と供給用の接続が省略されている。本例では、アプリケーションは、負荷がステレオヘッドフォン51であるステレオ増幅器である。増幅器の信号処理要素は、参照符号の添え字「L」および「R」によって示すように、左右のチャネル信号を処理するために重複して設けられている。供給電圧Vout+およびVout-は、両方のチャネルによって共有されてもよいが、アプリケーションが要求する場合には、異なるチャネルにそれぞれ供給することも可能である。アプリケーションの一分野は、例えば、分割レール供給によりDCカップリングされた出力が可能になるMP3プレーヤなどのポータブルオーディオ装置であり、この場合、大型のデカップリングコンデンサを使用する必要なく、低音応答を保持することが望ましい。

【0085】

図19a, 19bは、2つの構成で使用されているポータブル電子機器を示し、各構成に対して出力段に適切なレベルで電力を供給するために、上のDMCPの実施形態のいずれかを有利に適用することができる。

【0086】

図19aは、1組のヘッドフォン2を駆動するために接続された第1の構成のポータブル電子オーディオ装置1を示す。図中の装置1はMP3プレーヤであるが、同じ機能が、電話機、マルチメディアプレーヤ、ラップトップコンピュータ、PDAなどに搭載されてもよい。ヘッドフォン2は、出力ジャック4に差込まれたリード線3を介して装置に接続される。装置の本体が、1つ以上の小型のラウドスピーカー(図示せず)を備えてもよく、このスピーカーは、代替の音声出力トランスデューサとして駆動されてもよいが、本説明での説明のためには、原則としてヘッドフォンと均等である。公知のように、小型軽量化とバッテリー寿命の最大化が、この市場において高度な製品(premium products)の鍵を握る属性である。製造コストは、市場全体で重要な要素である。

【0087】

図19bは、ヘッドフォンが接続されない第2の構成の同じ装置1を示す。ヘッドフォンの代わりに、装置が別個のコネクタを介してドッキングステーション5に接続され、ドッキングステーション5が大型のラウドスピーカー6L, 6Rを駆動する。ドッキングス

ーション 5 には、ポータブルデバイス自体よりもハイパワーの増幅器と、別個の電源（通常、主電源供給される（mains-powered））とが搭載されている。図 19 c は、ヘッドフォンジャック 4 に差込まれたラインリード線 9 を介して、ヘッドフォンではなく、外部増幅器 7 とラウドスピーカー 8 L, 8 R が接続されている、第 2 の構成の同じ装置の変形例を示す。

【0088】

装置 1 は、これらの構成において、大きく異なる負荷を駆動する必要がある。ヘッドフォンまたはラウドスピーカーのインピーダンスは通常、32 オーム以下である。この負荷に対して、例えば、RMS が 100 mV の出力振幅により、30 mW の電力に対応して、フルスケールから中程度の（例えば -12 dB）音量が供給される。第 2 の構成において、大型の増幅器のライン入力を駆動する際には、負荷インピーダンスは、通常 10 キロオーム以上であり、最高の品質を得るには、RMS が 2 V のフルスケール信号振幅（0 dB）が適切である。第 1 の構成でソケットを駆動する出力段が、RMS が 2 V の信号を供給することができる場合、その供給電圧は 2 V を越えなければならない。同じ出力段から構成 1 においてヘッドフォン負荷を駆動する際には、供給電圧が、出力段のトランジスタで 100 mV のレベルに減圧されるため、出力段の電力消費の大半が、熱の形で放散してしまう。設計者が、バッテリーの長寿命化のために、ライン出力にフルの 2 V の RMS を供給しないことを選択すると、信号劣化が発生してしまう。

【0089】

要求事項がこのように競合する結果、この市場の高度な製品では、従来は、ヘッドフォン/スピーカー負荷 2 を駆動するための出力段と、ドッキングコネクタ 4 を介したラインアウト用の別の出力段を供給する習慣が採用されてきた。各出力段は、電圧範囲に適した電力供給から駆動され、各アプリケーションの電力効率と品質が維持される。いうまでもなく、別個の出力段と、そのための別個の電源が必要となることにより、装置が大型化し、コストが増大するため、望ましくない。

【0090】

DMCP は、このような装置 1 に搭載することができ、別個の出力段を不要とする。代わりに 1 つの出力段が設けられ、その電源として DMCP が使用される。この実施形態では、DMCP は、装置がヘッドフォン負荷を駆動する場合にはモード 1 で動作し、ラインアウトによって別の増幅器を駆動する場合にはモード 2 で動作するように構成されうる。

【0091】

理想的には、DMCP は、装置の構成に応じて、自動的に適切なモードで動作するようにされうる。第 2 の構成でヘッドフォンジャック 4 とは別のドッキングコネクタを使用する（図 19 b）場合、DMCP の制御回路は、ドッキング状態を示す一般信号から、採用すべきモードを直接決定することができる。第 1 の構成と同様にジャック 4 が第 2 の構成で使用される場合、モード選択は複数の方法で決定されうる。第 1 の選択肢として、ユーザがスイッチまたはメニューオプションを利用して、音声出力モードかライン出力モードかを明示的に選択してもよい。あるいは、ボリュームコントロールをフルスケールに変えたときに、ヘッドフォンは実際には最大レベルで使用されることがないという仮定に基づいて、ユーザ設定が暗黙的に行われてもよい。あるいは、ポータブルオーディオデバイスの場合には、出力インピーダンスまたは出力電流供給、またはジャックソケットとドッキングステーションのいずれが使用されているかを自動的に検知することも可能である。

【0092】

分割レール供給を生成できる機能を利用可能なアプリケーションの分野としては、以下が挙げられる。

（1）アナログコンポジットビデオ信号を処理する回路用の電圧供給。グランド参照の DC カップリングされた出力信号により、黒色レベルの垂下が回避される。

（2）データリンクまたはモデム（例えば ADSL）用のラインドライバ。グランド参照の DC カップリングされた出力信号により、ベースラインワンダーの影響を低減することができる。

10

20

30

40

50

【0093】

コスト上とサイズ上の理由により、少ない数の集積回路に、MP3プレーヤ、携帯電話または任意の他のアプリケーションの機能を集積化できることが重要である。このため、機能回路20, 30, 40等と共に、供給電圧生成用の回路（この場合にはチャージポンプ400, 900）を集積化することが有利である。一般に、チャージポンプ400, 900のキャパシタは、チップのピン本数と、回路全体のサイズにより、現実的には集積化できず、チップの外に配置する必要がある。多くの回路は、二重極性の供給（分割レール供給）を必要とするため、必要な出力電圧ごとに1つのキャパシタを使用するのではなく、1つのキャパシタを使用して、2（または3以上）の出力電圧供給を生成することができる電圧生成回路の開発が促されてきた。

10

【0094】

制御方式、コントローラの形態のほか、スイッチ網の明細についても、数多くのほかの変更が可能である。添付の請求の範囲に記載の本発明の趣旨および範囲から逸脱することなく、これらの回路に上記の変更および追加や、その他の変更および追加を行うことができることを、当業者は理解するであろう。したがって、上記の実施形態は、本発明の範囲を限定するものではなく、例示のために提示するものである。本明細書と請求の範囲を解釈するために、「含む、有する、備える」との文言は、請求項に挙げた要素またはステップ以外の存在を除外するものではなく、要素が、複数存在することを除外するものではなく（文脈上別の意味に解すべき場合を除く）、1つの要素が、請求項に記載の複数の要素の機能を果たしてもよいことを読者は留意すべきである。請求項に記載の参照符号は、その範囲を限定するものと解釈されるべきではない。

20

【0095】

請求項に、要素が「接続されている」または「接続のために」と記載されている場合、このような文言は、ほかの要素を除外する直接接続を必要とすると解釈すべきではなく、これらの要素が記載の機能を行うことができるのに十分な接続を指す。良好な実際的な設計においては、例えば、ここに記載しなかった起動およびシャットダウン機能、検知機能、故障保護などを実行する多くの補助的な構成要素が含まれてもよいことを当業者は理解するであろう。これらの一部については上で説明しており、いずれも、請求項に記載した各種実施形態において、本発明に特徴的な基本的な機能が損なわれるものではない。

【0096】

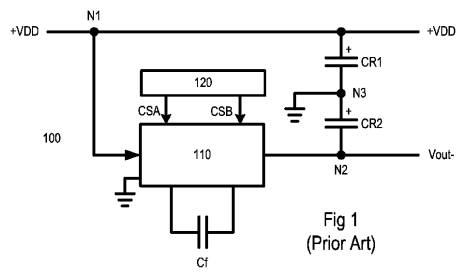
30

Vout+, Vout- およびVDDなどの記号は、上記の説明にわたって解釈されるべきであり、文脈に応じて、個々の端子またはその端子における電圧を指す。

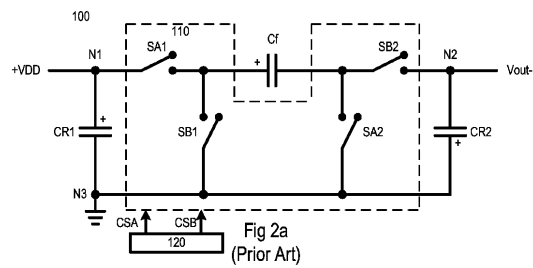
【0097】

本発明は、チャージポンプ回路自体の変形および変更に加えて、図15に示したヘッドフォン増幅器のアプリケーションのほか、チャージポンプを搭載した装置およびシステムを全て含む。回路は、通信装置を含むあらゆる形態の(all manner of)装置の出力段に給電するために使用することができ、この場合、出力段は、アンテナまたは伝送ライン、電気光学式トランスデューサ（発光装置）または電気機械式トランスデューサを駆動しうる。

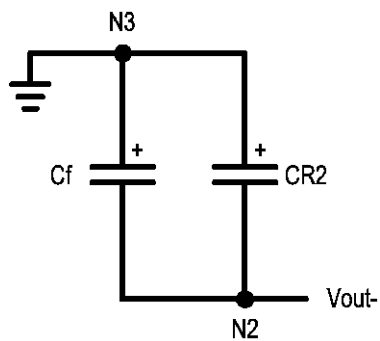
【図 1】



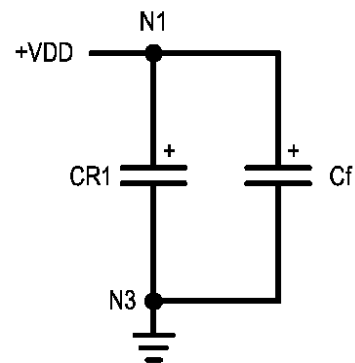
【図 2 a】



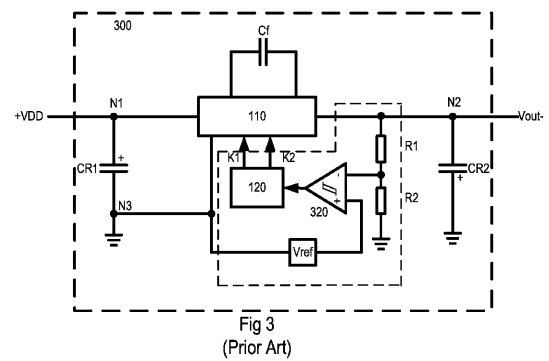
【図 2 c】



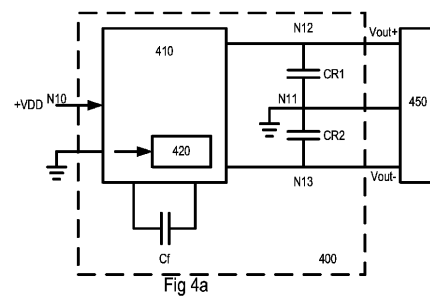
【図 2 b】



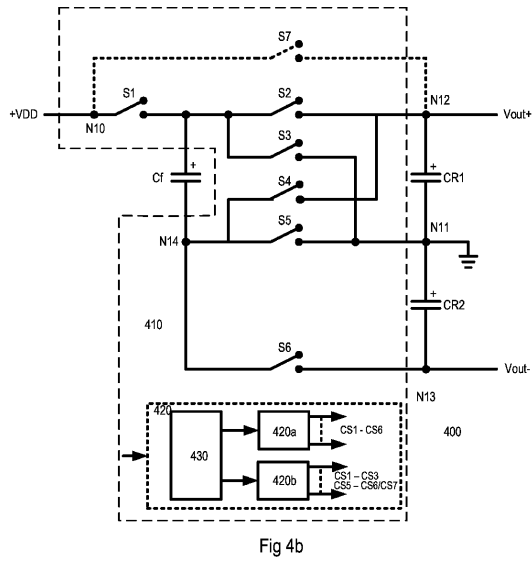
【図 3】



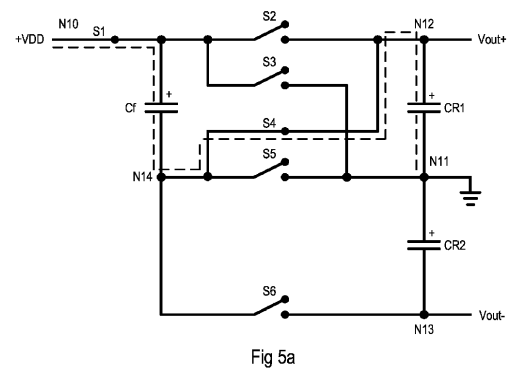
【図 4 a】



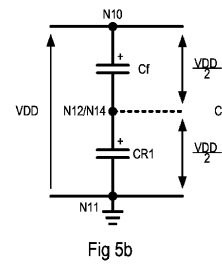
【図 4 b】



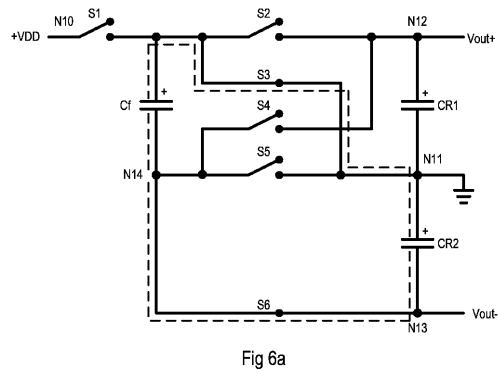
【図 5 a】



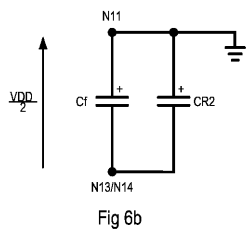
【図 5 b】



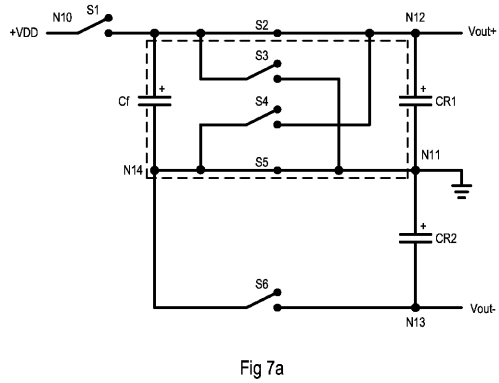
【図 6 a】



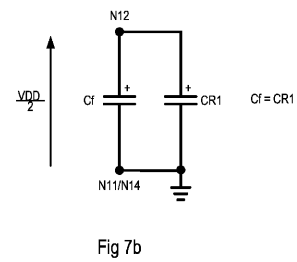
【図 6 b】



【図 7 a】



【図 7 b】



【図 8】

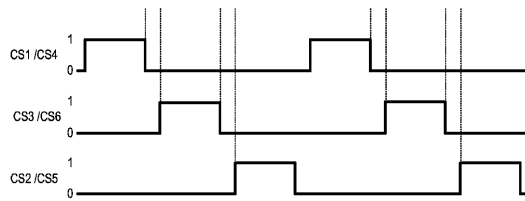


Fig 8

【図 9 a】

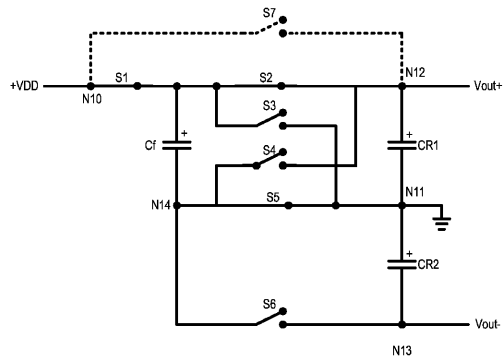


Fig 9a

【図 9 b】

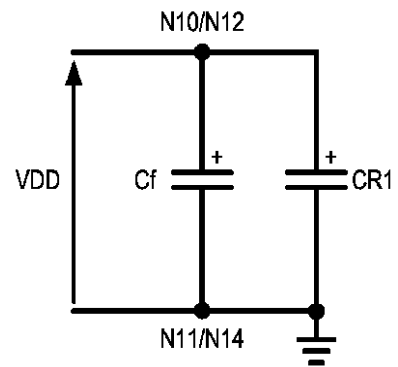


Fig 9b

【図 10 a】

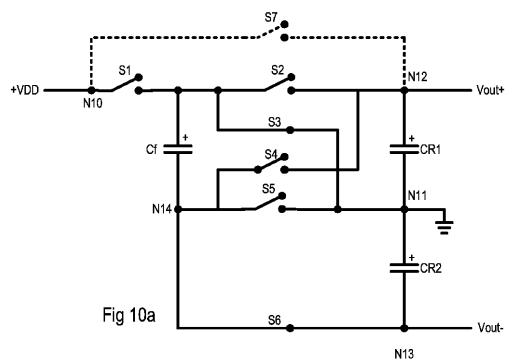


Fig 10a

【図 11】

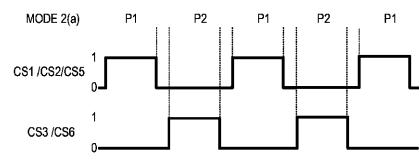


Fig 11

【図 10 b】

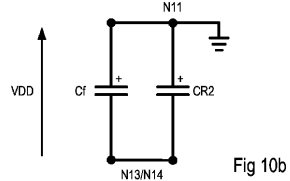


Fig 10b

【図 12 a】

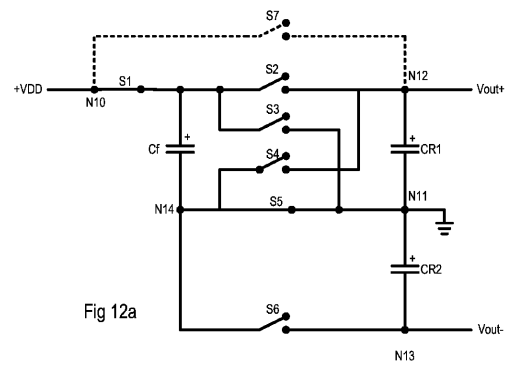


Fig 12a

【図 12 b】

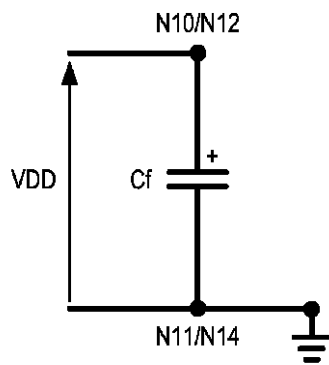


Fig 12b

【図 13】

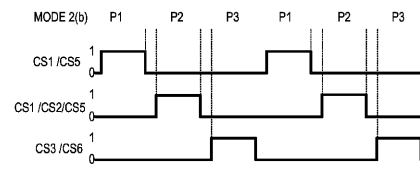


Fig 13

【図 14】

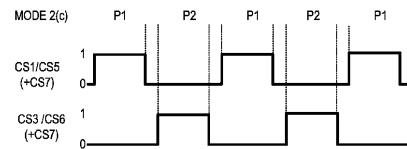


Fig 14

【図 15】

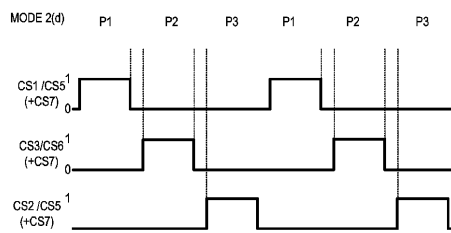


Fig 15

【図 17】

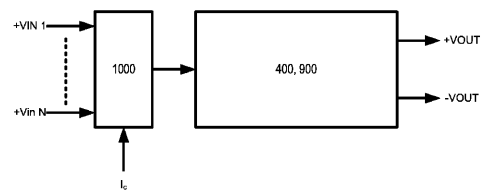


Fig. 17

【図 16】

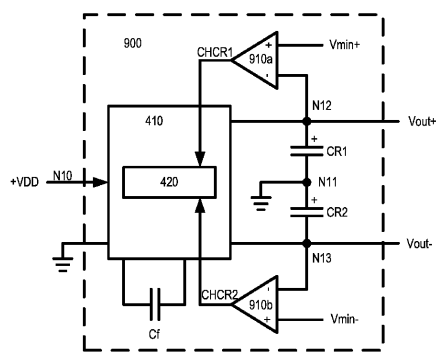


Fig 16

【図 18 a】

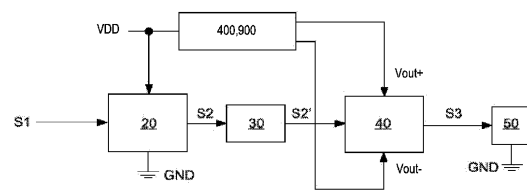


Fig. 18a

【図 18 b】

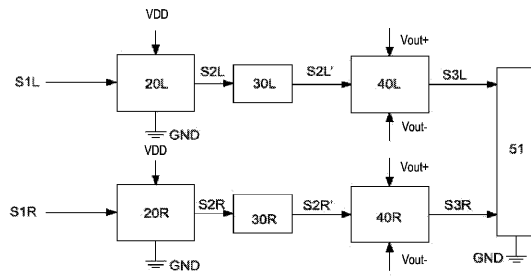


Fig. 18b

【図 19 a】

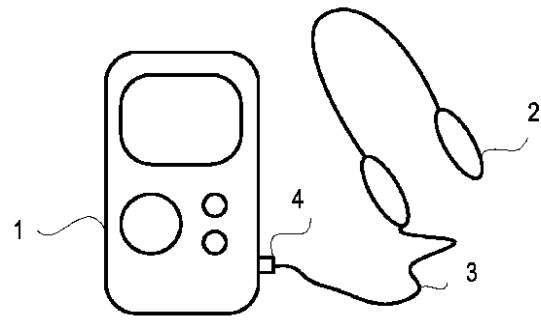


Fig. 19a

【図 19 b】

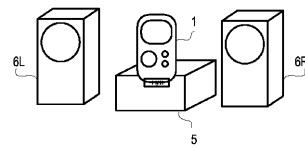


Fig. 19b

【図 19 c】

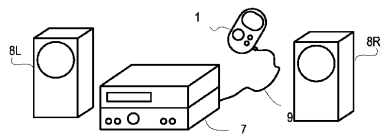


Fig. 19c

【手続補正書】

【提出日】平成21年8月24日(2009.8.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

チャージポンプ回路であって、
入力電圧を受け取るための入力端子と、
多くても第 1 フライニングキャパシタ端子および第 2 フライニングキャパシタ端子と、
共通端子と、
第 1 出力端子および第 2 出力端子と、
前記入力端子、前記第 1 フライニングキャパシタ端子および前記第 2 フライニングキャパシタ端子、前記共通端子、ならびに前記第 1 出力端子および前記第 2 出力端子を相互接続し、それぞれが前記入力電圧の値に実質的に等しい値の第 1 正出力電圧および第 1 負出力電圧、あるいはそれぞれ前記入力電圧の前記値の半分に実質的に等しい値の第 2 正出力電圧および第 2 負出力電圧のいずれかを生成するためのスイッチ網と、を有する回路。

【請求項 2】

前記スイッチ網は、前記入力端子、前記第 1 フライニングキャパシタ端子および前記第 2 フライニングキャパシタ端子、前記共通端子、ならびに前記第 1 出力端子および前記第 2 出力端子を相互接続するための複数の状態で動作可能であり、前記状態には、前記スイッチ網が、前記第 1 フライニングキャパシタ端子および前記第 2 フライニングキャパシタ端子の一方を前記共通端子に相互接続する状態が含まれる請求項 1 に記載の回路。

【請求項 3】

前記複数の状態の 1 つ以上が互いに異なる定義済みの間隔で配列されたシーケンスで前記スイッチ網を作動させるためのコントローラを更に有する請求項 2 に記載の回路。

【請求項 4】

制御信号を受け取るための制御信号端子を更に有し、前記回路は、前記制御信号に応じて、前記第 1 正出力電圧および前記第 1 負出力電圧、あるいは前記第 2 正出力電圧および前記第 2 負出力電圧のいずれかを生成する請求項 3 に記載の回路。

【請求項 5】

前記コントローラは、前記制御信号に応じて、および / または負荷状態に応じて前記シーケンスを変更する請求項 4 に記載の回路。

【請求項 6】

前記正出力または前記負出力電圧の少なくとも 1 つを基準電圧と比較するための比較器を更に有する請求項 1 ~ 5 のいずれか 1 項に記載の回路。

【請求項 7】

装置であって、
フライニングキャパシタと、
第 1 リザーバキャパシタおよび第 2 リザーバキャパシタと、
前記装置に対して、前記第 1 正出力電圧および前記第 1 負出力電圧、あるいは前記第 2 正出力電圧および前記第 2 負出力電圧を供給するための請求項 1 ~ 6 のいずれか 1 項に記載のチャージポンプ回路と、を有し、前記フライニングキャパシタは、前記第 1 フライニングキャパシタ端子および前記第 2 フライニングキャパシタ端子に結合され、前記第 1 リザーバキャパシタは、前記第 1 出力端子および前記共通端子に接続され、前記第 2 リザーバキャパシタは、前記第 2 出力端子および前記共通端子に接続されている装置。

【請求項 8】

前記装置はオーディオ装置および / または携帯電話である請求項 7 に記載の装置。

【請求項 9】

チャージポンプ回路であって、
入力端子と、
第 1 出力端子および第 2 出力端子と、
共通端子と、
多くても第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子と、
スイッチ網と、を有し、前記スイッチ網は、
前記入力端子を前記第 1 フライングキャパシタ端子に結合するための第 1 スイッチと、
前記第 1 フライングキャパシタ端子を前記第 1 出力端子に結合するための第 2 スイッチと、
前記第 1 フライングキャパシタ端子を前記共通端子に結合するための第 3 スイッチと、
前記第 2 フライングキャパシタ端子を前記第 1 出力端子に結合するための第 4 スイッチと、
前記第 2 フライングキャパシタ端子を前記共通端子に結合するための第 5 スイッチと、
前記第 2 フライングキャパシタ端子を前記第 2 出力端子に結合するための第 6 スイッチと、を有する回路。

【請求項 10】

前記スイッチ網は、前記入力端子を前記第 1 出力端子に結合するための第 7 スイッチを更に有する請求項 9 に記載の回路。

【請求項 11】

前記スイッチ網を状態のシーケンスで作動させるためのコントローラを更に有する請求項 9 または 10 に記載の方法。

【請求項 12】

制御信号を受け取るための制御信号入力を更に有する請求項 9 ~ 11 のいずれか 1 項に記載の方法。

【請求項 13】

前記コントローラは、それぞれが 1 つの入力電圧の値に実質的に等しい値の第 1 正出力電圧および第 1 負出力電圧、あるいはそれぞれ前記 1 つの入力電圧の前記値の半分に実質的に等しい値の第 2 正出力電圧および第 2 負出力電圧のいずれかを生成するために、前記制御信号に応じて前記スイッチ網を前記シーケンスで作動させる請求項 12 に記載の回路。

【請求項 14】

複数の分割レール電圧を生成するための方法であって、
第 1 出力電圧端子および第 2 出力電圧端子を、入力電圧端子、多くても第 1 フライングキャパシタ端子および第 2 フライングキャパシタ端子、ならびに共通端子に相互接続し、それぞれが入力電圧の値に実質的に等しい値の第 1 正出力電圧および第 1 負出力電圧、あるいはそれぞれ前記入力電圧の前記値の半分に実質的に等しい値の第 2 正出力電圧および第 2 負出力電圧のいずれかを生成するステップと、
前記第 1 フライングキャパシタ端子および前記第 2 フライングキャパシタ端子の少なくとも 1 つを前記共通端子に相互接続するステップと、を有する方法。

【請求項 15】

前記第 1 出力端子および前記第 2 出力端子、前記入力端子、前記第 1 フライングキャパシタ端子および前記第 2 フライングキャパシタ端子、ならびに前記共通端子は、複数の状態で相互接続され、前記状態には、
前記入力端子を前記第 1 フライングキャパシタ端子に接続し、前記第 1 出力端子を前記第 2 フライングキャパシタ端子に接続することによって得られる状態と、
前記共通端子を前記第 1 フライングキャパシタ端子に接続し、前記第 2 出力端子を前記

第 2 フライングキャパシタ端子に接続することによって得られる状態と、

前記第 1 出力端子を前記第 1 フライングキャパシタ端子に接続し、前記共通端子を前記第 2 フライングキャパシタ端子に接続することによって得られる状態と、

前記入力端子を前記第 1 フライングキャパシタ端子に接続し、前記共通端子を前記第 2 フライングキャパシタ端子に接続することによって得られる状態と、

前記第 1 出力端子を前記第 1 フライングキャパシタ端子に接続し、前記第 2 出力端子を前記第 2 フライングキャパシタ端子に接続することによって得られる状態と、

前記第 1 出力端子を前記第 1 フライングキャパシタ端子および前記入力端子に接続し、前記共通端子を前記第 2 フライングキャパシタ端子に接続することによって得られる状態と、の少なくとも 1 つが含まれ、

前記第 1 正出力電圧および前記第 1 負出力電圧、あるいは前記前記第 2 正出力電圧および前記第 2 負出力電圧のいずれかを生成するために、前記複数の状態の 1 つ以上が配列される請求項 1 4 に記載の方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No PCT/GB2007/050788
A. CLASSIFICATION OF SUBJECT MATTER INV. H02M3/07		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H02M G05F H03F H03K G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 623 222 A (TAMAGAWA AKIO [JP]) 22 April 1997 (1997-04-22)	21, 23-36, 49
Y	column 10, line 30 - column 12, line 34; figures 6,7	1-20, 22, 47, 48, 50
Y	US 5 414 614 A (FETTE BRUCE A [US] ET AL) 9 May 1995 (1995-05-09) abstract column 1, line 41 - line 46; figure 1	1-20, 22, 48, 50
Y	US 2006/028849 A1 (OGATA TAKASHIGE [JP] ET AL) 9 February 2006 (2006-02-09) abstract; figures 1-3	47
A	US 5 790 393 A (FOTOUHI BAHAM [US]) 4 August 1998 (1998-08-04) abstract	1-20, 22, 48, 50
-/-		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : <div style="display: flex; justify-content: space-between;"> <div style="width: 48%;"> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="width: 48%;"> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p> </div> </div>		
Date of the actual completion of the international search		Date of mailing of the international search report
15 Apr11 2008		29/04/2008
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Braccini, Roberto

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2007/050788

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/024962 A1 (CHAN PAUL SHU HUEN [US] ET AL) 3 February 2005 (2005-02-03) the whole document paragraphs [0029] - [0056]	1-50
A	US 2005/110574 A1 (RICHARD PATRICK E [GB] ET AL) 26 May 2005 (2005-05-26) the whole document	17-20, 39-46

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/GB2007/050788

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5623222	A	22-04-1997	NONE	
US 5414614	A	09-05-1995	NONE	
US 2006028849	A1	09-02-2006	CN 1728518 A KR 20060048837 A	01-02-2006 18-05-2006
US 5790393	A	04-08-1998	NONE	
US 2005024962	A1	03-02-2005	CN 1581655 A	16-02-2005
US 2005110574	A1	26-05-2005	CN 1622450 A GB 2408644 A	01-06-2005 01-06-2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 レッソ, ジョン ポール

イギリス国, エディンバーク イーエイチ 10 6 ビーエイチ, クラニー ガーデنز 29B

(72)発明者 ペンノック, ジョン ローレンス

イギリス国, ミドロシアン イーエイチ 14 5 ビーダブリュー, ジュニパー グリーン, ベイ
バートン クレセント 39

(72)発明者 フリス, ピーター ジョン

イギリス国, エディンバーク イーエイチ 13 9 ビーピー, オックスギャングス ファーム
グロウブ 35

Fターム(参考) 5H730 AA14 AS05 BB03 BB57 FG01