



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I594289 B

(45)公告日：中華民國 106 (2017) 年 08 月 01 日

(21)申請案號：104130444

(22)申請日：中華民國 104 (2015) 年 09 月 15 日

(51)Int. Cl. : **H01J37/317 (2006.01)**

(30)優先權：2014/10/03 日本 2014-204873

(71)申請人：紐富來科技股份有限公司 (日本) NUFLARE TECHNOLOGY, INC. (JP)
日本(72)發明人：山下浩 YAMASHITA, HIROSHI (JP)；松本裕史 MATSUMOTO, HIROSHI (JP)；
千葉一浩 CHIBA, KAZUHIRO (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201324571A

CN 1820346A

JP 2012-182294A

JP 2013-165200A

審查人員：王志成

申請專利範圍項數：6 項 圖式數：7 共 22 頁

(54)名稱

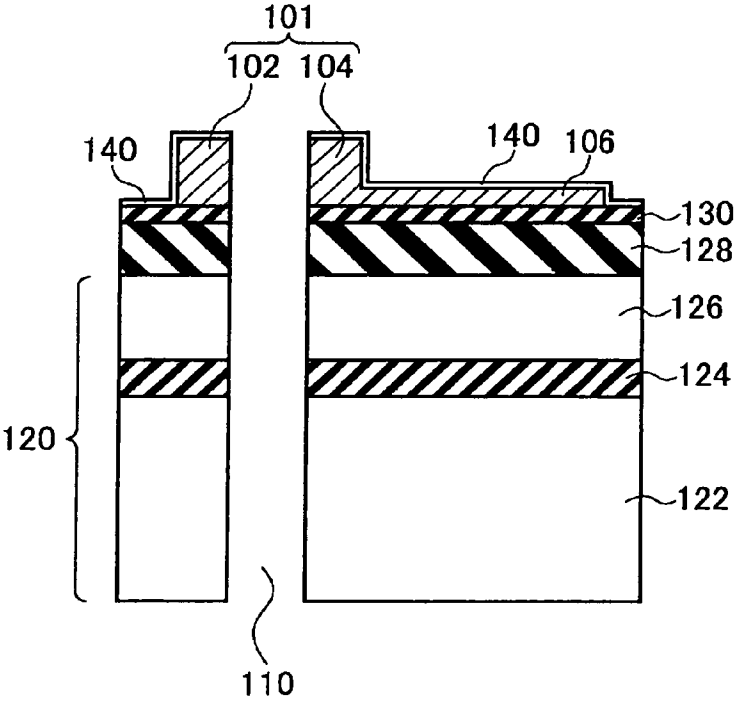
遮沒孔徑陣列及帶電粒子束描繪裝置

(57)摘要

按照一實施形態，遮沒孔徑陣列，為帶電粒子束描繪裝置的遮沒孔徑陣列，具備：基板，其上面設有絕緣膜；複數個遮沒孔徑部，各自形成於前述基板，各自具有：供規定的射束通過之貫通孔、及設於該絕緣膜上而進行前述規定的射束的遮沒偏向之遮沒電極及接地電極；高電阻膜，設置成覆蓋前述絕緣膜、及至少前述接地電極的一部分，其電阻值比前述接地電極還高且比前述絕緣膜還低。

指定代表圖：

圖 5



符號簡單說明：

- 101 . . . 遮沒器
- 102 . . . 接地電極
- 104 . . . 遮沒電極
- 106 . . . 遮沒配線
- 110 . . . 貫通孔
- 120 . . . 基板
- 122 . . . 矽層
- 124 . . . 氧化矽膜
- 126 . . . 矽層
- 128 . . . 層間絕緣膜
- 130 . . . 保護膜
- 140 . . . 高電阻膜

發明摘要

※申請案號：104130444

※申請日：104 年 09 月 15 日

※IPC 分類：H01J 37/317 (2006.01)

【發明名稱】(中文/英文)

遮沒孔徑陣列及帶電粒子束描繪裝置

【中文】

按照一實施形態，遮沒孔徑陣列，為帶電粒子束描繪裝置的遮沒孔徑陣列，具備：基板，其上面設有絕緣膜；複數個遮沒孔徑部，各自形成於前述基板，各自具有：供規定的射束通過之貫通孔、及設於該絕緣膜上而進行前述規定的射束的遮沒偏向之遮沒電極及接地電極；高電阻膜，設置成覆蓋前述絕緣膜、及至少前述接地電極的一部分，其電阻值比前述接地電極還高且比前述絕緣膜還低。

【英文】

【代表圖】

【本案指定代表圖】：第(5)圖。

【本代表圖之符號簡單說明】：

101：遮沒器

102：接地電極

104：遮沒電極

106：遮沒配線

110：貫通孔

120：基板

122：矽層

124：氧化矽膜

126：矽層

128：層間絕緣膜

130：保護膜

140：高電阻膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

遮沒孔徑陣列及帶電粒子束描繪裝置

【技術領域】

本發明有關遮沒孔徑陣列及帶電粒子束描繪裝置。

【先前技術】

隨著 LSI 的高度積體化，半導體裝置之電路線寬年年持續地微細化。為了將半導體裝置的所需的電路圖樣形成於晶圓上，會採用下述手法，即，利用縮小投影型曝光裝置，將形成於石英光罩底板上之高精度的原圖圖樣（光罩，或特別是用於步進機或掃描機者亦稱為倍縮光罩）縮小轉印至晶圓上。高精度的原圖圖樣，係藉由電子束描繪裝置來描繪，運用所謂的電子束微影技術。

作為電子束描繪裝置，例如已知有利用多射束一口氣照射許多射束，以使產能提升之多射束描繪裝置。該多射束描繪裝置中，例如，從電子槍放出的電子束，通過具有複數個孔之孔徑構件藉此形成多射束，各射束於遮沒孔徑陣列受到遮沒控制。未被遮蔽的射束，藉由光學系統而被縮小，照射至描繪對象的光罩底板上的所需位置。

遮沒孔徑陣列，具備：形成有複數個孔之基板、及形成於各孔的周圍之遮沒器、及對遮沒器進行電壓施加之控

制電路部。通常，在構成控制電路部之 MOSFET (metal-oxide semiconductor field-effect transistor) 形成後，會在基板表面形成由氮化矽膜等所構成之鈍化膜（保護膜）。因此，當氮化矽膜等絕緣膜露出至遮沒孔徑陣列的表面，而被照射電子束的情形下，可能遮沒孔徑陣列的表面會因藉由孔徑構件而散射的電子而帶電，MOSFET 的閘極絕緣膜受到靜電破壞而變得無法做遮沒控制，或是通過孔的射束的軌道因電場而位移，發生照射位置的偏差或失焦，而有造成描繪精度降低之問題。

【發明內容】

本發明提供一種遮沒孔徑陣列及具備其之帶電粒子束描繪裝置，可抑制隨著帶電粒子束的照射而造成表面帶電。

按照一實施形態，遮沒孔徑陣列，為帶電粒子束描繪裝置的遮沒孔徑陣列，具備：基板，其上面設有絕緣膜；複數個遮沒孔徑部，各自具有：各自形成於前述基板，供規定的射束通過之貫通孔、及設於該絕緣膜上而進行前述規定的射束的遮沒偏向之遮沒電極及接地電極；高電阻膜，設置成覆蓋前述絕緣膜、及至少前述接地電極的一部分，其電阻值比前述接地電極還高且比前述絕緣膜還低。

【圖式簡單說明】

〔圖 1〕本發明實施形態之帶電粒子束描繪裝置的概

略圖。

〔圖 2〕孔徑構件的概略圖。

〔圖 3〕遮沒孔徑陣列的構成示意概念圖。

〔圖 4〕遮沒孔徑陣列的俯視圖。

〔圖 5〕遮沒孔徑陣列的截面圖。

〔圖 6〕銀薄膜的膜厚與電阻之關係示意圖。

〔圖 7〕高電阻膜的成膜方法一例示意圖。

【實施方式】

以下，依據圖面說明本發明之實施形態。

圖 1 為組裝有本實施形態之遮沒孔徑陣列的帶電粒子束描繪裝置的概略圖。本實施形態中，作為帶電粒子束的一例，係以使用了電子束之構成來做說明。但，帶電粒子束不限於電子束，也可以是離子束等其他帶電粒子束。

圖 1 所示之電子束描繪裝置，具備電子束鏡筒 2 與描繪室 20。在電子束鏡筒 2 內，配置有電子槍 4、照明透鏡 6、孔徑構件 8、遮沒孔徑陣列 10、縮小透鏡 12、限制孔徑構件 14、對物透鏡 16、及偏向器 18。在描繪室 20 內配置有 XY 平台 22。在 XY 平台 22 上，載置有作為描繪對象之光罩底板 24。作為對象物，例如有晶圓、奈米壓印用基板、或還包括已形成有圖樣之光罩。例如，雷文生（Levenson）型光罩需要 2 次的描繪，因此可能會對曾對光罩描繪 1 次而加工過之物描繪第 2 次的圖樣。在 XY 平台 22 上還配置 XY 平台 22 位置測定用的鏡（mirror）

26。

從電子槍 4 放出之電子束 30，會藉由照明透鏡 6 而垂直或近乎垂直地對作為物面（object plane）之孔徑構件 8 全體做照明。圖 2 為孔徑構件 8 的構成示意概念圖。在孔徑構件 8，有縱（y 方向）m 列×橫（x 方向）n 列（m， $n \geq 2$ ）的孔（開口部）80 以規定之排列間距（pitch）形成為矩陣狀。例如，形成 512×8 列的孔 80。各孔 80 均形成為相同尺寸形狀的矩形。各孔 80 亦可是相同外徑的圓形。

電子束 30，對包含孔徑構件 8 的所有孔 80 之區域做照明。電子束 30 的一部分分別通過該些複數個孔 80，藉此會形成如圖 1 所示般的多射束 30a～30e。

圖 2 中，雖然示例於縱橫（x，y 方向）均配置了 2 列以上的孔 80，但並不限於此。例如，亦可為在縱橫（x，y 方向）的其中一方有複數列，而另一方僅有 1 列。此外，孔 80 的排列方式，亦不限於如圖 2 所示般配置成縱橫為格子狀之情形。例如，於縱方向鄰接之孔彼此亦可以交錯狀參差配置。

如後述般，在遮沒孔徑陣列 10，配合孔徑構件 8 的各孔 80 的配置位置而形成有貫通孔（圖 4、5 中的貫通孔 110），在各貫通孔各自配置有由成對的 2 個電極所構成之遮沒器（圖 5 中由接地電極 102 及遮沒電極 104 所構成之遮沒器 101）。通過各貫通孔的電子束 30a～30e，會各自獨立地藉由遮沒器施加之電壓亦即電場而被偏向。藉由

該偏向而受到遮沒控制。像這樣，藉由遮沒孔徑陣列 10，對通過了孔徑構件 8 的複數個孔 80 之多射束各者進行遮沒偏向。

通過了遮沒孔徑陣列 10 的多射束 30a~30e，藉由縮小透鏡 12，各者的射束尺寸及孔 80 的排列間距會被縮小，朝向設置於交叉點之形成於限制孔徑構件 14 的中心的孔行進。此處，藉由遮沒孔徑陣列 10 的遮沒器而被偏向的電子束，其位置會位移而偏離限制孔徑構件 14 的中心的孔，而被限制孔徑構件 14 遮蔽。另一方面，未受到遮沒孔徑陣列 10 的電極偏向的電子束，會通過限制孔徑構件 14 的中心的孔。

像這樣，限制孔徑構件 14，是將藉由遮沒孔徑陣列 10 的電極而被偏向成為射束 OFF 狀態之各射束加以遮蔽。然後，從成為射束 ON 開始至成為射束 OFF 為止通過了限制孔徑構件 14 的射束，便成為 1 次份的擊發的射束。通過了限制孔徑構件 14 之多射束 30a~30e，藉由對物透鏡 16 而被合焦，最終，物面即孔 80 的貫通孔的形狀會被縮小轉印至像面（image plane）即光罩底板 24 上。通過了限制孔徑構件 14 的各射束（多射束全體），會藉由偏向器 18 朝同方向被一齊偏向，照射至各射束於光罩底板 24 上各自之照射位置。

一次所照射之多射束，理想上會成為以孔徑構件 8 的複數個孔 80 的編排間距乘上上述所需之縮小率而得之間距而並排。本描繪裝置係以連續依序逐一照射擊發射束之

逐線掃描（raster scan）方式來進行描繪動作，當描繪所需圖樣時，因應圖樣不同，必要之射束會藉由遮沒控制而被控制成射束 ON。當 XY 平台 22 在連續移動時，射束的照射位置會受到偏向器 18 控制，以便追隨 XY 平台 22 的移動。

電子束描繪裝置的各部受到未圖示之控制裝置所控制。控制裝置，對描繪資料實施複數段的資料變換處理，生成裝置固有的擊發資料。擊發資料中，定義著各擊發的照射量及照射位置座標等。控制裝置，將各擊發的照射量除以電流密度以求出照射時間 t ，當進行相對應的擊發時，對遮沒孔徑陣列 10 的相對應的遮沒器施加偏向電壓，使得僅於照射時間 t 設為射束 ON。亦可將所需的照射位置分割成複數次的擊發來照射。

此外，控制裝置，演算偏向量使得各射束被偏向至擊發資料所示之位置（座標），並對偏向器 18 施加偏向電壓。藉此，該次被擊發之多射束會受到一齊偏向。

接著，利用圖 3～圖 5 說明遮沒孔徑陣列 10 的構成。圖 3 為遮沒孔徑陣列 10 的構成示意概念圖、圖 4 為遮沒孔徑陣列 10 的貫通孔形成區域 100 的俯視圖、圖 5 為沿著圖 4 的 V-V 線之縱截面圖。另，圖 4 中，省略了後述高電阻膜 140 之圖示。

遮沒孔徑陣列 10，具備形成有供多射束通過的複數個貫通孔 110 之貫通孔形成區域 100、及設於貫通孔形成區域 100 的周圍之控制電路 150、及設於周緣部之墊部

160，它們形成於基板 120。另，控制電路 150 不限於放置在貫通孔形成區域 100 的周緣部，可配置於不妨礙遮沒孔徑陣列 10 製作之範圍，亦可位於遮沒孔徑陣列 10 的外部。

在設於基板 120 的中央部之貫通孔形成區域 100，配合孔徑構件 8 的各孔 80 的配置位置，複數個貫通孔 110 以矩陣狀排列。此外，在貫通孔形成區域 100，和複數個貫通孔 110 各者相對應的複數個遮沒器 101 以矩陣狀排列。遮沒器 101，為令電子束偏向之偏向器，具有包夾著形成於基板 120 之貫通孔 110 而相向之一對接地電極 102 及遮沒電極 104。

控制電路 150，透過配線 152、墊部 160、及未圖示之外部配線而從外部控制裝置接收遮沒控制訊號。配線 152 是於 MOS 電晶體形成時形成，因此配置於鈍化膜的下方。控制電路 150，依據接收到的遮沒控制訊號，透過遮沒配線 106 對遮沒電極 104 施加電壓，進行遮沒偏向。控制電路 150，其電路由 MOS 等所構成，在最終段設有 CMOS 反相器以作為驅動器。另，驅動器不限於 CMOS 反相器，只要是依據控制訊號輸出所需的電壓之物即可。

如圖 4 所示，在貫通孔形成區域 100，設有隔著規定間隔而朝規定方向（圖中上下方向）延伸之複數個接地電極 102。接地電極 102 的平面形狀，例如呈梳齒型形狀，具有朝規定方向延伸之直線部 102a、及從直線部 102a 朝與延伸方向（水平方向）正交的方向突出之複數個突出部

102b。藉由這樣的形狀，能夠抑制電極間的電場洩漏。在突出部 102b、102b 間（梳齒型的凹部），設有遮沒電極 104。在接地電極 102 的直線部 102a 與遮沒電極 104 之間形成有貫通孔 110。

在接地電極 102、102 間，複數個遮沒配線 106 平行於接地電極 102 而延伸，各遮沒配線 106 的一端側連接至控制電路 150，另一端側呈往接地電極 102 的凹部側彎折之鑰匙型的平面形狀，而連接至遮沒電極 104。透過這樣的遮沒配線 106，能夠從控制電路 150 對遮沒電極 104 施加電壓。

接地電極 102 兼作為接地配線。

如圖 5 所示，遮沒孔徑陣列 10，具有基板 120、設於基板 120 上之層間絕緣膜 128、設於層間絕緣膜 128 上之保護膜（鈍化膜）130。基板 120，為在矽層 122 與矽層 126 之間夾著氧化矽膜 124 之 SOI（Silicon On Insulator）基板，但亦可為 SOI 基板以外的基板。

層間絕緣膜 128 例如能夠使用 TEOS（四乙氧基矽烷）膜。保護膜 130 例如為氮化矽膜。

在貫通孔形成區域 100，鄰接於貫通了保護膜 130、層間絕緣膜 128 及基板 120 之貫通孔 110，接地電極 102 及遮沒電極 104 在保護膜 130 上相向配置。連接至遮沒電極 104 之遮沒配線 106 亦形成於保護膜 130 上。

另，在貫通孔形成區域 100 的外側，於矽層 126 形成有構成控制電路 150 之 CMOS 電晶體等。又，還形成有與

保護膜 130 上的遮沒配線 106 以及 CMOS 電晶體連接之接點部。

在接地電極 102、遮沒電極 104、遮沒配線、連接至接地電極 102 的接地配線、及保護膜 130 的表面，形成有高電阻膜 140。高電阻膜 140 的電阻值，比接地電極 102、遮沒電極 104、及遮沒配線 106 還高，比保護膜 130 及層間絕緣膜 128 還低。

高電阻膜 140 的電阻值，為不致使得鄰接的遮沒配線 106 或接地電極 102、遮沒電極 104 短路，且當電子束照射至遮沒孔徑陣列 10 時，電子會透過高電阻膜 140 從接地電極 102 流出而不會蓄積負電荷的程度之值。

高電阻膜 140 的電阻值，為了防止鄰接的遮沒配線 106 或接地電極 102、遮沒電極 104 短路，較佳是訂為 $100\text{k}\Omega$ 以上，更佳是訂為 $1\text{M}\Omega$ 以上，再更佳是訂為 $10\text{M}\Omega$ 以上。

此外，高電阻膜 140 的電阻值，為了使得電子不會蓄積於高電阻膜 140 而能夠從接地電極 102 流出，較佳是訂為 $100\text{M}\Omega$ 以下。

藉由將這樣的高電阻膜 140 至少設於保護膜 130 上及接地電極 102 的一部分，能夠防止遮沒孔徑陣列 10 的表面帶電。因此，能夠防止構成控制電路 150 之 CMOS 電晶體的閘極絕緣膜的靜電破壞。此外，能夠防止通過貫通孔 110 之電子束的軌道變化，而使描繪精度提升。此外，即使將高電阻膜 140 形成於遮沒電極 104 或遮沒配線 106

上，仍會防止鄰接的遮沒配線 106 或接地電極 102、遮沒電極 104 短路。

高電阻膜 140 中，例如能夠使用 Au（金）、Ag（銀）、Cu（銅）、Fe（鐵）、Cr（鉻）、CrN（氮化鉻）、Ti（鈦）、TiN（氮化鈦）、TaN（氮化鉭）、TiC（碳化鈦）等金屬薄膜。金屬薄膜若其膜厚成為數十 nm 程度，則隨著膜厚減少，電阻值會急遽變高。圖 6 揭示 Ag 蒸鍍膜的膜厚與面電阻之關係以作為一例。高電阻膜 140 中，係使用膜厚為數十 nm，較佳為數 nm 之金屬薄膜。

另，作為高電阻膜 140 的材料，可形成於各種材質之上，以耐磨耗性或耐腐蝕性優良之 CrN 為佳。

遮沒孔徑陣列 10 的製作中，首先會藉由周知之 CMOS 製程在基板 120 形成構成控制電路 150 之電晶體等，再形成層間絕緣膜 128 及保護膜 130。接下來，將基板 120 從表面及背面利用周知之 MEMS 製程予以蝕刻而形成複數個貫通孔 110。

接著，進行 Au 等的電鍍，在保護膜 130 上形成接地電極 102、遮沒電極 104、及遮沒配線 106。

接著，藉由濺鍍形成膜厚 10nm 以下的薄膜之高電阻膜 140。例如，如圖 7 所示，令高電阻膜 140 成長為島狀。該薄膜成長樣式亦稱為 VW（Volmer Weber）模式。令薄膜成長直到島間的距離成為數十 nm 程度為止。依此便能形成高電阻的薄膜。

當使用 CrN 形成島狀的高電阻膜 140 的情形下，藉由 X 光反射率法測定出的高電阻膜 140 的平均膜厚，較佳為 10nm 以下，更佳為 5nm 以下，再更佳為 3nm 以下。平均膜厚的下限值，為當被照射電子束時，電子不會蓄積而能夠透過高電阻膜 140 從接地電極 102 流出之程度的膜厚。

高電阻膜 140 的成膜區域，為有可能被電子束照射之區域。這是藉由電子束從孔徑構件 8 的射出角、及從孔徑構件 8 至遮沒孔徑陣列 10 為止的距離來決定。將遮沒孔徑陣列 10 當中的非成膜區域以保護治具覆蓋，將高電阻膜 140 成膜。

像這樣，能夠以簡易的方法以低成本形成防止遮沒孔徑陣列 10 的表面帶電且防止電極或配線短路之高電阻膜 140。

按照本實施形態，在遮沒孔徑陣列 10 的最表面，設置具有不致使鄰接的配線或電極短路，且電子不會蓄積而會從接地電極 102 流出之程度的高電阻值之高電阻膜 140，藉此便能防止遮沒孔徑陣列 10 的表面帶電。藉此，能夠防止構成控制電路 150 之 CMOS 電晶體的閘極絕緣膜的靜電破壞。此外，能夠防止通過貫通孔 110 之電子束的軌道變化，抑制照射位置偏差或失焦，而高精度地描繪圖樣。

圖 5 中，雖揭示高電阻膜 140 還形成於接地電極 102 或遮沒電極 104 的側面，但亦可不形成於側面。

控制電路 150 亦可不形成於遮沒孔徑陣列 10，可將

相當於控制電路 150 之電路部設於遮沒孔徑陣列 10 的外部。

另，本發明並不限定於上述實施形態本身，於實施階段中在不脫離其要旨的範圍內能夠將構成要素變形而予具體化。此外，藉由將上述實施形態中揭示之複數個構成要素予以適當組合，能夠形成種種發明。例如，亦可將實施形態所示之全部構成要素中刪除數個構成要素。又，亦可將不同實施形態之間的構成要素予以適當組合。

【符號說明】

- 2：電子束鏡筒
- 4：電子槍
- 6：照明透鏡
- 8：孔徑構件
- 10：遮沒孔徑陣列
- 12：縮小透鏡
- 14：限制孔徑構件
- 16：對物透鏡
- 18：偏向器
- 20：描繪室
- 22：XY 平台
- 24：光罩底板
- 26：鏡
- 30：電子束

30a~30e：多射束

80：孔（開口部）

100：貫通孔形成區域

101：遮沒器

102：接地電極

102a：直線部

102b：突出部

104：遮沒電極

106：遮沒配線

110：貫通孔

120：基板

122：矽層

124：氧化矽膜

126：矽層

128：層間絕緣膜

130：保護膜

140：高電阻膜

150：控制電路

152：配線

160：墊部

申請專利範圍

1. 一種遮沒孔徑陣列，為帶電粒子束描繪裝置的遮沒孔徑陣列，具備：

基板，其上面設有絕緣膜；

複數個遮沒孔徑部，各自具有：形成於前述基板，供規定的射束通過之貫通孔、及設於該絕緣膜上而進行前述規定的射束的遮沒偏向之遮沒電極及接地電極；

高電阻膜，設置成覆蓋前述絕緣膜、及至少前述接地電極的一部分，其電阻值比前述接地電極還高且比前述絕緣膜還低。

2. 如申請專利範圍第 1 項所述之遮沒孔徑陣列，其中，前述高電阻膜，設置成實質上覆蓋前述基板的全面。

3. 如申請專利範圍第 1 項所述之遮沒孔徑陣列，其中，前述高電阻膜為島狀薄膜。

4. 如申請專利範圍第 1 項所述之遮沒孔徑陣列，其中，前述高電阻膜的電阻值為 $100\text{k}\Omega$ 以上、 $100\text{M}\Omega$ 以下。

5. 如申請專利範圍第 1 項所述之遮沒孔徑陣列，其中，前述高電阻膜，包含 Au、Ag、Cu、Fe、Cr、CrN、Ti、TiN、TaN、或 TiC。

6. 一種帶電粒子束描繪裝置，其特徵為，具備：

平台，載置對象物且可移動；

電子槍，放出帶電粒子束；

孔徑構件，形成有複數個開口部，前述帶電粒子束的

一部分各自通過前述複數個開口部，藉此形成多射束；

遮沒孔徑陣列，對前述多射束當中各自相對應的射束個別地進行射束的 ON/OFF 控制；

偏向器，將各射束一齊偏向，使得通過了前述遮沒孔徑陣列之各射束照射至前述對象物上的各自之照射位置；

前述遮沒孔徑陣列，具備：

基板，其上面設有絕緣膜；

複數個遮沒孔徑部，各自具有：形成於前述基板，供規定的射束通過之貫通孔、及設於該絕緣膜上而進行前述規定的射束的遮沒偏向之遮沒電極及接地電極；

高電阻膜，設置成覆蓋前述絕緣膜、及至少前述接地電極的一部分，其電阻值比前述接地電極還高且比前述絕緣膜還低。

圖式

圖 1

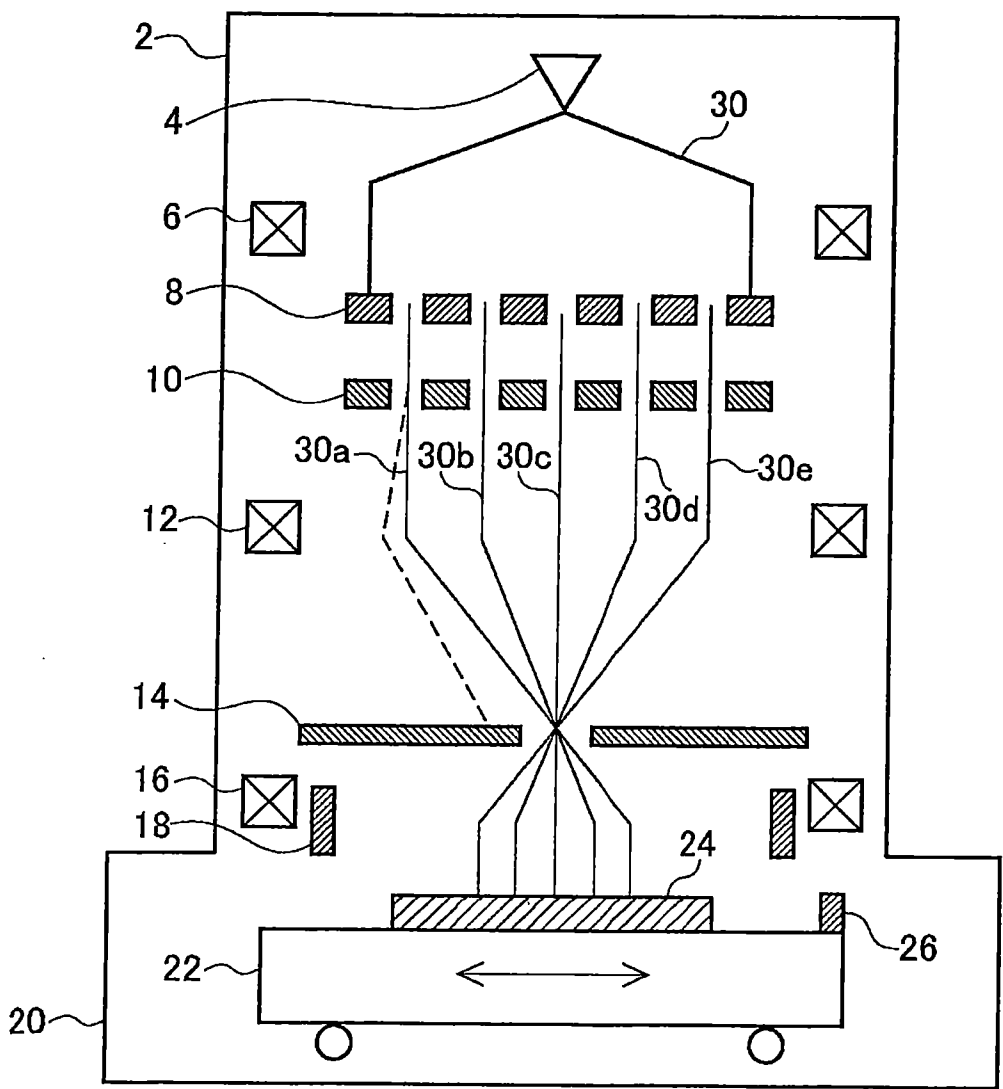


圖 2

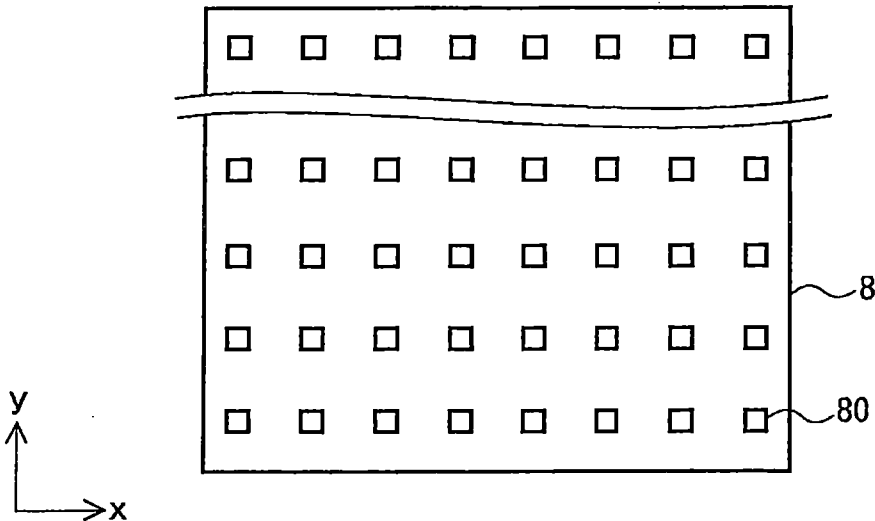


圖 3

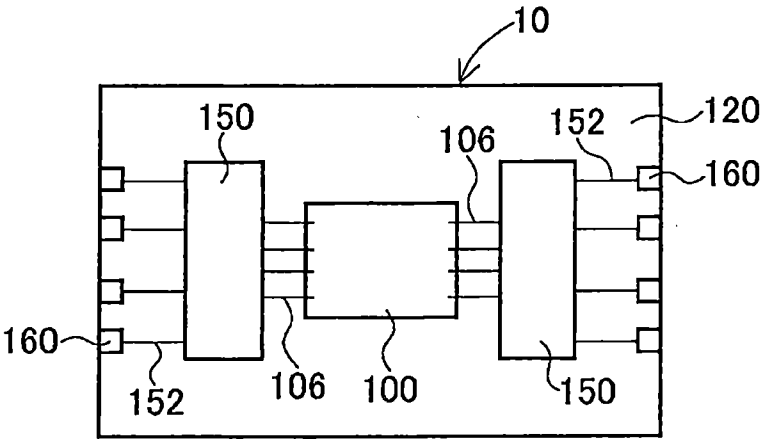


圖 5

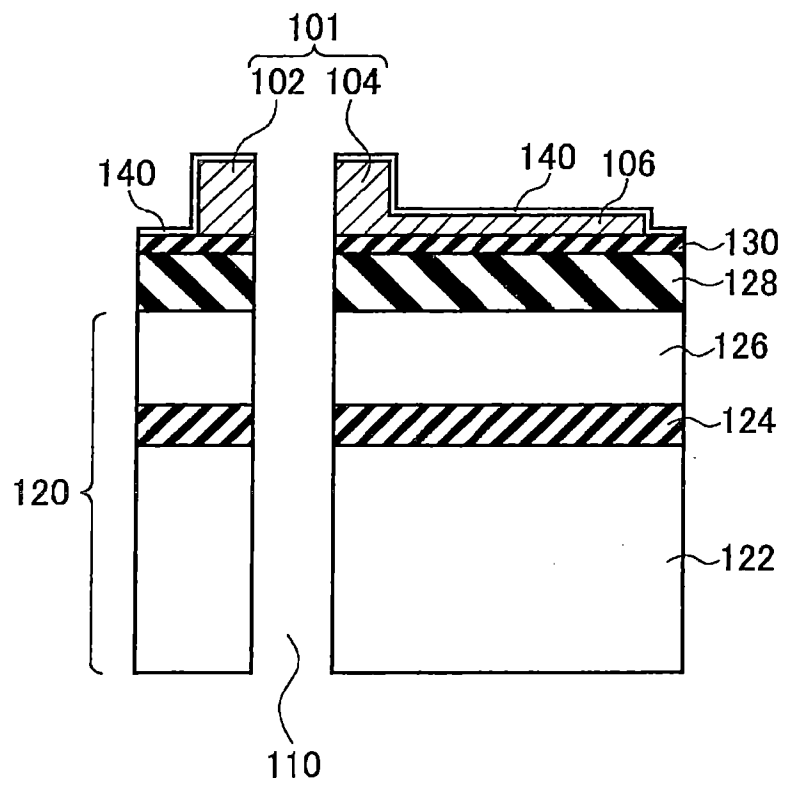


圖 6

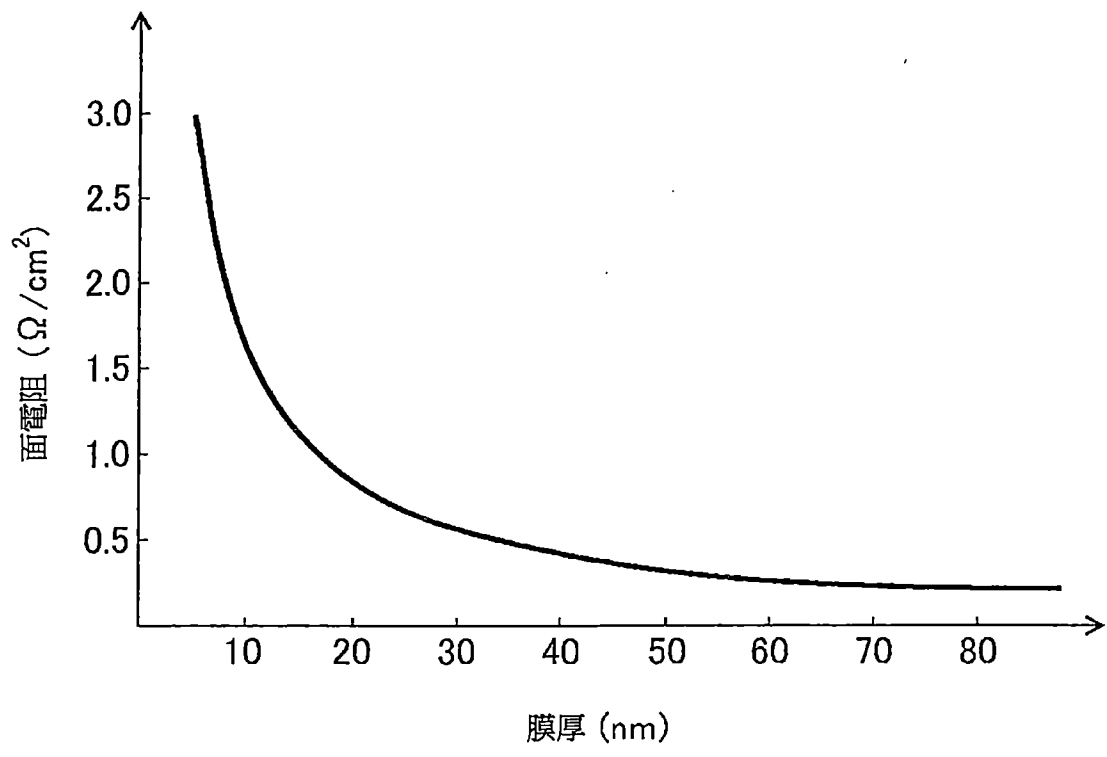


圖 7

