



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월17일
(11) 등록번호 10-0759659
(24) 등록일자 2007년09월11일

(51) Int. Cl.
H01P 1/15 (2006.01) H01P 1/203 (2006.01)
H01P 1/213 (2006.01) H01P 1/20 (2006.01)
(21) 출원번호 10-2006-7020956
(22) 출원일자 2006년10월09일
심사청구일자 2006년10월09일
번역문제출일자 2006년10월09일
(65) 공개번호 10-2006-0133000
공개일자 2006년12월22일
(86) 국제출원번호 PCT/US2005/012070
국제출원일자 2005년04월08일
(87) 국제공개번호 WO 2005/101565
국제공개일자 2005년10월27일
(30) 우선권주장
10/822,409 2004년04월12일 미국(US)
(56) 선행기술조사문헌
US6414570
EP1291954 A2
전체 청구항 수 : 총 11 항

(73) 특허권자
레이티언 캄파니
미국 02451-1449 매사추세츠주 왈탐 윈터 스트리트 870
(72) 발명자
타이라니, 레자
미국 90292 캘리포니아주 마리나 델 레이 마리나 포인트 디알.아파트먼트 비426 13603
(74) 대리인
장수길, 주성민

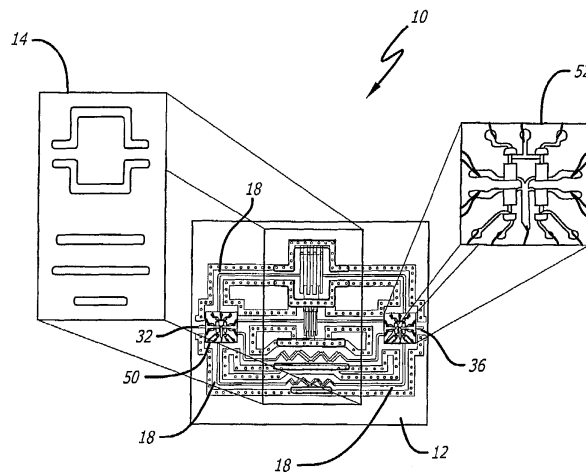
심사관 : 김상철

(54) 미니어처 광대역 스위칭 필터 뱅크

(57) 요약

미니어처 마이크로웨이브 회로. 신규의 회로는 제1 기판, 제1 기판의 하부면 상에 배치된 제1 접지판, 제1 기판의 상부면에 부착되어 상기 제1 기판의 일부를 커버하는 제2 기판, 제2 기판의 상부면 상에 배치된 제2 접지판, 스트립라 회로를 형성하기 위해 상기 제1 기판과 상기 제2 기판 사이에 배치된 금속화 패턴, 제1 기판의 상부면 상에 배치되고 제1 접지판에 접속된 복수의 바이어스를 포함하는 하나 이상의 접지 경로들, 및 제2 기판 및 제2 접지판으로 커팅된 하나 이상의 개구들을 포함하며, 개구들의 각각은 접지 경로의 일부분 위에 후속하여 정렬되어 있으며, 제2 접지판이 제1 접지판에 접속되도록 도전성 재료로 채워져 있다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 기판(12);
 상기 제1 기판(12)의 하부면 상에 배치된 제1 접지판(ground plate)(16);
 상기 제1 기판(12)의 상부면에 부착되어 상기 제1 기판(12)의 일부를 커버하는 제2 기판(14);
 상기 제2 기판(14)의 상부면 상에 배치된 제2 접지판(30);
 스트립라인(stripline) 회로를 형성하기 위해 상기 제1 기판(12)과 상기 제2 기판(14) 사이에 배치된 금속화 패턴(20);
 상기 제1 기판(12)의 상부면 상에 배치되고 상기 제1 접지판(16)에 접속된 복수의 바이어스(62)를 포함하는 하나 이상의 접지 경로들(60); 및
 상기 제2 기판(14) 및 제2 접지판(30)으로 커팅된 하나 이상의 개구들(64) - 개구들(64)의 각각은 접지 경로(60)의 일부분을 따라 그 위에 정렬되어 있으며, 상기 제2 접지판(30)이 상기 제1 접지판(16)에 접속되도록 도전성 재료로 채워져 있음 -
 을 포함하는 마이크로웨이브 회로(10).

청구항 2

제1항에 있어서,
 상기 제1 기판(12) 및 상기 제2 기판(14)은 고 유전율 세라믹으로 제조되는 마이크로웨이브 회로(10).

청구항 3

제2항에 있어서,
 상기 고유전율 세라믹은 40 이상의 비유전율을 갖는 마이크로웨이브 회로(10).

청구항 4

제3항에 있어서,
 상기 스트립라인 회로(20)는 소정 수의 송신 라인 필터들을 포함하는 마이크로웨이브 회로(10).

청구항 5

제4항에 있어서,
 상기 제1 기판(12)의 하나 이상의 영역들은 상기 제2 기판(14)에 의해 커버되지 않는 마이크로웨이브 회로(10).

청구항 6

제5항에 있어서,
 상기 마이크로웨이브 회로(10)는, 제어 신호를 수신함과 함께 입력 포트(32)를 상기 필터들 중 하나와 결합하도록 구성된 제1 싱글 폴 멀티플 스로우 스위치(single pole multiple throw switch)(50), 및 제어 신호를 수신함과 함께 상기 제1 스위치(50)에 의해 선택된 상기 필터를 출력 포트(36)에 결합시키도록 구성된 제2 싱글 폴 멀티플 스로우 스위치(52)를 더 포함하는 마이크로웨이브 회로(10).

청구항 7

제6항에 있어서,
 상기 제1 스위치(50) 및 상기 제2 스위치(52)는 마이크로전기기계(microelectromechanical) 구성 요소들을 이용하여 구현되는 마이크로웨이브 회로(10).

청구항 8

제6항에 있어서,

상기 제1 스위치(50) 및 상기 제2 스위치(52)는 단일 집적 회로 칩으로서 각각 구현되며,

상기 칩들은, 상기 제2 기관(14)에 의해 커버되지 않는 상기 영역 내에서 상기 제1 기관(12)에 부착되는 마이크로웨이브 회로(10).

청구항 9

제8항에 있어서,

상기 마이크로웨이브 회로(10)는 상기 제1 기관(12)의 상부면 상에 배치된 복수의 송신 라인들(18)을 더 포함하며,

상기 각 송신 라인(18)은, 상기 제1 스위치(50)의 출력들 중 하나를 상기 필터들 중 하나와 결합시키도록 구성되는 마이크로웨이브 회로(10).

청구항 10

제8항에 있어서,

상기 마이크로웨이브 회로(10)는 상기 제1 기관(12)의 상부면 상에 배치된 복수의 마이크로스트립 송신 라인들(18)을 더 포함하며,

상기 각 송신 라인(18)은, 상기 필터들 중 하나의 출력을 상기 제2 스위치(52)의 입력들 중 하나와 결합시키도록 구성되는 마이크로웨이브 회로(10).

청구항 11

제10항에 있어서,

상기 접지 경로들(60)은 상기 필터들(20) 및 송신 라인들(18)을 아이솔레이트(isolate)시키도록 구성되는 마이크로웨이브 회로(10).

명세서

기술분야

<1> 본 발명은 마이크로웨이브 회로들에 관련된 것이다. 구체적으로, 본 발명은 마이크로전기기계 스위치(microelectromechanical switch)들을 이용한 다중 대역(multiband) 마이크로웨이브 필터 뱅크들에 관한 것이다.

배경기술

<2> 다중 대역 마이크로웨이브 필터들은 통신, 전자전(electronic warfare; EW), 계기화 장치(instrumentation device) 등의 각종 어플리케이션에서 신호들을 서로 다른 주파수 대역들로 분리하고 식별하는 데 이용된다. 이들 필터들에 대한 디자인의 필요성은 주로 저비용, 소형화, 경량화, 저 전력 손실, 및 고성능을 포함한다.

<3> 소정의 어플리케이션에 있어서, 가장 중요한 사양들 중 두가지는 비용과 사이즈이다. 마이크로웨이브 필터 뱅크는 전형적으로 미니어처 마이크로웨이브 멀티-칩 모듈(miniature microwave multi-chip module; MCM)에서 구현된다. 현재, 밴드패스 필터들 등 고성능 베리드 회로(buried circuit)의 수요를 맞추기 위해 엄격한 프로세스 제어들이 요구되는 모든 마이크로웨이브 멀티층 기술들, 즉 듀로이드(Duroid), LTCC(low temperature co-fired ceramic), 알루미늄나 등은 초보 단계에 있다. 재료 및 프로세싱에 대한 이러한 엄격한 제어는 단위 생산 비용을 엄청나게 증가시킨다. 필터 미니어처화를 위한 가장 일반화된 기술에서는 란탄 알루미늄네이트(lanthanum aluminate; LaAlO₃) 기관들을 사용한다. 이러한 종류의 재료는 낮은 초전도(HTS) 필름들과 결합하여 한정적으로 사용된다. 이러한 기관들은 고가이며, 높은 전위 밀도를 갖는 문제점을 지니고 있으며, 또한 상대적으로 작은 유전 상수를 가지기 때문에, 결국 대규모의 중량 회로가 된다.

- <4> 다중 대역 마이크로웨이브 필터를 위한 일반적인 디자인에서는, 2개의 싱글 폴 멀티플 스로우 스위치(single pole multiple throw switch)들 사이에 한 조의 밴드패스 필터들을 연결한다. 이들 스위치들은 전형적으로 트랜지스터들 또는 PIN 다이오드들 등의 반도체 장치들에 의해 구현된다. 그러나, 마이크로웨이브 주파수들에서, 이들 장치들은 몇가지의 결손을 겪는다. PIN 다이오드들 및 트랜지스터들은 전형적으로 1dB보다 큰 삽입 손실(스위치가 닫히는 경우 스위치를 통한 손실), 및 20dB보다 작은 아이솔레이션 값을 갖는다. 이와 같은 낮은 레벨의 아이솔레이션은 스위치가 개방되는 경우라도 신호가 스위치를 통해 "누설(bleed)"되게 한다. 또한, PIN 다이오드들 및 트랜지스터들은 제한된 주파수 응답을 가지며, 약 100~300 mW의 DC 전력을 소비한다. 따라서, 이들 스위치들은 전체 다중 대역 필터의 삽입 손실 및 전력 낭비를 증가시킨다.
- <5> 이에 따라, 당해 기술 분야에서는 종래의 필터들에 비해 저비용, 소규모, 경량화, 및 개선된 성능을 제공하는, 향상된 다중 대역 마이크로웨이브 필터뱅크에 대한 요구가 존재한다.

발명의 상세한 설명

- <6> 당해 기술 분야에서의 이러한 요구는 본 발명의 미니어처 마이크로웨이브 회로로 귀결된다. 일반적으로, 신규의 회로는 제1 기관, 제1 기관의 하부면 상에 배치된 제1 접지판, 제1 기관의 상부면에 부착되어 상기 제1 기관의 일부를 커버하도록 구성된 제2 기관, 제2 기관의 상부면 상에 배치된 제2 접지판, 스트립라인 회로를 형성하기 위해 상기 제1 기관과 상기 제2 기관 사이에 배치된 금속화 패턴, 제1 기관의 상부면 상에 배치되고 제1 접지판에 접속된 복수의 바이어스를 포함하는 하나 이상의 접지 경로들, 및 제2 기관 및 제2 접지판으로 커팅된 하나 이상의 개구들을 포함하며, 개구들의 각각은 접지 경로의 일부분을 따라 그 위에 정렬되어 있으며, 제2 접지판이 제1 접지판에 접속되도록 도전성 재료로 채워져 있다. 예시적인 실시예에 있어서, 신규의 회로는 스위칭 필터뱅크로서 사용하기 위해 구성된다. 스위칭 필터뱅크에서의 사용을 위해, 복수의 마이크로전기기계(microelectromechanical) 스위칭 요소들을 포함하는 신규의 싱글 폴 멀티플 스로우(single pole multiple throw) 스위치도 기술된다.

실시예

- <28> 이하, 첨부 도면들을 참조하여 실시예들 및 예시적인 어플리케이션들을 설명함으로써 본 발명의 이점들을 개시한다.
- <29> 본 명세서에서는 특정 어플리케이션들에 대한 예시적인 실시예들을 참조하여 기술되지만, 본 발명은 이에 한정되는 것이 아니라는 것을 이해해야 한다. 본 명세서에 제공되는 교시에 접근하는 당업자라면, 그 기술 영역 및 본 발명이 중요한 유틸리티가 되는 그 외 분야 내에서 부가적인 변경들, 어플리케이션들, 및 구현예들을 인식할 것이다.
- <30> 도 1은 본 발명의 교시에 따라 고안된 스위칭 필터뱅크(10)의 예시적인 실시예의 분해도이다. 회로(10)는 하부 기관(12) 및 상부 기관(14)의 2개의 기관을 포함하며, 각 기관은 상면 및 저면을 구비하고 있다. 본 발명의 교시에 따라, 2개의 기관은 비유전율 $\epsilon_r=40\sim 100$ 을 갖는 고 유전율 세라믹으로 구성된다. 일 실시예에 있어서, 양 기관은 비유전율 $\epsilon_r=40$ 을 갖는 티탄산 지르코늄(zirconium-titanate) 화합물로 제조된다.
- <31> 도 2a는 회로(10)의 다중 층들을 설명하는, 예시적인 스위칭 필터뱅크(10)의 측면도를 나타낸다. 도 2b에 있어서, 회로(10)의 다중 층들의 두께들은 설명의 명확성을 위해 과장되어 있음을 유의하라. 도 2a에 나타낸 바와 같이, 하부 기관(12)의 저면 상에는 금속화(metalization) 층, 또는 접지판(ground plate)(16)이 배치되어 제1 접지면을 형성한다. 하부 기관(12)의 상면 상에는 금속화의 패턴이 에칭되어, 송신 라인들(18) 및 예시적인 스위칭 필터뱅크 실시예에 대해서는 복수의 송신 라인 필터들을 형성한다.
- <32> 도 2b는 기관(12)의 상면 상에 에칭된 필터들 및 송신 라인들(18)을 도시하는, 하부 기관(12)의 상면도를 나타낸다. 예시적인 실시예에서, 회로(10)는 4개의 밴드패스 필터들(20, 22, 24, 26)을 포함한다. 그러나, 본 발명은 이에 한정되는 것은 아니다. 회로(10)는, 본 발명의 교시를 벗어나지 않는 범위 내에서 임의의 수 또는 임의의 타입의 필터들, 또는 다른 타입의 마이크로웨이브 회로들을 포함할 수 있다. 또한, 회로(10)는 입력 포트(32) 및 출력 포트(36)를 포함한다. 복수의 송신 라인들(18)은 입력 포트(32)로부터 필터들로, 그리고 필터들로부터 출력 포트(36)로 에너지를 결합한다.
- <33> 도 2c는 상부 기관(14)의 상면도를 나타낸다. 본 실시예에서, 좌측 에지(34)와 우측 에지(38) 사이의 상부 기관(14)의 수평 폭은 하부 기관(12)의 경우보다 작다. 상부 기관(14)은 하부 기관(12)의 상부에 부착되어 있어, 필터들(20, 22, 24, 26)을 포함하는 하부 기관(12)의 부분들을 커버한다. 상부 기관(14)의 상면 상에는 금속화

층이 배치되어 제2 접지면(30)을 형성한다(도 2a에 도시함). 이에 따라 필터들은 스트립라인(stripline)으로 구현된다.

- <34> 도 2b에 나타낸 바와 같이, 4개의 필터들(20, 22, 24, 26)은 하부 기판(12)의 중앙 영역(42)에 평행하게 배치되어 있다. 따라서, 상부 기판(14)은 하부 기판(12)의 중앙 영역(42)을 커버하도록 부착된다. 상부 기판(14)의 좌측 에지(34)와 입력 포트(32) 사이의 영역(40)은 상부 기판(14)에 의해 커버되지 않고, 이에 따라 이 영역 내의 송신 라인들(18)은 마이크로스트립으로 구현된다. 마찬가지로, 상부 기판(14)의 우측 에지(38) 및 출력 포트(36) 사이의 영역(44)은 상부 기판(14)에 의해 커버되지 않고, 이에 따라 이 영역 내의 송신 라인들(18)은 마이크로스트립으로 구현된다.
- <35> 따라서, 예시적인 실시예에 있어서, 마이크로웨이브 회로(10)는 입력부(40), 프로세싱부(42), 및 출력부(44)의 3개의 영역들(도 2b에 도시함)을 포함한다. 4개의 필터들(20, 22, 24, 26)을 포함하는 프로세싱부(42)는 하부 기판(12)의 상부 상에 제2 기판(14)의 추가를 통해 스트립라인으로 구현된다. 입력부(40)는, 입력 포트(32)와 프로세싱부(42) 사이에서, 마이크로스트립으로 구현되며, 입력 포트(32)로부터 프로세싱부(42), 즉 4개의 필터들(20, 22, 24, 26)의 각각에 신호를 송신하기 위한 마이크로스트립 송신 라인들(18)을 포함한다. 출력부(44)는, 프로세싱부(42)와 출력 포트(36) 사이에서, 마이크로스트립으로 구현되기도 하며, (4개의 필터들(20, 22, 24, 26)로부터) 프로세싱부(42)로부터 출력된 신호들을 출력 포트(36)에 송신하기 위한 마이크로스트립 송신 라인들(18)을 포함한다. 접속 송신 라인들(18)에 매립된 광대역 송신 라인 트랜지션(transition)들은 전파(propagation) 매체의 변화들을 설명하기 위해 사용된다.
- <36> 또한, 하나 이상의 MIC(microwave integrated circuit) 칩들은 입력(40) 및/또는 출력(44) 섹션들 내의 하부 기판(12)의 상면에 부착될 수 있다. 예시적인 실시예에 있어서, 필터 뱅크(10)는 2개의 스위치 칩들(도 1에 도시함), 즉 입력 포트(32)를 선택된 필터에 결합하도록 구성된 입력부(40) 내에 부착된 제1 싱글 폴 4 스프로우(SP4T) 스위치 칩(50), 및 선택된 필터로부터의 출력을 출력 포트(36)에 결합하도록 구성된 출력부(44) 내의 제2 SP4T 스위치 칩(52)을 포함한다. 따라서, 입력부(40)는, 각 송신 라인(18)이 SP4T 칩(50)의 4개의 출력들 중 하나를 4개의 필터들(20, 22, 24, 26) 중 하나에 결합시키는, 4개의 송신 라인들(18)을 포함한다. 또한, 입력부(40)는, 각 송신 라인(18)이 4개의 필터들(20, 22, 24, 26) 중 하나의 출력을 SP4T 칩(52)의 4개의 입력들 중 하나에 결합시키는, 4개의 송신 라인들(18)도 포함한다.
- <37> 송신 라인들(18)은 2개의 한정된 접지 경로들(60) 사이에 각각이 포위되어, 서로 상호작용하는 것으로부터 격리되어 있다(도 2b에 도시함). 접지 경로들(60)은, 하부 기판(12)의 바닥에 위치한 주(main) 접지에 접지 경로들(60)을 접속하는 몇몇 수직 비아(via)들(62)을 포함한다. 당해 기술 분야에 공지되어 있는 바와 같이, 비아들은 기판(12)을 통해 구멍 뚫어지고(drilled) 금속으로 채워져 주 접지(16)에 접속하는 수직 홀들이다. 또한, 접지 경로들(60)은 4개의 필터들(20, 22, 24, 26)을 격리시키도록 구성된다.
- <38> 도 2c에 나타낸 바와 같이, 상부 기판(14)은, 레이저 드릴링 또는 임의의 다른 적절한 방법을 이용하여, 기판(14) 및 상부 접지면(30) 모두를 통해 드릴링함으로써 생성되는 5개의 개구들(64)을 갖는다. 개구들(64)은 하부 기판(12) 상의 접지 경로들(60)의 부분들에 후속하는 윈도우들을 형성하며, 랩-어라운드-접지(wrap-around-ground)로 명명되는 금속화 방법을 이용하여, 상부(30)와 하부(16) 접지면들 사이에 끊임없는 RF 접지 경로를 제공하는 데 이용된다.
- <39> 도 3은 하부 기판(12) 위에 위치한 상부 기판(14)의 위치를 나타내는, 예시적인 스위칭 필터 뱅크(10)의 레이아웃을 나타내는 도면이다. 상부 기판(14)이 하부 기판(12)에 부착되어 있는 경우, 개구들(64)은 그들 각각의 접지 경로들(60) 위에 정렬된다. 그 후, 개구들(64)은, 상부 접지면(30)을 하부 접지면(16)에 연결되어 있는 하부 기판(12) 상의 접지 경로들(60)에 접속시키기 위해 액체 금속으로 채워진다.
- <40> 본 발명의 예시적인 필터 뱅크(10)는 스트립라인의 프로세싱부(42) 내에 4개의 베리드 밴드패스 필터들, 즉 2~4 GHz 주파수 대역을 커버하는 제1 필터(20), 4~8 GHz 주파수 대역을 커버하는 제2 필터(22), 8~12 GHz 주파수 대역을 커버하는 제3 필터(24), 및 12~18 GHz 주파수 대역을 커버하는 제4 필터(26)를 포함한다. 예시적인 실시예에 있어서, 제1 필터(20) 및 제2 필터(22)는 인터디지털 구조체들로서 구현되며, 제3 필터(24) 및 제4 필터(26)는 신규의 "지그재그" 구조체를 이용하여 구현된다.
- <41> 도 4는 예시적인 필터 뱅크(10)에 사용될 수 있는 인터디지털 필터(20)의 개략적인 등가 회로도이다. 당해 기술 분야에 공지되어 있는 바와 같이, 인터디지털 필터(20)는 병렬로 배치되어 있는 복수의 공진기들(도 4의 예시적인 실시예에 나타낸 7개의 공진기들(70,72,74,76,78,80,82)) 또는 로드(rod)들을 포함한다. 각 공진기는

(비아들(62)에 의해 하부 접지판(16)에 접속된) 일단에서 단락되어 있으며, 인접한 공진기들 - 예컨대, 공진기들(70,72) - 이 개방된 반대의 단들을 갖는 타단에서 개방되어 있다. 또한, 도 4에는, 최초의 필터 공진기(70)가 송신 라인(18)에 의해 결합되어 있는 입력 포트(32) 및 최후의 필터 공진기(82)가 송신 라인(18)에 의해 결합되어 있는 출력 포트(36)에 대한 등가 회로도가 도시되어 있다. 공진기들의 폭, 길이, 및 간격은 필터(20)의 주파수 응답을 결정한다. 도 1 내지 도 3에 나타난 예시적인 필터 बैं크(10)에 있어서, 제1 필터(20) 및 제2 필터(22)는 이러한 종류의 고안을 이용하여 구현된다.

<42> 도 5a는 예시적인 필터 बैं크(10)에 대한 제1 필터(20)의 주파수 응답을 나타내는 그래프이며, 도 5b는 제2 필터(22)의 주파수 응답을 나타내는 그래프이다. 도 5a 및 도 5b에 나타난 바와 같이, 제1 필터(20)는 2~4 GHz를 커버하는 밴드패스 필터이고, 제2 필터(22)는 4~8 GHz를 커버하는 밴드패스 필터이다.

<43> 도 1 ~ 도 3에 나타난 예시적인 필터 बैं크(10)에서, 제3 필터(24) 및 제4 필터(26)는 "지그재그" 에지 결합 필터라 명명되는 신규 타입의 토폴로지를 이용하여 구현된다. 도 6a는 본 발명의 교시에 따라 고안된 지그재그 필터(24)의 예시적인 레이아웃을 나타내는 도면이며, 도 6b는 예시적인 지그재그 필터(24)의 개략적인 등가 회로도이다.

<44> 지그재그 필터(24)는 결합선(coupled-line) 필터 토폴로지와 유사하지만, 레이아웃이 소규모의 풋프린트(foot print)를 갖는 보다 컴팩트한 디자인을 갖도록 각 결합 섹션에서 90도의 굴곡(bend)을 포함한다. 도 7은 종래의 에지 결합 필터(110)의 레이아웃을 나타내는 도면이다. 종래의 에지 결합 필터(110)는 일련의 결합 공진기들(5개의 공진기들(112,114,116,118,120)이 도 7에 도시됨)을 포함한다. 각 공진기는 개방 단(open-ended) 송신 라인이며, 공진기 라인의 절반은 일 면상에서 인접 라인에 결합되고 공진기 라인의 나머지 절반은 다른 면에서 인접 라인에 결합된다. 예를 들어, 공진기(114)의 제1 절반은 공진기(112)의 제2 절반에 결합되고, 공진기(114)의 제2 절반은 공진기(116)의 제1 절반에 결합된다.

<45> 도 6a 및 도 6b를 다시 참조하면, 신규의 지그재그 필터(24)는 일련의 공진기들(8개의 공진기들(90,92,94,96,98,100,102,104,106)이 도 7의 예시적인 실시예에 도시됨)을 포함한다. 종래의 에지 결합 필터와 마찬가지로, 각 공진기는 개방 단 송신 라인이며, 공진기 라인의 절반은 일 면상에서 인접 라인에 결합되고 공진기 라인의 나머지 절반은 다른 면에서 인접 라인에 결합된다. 본 발명의 교시에 따르면, 종래의 직선 공진기들을 갖는 대신, 지그재그 필터의 각 공진기는 특정 각도로 구부러져 있다. 예시적인 실시예에 있어서, 각 공진기는 라인의 중앙에서 90도의 굴곡을 포함하며, "L" 형상의 공진기를 형성한다. 이러한 신규의 필터 레이아웃은 종래의 에지 결합 필터들에 비해 거의 30% 감소된 소규모 풋프린트를 제공한다. 이제는 필터의 성능에 있어 90도 굴곡의 기생 효과들을 고려해야 하기 때문에, 디자인 절차는 더 복잡하다. 디자인의 조정은, 요구되는 주파수 대역에 대한 필터 응답을 최적화시키도록 결합 라인 섹션들의 길이, 폭, 및 공간에 대해 행해질 수 있다.

<46> 도 8a는 예시적인 필터 बैं크(10)에 대한 제3 필터(24)의 주파수 응답을 나타내는 그래프이며, 도 8b는 제4 필터(26)의 주파수 응답을 나타내는 그래프이다. 도 8a 및 도 8b에 나타난 바와 같이, 제3 필터(24)는 8~12 GHz를 커버하는 밴드패스 필터이고, 제4 필터(26)는 12~18 GHz를 커버하는 밴드패스 필터이다. 물론, 본 발명의 범위를 벗어나지 않는 신규의 필터 बैं크(10)에는 다른 타입들의 필터 및 다른 디자인의 사양들이 이용될 수도 있다.

<47> 전술한 바와 같이, 스위칭 필터 बैं크(10)는 2개의 스위치 칩들(50,52)을 포함한다. 예시적인 실시예에 있어서, 스위치 칩들(50,52)은 MEMS 기술을 이용하여 구현된다. 마이크로웨이브 어플리케이션에 대해, MEM 스위치들은 종래의 반도체 기반 스위치들보다 낮은 삽입 손실 및 낮은 전력 낭비를 제공한다. 싱글 폴 싱글 스로우(single pole single throw: SPST) MEM 스위치들은 당해 기술 분야에 공지되어 있다. 그러나, 이들 스위치들을 싱글 폴 멀티폴 스로우 아키텍처로의 구현을 위한 작업은 거의 행해지지 않았으며, 현존하는 몇몇 안되는 제품들은 주로 싱글 폴 더블 스로우(single pole double throw: SPDT) 스위치들이다.

<48> 도 9는 본 발명의 교시에 따라 고안된 모노리식 싱글 폴 4 스로우 MEM 스위치(50)의 예시적인 실시예를 나타낸다. 도 10은 예시적인 SP4T MEM 스위치(50)의 개략적인 등가 회로도이며, 도 11은 예시적인 SP4T MEM 스위치(50)의 레이아웃을 나타낸다.

<49> 신규 스위치(50)는 SP4T 스위치 구성 내의 단일 기판(134) 상에 배치된 4개의 MEM 스위칭 유닛들(132A,132B,132C,132D)을 포함하는 모노리식 회로이다. 송신 라인(138)은 입력 포트(136)로부터 4개의 포트 접합(140) 중 제1 포트에 에너지를 결합한다. 4개의 포트 접합(140) 중 제2 및 제3 대향 포트들은 각각 스위칭 유닛들(132A 및 132B)의 입력들에 결합된다. 4개의 포트 접합(140) 중 제4 포트(제1 포트와 대향하고 있음)는

송신 라인(142)에 의해 3개의 포트 접합(144) 중 제1 포트와 결합된다. 3개의 포트 접합(144) 중 제2 및 제3 대향 포트들은 각각 스위칭 유닛들(132C 및 132D)의 입력들에 결합된다.

- <50> 스위칭 유닛(132A)의 출력은 송신 라인(144A)에 의해 제1 출력 포트(142A)에 결합되고, 스위칭 유닛(132B)의 출력은 송신 라인(144B)에 의해 제2 출력 포트(142B)에 결합되고, 스위칭 유닛(132C)의 출력은 송신 라인(144C)에 의해 제3 출력 포트(142C)에 결합되고, 스위칭 유닛(132D)의 출력은 송신 라인(144D)에 의해 제4 출력 포트(142D)에 결합된다.
- <51> 각 스위칭 유닛(132)(132A, 132B, 132C, 132D)은 스위칭 유닛에 인가된 바이어스 전압에 따라, 스위칭 유닛이 폐쇄되어 있는 경우에는 입력 라인으로부터 출력 라인으로 에너지를 전송하고, 스위칭 유닛이 개방되어 있는 경우에는 에너지를 전송하지 않는다. 각 스위칭 유닛은 자신의 입력-출력 송신 라인들과 직렬로 위치해 있다. 따라서, 스위치가 개방되는 경우, RF 송신은 존재하지 않는다(즉, 격리 상태). 스위칭 유닛에 바이어스 전압을 인가함으로써, 캔틸레버는 아래로 탄력 마이크로웨이브 신호가 통과하기 위한 RF 경로를 생성한다(송신 상태).
- <52> 도 12는 SP4T 스위치(50)에 사용될 수 있는 예시적인 MEM 스위칭 유닛(132)을 나타낸다. 본 발명의 범위에 벗어나지 않는 SP4T MEM 스위치(50)에는 다른 타입들의 MEM 스위칭 유닛들이 사용될 수 있다. 도 13a는 개방 상태 동안의 예시적인 스위칭 유닛(132)의 측면도를 나타내며, 도 13b는 폐쇄 상태 동안의 예시적인 스위칭 유닛(132)의 측면도를 나타낸다. 스위칭 유닛(132)은 전기자(armature)(150)의 제1 단부(152)의 기관(134)에 부착된 전기자(150)를 포함한다. 전기자(150)의 제2 단부 또는 콘택트 단부(154)는 입력 송신 라인(156) 및 출력 송신 라인(158)의 위에 위치하고 있다. 기관 바이어스 전극(160)은 전기자(150) 아래의 기관(134) 상에 배치되어 있다. 전기자(150)가 개방 위치에 있는 경우, 전기자(150)는 기관 바이어스 전극(160) 및 송신 라인들(156, 158)로부터 공극(air gap)에 의해 이격된다.
- <53> 한쌍의 도전성 덤플들, 즉 콘택트들(162)은, 폐쇄 위치에서 콘택트(162)가 입력 라인(156)과 접촉하고 나머지 콘택트(162)가 출력 라인(158)과 접촉하도록, 전기자(150)의 콘택트 단부(154)로부터 아랫방향으로 돌출되어 있다. 2개의 콘택트들(162)은, 전기자(150)가 폐쇄 위치에 있는 경우 입력 라인(156) 및 출력 라인(158)이 콘택트들(162) 및 도전성 라인(164)을 거치는 도전성 경로에 의해 전기적으로 상호 결합되도록, 도전성 송신 라인(164)에 의해 전기적으로 접속되어 있다. 그러면, 입력 라인(156)으로부터 스위칭 유닛(132)을 거쳐 출력 라인(158)으로(그 역도 성립) 신호들이 통과할 수 있다. 전기자(150)가 개방 위치에 있는 경우, 입력 라인(156) 및 출력 라인(158)은 전기적으로 상호 절연되어 있다.
- <54> 또한, 전기자(150)는 기관 바이어스 전극(160) 위에 배치된 전기자 바이어스 전극(166)을 포함한다. 기관 바이어스 전극(160)은 도전성 라인(170)을 통해 기관 바이어스 패드(168)에 전기적으로 결합되어 있다. 전기자 바이어스 전극(166)은 도전성 라인(174) 및 전기자 도전체(176)를 통해 전기자 바이어스 패드(172)에 전기적으로 결합되어 있다. 기관 바이어스 패드(168)와 전기자 바이어스 패드(176) 사이에 적절한 전압의 전위가 인가되는 경우, 전기자 바이어스 전극(166)은 기관 바이어스 전극(160)에 부착되어 개방 위치(도 13a)로부터 폐쇄 위치(도 13b)로 스위칭 유닛(132)을 액튜에이트시킨다. 또한, 전기자(150)는 콘택트들(162), 도전성 라인(164), 바이어스 전극(166) 및 도전체(176) 등의 구성 요소들을 지지하기 위한 구조적 부재들(178)을 포함할 수 있다.
- <55> 도 9 내지 도 11의 SP4T MEM 스위치(50)를 다시 참조하면, 스위칭 유닛(132A)의 상태는 바이어스 패드들(168A, 172A)에 인가되는 바이어스 전압에 의해 제어되며, 스위칭 유닛(132B)의 상태는 바이어스 패드들(168B, 172B)에 인가되는 바이어스 전압에 의해 제어된다. 스위칭 유닛들(132C, 132D)은 공통 바이어스 패드를 공유하도록 조정된다. 도 9 내지 도 11에 나타낸 예시적인 실시예에 있어서, 스위칭 유닛들(132C, 132D)은 공통 기관 바이어스 패드(168C)에 결합된다. 스위칭 유닛(132C)의 상태는 전기자 바이어스 패드(172C)에 인가되는 바이어스 전압에 의해 제어되며, 스위칭 유닛(132D)의 상태는 전기자 바이어스 패드(172D)에 인가되는 바이어스 전압에 의해 제어된다.
- <56> 예시적인 실시예에 있어서, 스위치(50)는 입력 포트(136)로부터 4개의 출력 포트들(142A, 142B, 142C, 142D) 중 하나(또는, 역으로 출력 포트들 중 하나로부터 입력 포트(136))로 에너지를 결합하도록 조정된다. 이에 따라, 하나의 스위칭 유닛만이 폐쇄될 것이며, 그 외 스위칭 유닛들은 개방된다. 그러나, 본 발명은 이러한 구성에 한정되는 것은 아니다. 스위치(50)는 본 발명의 범위 내에서 다중 출력 포트들에 동시에 에너지를 결합시키도록 조정될 수도 있다.
- <57> 도 10의 개략적인 등가 회로도에 있어서, MEM 스위칭 유닛(32A)은 폐쇄된 경우(낮은 손실 상태)에 모델링되어 R이 0.5 옴인 낮은 저항을 나타낸다. 송신 라인(180A)은 입력 포트 접합(140)에 위치해 있는 MEM 스위치를 출력

송신 라인(144A)에 결합시킨다. 그 외 3개의 스위칭 유닛들은 자신들의 격리 상태(개방 상태)에서 모델링되어, 각각 5fF의 낮은 직렬 커패시턴스를 나타낸다. 스위칭 유닛(32B)은, 출력 포트(142B)로부터 송신 라인(180B)을 분리하는 5fF의 직렬 커패시턴스 C1로서, 개방일 때에 모델링된다. 마찬가지로, 스위칭 유닛(32C)은, 출력 포트(142C)로부터 송신 라인(180C)을 분리하는 5fF의 직렬 커패시턴스 C2로서 모델링되며, 스위칭 유닛(32D)은, 출력 포트(142D)로부터 송신 라인(180D)을 분리하는 5fF의 직렬 커패시턴스 C3로서 모델링된다.

<58> 도 10에 나타낸 회로 구성 요소들에 대한 샘플 값들: 송신 라인들(138, 144A, 144B, 144C, 144D)의 각각은 폭 70 μ m 및 길이 400 μ m를 가지며; 송신 라인들(180A, 180B, 180C, 180D)의 각각은 폭 25 μ m 및 길이 85 μ m를 가지며; 송신 라인(142)은 폭 70 μ m 및 길이 100 μ m를 가지며; 저항 R=0.5 Ω ; 커패시터들 C1=C2=C3=5fF이다.

<59> 아래의 표는 신규의 MEM SP4T 스위치와 종래의 GaAs MMIC PIN SP4T 스위치의 성능을 비교한 것이다. 도시된 바와 같이, MEM 스위치의 주요 장점은 무시할만큼의 작은 전력 소비 및 바이어싱의 수월성이다. 일 실시예에서, MEM SP4T 스위치 칩의 사이즈는 3.0mm \times 2.5mm \times 0.1mm이다. 물론, 칩 디텐전은 본 발명의 범위 내에서 변경될 수 있다.

기술	면적	DC 제어 전압	DC 블록/쇼크	DC 제어 전력
MEM SP4T	7.5 sq. mm	1	아니오	< 1.0 nanowatt
MMIC PIN SP4T	9.0 sq. mm	2	예	300 mW

<60>

<61> 도 14a는 예시적인 SP4T 스위치(50)의 측정된 아이솔레이션 그래프이며, 도 14b는 예시적인 SP4T 스위치(50)의 측정된 삽입 손실 그래프이다. 도시된 바와 같이, 25dB보다 큰 아이솔레이션이 얻어질 수 있는 한편, 0 내지 20 GHz의 주파수 범위에 대해, 스위치가 닫히는 경우 6dB보다 작은 삽입 손실이 얻어진다. 또한, 스위치 경로들 간에는 우수한 성능의 트래킹이 얻어진다.

<62> 이러한 디자인의 MEM SP4T 스위치(50)는, 입력 포트(32)로부터 4개의 필터들(20, 22, 24, 26) 중 하나에 에너지를 결합시키기 위해, 도 1에 나타낸 예시적인 스위칭 필터 뱅크(10)에 사용된다. 또한, 필터들(20, 22, 24, 26) 중 하나로부터 출력 포트(36)에 에너지를 결합시키기 위해, 제2 MEM SP4T 스위치(52)가 사용된다. 스위치 바이어스 패드들에 대한 DC 바이어스 라우팅을 지원하기 위해, 하부 기판(12) 내에는 유전층이 매립될 수 있다.

<63> 이에 따라, 본 발명의 미니어처 마이크로웨이브 회로 디자인과 모노리식 싱글 폴 멀티폴 스톱로우 MEM 스위치를 결합함으로써, 소규모, 저비용, 및 고성능의 스위칭 필터 뱅크가 구성될 수 있다. 예시적인 실시예에 있어서, 스위칭 필터 뱅크는, 2~4 GHz, 4~8 GHz, 8~12 GHz, 및 12~18 GHz의 4개의 분리된 채널들의 2~18 GHz 주파수 대역을 커버한다. MEM SP4T는 각 아암(arm)에 대한 우수한 트래킹 성능을 나타낸다(DC에서 20 GHz에 걸쳐 0.6dB 보다 작은 삽입 손실 및 25dB 보다 큰 아이솔레이션). 각 채널에 대하여, 결합된 스위치들 및 필터로 인한 전체 삽입 손실은 1.5 dB보다 작다. 스위칭된 필터 뱅크 MCM에 대해 평가된 단위 생산 비용은 \$50~\$70의 범위 내이다. 예시적인 필터 뱅크에 대한 MCM 디텐전은 1.0" \times 1.0" \times 0.05"이고, 무게는 60g이며, DC 전력 소비는 1nW 미만이다. 이는 종래 기술의 알루미늄 기반 MCM의 구현에 비해 80배가 넘는 전체 MCM 부피의 감소량이며, 100배가 넘는 무게 감소량이다.

<64> 이렇게 하여, 본 명세서에서는 특정 어플리케이션에 대한 특정 실시예를 참조하여 본 발명을 기술하였다. 본 발명의 교시에 접근하는 당업자라면 본 발명의 범위 내에서 추가적인 변경들, 어플리케이션들, 및 실시예들을 인식할 수 있을 것이다.

<65> 따라서, 첨부된 클레임에 의해 본 발명의 범위 내에서의 그러한 임의의 모든 변경들, 어플리케이션들, 및 실시예들이 포함된다.

도면의 간단한 설명

<7> 도 1은 본 발명의 교시에 따라 고안된 스위칭 필터 뱅크의 예시적인 일 실시예의 분해도.

<8> 도 2a는 회로의 다중 층들을 설명하는, 예시적인 스위칭 필터 뱅크의 측면도.

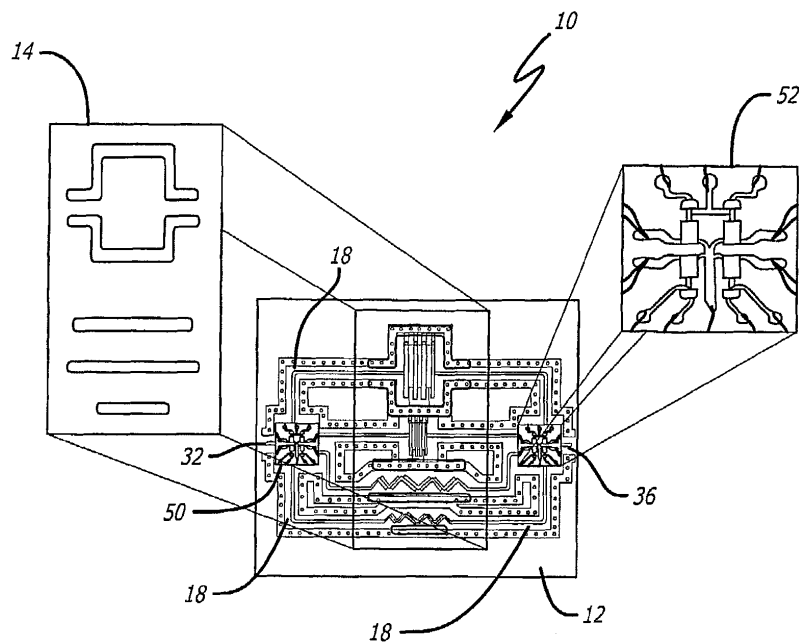
<9> 도 2b는 예시적인 스위칭 필터 뱅크의 저면 기판의 상면도.

<10> 도 2c는 예시적인 스위칭 필터 뱅크의 상면 기판의 상면도.

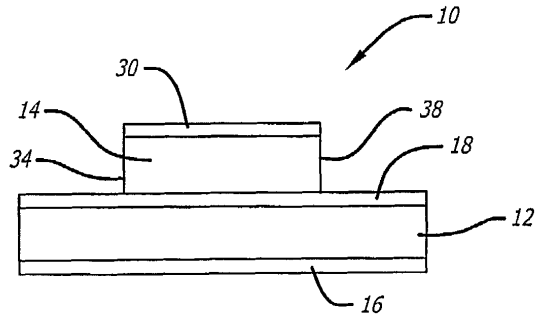
- <11> 도 3은 저면 기판 위의 상면 기판의 위치를 나타내는 예시적인 스위칭 필터 뱅크의 레이아웃을 나타내는 도면.
- <12> 도 4는 예시적인 필터 뱅크에 사용될 수 있는 인터디지털(interdigital) 필터의 개략적인 등가 회로도.
- <13> 도 5a는 예시적인 필터 뱅크에 대한 제1 필터의 주파수 응답을 나타내는 도면.
- <14> 도 5b는 예시적인 필터 뱅크에 대한 제2 필터의 주파수 응답을 나타내는 도면.
- <15> 도 6a는 본 발명의 교시에 따라 고안된 지그재그 필터의 예시적인 레이아웃을 나타내는 도면.
- <16> 도 6b는 본 발명의 교시에 따라 고안된 예시적인 지그재그 필터의 개략적인 등가 회로도.
- <17> 도 7은 종래의 에지 결합 필터(edge coupled filter)의 예시적인 레이아웃을 나타내는 도면.
- <18> 도 8a는 예시적인 필터 뱅크에 대한 제3 필터의 주파수 응답을 나타내는 도면.
- <19> 도 8b는 예시적인 필터 뱅크에 대한 제4 필터의 주파수 응답을 나타내는 도면.
- <20> 도 9는 본 발명의 교시에 따라 고안된 모노리식 싱글 폴 4 스로우(monolithic single pole four throw) MEM 스위치의 예시적인 실시예를 나타내는 도면.
- <21> 도 10은 본 발명의 교시에 따라 고안된 예시적인 SP4T MEM 스위치의 개략적인 등가 회로도.
- <22> 도 11은 본 발명의 교시에 따라 고안된 예시적인 SP4T MEM 스위치의 레이아웃을 나타내는 도면.
- <23> 도 12는 SP4T MEM 스위치에 사용될 수 있는 예시적인 MEM 스위칭 유닛을 나타내는 도면.
- <24> 도 13a는 개방 상태 동안의 예시적인 스위칭 유닛의 측면도.
- <25> 도 13b는 폐쇄 상태 동안의 예시적인 스위칭 유닛의 측면도.
- <26> 도 14a는 예시적인 SP4T MEM 스위치의 측정된 아이솔레이션을 나타내는 도면.
- <27> 도 14b는 예시적인 SP4T MEM 스위치의 측정된 삽입 손실을 나타내는 도면.

도면

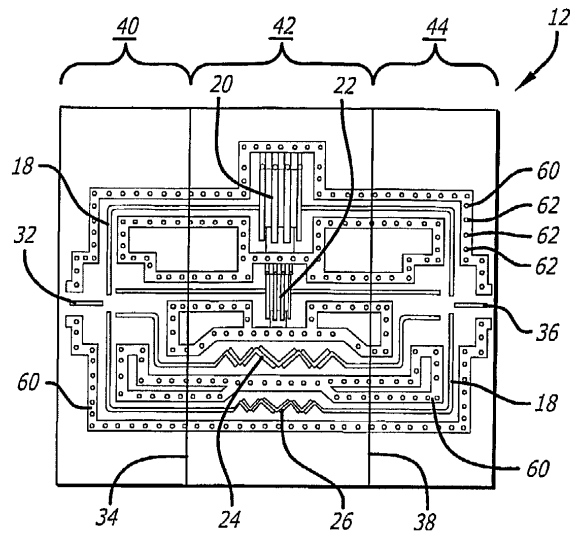
도면1



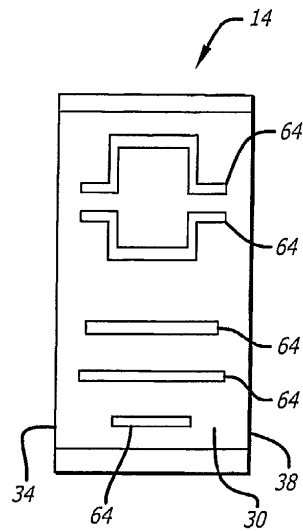
도면2A



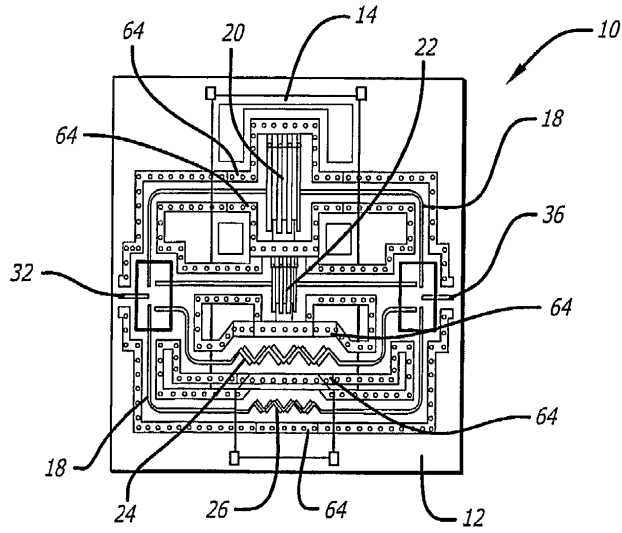
도면2B



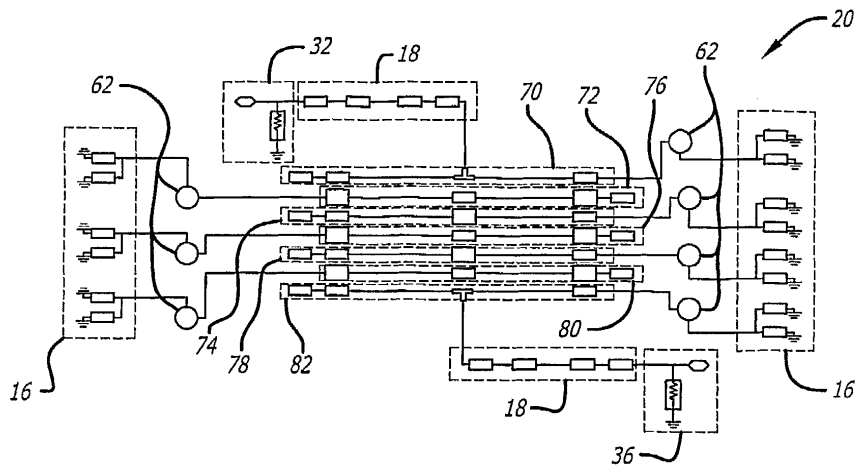
도면2C



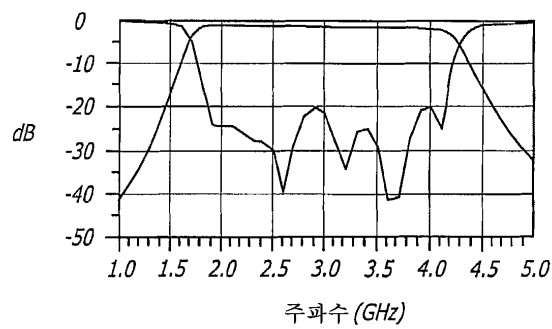
도면3



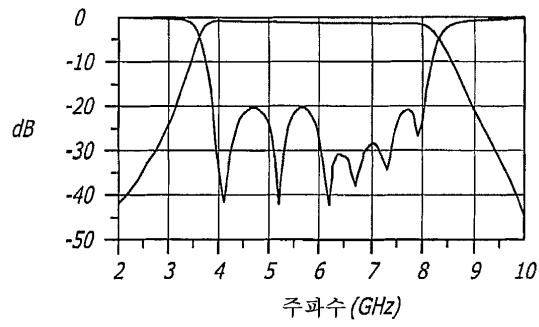
도면4



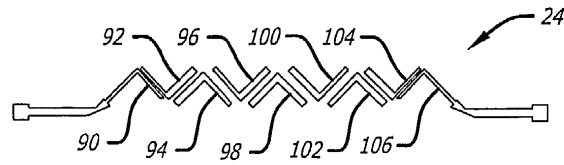
도면5A



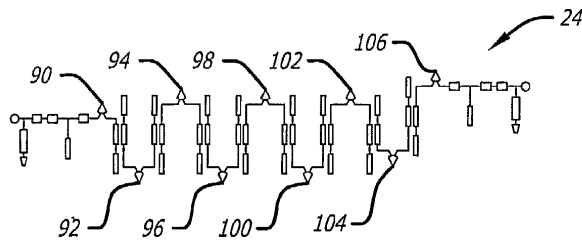
도면5B



도면6A

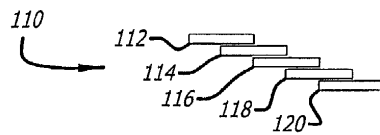


도면6B

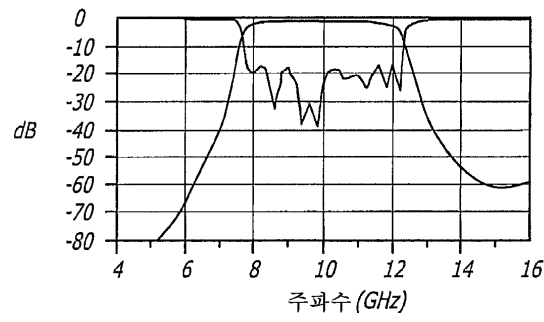


도면7

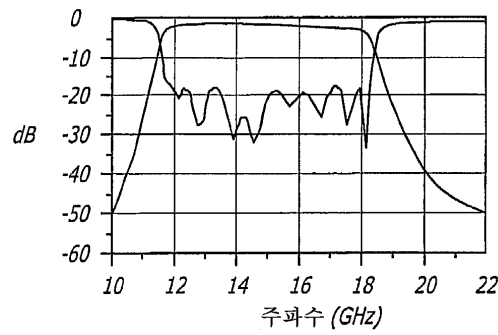
(중래 기술)



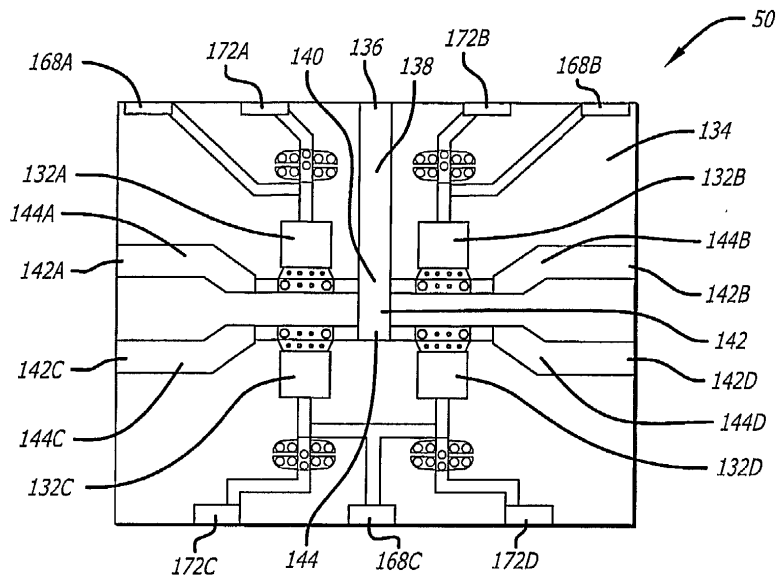
도면8A



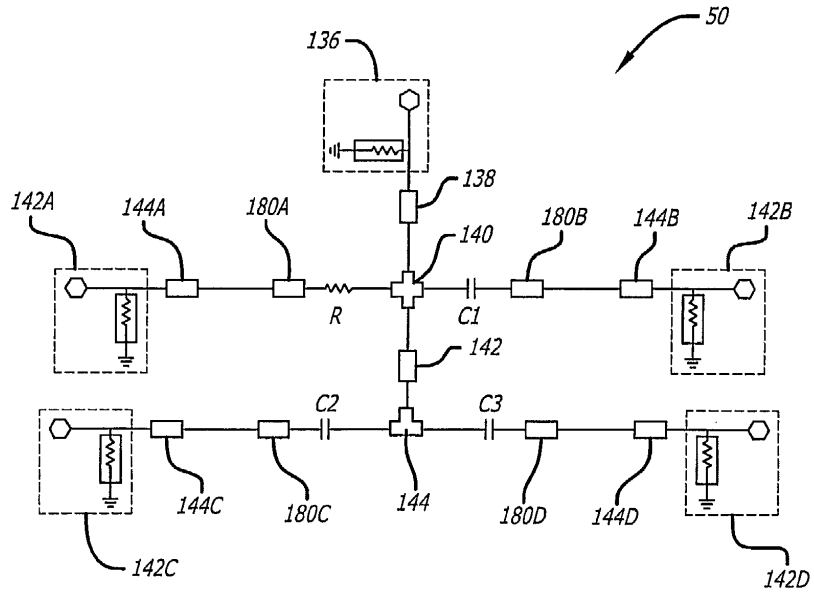
도면8B



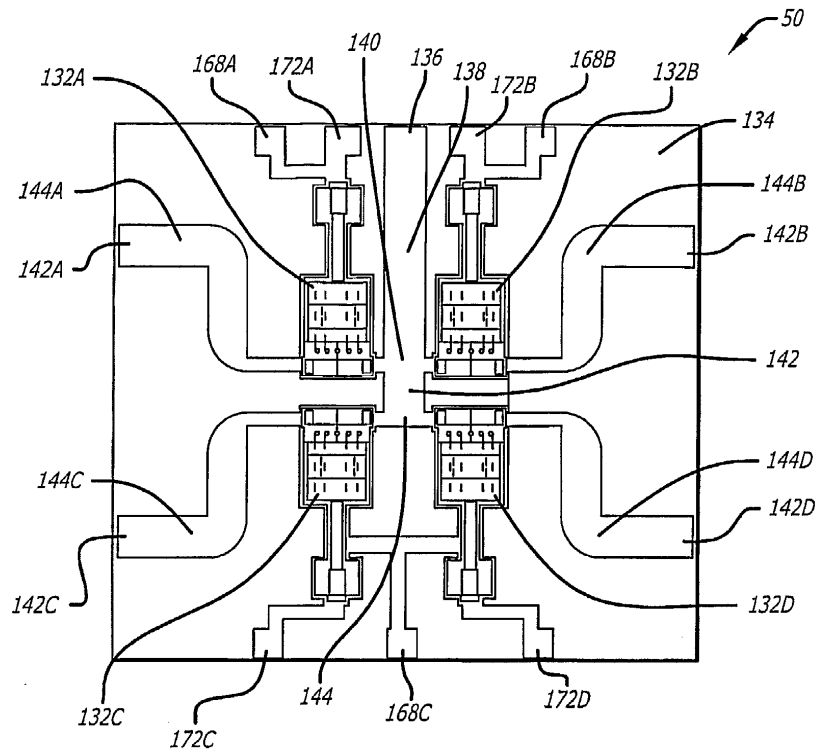
도면9



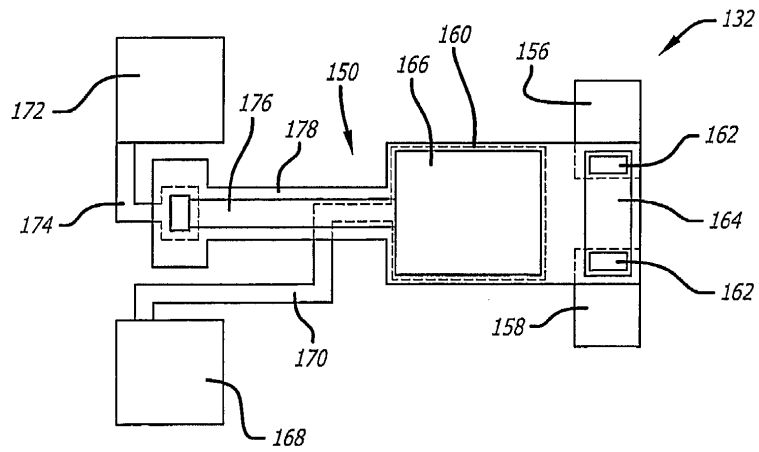
도면10



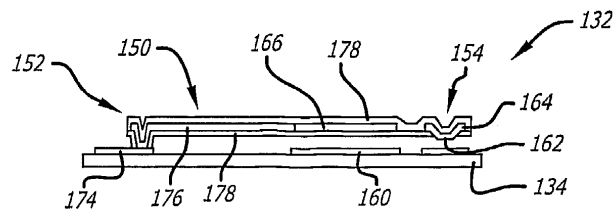
도면11



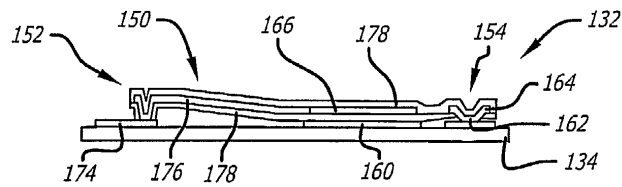
도면12



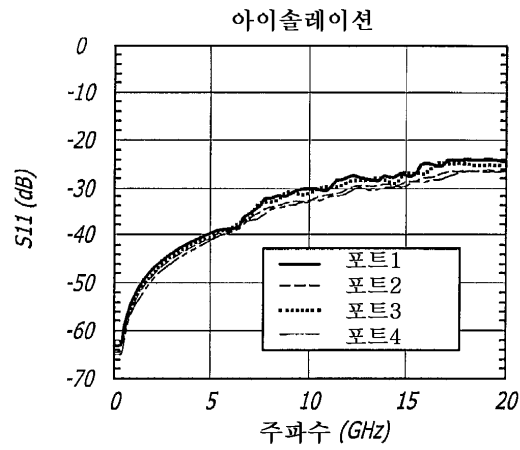
도면13A



도면13B



도면14A



도면14B

