



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0138943
(43) 공개일자 2010년12월31일

(51) Int. Cl.

G11C 16/06 (2006.01) G11C 16/08 (2006.01)

G11C 16/10 (2006.01)

(21) 출원번호 10-2010-7020949

(22) 출원일자(국제출원일자) 2009년02월19일

심사청구일자 없음

(85) 번역문제출일자 2010년09월17일

(86) 국제출원번호 PCT/US2009/034573

(87) 국제공개번호 WO 2009/117204

국제공개일자 2009년09월24일

(30) 우선권주장

12/051,462 2008년03월19일 미국(US)

(71) 출원인

샌디스크 코포레이션

미합중국, 캘리포니아주 95035, 밀피타스, 맥카시
볼레바드 601

(72) 별명자

리, 얀

미국, 캘리포니아 95035, 밀피타스, 케베네어 드
라이브 695

코흐, 앤 파오-링

미국, 캘리포니아 94087, 썬니베일, 모닝사이드
드라이브 1063

(74) 대리인

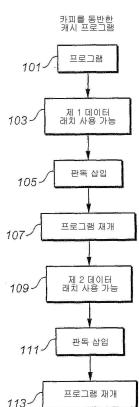
송범엽, 박경재

전체 청구항 수 : 총 25 항

(54) 동적 데이터 래치 요건을 갖는 캐시 동작의 적응형 알고리즘

(57) 요 약

비회발성 메모리는 해당 데이터 래치 세트에 저장된 제 1 세트의 데이터를 사용하여 하나 이상의 주소 지정 페이지의 지정 그룹에 제 1 동작(예를 들어, 기록과 같은)을 수행하고, 제 2 세트의 데이터에 이들 대응하는 데이터 래치 중 일부를 사용하는 제 2 동작(예를 들어, 판독과 같은)에 대한 요청을 수신할 수 있다. 제 1 동작 동안, 제 2 동작을 위해 대응하는 각 한 세트 중 적어도 하나의 래치가 사용 가능해질 때, 제 1 동작 동안 제 2 동작을 수행하는데 충분한 수의 해당 데이터 래치 세트가 있는지 판정되고, 그렇지 않으면, 제 2 동작은 지연된다. 이어서, 메모리는 충분한 수의 래치가 사용 가능해질 때 제 1 동작 동안 제 2 동작을 수행하며, 제 2 동작을 수행하는데 충분한 수의 해당 데이터 래치 세트가 있는지의 판정에 응하여, 충분한 수가 있는 것으로 판정되면, 제 1 동작 동안 제 2 동작을 수행할 수 있다.

대 표 도 - 도1

특허청구의 범위

청구항 1

주소 지정이 가능한 메모리 셀 페이지를 갖는 비휘발성 메모리를 동작시키는 방법에 있어서,

주소 지정 페이지의 각 메모리 셀에 대해 미리 결정된 수의 비트를 래치하기 위한 용량을 갖는 해당 데이터 래치 세트를 제공하는 단계와,

상기 해당 데이터 래치 세트에 저장된 제 1 데이터 세트를 사용하여 하나 이상의 주소 지정 페이지의 지정 그룹에서 제 1 동작을 수행하는 단계와,

상기 메모리 어레이에서 하나 이상의 후속 메모리 동작에 관한 데이터를 갖는 상기 해당 데이터 래치 세트의 각 래치를 사용하여 제 2 동작에 대한 요청을 수신하는 단계와,

상기 제 1 동작 동안, 각각의 데이터 래치 세트 중 적어도 하나의 래치가 상기 제 2 동작에 사용 가능한지 판정하는 단계와,

이어서, 상기 제 1 동작 동안 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 있는지 판정하는 단계와,

상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 없다는 판정에 응하여, 상기 제 2 동작을 지연시키는 단계를

포함하는, 비휘발성 메모리 동작 방법.

청구항 2

제 1항에 있어서, 충분한 수의 래치가 사용 가능하게 되었을 때 상기 제 1 동작 동안 상기 제 2 동작을 이어서 수행하는 단계를 더 포함하는, 비휘발성 메모리 동작 방법.

청구항 3

제 1항에 있어서, 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 있다는 판정에 응하여, 상기 제 1 동작 동안 상기 제 2 동작을 수행하는 단계를 더 포함하는, 비휘발성 메모리 동작 방법.

청구항 4

제 1항에 있어서, 상기 제 1 동작은 소거 동작의 소프트 프로그래밍 단계인, 비휘발성 메모리 동작 방법.

청구항 5

제 1항에 있어서, 상기 제 1 동작은 프로그래밍 동작인, 비휘발성 메모리 동작 방법.

청구항 6

제 5항에 있어서, 상기 제 2 동작은 판독 동작인, 비휘발성 메모리 동작 방법.

청구항 7

제 6항에 있어서, 상기 판독 동작은 상기 프로그램 동작에서 사용하기 위한 예전 판독 동작(look ahead read operation)인, 비휘발성 메모리 동작 방법.

청구항 8

제 1항에 있어서, 상기 제 1 동작은 프로그램 단계와 검증 단계가 번갈아 있는 기록 동작이고, 상기 제 1 세트의 데이터는 상기 제 1 그룹의 메모리 셀에 기록될 데이터인, 비휘발성 메모리 동작 방법.

청구항 9

제 1항에 있어서, 상기 메모리 셀은 N 비트의 데이터를 저장하는 멀티 레벨 메모리 셀로서, N은 1보다 크고, 상

기 데이터 래치 세트의 각 세트는 N 데이터 래치를 포함하고 상기 제 1 데이터 세트는 N 비트 데이터인, 비휘발성 메모리 동작 방법.

청구항 10

제 1항에 있어서, 상기 제 2 동작에 대한 요청은 상기 제 1 동작의 수행 동안 수신되는, 비휘발성 메모리 동작 방법.

청구항 11

제 1항에 있어서, 상기 제 2 동작에 대한 요청은 상기 제 1 동작의 수행을 시작하기 전에 수신되는, 비휘발성 메모리 동작 방법.

청구항 12

제 1항에 있어서, 각각의 데이터 래치 세트 중 적어도 하나의 래치가 상기 제 2 동작에 사용 가능하다는 판정은 레디/비지(Ready/Busy) 신호에 기초한, 비휘발성 메모리 동작 방법.

청구항 13

비휘발성 메모리에 있어서,

주소 지정 가능한 메모리 셀 페이지와,

복수의 데이터 래치를

포함하고,

주소 지정 페이지의 각 메모리 셀은 소정 수의 비트를 래치하기 위한 용량을 갖는 해당 데이터 래치 세트를 갖고,

상기 해당 데이터 래치 세트에 저장된 제 1 데이터 세트를 사용하여 하나 이상의 주소 지정 페이지의 지정 그룹에서 상기 제 1 동작 동안, 상기 메모리는 상기 메모리 어레이에서 하나 이상의 후속 메모리 동작에 관한 데이터를 갖는 상기 해당 데이터 래치 세트의 각각의 래치를 사용하여 요청된 제 2 동작에 대해 각 데이터 래치 세트 중 적어도 하나의 래치가 사용 가능함을 판정하고, 이어서, 상기 제 1 동작 동안 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 있는지를 판정하고, 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 없다는 판정에 응하여, 상기 제 2 동작을 지연시키는, 비휘발성 메모리.

청구항 14

제 13항에 있어서, 이어서 상기 메모리는 충분한 수의 래치가 사용 가능하게 되었을 때 상기 제 1 동작 동안 상기 제 2 동작을 수행하는, 비휘발성 메모리.

청구항 15

제 13항에 있어서, 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 있다는 판정에 응하여, 상기 메모리는 상기 제 1 동작 동안 상기 제 2 동작을 수행하는, 비휘발성 메모리.

청구항 16

제 13항에 있어서, 상기 제 1 동작은 소거 동작의 소프트 프로그래밍 단계인, 비휘발성 메모리.

청구항 17

제 13항에 있어서, 상기 제 1 동작은 프로그래밍 동작인, 비휘발성 메모리.

청구항 18

제 17항에 있어서, 상기 제 2 동작은 판독 동작인, 비휘발성 메모리.

청구항 19

제 18항에 있어서, 상기 판독 동작은 상기 프로그램 동작에서 사용하기 위한 예전 판독 동작인, 비휘발성 메모리.

청구항 20

제 13항에 있어서, 상기 제 1 동작은 프로그램 단계와 검증 단계가 번갈아 있는 기록 동작이고, 상기 제 1 세트의 데이터는 상기 제 1 그룹의 메모리 셀에 기록될 데이터인, 비휘발성 메모리.

청구항 21

제 13항에 있어서, 상기 메모리 셀은 N 비트의 데이터를 저장하는 멀티 레벨 메모리 셀로서, N은 1보다 크고, 상기 데이터 래치 세트의 각 세트는 N 데이터 래치를 포함하고 상기 제 1 데이터 세트는 N 비트 데이터인, 비휘발성 메모리.

청구항 22

제 13항에 있어서, 상기 제 2 동작에 대한 요청은 상기 제 1 동작의 수행 동안 수신되는, 비휘발성 메모리.

청구항 23

제 13항에 있어서, 상기 제 2 동작에 대한 요청은 상기 제 1 동작의 수행을 시작하기 전에 수신되는, 비휘발성 메모리.

청구항 24

제 13항에 있어서, 각각의 데이터 래치 세트 중 적어도 하나의 래치가 상기 제 2 동작에 사용 가능하다는 판정은 레디/비지(Ready/Busy) 신호에 기초한, 비휘발성 메모리.

청구항 25

제 13항에 있어서,

상태 머신(state machine)을 더 포함하고,

상기 상태 머신은, 각각의 데이터 래치 세트 중 적어도 하나의 래치가 요청된 제 2 동작에 사용 가능하다는 상기 판정을 수행하고, 상기 제 1 동작 동안 상기 제 2 동작을 수행하는데 충분한 수의 상기 해당 데이터 래치 세트가 있다는 상기 판정을 수행하며, 상기 제 2 동작의 지연을 수행하는, 비휘발성 메모리.

명세서

기술 분야

[0001] 본 발명은, 일반적으로 전기적으로 소거 가능한 프로그램할 수 있는 판독 전용 메모리(EEPROM)와 플래시 EEPROM과 같은 비휘발성 반도체 메모리에 관한 것이고, 보다 구체적으로는, 중첩된 메모리 동작을 할 수 있도록 하는 공유된 래치 구조에 기초한 캐시 동작에 관한 것이다.

배경 기술

[0002] 플래시 메모리와 같은 비휘발성 메모리의 설계에서 이들의 저장 밀도를 증가시키고 이들의 성능을 증가시키며 전력 소비를 감소시켜, 이들 메모리를 개선하는 진행이 계속되고 있다. 이들 요건 중 한 가지 요건의 개선은, 흔히 다른 요건 중 한 가지 요건에 부정적인 영향을 미칠 것이다. 예를 들어, 저장 밀도를 개선하기 위해서, 셀 당 다수의 레벨을 갖는 플래시 메모리는 바이너리 칩을 대체하기 위해 사용될 수 있으나, 동작 속도는 이를테면 상태간 허용오차가 더욱 엄밀해지고 있는 데이터 기록의 경우와 같이 멀티 상태 메모리에서 더 느려질 수 있다. 결국, 멀티 레벨 셀을 갖는 메모리의 수행 수준은 개량될 큰 여지가 있다.

[0003] 추가 배경정보에 덧붙여 이들 및 관계된 문제가 미국특허출원 공개번호 US-2006-0221704-A1 및 US-2007-0109867-A1의 배경설명에 주어져 있다. 다음 미국특허출원 공개번호도 추가 배경정보를 제공한다: US 2006-0233023-A1; US 2006-0233021-A1; US 2006-0221696-A1; US 2006-0233010-A1; US 2006-0239080-A1; 및 US 2007-0002626-A1. 이하 언급되는 바와 같이, 이들 모두는 전체가 본 명세서에 참조로 포함된다.

발명의 내용

해결하려는 과제

[0004] 그러므로, 고성능 및 고용량 비휘발성 메모리에 대한 일반적인 필요성이 있다. 특히, 판독/기록 회로에서 데이터를 처리하기 위해 콤팩트하고 효율적이며 매우 용도가 넓은 개선된 프로세서를 구비한 판독과 프로그램 성능이 향상된 콤팩트한 비휘발성 메모리에 대한 필요성이 있다.

과제의 해결 수단

[0005] 메모리가 주소 지정 가능한 메모리 셀 페이지를 갖고 주소 지정 페이지의 각 메모리 셀에는 소정 수의 비트를 래치할 수 있는 해당 데이터 래치 세트가 제공되는 비휘발성 메모리 및 대응하는 동작 방법이 제시된다. 메모리는 해당 데이터 래치 세트에 저장된 제 1 세트의 데이터를 사용하여 하나 이상의 주소 지정 페이지의 지정 그룹에 제 1 동작(예를 들어, 기록과 같은)을 수행하고, 제 2 세트의 데이터에 이를 대응하는 데이터 래치 중 일부를 사용하는 제 2 동작(예를 들어, 판독과 같은)에 대한 요청도 수신할 수 있다. 제 1 동작 동안, 제 2 동작을 위해 대응하는 각 한 세트 중 적어도 하나의 래치가 사용 가능해질 때, 제 1 동작 동안 제 2 동작을 수행하는데 충분한 수의 해당 데이터 래치 세트가 있는지가 판정되고; 그렇지 않다면, 제 2 동작은 지연된다. 추가 면에서, 이어서 메모리는 충분한 수의 래치가 사용 가능해질 때 제 1 동작 동안 제 2 동작을 수행하며; 제 2 동작을 수행하는데 충분한 수의 해당 데이터 래치 세트가 있는지의 판정에 응하여, 충분한 수가 있는 것으로 판정되면, 제 1 동작 동안 제 2 동작을 수행한다.

[0006] 본 발명의 다양한 면, 이점, 특징 및 실시예는 이의 예에 대한 다음 설명에 포함되고, 이 설명은 첨부한 도면에 관련하여 취해질 것이다. 본 명세서에 참조된 모든 특허, 특히 출원, 논문, 그외 공보, 문헌 등은 모든 목적을 위해 이들 전체가 본 명세서에 참조로 포함된다. 포함된 공보, 문헌 등의 어느 것과 본원 사이에 용어의 정의 또는 사용에 있어 임의의 불일치나 충돌되는 정도까지는 본 명세서가 우선할 것이다.

발명의 효과

[0007] 본 발명은, 판독/기록 회로에서 데이터를 처리하기 위해 콤팩트하고 효율적이며 매우 용도가 넓은 개선된 프로세서를 구비한 판독과 프로그램 성능이 향상된 콤팩트한 비휘발성 메모리를 제공하는 효과를 갖는다.

도면의 간단한 설명

[0008] 도 1은, 캐시 프로그램 동작 내에 판독을 삽입하는 것을 도시한 도면.
 도 2는, 캐시 소거 동작 내에 판독을 삽입하는 것을 도시한 도면.
 도 3은, 페이지에 대한 특정한 프로그래밍 순서와 일부 대응하는 예전 판독을 도시한 도면.
 도 4는, 사용될 수 있는 충분하지 않은 래치가 있을 때 캐시 프로그램 동작 내에 판독을 삽입하는 것을 도시한 도면.
 도 5는, 사용될 수 있는 충분하지 않은 래치가 있을 때 캐시 소거 동작 내에 판독을 삽입하는 것을 도시한 도면.
 도 6은, 사용될 수 있는 충분하지 않은 래치가 있을 때 캐시 프로그램 동작 내에 판독을 삽입하는 또 다른 예를 나타낸 도면.
 도 7은, 여러 캐시 지점이 발생하는 방법을 개략적으로 도시한 도면.
 도 8은, 적응형 알고리즘의 기본적인 일 실시예를 위한 흐름도.

발명을 실시하기 위한 구체적인 내용

[0009] 셀당 다수의 레벨을 갖는, NAND 플래시 메모리와 같은 비휘발성 메모리가 바이너리 칩을 대체하기 위해 사용됨에 따라, 성능을 개선할 필요성에 일반적으로 동의하고 있다. 한 세트의 성능 향상은 동시에 별별 동작을 행하기 위해 복잡한 캐시 알고리즘을 이용하는 것에 기초한다. 이러한 향상의 예가 미국특허출원 공개번호 US-2006-0221704-A1 및 US-2007-0109867-A1에 주어져 있다. 여러 가지 면에 관하여 추가 상세를 제공하는 다음 미국특허 출원 공개번호를 참조한다: US 2006-0233023-A1; US 2006-0233021-A1; US 2006-0221696-A1; US 2006-0233010-

A1; US 2006-0239080-A1; 및 US 2007-0002626-A1. 이들 참조문헌 모두는 이에 인용된 참조문헌과 더불어, 위에 언급된 바와 같이 본 명세서에 참조로 모두 포함된다. 이어지는 전개에 대해 정황을 제공하기 위해서 일부 기술이 아래 기술되지만, 보다 상세한 것에 대해서는 상기 기 출원을 다시 참조한다. 이에 관하여, 다음은 어느 정도는 그에 기술된 것을 더 전개시킨 것으로 여겨질 수 있다.

[0010] 위에 언급된 특허문현에서, 데이터 래치의 사용과 이들을 어떻게 사용하여 판독과 같은 한 동작을 프로그램과 같은 두 번째의 더 긴 동작 내에 삽입할 수 있는지를 설명한 단락을 특히 참조한다. 이 이전 논의의 대부분이 주로 셀당 2비트 실시예에 대해 주어졌지만, 여기에서의 대부분의 논의는 대부분 셀당 3 이상의 비트의 경우에 관한 면에 관한 것이다.

[0011] 예전 판독(look ahead read)은 다음 워드의 데이터에 따른 정정 판독을 사용하는 알고리즘이다. 판독을 동반한 LA("예전") 정정은 기본적으로 이웃 워드 라인 상에 셀에 프로그램된 메모리 상태를 검사하고 이들이 현재 워드 라인에서 판독되는 메모리 셀에 미치는 임의의 교란 영향을 정정한다. 페이지가 인용된 참조문헌에 기술된 바람직한 프로그래밍 기법에 따라 프로그램되고 있었다면, 현재 워드 라인 바로 위에 워드 라인이 이웃한 워드 라인 이 될 것이다. LA 정정 기법은 이웃 워드 라인 상의 데이터가 현재 페이지에 앞서 판독될 것을 요구할 것이다.

[0012] LA 판독을 행하기 위해 요구되는 데이터 래치의 수는 요구되는 정정에 좌우될 것이다. 어떤 경우에서 이것은 1 비트 정정이 될 것이며, 다른 경우에 2 비트 또는 3 비트 정정을 사용할 것이다. 각 페이지에 대해 필요로 되는 정정은 페이지 및 이웃 페이지에 진행되었던 프로그램 시퀀스에 따른 것이다. 어떤 경우에, 한 페이지는 1 비트 정정만을 필요로 할 것이며, 또 다른 페이지는 어쩌면 2 비트 정정을 필요로 할 것이다. 이들 서로 다른 정정 레벨은 LA 판독을 취급하기 위해 서로 다른 개수의 데이터 래치를 사용할 것이다. 카피 기능을 위해 판독을 캐시 프로그램에 삽입하거나, 캐시 소거 동작에 판독을 삽입하는 것과 같은 혼합된 캐시 동작을 행할 때, 판독을 위한 데이터 래치 요건의 변화는 캐시 알고리즘에서 처리되는 것이 바람직하다. 데이터 래치 요건은 또한 사용자(예를 들면, 제어기 또는 호스트)가 주소를 발행하기 전에 알려져 있지 않다. 이들 복잡은 더 잘 처리하기 위해서 다음에서 적응형 알고리즘이라고 하는 새로운 캐시 알고리즘을 도입한다.

[0013] 정황을 제공하기 위해서, 이들 기술은 데이터 멀티 상태에 대해 "예전" 판독("LA") 및 "하위 중위(lower middle)"("LM") 코딩을 사용하는 실시예에서 이하 기술될 것이다. 이러한 구성은 "LA 정정을 동반한 LM 코드를 위한 캐시 판독 알고리즘" 제하의 절에서, [0295] 단락에서 시작하는 US 2006-0239080-A에서와 같이 위에 인용된 미국특허 공보에 더욱 상세히 제시되어 있다. 이에 기술된 바와 같이, 요약하면, 판독 데이터를 캐시하는 기법은 정정이 이웃 물리적 페이지 또는 워드 라인으로부터의 데이터에 따른 판독 동작에 대해서도, 현재 페이지가 메모리 코어로부터 감지되고 있는 동안 이전에 판독된 페이지를 토글(toggle out)하기 위해 데이터 래치 및 I/O 버스가 효율적으로 사용되도록 구현된다. 한 바람직한 판독 동작은 "예전"("LA") 판독이며 메모리 상태에 대한 바람직한 코딩은 "하위 중위"("LM") 코드이다. 현재 워드 라인 상에 현재 페이지에 대한 판독에 앞서 이웃 워드 라인 상에 데이터의 필수전체적 판독이 선행되어야 할 때, 이전에 판독된 페이지가 I/O 액세스로 비지상태(busy)인 동안 현재 판독이 수행될 수 있도록 이전 페이지를 판독하기 위한 사이클에서 임의의 I/O 액세스와 더불어 필수전체적 판독이 우선적으로 행해진다. LA 판독 기법은 참조로 전체 개시된 바를 여기 포함시키는 "Read Operations for Non- Volatile Storage that Includes Compensation for Coupling" 명칭의 2005년 4월 5일에 출원된 미국특허출원번호 11/099,049에 개시되어 있다. LA("예전") 정정을 동반한 판독은 기본적으로 이웃 워드 라인 상에 셀에 프로그램된 메모리 상태를 조사하고 이들이 현재 워드 라인 상에 판독되는 메모리 셀에 미치는 임의의 교란 영향을 정정한다. 페이지가 위에 기술된 바람직한 프로그래밍 기법에 따라 프로그래밍되고 있었다면, 현재 워드 라인 바로 위의 워드 라인이 이웃 워드 라인 이 될 것이다. LA 정정 기법은 이웃 워드 라인 상의 데이터가 현재 페이지에 앞서 판독될 것을 요구할 것이다.

[0014] 이 실시예에서 여기 제시된 추가된 전개로 돌아가서, 데이터 래치 요건이 LM 플래그에 연관되어 있으면, 사용자 명령이 실행되고 명령의 실행을 마치기에 충분한 데이터 래치가 없다고 내부적으로 판정될 수 있다. 적응형 알고리즘은 사용자 명령을 기억하고, 충분한 데이터 래치가 사용 가능함을 기다리며, 이어서 동작 과정 중에 데이터 래치가 사용 가능하게 되었을 때 명령을 실행한다.

[0015] 도 1 및 도 2 각각은 캐시 프로그램 및 캐시 소거 동작에 판독을 삽입하는 예를 제공한다. 도 1의 카피 동작을 동반한 캐시 프로그램에서, 프로세스는 101에서 시작하는 프로그램 동작부터 시작한다. 이것은 103에서 제 1 래치가 데이터 래치의 대응하는 스택에서 방면될 때까지 계속되며, 프로세스는 US-2006-0221704-A1 및 US-2007-0109867-A1에 더 상세히 기술되어 있다. 이때 판독이 105에서 프로그램 동작에 삽입될 수 있고, 이후에 기록 동작이 107에서 계속된다. 프로그래밍 과정에서, 제 2 래치가 109에서 다시 사용될 수 있게 된다. 이 제 2 래치는

103에서와 동일한 래치일 수도 있고, 또는 동일 스택에 상이한 래치일 수도 있다. 다시, 이 프로세스는 일반적으로 페이지 레벨에서 이행되기 때문에, 전형적인 실시예는 페이지에 각 셀마다 대응하는 래치를 요구할 것이다. 어떤 경우에 있어서는 판독이 다시 111에서 삽입되고, 이후에 프로그램 동작이 113에서 계속된다.

[0016] 도 2는 판독을 동반한 캐시 소거에 대한 대응 구성이다. 소거 프로세스는 이와 함께 소프트 프로그래밍 동작을 포함하는 것으로, 210에서 시작된다. 203에서, 개재된 동작을 위해 데이터 래치가 사용 가능하다. 소프트 프로그램 동작은 일종에 바이너리 프로그래밍 동작으로 간주될 수 있기 때문에, N-상태 메모리 셀에 있어서, 이것은 전형적으로 (N-1)개의 가용한 래치가 있게 되는 결과를 초래할 것이다. 이어서 205에서 판독 동작이 개재될 수 있고, 이후에 소프트 프로그래밍 단계가 계속될 수 있다.

[0017] 판독 삽입 동작(도 1에서 105 또는 111, 도 2에서 205)이 예전 판독 동작일 때, 데이터 래치 요건은 사용된 정정량에 따른 것이다. 한 알고리즘에서, 워드 라인 n(WLn)에 대해 예전 판독을 수행하기 위해서, 1 비트 정정은 2개의 데이터 래치를 사용할 것이며, 하나의 데이터 래치는 WL_{n+1} 데이터용이고 다른 하나는 1 페이지의 WLN 데이터용이다. 이와 유사하게, 2 비트 정정에서는 3개의 데이터 래치가 사용되고(2개는 WL_{n+1} 데이터용이고 다른 하나는 1 페이지의 WLN 데이터용이다), 3비트 정정에서는 4개의 데이터 래치가 사용된다(3개는 WL_{n+1} 데이터용이고 다른 하나는 1 페이지의 WLN 데이터용이다). 모든 LA 정정에 대해 단지 2개의 래치만을 요구할 대안적 실시예가 미국특허 출원번호 11/618,569와 11/618,578에 기술되어 있다.

[0018] 다음에, 하위 중위("LM") 페이지 순서 및 대응하는 래치 요건의 포함은 LA 판독이 겹쳐질 때 고려되며, 구성은 2008년 3월 19일에 출원된 Yan Li의 "Different Combinations of Wordline Order and Look-Ahead read to improve Non-Volatile Memory performance" 명칭의 미국특허출원에 더 상세히 전개되어 있다. 셀당 3비트 경우를 취할 때, 페이지는 하위 및 중위가 연속적이고 함께 프로그램되도록 배열될 수 있는데, 그러나 상위 페이지는 상위 페이지 프로그램이 중위 페이지간 WL-WL 커플링 효과를 제거하게 되도록 도약될 것이다. 상위 페이지는 다음 워드 라인의 중위 페이지가 프로그램된 후에 프로그램된다.

[0019] 페이지 0 및 페이지 1이 하위 페이지 및 중위 페이지로서 제 1 워드 라인(WL0) 상에서 함께 프로그램되고 이어서 페이지 2 및 페이지 3이 다음 워드 라인(WL1) 상에서 하위 페이지 및 중위 페이지로서 함께 프로그램되는 프로세스가 도 3에 도시되었다. 다음에 프로세스는 한 페이지 물러나서(WL0로) 상위 페이지(페이지 4)를 프로그램한 후, 두 개의 워드 라인 앞으로 도약하여(WL2) 하위 및 중위 페이지(페이지 5 및 페이지 6)를 프로그램한다. 이와 같이 상위 페이지에 대해 물러나고 2개의 하위 페이지에 대해 앞으로 도약하는 것은 나머지 데이터 세트에 대해 계속되며, 여기서 a, b 및 c는 16진법 표기로 페이지 10, 페이지 11, 페이지 12이다. 이렇게 하여, 상위 페이지 프로그램에 의해서 WL-WL 및 BL-BL 커플링 효과의 대부분이 효과적으로 정정될 것이다. 상위 페이지 프로그램 동안, 메모리 셀로부터 데이터를 정정이 되도록 하여 판독하기 위해 LA 판독을 사용하여 하위 및 중위 페이지가 판독될 것이다. 이러한 페이지 구성에서, 상위 페이지는 다음 WL 상위 페이지 프로그램에만 결합되기 때문에, 상위 페이지 판독은 1 비트 정정만을 필요로 할 것이다. 반면에, 중위 페이지 판독은 하위 및 중위 페이지가 이전 워드 라인의 중위 페이지 전압 임계값을 결합할 수 있기 때문에, LA 판독 정정을 위해 2 비트를 사용할 것이다.

0020] 동적 데이터 래치 요건을 처리하기 위한 적응형 알고리즘

[0021] 지금 주어진 예로부터 알 수 있는 바와 같이, 이러한 캐시 동작을 위한 데이터 래치 요건은 상황에 따라 변한다. 여기에 주어진 적응형 알고리즘은 이를 고려한다.

[0022] 카피를 위해 판독이 삽입되는 경우를 갖는 캐시 프로그램의 예로 돌아가면, 이것인 도 4에 도시되었으며, 프로그램 동작이 401에서 시작한다. 동작이 계속됨에 따라, 어떤 지점에서 페이지에 각 셀에 대해 한 쌍의 래치가 403에서 방면된다. 이때 405에 도시된 바와 같이 판독이 삽입될 수 있다. 이것은 상태 머신(state machine)이 이미 취하고 있고 래치가 개방되기를 기다리고 있는 판독일 수도 있고, 아니면 래치가 개방된 후에 요청된 판독 요청 -이 경우 판독이 요청될 때까지 프로그래밍은 계속되고 있었을 수도 있을 것이다- 일 수도 있다. 어느 경우이든, 일단 판독이 삽입되면, 2개의 래치로는 이러한 판독을 완료하기에는 충분하지 않은 것으로 판정될 수 있다. 판독 명령은 2개의 데이터 래치가 사용 가능할 때 시작될 수 있지만, 상위 페이지가 1 비트 LA 판독만을 사용한다고 가정함으로써 실행될 수 있을 뿐이며; 그러나, 페이지가 그 프로그램된 상위 페이지가 없으면, LA 판독을 위해 2 비트를 필요로 할 것이다. 전형적으로, 래치는 프로그램 데이터로 채워져 있지만, 일단 추가 래치가 필요한 것으로 판정되면, 판독 데이터는 무효한 것으로 취급될 것이다. 이러한 상황에서, 사용자(즉, 제어

기)가 발행한 판독 명령은 더 많은 데이터 래치가 사용 가능하게 될 때까지 완료될 수 없다. 이 예에서, 판독은 3개의 데이터 래치가 사용 가능하게 될 때까지 실행될 수 없다. 일단 메모리가 충분한 래치가 없고 판독이 완료될 수 없는 것으로 판정하면, 명령은 화살표로 나타낸 바와 같이, 필요한 래치가 사용 가능할 때까지 유지된다.

[0023] 한편, 기록 프로세스는 409에서 또 다른 래치가 개발될 때까지 407에서 계속된다. 이어서, 판독이 다시 삽입되고 511에서 완료되며, 이후 기록이 413에서 계속된다. 이것은 많은 변형이 있을 수 있는 프로세스의 한 가지 일반적인 예임에 유의하고, 예를 들어, 이 경우 단계(413) 전에 기록이 완료되지 않은 것으로 가정한다.

[0024] 도 5에 도시된 바와 같이, 판독을 삽입하는 캐시 소거에서 유사한 상황이 일어날 수 있다. 소프트 프로그램을 동반한 소거가 501에서 시작한다. 셀당 N=3 비트 데이터에 있어서는 소프트 프로그램에서 사용할 수 있는 2개의 데이터 래치가 있다(503)에서, 이것은 1 비트 LA 판독을 처리할 수 있지만, 2비트 LA 판독이 필요하다면, 판독은 소프트 프로그램이 완료된 후에 실행되어야 한다. 결국, 판독은 505에서 삽입되고, 판독을 성공적으로 완료하는데 필요한 수의 래치가 없고, 그렇지만 보류된다면, 소프트 프로그램은 507에서 재개되고 509에서 종료되며, 이후에 판독은 511에서 다시 삽입된다.

[0025] 도 6은 적응형 캐시 동작이 관리하기가 복잡해질 수 있었던 또 다른 상황을 도시한 것이다. 도 6은 위에 참조된 특허 공보에서처럼 많이, 가용한 래치보다 더 많은 래치를 필요로 하지 않고, 601 ~ 607에서 제 1 판독이 실행되는 예를 도시한 것이다. 이 판독되는 페이지는 ECC에 대해 체크될 것이며 이어서 다른 위치로 프로그램될 준비가 될 것이다. 상위 페이지 프로그램 동안에(607의 일부), 제 2 판독이 611에서 삽입될 수 있다. 제 2 판독이 충분한 데이터 래치의 비가용성에 의해 실행될 수 없다면, 제 2 판독은 즉시 실행될 수 없고, 상위 페이지가 프로그램을 마칠 때까지 기다릴 것이다(613).

[0026] 상위 페이지 프로그램의 끝에서, 데이터 래치에 아직 있는 제 1 판독된 데이터(아직 프로그램되지 않은)는 바른 위치로 옮겨질 것이다. 상위 페이지 프로그램이 종료된 후에 제 2 판독명령이 실행될 수 있다. 프로그램이 일단 다시 시작되어야 한다면(615) 도 4에 관하여 기술된 바와 같긴 하지만, 불완전한 판독이 다시 실행될 수 있다(617).

적응형 알고리즘을 위한 일반적 관리

[0028] 일반적 적응형 캐시 동작 알고리즘이 도 7 및 도 8에 의해 예시될 수 있다. 캐시 동작에서는 또 다른 동작이 삽입될 수 있음을 나타내는 복수의 캐시 지점이 있다. 도 7은 이것을 개념적으로 도시한 것으로, 여기서 시간은 우측으로 진행하는 것으로 취해졌으며 도면은 진행되는 기록 명령의 동작 중에 어떤 다소 임의의 지점에서 취해진 것이다. 다양한 가용한 캐시 지점은 701, 703, ..., 713로 표시되었으며, 도 7이 시작할 때 이미 진행된 기록 동작은 731에서 끝나고, 이후에 다음 기록이 계속된다.

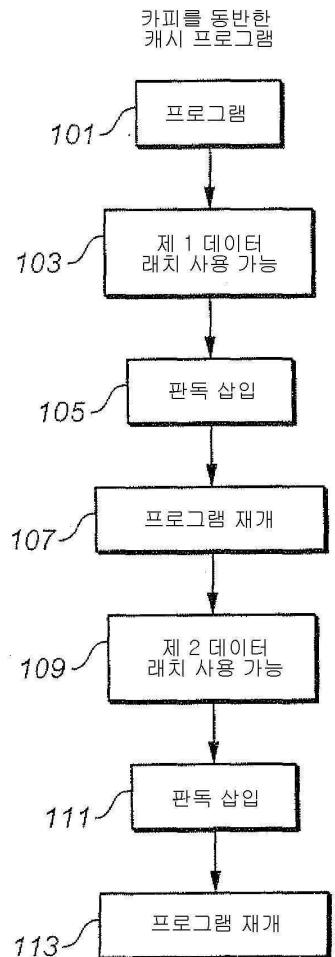
[0029] 도 8은 한 실시예의 흐름도이다. 동작을 위한 명령이 발행될 것이며 캐시 지점에서 (예를 들어, 레디/비지(Ready/Busy) 신호로 나타낸), 명령이 시작된다. 사용자 명령이 발생된 후에, 상태 머신은 803에서 이 명령을 실행할 충분한 데이터 래치가 있는지 체크할 것이다. 충분한 데이터 래치가 있으면(805에서 예), 사용자 명령은 807에서 즉시 실행되고 801로 되돌아갈 수 있다.

[0030] 사용 가능한 충분한 데이터 래치가 없거나(805에서 아니오), 이전에 대기한 캐시가 아직 파이프라인에 있다면, 다음 사용 가능한 캐시 지점을 얻기 위해 캐시 포인터가 추적되는 동안 이전 동작이 재개될 것이다(809). 다음 캐시 지점에서, 이전의 사용자 명령의 실행이 2가지 요인으로, 1) 파이프라인에 캐시 대기, 2) 데이터 래치 가용성에 근거하여 다시 평가될 것이다(811). 일단 명령이 대기의 선두에 있게 되고 충분한 래치가 있으면, 명령이 807에서 실행될 수 있다. 모든 캐시 동작에서, 주소와 명령은 FIFO 파이프 라인에 저장되어야 한다.

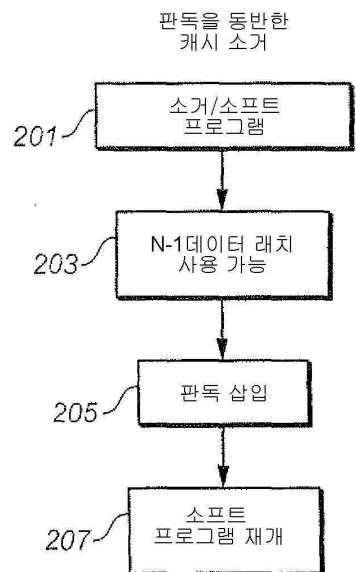
[0031] 본 발명의 다양한 면이 임의의 실시예에 대해 기술되었지만, 발명은 첨부한 청구항의 전체 범위 내에서 보호받는 것임을 알 것이다.

도면

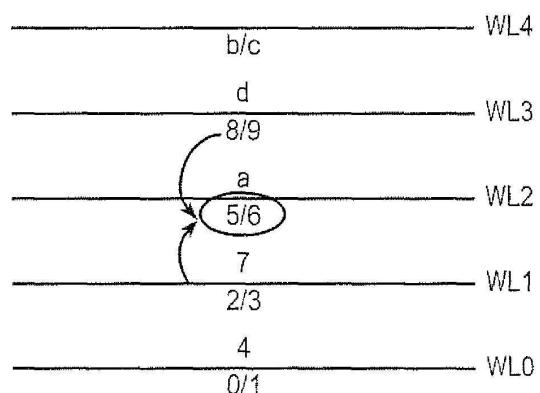
도면1

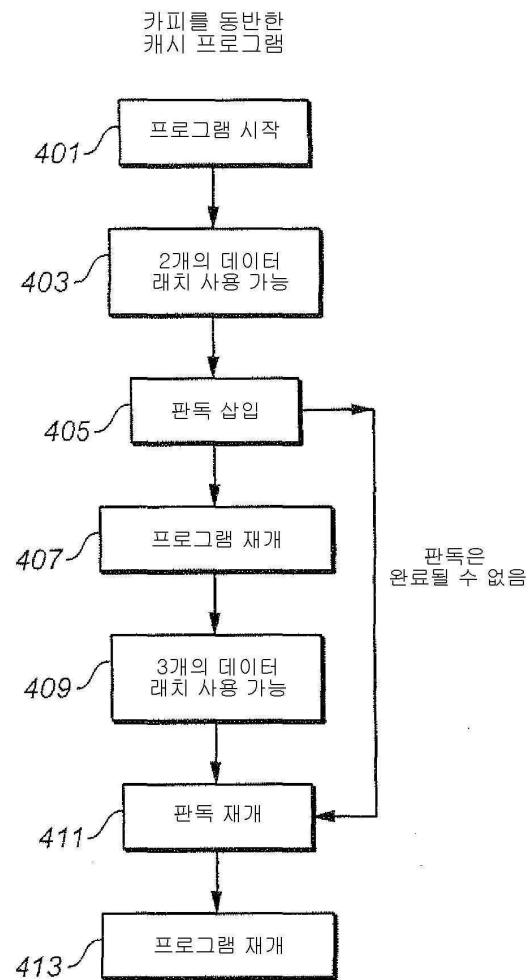


도면2

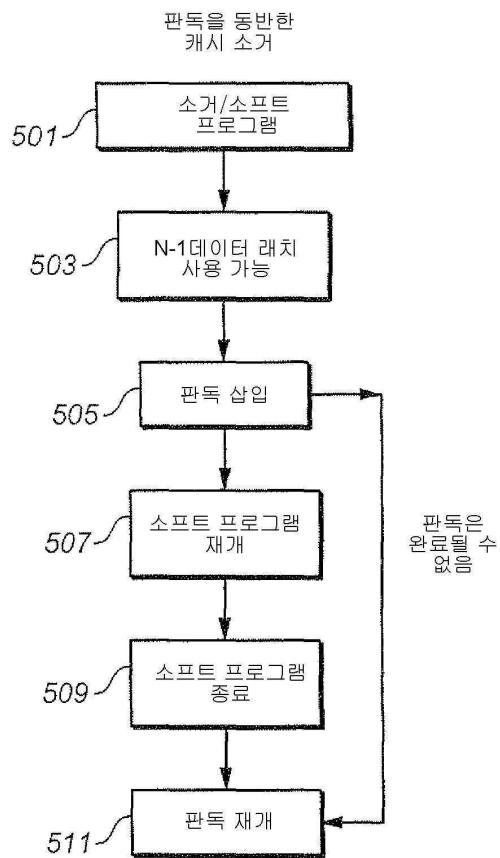


도면3

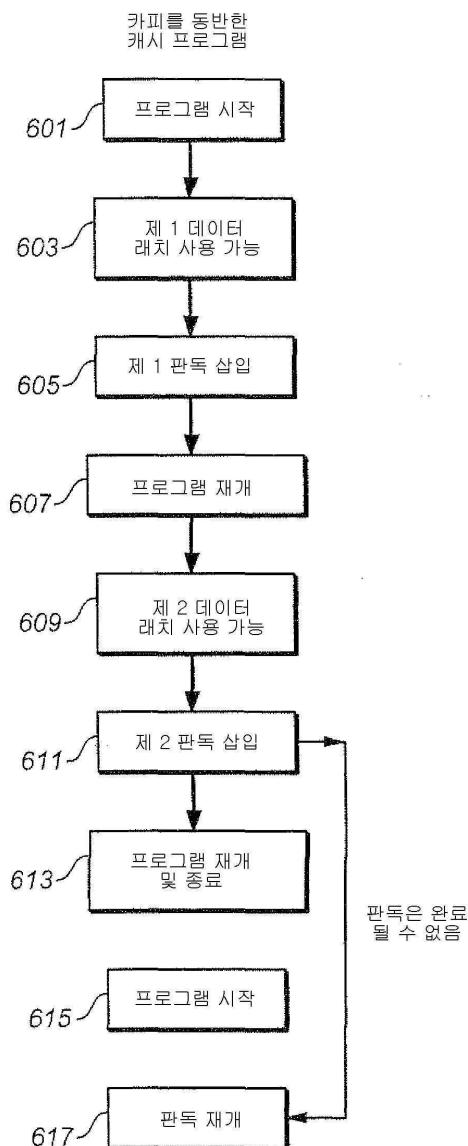


도면4

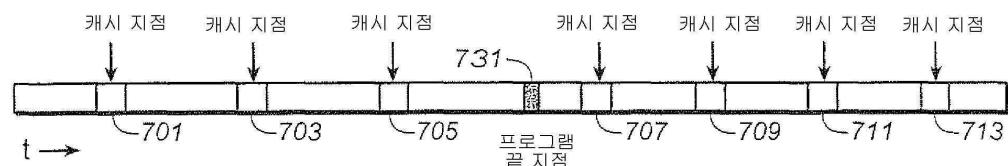
도면5



도면6



도면7



도면8

