

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6263572号
(P6263572)

(45) 発行日 平成30年1月17日(2018.1.17)

(24) 登録日 平成29年12月22日(2017.12.22)

(51) Int.Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 27/088 (2006.01)	HO 1 L 27/088 C
G 1 1 C 19/28 (2006.01)	HO 1 L 27/088 3 3 1 E
HO 3 K 3/356 (2006.01)	HO 1 L 27/088 D
請求項の数 6 (全 26 頁) 最終頁に続く	

(21) 出願番号	特願2016-88691 (P2016-88691)	(73) 特許権者	000153878
(22) 出願日	平成28年4月27日(2016.4.27)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-184723 (P2014-184723) の分割	(72) 発明者	小山 潤 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
原出願日	平成22年9月15日(2010.9.15)	(72) 発明者	三宅 博之 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2016-181704 (P2016-181704A)		
(43) 公開日	平成28年10月13日(2016.10.13)		
審査請求日	平成28年4月27日(2016.4.27)		
(31) 優先権主張番号	特願2009-219066 (P2009-219066)		
(32) 優先日	平成21年9月24日(2009.9.24)		
(33) 優先権主張国	日本国(JP)	審査官	岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1のゲート電極層と、
第2のゲート電極層と、
前記第1のゲート電極層上方及び前記第2のゲート電極層上方のゲート絶縁層と、
前記ゲート絶縁層上方の第1の酸化物半導体層と、
前記ゲート絶縁層上方の第2の酸化物半導体層と、
前記第1の酸化物半導体層上方の第1の電極層と、
前記第2の酸化物半導体層上方の第2の電極層と、
前記第1の酸化物半導体層上方及び前記第2の酸化物半導体層上方の第3の電極層と、
前記第1の酸化物半導体層上方、前記第2の酸化物半導体層上方、前記第1の電極層上
方、前記第2の電極層上方及び前記第3の電極層上方の絶縁層と、を有し、
前記ゲート絶縁層は、前記第1のゲート電極層と前記第1の酸化物半導体層との間の領
域を有し、
前記ゲート絶縁層は、前記第2のゲート電極層と前記第2の酸化物半導体層との間の領
域を有し、
前記ゲート絶縁層は、コンタクトホールを有し、
前記第1の電極層は、前記第1の酸化物半導体層と電氣的に接続され、
前記第2の電極層は、前記第2の酸化物半導体層と電氣的に接続され、
前記第3の電極層は、前記第1の酸化物半導体層と電氣的に接続され、

10

20

前記第 3 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、
 前記第 3 の電極層は、前記コンタクトホールを介して、前記第 1 のゲート電極層と電氣的に接続され、
 前記絶縁層は、前記第 1 の酸化物半導体層と接する領域を有し、
 前記絶縁層は、前記第 2 の酸化物半導体層と接する領域を有し、
 前記絶縁層は、酸素と、珪素と、を有し、
 前記第 1 の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
 前記第 2 の酸化物半導体層を含むトランジスタは、ノーマリーオンであることを特徴とする半導体装置。

【請求項 2】

10

第 1 のゲート電極層と、
 第 2 のゲート電極層と、
 前記第 1 のゲート電極層上方及び前記第 2 のゲート電極層上方のゲート絶縁層と、
 前記ゲート絶縁層上方の第 1 の酸化物半導体層と、
 前記ゲート絶縁層上方の第 2 の酸化物半導体層と、
 前記第 1 の酸化物半導体層上方の第 1 の電極層と、
 前記第 2 の酸化物半導体層上方の第 2 の電極層と、
 前記第 1 の酸化物半導体層上方及び前記第 2 の酸化物半導体層上方の第 3 の電極層と、
 前記第 1 の酸化物半導体層上方、前記第 2 の酸化物半導体層上方、前記第 1 の電極層上方、前記第 2 の電極層上方及び前記第 3 の電極層上方の絶縁層と、を有し、
 前記ゲート絶縁層は、前記第 1 のゲート電極層と前記第 1 の酸化物半導体層との間の領域を有し、
 前記ゲート絶縁層は、前記第 2 のゲート電極層と前記第 2 の酸化物半導体層との間の領域を有し、
 前記ゲート絶縁層は、コンタクトホールを有し、
 前記第 1 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、
 前記第 1 の電極層は、前記コンタクトホールを介して、前記第 1 のゲート電極層と電氣的に接続され、
 前記第 2 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、
 前記第 3 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、
 前記第 3 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、
 前記絶縁層は、前記第 1 の酸化物半導体層と接する領域を有し、
 前記絶縁層は、前記第 2 の酸化物半導体層と接する領域を有し、
 前記絶縁層は、酸素と、珪素と、を有し、
 前記第 1 の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
 前記第 2 の酸化物半導体層を含むトランジスタは、ノーマリーオンであることを特徴とする半導体装置。

20

30

【請求項 3】

第 1 のゲート電極層と、
 第 2 のゲート電極層と、
 前記第 1 のゲート電極層上方及び前記第 2 のゲート電極層上方のゲート絶縁層と、
 前記ゲート絶縁層上方の第 1 の酸化物半導体層と、
 前記ゲート絶縁層上方の第 2 の酸化物半導体層と、
 前記第 1 の酸化物半導体層上方の第 1 の電極層と、
 前記第 2 の酸化物半導体層上方の第 2 の電極層と、
 前記第 1 の酸化物半導体層上方及び前記第 2 の酸化物半導体層上方の第 3 の電極層と、
 前記第 1 の酸化物半導体層上方、前記第 2 の酸化物半導体層上方、前記第 1 の電極層上方、前記第 2 の電極層上方及び前記第 3 の電極層上方の絶縁層と、を有し、
 前記ゲート絶縁層は、前記第 1 のゲート電極層と前記第 1 の酸化物半導体層との間の領域を有し、

40

50

前記ゲート絶縁層は、前記第 2 のゲート電極層と前記第 2 の酸化物半導体層との間の領域を有し、

前記ゲート絶縁層は、コンタクトホールを有し、

前記第 1 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、

前記第 2 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、

前記第 3 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、

前記第 3 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、

前記第 3 の電極層は、前記コンタクトホールを介して、前記第 1 のゲート電極層と電氣的に接続され、

前記絶縁層は、前記第 1 の酸化物半導体層と接する領域を有し、

10

前記絶縁層は、前記第 2 の酸化物半導体層と接する領域を有し、

前記絶縁層は、酸素と、珪素と、を有し、

前記第 1 の酸化物半導体層は、酸化物半導体膜を加工することで形成されたものであり

、

前記第 2 の酸化物半導体層は、前記酸化物半導体膜を加工することで形成されたものであることを特徴とする半導体装置の作製方法。

【請求項 4】

第 1 のゲート電極層と、

第 2 のゲート電極層と、

前記第 1 のゲート電極層上方及び前記第 2 のゲート電極層上方のゲート絶縁層と、

20

前記ゲート絶縁層上方の第 1 の酸化物半導体層と、

前記ゲート絶縁層上方の第 2 の酸化物半導体層と、

前記第 1 の酸化物半導体層上方の第 1 の電極層と、

前記第 2 の酸化物半導体層上方の第 2 の電極層と、

前記第 1 の酸化物半導体層上方及び前記第 2 の酸化物半導体層上方の第 3 の電極層と、

前記第 1 の酸化物半導体層上方、前記第 2 の酸化物半導体層上方、前記第 1 の電極層上方、前記第 2 の電極層上方及び前記第 3 の電極層上方の絶縁層と、を有し、

前記ゲート絶縁層は、前記第 1 のゲート電極層と前記第 1 の酸化物半導体層との間の領域を有し、

前記ゲート絶縁層は、前記第 2 のゲート電極層と前記第 2 の酸化物半導体層との間の領域を有し、

30

前記ゲート絶縁層は、コンタクトホールを有し、

前記第 1 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、

前記第 1 の電極層は、前記コンタクトホールを介して、前記第 1 のゲート電極層と電氣的に接続され、

前記第 2 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、

前記第 3 の電極層は、前記第 1 の酸化物半導体層と電氣的に接続され、

前記第 3 の電極層は、前記第 2 の酸化物半導体層と電氣的に接続され、

前記絶縁層は、前記第 1 の酸化物半導体層と接する領域を有し、

前記絶縁層は、前記第 2 の酸化物半導体層と接する領域を有し、

40

前記絶縁層は、酸素と、珪素と、を有し、

前記第 1 の酸化物半導体層は、酸化物半導体膜を加工することで形成されたものであり

、

前記第 2 の酸化物半導体層は、前記酸化物半導体膜を加工することで形成されたものであることを特徴とする半導体装置の作製方法。

【請求項 5】

第 1 のゲート電極層と、

第 2 のゲート電極層と、

前記第 1 のゲート電極層上方及び前記第 2 のゲート電極層上方のゲート絶縁層と、

前記ゲート絶縁層上方の第 1 の酸化物半導体層と、

50

前記ゲート絶縁層上方の第2の酸化物半導体層と、
 前記第1の酸化物半導体層上方の第1の電極層と、
 前記第2の酸化物半導体層上方の第2の電極層と、
 前記第1の酸化物半導体層上方及び前記第2の酸化物半導体層上方の第3の電極層と、
 前記第1の酸化物半導体層上方、前記第2の酸化物半導体層上方、前記第1の電極層上
 方、前記第2の電極層上方及び前記第3の電極層上方の絶縁層と、を有し、
 前記ゲート絶縁層は、前記第1のゲート電極層と前記第1の酸化物半導体層との間の領
 域を有し、
 前記ゲート絶縁層は、前記第2のゲート電極層と前記第2の酸化物半導体層との間の領
 域を有し、
 前記ゲート絶縁層は、コンタクトホールを有し、
 前記第1の電極層は、前記第1の酸化物半導体層と電氣的に接続され、
 前記第2の電極層は、前記第2の酸化物半導体層と電氣的に接続され、
 前記第3の電極層は、前記第1の酸化物半導体層と電氣的に接続され、
 前記第3の電極層は、前記第2の酸化物半導体層と電氣的に接続され、
 前記第3の電極層は、前記コンタクトホールを介して、前記第1のゲート電極層と電氣
 的に接続され、
 前記絶縁層は、前記第1の酸化物半導体層と接する領域を有し、
 前記絶縁層は、前記第2の酸化物半導体層と接する領域を有し、
 前記絶縁層は、酸素と、珪素と、を有し、
 前記第1の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
 前記第2の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
 前記第1の酸化物半導体層は、酸化物半導体膜を加工することで形成されたものであり

10

20

前記第2の酸化物半導体層は、前記酸化物半導体膜を加工することで形成されたもので
 あることを特徴とする半導体装置の作製方法。

【請求項6】

第1のゲート電極層と、
 第2のゲート電極層と、
 前記第1のゲート電極層上方及び前記第2のゲート電極層上方のゲート絶縁層と、
 前記ゲート絶縁層上方の第1の酸化物半導体層と、
 前記ゲート絶縁層上方の第2の酸化物半導体層と、
 前記第1の酸化物半導体層上方の第1の電極層と、
 前記第2の酸化物半導体層上方の第2の電極層と、
 前記第1の酸化物半導体層上方及び前記第2の酸化物半導体層上方の第3の電極層と、
 前記第1の酸化物半導体層上方、前記第2の酸化物半導体層上方、前記第1の電極層上
 方、前記第2の電極層上方及び前記第3の電極層上方の絶縁層と、を有し、
 前記ゲート絶縁層は、前記第1のゲート電極層と前記第1の酸化物半導体層との間の領
 域を有し、
 前記ゲート絶縁層は、前記第2のゲート電極層と前記第2の酸化物半導体層との間の領
 域を有し、
 前記ゲート絶縁層は、コンタクトホールを有し、
 前記第1の電極層は、前記第1の酸化物半導体層と電氣的に接続され、
 前記第1の電極層は、前記コンタクトホールを介して、前記第1のゲート電極層と電氣
 的に接続され、
 前記第2の電極層は、前記第2の酸化物半導体層と電氣的に接続され、
 前記第3の電極層は、前記第1の酸化物半導体層と電氣的に接続され、
 前記第3の電極層は、前記第2の酸化物半導体層と電氣的に接続され、
 前記絶縁層は、前記第1の酸化物半導体層と接する領域を有し、
 前記絶縁層は、前記第2の酸化物半導体層と接する領域を有し、

30

40

50

前記絶縁層は、酸素と、珪素と、を有し、
前記第 1 の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
前記第 2 の酸化物半導体層を含むトランジスタは、ノーマリーオンであり、
前記第 1 の酸化物半導体層は、酸化物半導体膜を加工することで形成されたものであり

、
前記第 2 の酸化物半導体層は、前記酸化物半導体膜を加工することで形成されたものであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、駆動回路（シフトレジスタ回路ともいう）に関する。または、画素部と同じ基板に形成される駆動回路を有する表示装置に関する。または、当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

表示装置は、液晶テレビなどの大型表示装置の普及に伴い、より付加価値の高い製品が求められており、開発が進められている。特に、チャネル領域が非晶質半導体、特に酸化物半導体によって構成される薄膜トランジスタ（TFT）を用いて、画素部と同じ基板に走査線駆動回路などの駆動回路を構成する技術は、活発に開発が進められている。

【0003】

駆動回路の構成としては、例えば特許文献 1（第 2 図等参照）に記載のスタティック型のシフトレジスタ回路がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開昭 64 - 89810 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

スタティック型のシフトレジスタ回路では、スイッチとして機能する薄膜トランジスタ、及びインバータ回路（反転回路ともいう）によって構成される。薄膜トランジスタ、及びインバータ回路を構成するトランジスタに、酸化物半導体を半導体層に用いることは、電界効果移動度が高いといった電気的特性に優れているといった点で、採用することの利点大きい。一方で、酸化物半導体は外因性の不純物が添加されなくても、酸素が抜けた空孔欠陥によりしきい値電圧の変動が生じ、酸化物半導体を半導体層に用いる薄膜トランジスタが、ディプレッション型（ノーマリーオンともいう）になることもある。

【0006】

そこで本発明の一態様は、チャネルが酸化物半導体によって構成される等によりノーマリーオンとなった薄膜トランジスタを単極性の駆動回路に用いる際、回路内の誤動作を低減できる駆動回路を提供することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、第 1 のトランジスタ及び第 2 のトランジスタを有するインバータ回路と、第 3 のトランジスタを有するスイッチと、を含むスタティックのシフトレジスタ回路を有し、前記第 1 のトランジスタ乃至前記第 3 のトランジスタは、酸化物半導体を有する半導体層を有し、且つディプレッション型のトランジスタであり、前記第 3 のトランジスタを駆動するクロック信号の振幅電圧は、前記インバータ回路を駆動するための電源電圧より大きい駆動回路である。

【0008】

本発明の一態様は、第 1 のトランジスタ及び第 2 のトランジスタを有するインバータ回路

10

20

30

40

50

と、第3のトランジスタを有するスイッチと、を含むスタティックのシフトレジスタ回路と、前記シフトレジスタ回路の出力端子にはデマルチプレクサ回路を有し、前記第1のトランジスタ乃至前記第3のトランジスタは、酸化物半導体を有する半導体層を有し、且つディプレッション型のトランジスタであり、前記第1のトランジスタを駆動するクロック信号の振幅電圧は、前記インバータ回路を駆動するための電源電圧より大きく、前記デマルチプレクサ回路の出力端子には、当該出力端子の電位を固定するための第4のトランジスタはそれぞれ設けられている駆動回路である。

【0009】

本発明の一態様において、前記クロック信号は、第1のクロック信号、及び第2のクロック信号であり、前記第2のクロック信号は、前記第1のクロック信号の反転信号である駆動回路でもよい。

10

【0010】

本発明の一態様において、前記第1のトランジスタのL/W比は、前記第2のトランジスタのL/W比より大きい駆動回路でもよい。

【0011】

本発明の一態様において、前記第1のトランジスタの半導体層の膜厚は、前記第2のトランジスタの半導体層の膜厚より大きい駆動回路でもよい。

【0012】

本発明の一態様において、前記デマルチプレクサ回路を構成する第5のトランジスタのL/W比は、前記第4のトランジスタのL/W比より小さい駆動回路でもよい。

20

【0013】

本発明の一態様において、前記第4のトランジスタは、ゲートは高電源電位が供給される配線に電氣的に接続され、第1端子は低電源電位が供給される配線に電氣的に接続され、第2端子は前記デマルチプレクサ回路の出力端子に電氣的に接続されている駆動回路でもよい。

【0014】

本発明の一態様において、前記第1乃至前記第4のトランジスタは、nチャネル型のトランジスタである駆動回路でもよい。

【発明の効果】

【0015】

本発明の一態様により、チャネルが酸化物半導体によって構成される等によりノーマリーオンとなった薄膜トランジスタを単極性の駆動回路に用いる際、回路内の誤動作を低減できる駆動回路を提供することができる。

30

【図面の簡単な説明】

【0016】

【図1】駆動回路の一例を示す図。

【図2】インバータ回路、スイッチ、各信号の波形の一例を示す図。

【図3】インバータ回路の上面図の一例を示す図。

【図4】駆動回路の一例を示す図。

【図5】駆動回路の一例を示す図。

40

【図6】駆動回路のタイミングチャートの一例を示す図。

【図7】インバータ回路の上面図の一例を示す図。

【図8】インバータ回路の断面図の一例を示す図。

【図9】表示装置の一例を示す図。

【図10】電子機器の一例を示す図。

【図11】駆動回路の一例を示す図。

【図12】駆動回路のタイミングチャートの一例を示す図。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多く

50

の異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0018】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0019】

なお本明細書にて用いる第1、第2、第3、乃至第N（Nは2以上の自然数）という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0020】

（実施の形態1）

本実施の形態では、まず、複数段のパルス出力回路を有するスタティック型のシフトレジスタ回路である駆動回路の構成について図面を参照して説明する。本実施の形態で示す駆動回路では、スイッチとして機能する薄膜トランジスタ、及びインバータ回路（反転回路ともいう）によって構成される。

【0021】

本実施の形態で示す駆動回路100は、第1のクロック信号（CLK1）を供給する配線101、第2のクロック信号（CLK2）を供給する配線102、複数段にわたって設けられるパルス出力回路103、スタートパルス（SP、前段信号、または入力信号ともいう）を供給する配線104を有している。また、本実施の形態の駆動回路は、一例として、out1乃至outN列分のパルス信号を出力するものとして説明する。なお、他にも走査方向を切り替えるための走査方向切り替え信号等を入力する構成としても良い。また本実施の形態では、クロック信号として第1のクロック信号（CLK1）、第2のクロック信号（CLK2）の2相のクロック信号により駆動する例を示すが、2相以外のクロック信号の入力により駆動回路を駆動する構成としてもよい。

【0022】

図1（A）に示す駆動回路がゲート線側駆動回路であれば、例えば、バッファ回路等がパルス出力回路の各出力端子に設けられる構成となる。また図1（A）に示す駆動回路が信号線側駆動回路であれば、例えば、映像信号をサンプリングするためのサンプリングスイッチ、ラッチ回路等がパルス出力回路の各出力端子に設けられる構成となる。

【0023】

なお駆動回路100を構成する各トランジスタの半導体層には、酸化物半導体を用いることが好適である。酸化物半導体をトランジスタの半導体層として用いることにより、アモルファスシリコン等のシリコン系半導体材料と比較して電界効果移動度を高めることが出来る。なお酸化物半導体としては、例えば、酸化亜鉛（ZnO）、酸化スズ（SnO₂）なども用いることができる。また、ZnOにInやGaなどを添加することもできる。

【0024】

なお酸化物半導体としてInMO₃（ZnO）_x（x>0）で表記される薄膜を用いることができる。なお、Mは、ガリウム（Ga）、鉄（Fe）、ニッケル（Ni）、マンガン（Mn）及びコバルト（Co）から選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。例えば、酸化物半導体層としてIn-Ga-Zn-O系非単結晶膜を用いることができる。

【0025】

酸化物半導体（InMO₃（ZnO）_x（x>0）膜）としてIn-Ga-Zn-O系非

10

20

30

40

50

単結晶膜のかわりに、Mを他の金属元素とする $\text{InMO}_3(\text{ZnO})_x$ ($x > 0$)膜を用いてもよい。また、酸化物半導体として上記の他にも、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を適用することができる。

【0026】

なお、薄膜トランジスタは、ゲート端子と、ドレイン端子と、ソース端子とを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。本明細書においては、高電源電位 V_{dd} を供給するための配線側に接続される端子をドレイン端子、低電源電位 V_{ss} が供給される側に接続される端子をソース端子として説明することとする。なお、ソース端子とドレイン端子を、第1端子、第2端子と表記する場合がある。

10

【0027】

なお、薄膜トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。

【0028】

また、チャネル領域の上下にゲート電極が配置されている構造を適用することができる。なお、チャネル領域の上下にゲート電極が配置される構成にすることにより、複数の薄膜トランジスタが並列に接続されたような構成とすることも可能である。

20

【0029】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0030】

次いで、パルス出力回路103の構成について図1(B)に示す。パルス出力回路103は、一例として、スタートパルスSPが入力される端子に接続された第1のスイッチ111と、第1のスイッチ111を介して入力される信号を反転して出力する第1のインバータ回路112と、第1のインバータ回路112で反転された信号を反転して出力する第2のインバータ回路113と、第2のインバータ回路113で反転された信号が入力される端子に接続された第2のスイッチ114と、第1のインバータ回路112で反転された信号が出力される端子に接続された第3のスイッチ115と、第3のスイッチ115を介して入力される信号を反転して出力する第3のインバータ回路116と、第3のインバータ回路116で反転された信号を反転して出力する第4のインバータ回路117と、第4のインバータ回路117で反転された信号が入力される端子に接続された第4のスイッチ118と、で構成される。図1(B)に示した回路図において、点線で示したブロックが1段分のパルス信号を出力するパルス出力回路103であり、図1(A)のシフトレジスタは、N段(Nは2以上の自然数)のパルス出力回路によって構成されている。N段のパルス出力回路からは、それぞれの第3のインバータ回路116の出力端子より、出力信号out1乃至outNが出力される。

30

40

【0031】

なお、上記説明した第1のスイッチ111及び第4のスイッチ118では、第1のクロック信号CLK1によってオン(導通)またはオフ(非導通)が制御され、第2のスイッチ114及び第3のスイッチ115では、第2のクロック信号CLK2によってオンまたはオフが制御されるように、配線101または配線102と接続される。

【0032】

次いで、図1(B)に用いる第1のインバータ回路112乃至第4のインバータ回路11

50

7の回路構成について、図2に一例を示す。半導体層を酸化物半導体で構成することにより、図2(A)、(B)に示すように単極性の薄膜トランジスタで構成されるインバータ回路となる。図2(A)に示すインバータ回路120は、第1のトランジスタ121、第2のトランジスタ123で構成されている。第1のトランジスタ121は、第1端子(ここではドレイン端子)が高電源電位V_{dd}を供給する配線122に接続され、第2端子(ここではソース端子)が第1のトランジスタ121のゲートに接続され、当該端子がインバータ回路120の出力端子となる。また第2のトランジスタ123は、第1端子(ここではドレイン端子)が第1のトランジスタ121の第2端子及びゲートに接続され、第2端子(ここではソース端子)が低電源電位V_{ss}を供給する配線124に接続され、ゲートがインバータ回路120の入力端子となる。

10

【0033】

また、図2(A)とは異なる構成のインバータ回路について図2(B)に示す。図2(B)に示すインバータ回路130は、第1のトランジスタ131、第2のトランジスタ132で構成されている。第1のトランジスタ131は、第1端子(ここではドレイン端子)が高電源電位V_{dd}を供給する配線122及び第1のトランジスタ131のゲートに接続され、第2端子(ここではソース端子)がインバータ回路130の出力端子となる。また第2のトランジスタ132は、第1端子(ここではドレイン端子)が第1のトランジスタ131の第2端子に接続され、第2端子(ここではソース端子)が低電源電位V_{ss}を供給する配線124に接続され、ゲートがインバータ回路130の入力端子となる。

20

【0034】

なお高電源電位とは、基準電位より高い電位のことであり、低電源電位とは基準電位以下の電位のことをいう。なお高電源電位及び低電源電位ともに、トランジスタが動作できる程度の電位、すなわち高電源電位がゲートに印加されることで理想的なトランジスタ(しきい値電圧が'0V')がオン状態となり、低電源電位が印加されることで理想的なトランジスタがオフ状態となる電位であることが望ましい。

【0035】

なお、電圧とは、ある電位と、基準電位との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0036】

次いで、図1(B)に用いる第1のスイッチ111乃至第4のスイッチ118の回路構成について、一例を示す。図2(C)に示すようにスイッチは、半導体層が酸化物半導体で構成されるトランジスタ140(第3のトランジスタということもある)で構成される。図2(C)に示すスイッチとして機能するトランジスタ140は、第1端子(ソース端子またはドレイン端子の一方)がスイッチの入力端子INとなり、第2端子(ソース端子またはドレイン端子の他方)がスイッチの出力端子OUTとなり、ゲートには配線101または配線102より供給される第1のクロック信号CLK1または第2のクロック信号CLK2(図2(C)では一例として第1のクロック信号CLK1を示す)によりオン又はオフが制御される。

30

【0037】

次いで、図2(A)乃至(C)で示す各回路に入力される高電源電位V_{dd}、低電源電位V_{ss}、及び第1のクロック信号CLK1の電圧の振幅について模式的に示した図を図2(D)に示す。図2(D)には、縦軸に電位について示し、波形141は、第1のクロック信号CLK1について示したものであり、波形142は高電源電位V_{dd}について示したものであり、波形143は低電源電位V_{ss}について示したものであり、波形144はスタートパルスSPについて示したものである。

40

【0038】

また図2(E)では、第1のクロック信号CLK1の電圧の振幅の代わりに、第2のクロック信号CLK2の電圧の振幅を示した図に相当する。図2(E)には、図2(D)と同様に、縦軸に電位について示し、波形145は、第2のクロック信号CLK2について示したものであり、波形142は高電源電位V_{dd}について示したものであり、波形143

50

は低電源電位 V_{ss} について示したものであり、波形 144 はスタートパルス SP について示したものである。なお第 2 のクロック信号 $CLK2$ は、第 1 のクロック信号 $CLK1$ の反転信号に相当する。

【0039】

図 2 (D)、(E) で示すように、第 1 のクロック信号 $CLK1$ 、及び第 2 のクロック信号 $CLK2$ の電圧振幅は、H レベル信号 V_H から L レベル信号 V_L となる。また高電源電位 V_{dd} の電位、低電源電位 V_{ss} の電位、及びスタートパルス SP の電圧振幅は、L レベル信号 V_L より大きい V_{ss} から H レベル信号 V_H より小さい V_{dd} となる。

【0040】

半導体層を酸化物半導体で構成する第 1 のインバータ回路 112 乃至第 4 のインバータ回路 117 では、各トランジスタがノーマリーオンである場合、貫通電流が大きくなることにより、消費電力が増加することとなる。そのため、高電源電位 V_{dd} 及び低電源電位 V_{ss} 、及びスタートパルス SP の振幅電圧を予め小さく設定しておくことにより、消費電力を低減することができる。また一方で、第 1 のスイッチ 111 乃至第 4 のスイッチ 118 では、誤動作の低減される駆動回路とするために、オンまたはオフの状態を確実に保持することが求められる。そのため、第 1 のクロック信号 CLK 、及び第 2 のクロック信号 $CLK2$ の電圧振幅をインバータ回路の電源電圧より大きな電圧振幅とすることにより、より確実に第 1 のスイッチ 111 乃至第 4 のスイッチ 118 のオンまたはオフの状態を保持することができる。

【0041】

なお、図 2 (A) で説明した第 1 のインバータ回路 112 乃至第 4 のインバータ回路 117 を構成する第 1 のトランジスタ 121、及び第 2 のトランジスタ 123 がノーマリーオンの場合、配線 122 及び配線 124 に供給する電源電位の電圧を小さくしても、消費電力が増加することとなる。そのため、酸化物半導体を半導体層に用いたトランジスタでインバータ回路を構成する際には、第 2 のトランジスタ 123 の抵抗値を、第 1 のトランジスタ 121 よりも高くなるように予めすることが好ましい。すなわち第 2 のトランジスタ 123 の L/W 比を、第 1 のトランジスタ 121 の L/W 比より大きくすることが好ましい。

【0042】

具体的に、第 2 のトランジスタ 123 の L/W 比を、第 1 のトランジスタ 121 の L/W 比より大きくしたインバータ回路 120 の上面図を図 3 に示す。図 3 に示すインバータ回路 120 では、高電源電位 V_{dd} を供給する配線 122、低電源電位 V_{ss} を供給する配線 124、第 1 のトランジスタ 121、第 2 のトランジスタ 123、第 1 のトランジスタ 121 のゲート配線 201、第 2 のトランジスタ 123 のゲート配線 202、第 1 のトランジスタ 121 の半導体層 203、第 2 のトランジスタ 123 の半導体層 204、第 1 のトランジスタ 121 のソース端子及び第 2 のトランジスタ 123 のドレイン端子となる配線 205 について示している。各配線の接続については、図 2 (A) と同様であり、例えば、ゲート配線 201 と配線 205 はコンタクトホールを介して接続されるといった構造となる。なおゲート配線 202 はインバータ回路 120 の入力端子 IN となり、配線 205 がインバータ回路 120 の出力端子となる。

【0043】

なお、第 2 のトランジスタ 123 の半導体層の膜厚を、第 1 のトランジスタ 121 の半導体層の膜厚より小さくする構成としてもよい。当該構成とすることにより上述の抵抗値を異ならせることができるため、好ましい。なおゲート長 L はトランジスタのゲートと半導体層が重なる領域でのソース、ドレイン間の長さに相当し、ゲート幅 W はトランジスタのゲートと半導体層が重なる領域でのソース、ドレイン間の幅に相当する。従って、 L/W 比は、ゲート長とゲート幅の比に相当する。

【0044】

なお、本実施の形態では、酸化物半導体を半導体層に用いる薄膜トランジスタの例について説明したが、本実施の形態で開示する構成は、駆動回路を構成する薄膜トランジスタが

10

20

30

40

50

ノーマリーオンでも動作することができるというものである。従って、例えば、非晶質シリコンで形成される半導体層において、意図的または非意図的にn型の導電性を付与する不純物が含まれることによってノーマリーオンとして動作するトランジスタにも、用いることができる。また、チャネル領域を形成する半導体層のゲート絶縁膜とは反対側（バックチャネル側）に電荷が蓄積されることによって寄生チャネルが形成され、ノーマリーオンとして動作するトランジスタにおいても適用可能である。

【0045】

本実施の形態の構成とすることによって、単極性の駆動回路を構成するトランジスタがノーマリーオンであってもトランジスタのオンまたはオフをとることができる。そのため、ノーマリーオンであっても、確度が高く誤動作を低減することのできる駆動回路とすることが

10

【0046】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0047】

（実施の形態2）

本実施の形態では、上記実施の形態1で説明した駆動回路の構成に加え、デマルチプレクサ回路をパルス出力回路の各出力端子に設ける駆動回路の構成について図面を参照して説明する。実施の形態1の駆動回路の構成である、スイッチとして機能する薄膜トランジスタ、及びインバータ回路によって構成される駆動回路に、本実施の形態で説明する構成を付加することでさらなる低消費電力化を図ることができ好適である。

20

【0048】

図4に示す本実施の形態の駆動回路400は、第1のクロック信号（CLK1）を供給する配線401、第2のクロック信号（CLK2）を供給する配線402、複数段にわたって設けられるパルス出力回路403、スタートパルス（SP、または入力信号ともいう）を供給する配線404を有している。本実施の形態の駆動回路は、out1乃至outN列分のパルス信号を出力する各出力端子に、デマルチプレクサ回路405を有する。そして、デマルチプレクサ回路405では、M個（2以上の自然数）の異なるタイミングの信号を生成した上で、出力端子にあたる配線406よりN×M列分のパルス信号を出力する。

30

【0049】

つまり、上記実施の形態1で説明したパルス出力回路の段数N段をN/M段に削減することができる。その結果、駆動回路を駆動するためのクロック信号の周波数の低減も図ることができる。そのため、ノーマリーオンで構成されるトランジスタを用いても消費電極を大幅に削減することができる。

【0050】

デマルチプレクサ回路405は、スタティック型のシフトレジスタ回路の出力信号out1乃至outNとデマルチプレクサ回路の制御信号との論理和を取ることで、配線406でのHレベル信号VHとLレベル信号VLとでなる複数のパルス信号を生成する回路である。デマルチプレクサ回路405によって、配線はHレベル信号が供給される配線と短絡する状態、Lレベル信号が供給される配線と短絡する状態、電氣的に浮遊状態（フローティング）となるように設定する。そして当該デマルチプレクサ回路405を構成するトランジスタもノーマリーオンで構成されていても、誤動作が低減できる回路とすることができる構成である。

40

【0051】

具体的なデマルチプレクサ回路の構成について、図5を用いて説明する。なお、図5に示すデマルチプレクサ回路405は、一つの入力信号及び複数の制御信号より、複数の異なるタイミングの信号（ここでは4つ）を生成する回路である。

【0052】

デマルチプレクサ回路405の具体的な一例としては、第1のトランジスタ501、第2

50

のトランジスタ502、第3のトランジスタ503、第4のトランジスタ504、第5のトランジスタ505、第6のトランジスタ506、第7のトランジスタ507、第8のトランジスタ508、第9のトランジスタ509、第10のトランジスタ510、第11のトランジスタ511、第12のトランジスタ512、第13のトランジスタ513、第14のトランジスタ514、Hレベル信号を供給するための配線515及び配線517、Lレベル信号を供給するための配線516及び配線518を有する構成となる。第3のトランジスタ503は、第1の制御信号MUX1がゲートに印加されることでオン又はオフが制御される。第4のトランジスタ504は、第2の制御信号MUX2がゲートに印加されることでオン又はオフが制御される。第5のトランジスタ505は、第3の制御信号MUX3がゲートに印加されることでオン又はオフが制御される。第6のトランジスタ506は、第4の制御信号MUX4がゲートに印加されることでオン又はオフが制御される。第7のトランジスタ507は、第1の反転制御信号MUX1Bがゲートに印加されることでオン又はオフが制御される。第8のトランジスタ508は、第2の反転制御信号MUX2Bがゲートに印加されることでオン又はオフが制御される。第9のトランジスタ509は、第3の反転制御信号MUX3Bがゲートに印加されることでオン又はオフが制御される。第10のトランジスタ510は、第4の反転制御信号MUX4Bがゲートに印加されることでオン又はオフが制御される。第1のトランジスタ501の第1端子は配線515に接続され、ゲートは駆動回路400の出力端子に接続される。第2のトランジスタ502の第1端子は配線516に接続され、ゲートは第1のトランジスタ501と同じ駆動回路400の出力端子に接続される。第3のトランジスタ503の第1端子は、第1のトランジスタ501の第2端子に接続され、第2端子は配線G1に接続される。第4のトランジスタ504の第1端子は、第1のトランジスタ501の第2端子に接続され、第2端子は配線G2に接続される。第5のトランジスタ505の第1端子は、第1のトランジスタ501の第2端子に接続され、第2端子は配線G3に接続される。第6のトランジスタ506の第1端子は、第1のトランジスタ501の第2端子に接続され、第2端子は配線G4に接続される。第7のトランジスタ507の第1端子は、第2のトランジスタ502の第2端子に接続され、第2端子は配線G1に接続される。第8のトランジスタ508の第1端子は、第2のトランジスタ502の第2端子に接続され、第2端子は配線G2に接続される。第9のトランジスタ509の第1端子は、第2のトランジスタ502の第2端子に接続され、第2端子は配線G3に接続される。第10のトランジスタ510の第1端子は、第2のトランジスタ502の第2端子に接続され、第2端子は配線G4に接続される。第11のトランジスタ511の第1端子は配線G1に接続され、ゲートは配線517に接続され、第2端子は配線518に接続される。第12のトランジスタ512の第1端子は配線G2に接続され、ゲートは配線517に接続され、第2端子は配線518に接続される。第13のトランジスタ513の第1端子は配線G3に接続され、ゲートは配線517に接続され、第2端子は配線518に接続される。第14のトランジスタ514の第1端子は配線G4に接続され、ゲートは配線517に接続され、第2端子は配線518に接続される。

【0053】

なお図5のデマルチプレクサ回路405において、第1のトランジスタ501乃至第10のトランジスタ510にL/W比は、第11のトランジスタ511乃至第14のトランジスタ514より小さくなるように設計する。換言すれば、第1のトランジスタ501乃至第10のトランジスタ510の電流供給能力は、第11のトランジスタ511乃至第14のトランジスタ514の電流供給能力より高くなるように設計する。

【0054】

具体的には、酸化物半導体を半導体層に用いたトランジスタでデマルチプレクサ回路を構成する際には、第11のトランジスタ511乃至第14のトランジスタ514の抵抗値を、第1のトランジスタ501乃至第10のトランジスタ510よりも高くなるように予めすることが好ましい。すなわち第11のトランジスタ511乃至第14のトランジスタ514のL/W比を、第1のトランジスタ501乃至第10のトランジスタ510のL/W

10

20

30

40

50

比より大きくすることが好ましい。なお、第11のトランジスタ511乃至第14のトランジスタ514の半導体層の膜厚を、第1のトランジスタ501乃至第10のトランジスタ510の半導体層の膜厚より小さくする構成としてもよい。当該構成とすることにより上述の抵抗値を異ならせることができるため、好ましい。

【0055】

図5において、配線G1乃至G4が、第1のトランジスタ501乃至第10のトランジスタ510により供給されるHレベル信号VHであるときは、第1のトランジスタ501乃至第10のトランジスタ510の電流供給能力が、第11のトランジスタ511乃至第14のトランジスタ514の電流供給能力より高くしておくことで、配線G1乃至G4をHレベル信号VHにすることができる。また第11のトランジスタ511及び第14のトランジスタ514は、配線G1乃至G4がフローティングとなる期間、Hレベル信号VHがゲートに印加されることで配線G1乃至G4をLレベル信号VLに保持することができる。すなわち、第11のトランジスタ511及び第14のトランジスタ514は、配線G1乃至G4がHレベル信号VHの電位以外の期間に、Lレベル信号の電位を保持するための機能を有する。なお、第11のトランジスタ511乃至第14のトランジスタ514の各トランジスタは、駆動回路400のインバータ回路を構成する第1のトランジスタ及び第2のトランジスタ、駆動回路400のスイッチを構成する第3のトランジスタに倣って、第4のトランジスタと呼ぶこともある。また第1のトランジスタ501乃至第10のトランジスタ510の各トランジスタは、駆動回路400のインバータ回路を構成する第1のトランジスタ及び第2のトランジスタ、駆動回路400のスイッチを構成する第3のトランジスタ、先述の第4のトランジスタに倣って、第5のトランジスタと呼ぶこともある。

【0056】

前述のように、デマルチプレクサ回路405を構成する各トランジスタもノーマリーオンの場合、フローティング状態となる期間のリーク電流等で、Lレベル信号VLの電位を保持できないことがあり得る。図5の回路構成とすることにより、配線G1乃至G4にリーク電流があってもLレベル信号の電位を保持することができるため誤動作を低減することができる。

【0057】

次いで、図5の動作について図6にタイミングチャートを示し、説明する。図6に示す信号は、駆動回路400に供給される第1のクロック信号CLK1、第2のクロック信号CLK2、駆動回路400から出力される出力信号out1、出力信号out2、出力信号out3、及び出力信号out4、並びに図5における第1の制御信号MUX1、第2の制御信号MUX2、第3の制御信号MUX3、第4の制御信号MUX4、第1の反転制御信号MUX1B、第2の反転制御信号MUX2B、第3の反転制御信号MUX3B、第4の反転制御信号MUX4B、デマルチプレクサ回路405から出力される出力信号GOUT1、出力信号GOUT2、出力信号GOUT3について示したものである。

【0058】

図6に示すように、第1のクロック信号CLK1及び第2のクロック信号CLK2に応じて、パルス信号として出力信号out1乃至out4が順次出力されることとなる。out1のパルス信号は、第1の制御信号MUX1、第2の制御信号MUX2、第3の制御信号MUX3、第4の制御信号MUX4と論理和をとることで、配線G1乃至G3よりパルス信号GOUT1、GOUT2、GOUT3を順次得るものとなる。なお、第1の反転制御信号MUX1B、第2の反転制御信号MUX2B、第3の反転制御信号MUX3B、第4の反転制御信号MUX4Bは、第1の制御信号MUX1、第2の制御信号MUX2、第3の制御信号MUX3、第4の制御信号MUX4の逆位相となる信号である。

【0059】

また第1の反転制御信号MUX1B、第2の反転制御信号MUX2B、第3の反転制御信号MUX3B、第4の反転制御信号MUX4Bの代わりに、出力信号out1の反転信号に相当する反転出力信号out1Bを用いても同様の出力信号を配線G1乃至G4より得ることができる。図11に具体例として回路構成について示す。なお、図11に示すデマ

ルチプレクサ回路450は、図5と同様に、一つの入力信号及び複数の制御信号より、複数の異なるタイミングの信号（ここでは4つ）を生成する回路である。

【0060】

デマルチプレクサ回路450の具体的な一例としては、第1のトランジスタ451、第2のトランジスタ452、第3のトランジスタ453、第4のトランジスタ454、第5のトランジスタ455、第6のトランジスタ456、第7のトランジスタ457、第8のトランジスタ458に、Lレベル信号VLを供給するための配線459、反転出力信号OUT1Bを出力するインバータ回路460を有する構成となる。また第1の制御信号MUX1を供給するための配線461、第2の制御信号MUX2を供給するための配線462、第3の制御信号MUX3を供給するための配線463、第4の制御信号MUX4を供給するための配線464を有する。第1のトランジスタ451の第1端子は配線461に接続され、ゲートは駆動回路400の出力端子に接続され、第2端子は配線G1に接続される。第2のトランジスタ452の第1端子は配線462に接続され、ゲートは駆動回路400の出力端子に接続され、第2端子は配線G2に接続される。第3のトランジスタ453の第1端子は配線463に接続され、ゲートは駆動回路400の出力端子に接続され、第2端子は配線G3に接続される。第4のトランジスタ454の第1端子は配線464に接続され、ゲートは駆動回路400の出力端子に接続され、第2端子は配線G4に接続される。また、インバータ回路460の入力端子は、駆動回路400の出力端子に接続される。また、第5のトランジスタ455の第1端子は配線459に接続され、ゲートはインバータ回路460の出力端子に接続され、第2端子は配線G1に接続される。第6のトランジスタ456の第1端子は配線459に接続され、ゲートはインバータ回路460の出力端子に接続され、第2端子は配線G2に接続される。第7のトランジスタ457の第1端子は配線459に接続され、ゲートはインバータ回路460の出力端子に接続され、第2端子は配線G3に接続される。第8のトランジスタ458の第1端子は配線459に接続され、ゲートはインバータ回路460の出力端子に接続され、第2端子は配線G4に接続される。

【0061】

また図6に対応して、図11での各信号のタイミングチャート図を図12に示す。図12に示すように図6と同じ出力信号を得られることがわかる。

【0062】

なお図11のデマルチプレクサ回路450において、第1のトランジスタ451乃至第4のトランジスタ454にL/W比は、第5のトランジスタ455乃至第8のトランジスタ458より小さくなるように設計する。換言すれば、第1のトランジスタ451乃至第4のトランジスタ454の電流供給能力は、第5のトランジスタ455乃至第8のトランジスタ458の電流供給能力より高くなるように設計する。

【0063】

具体的には、酸化物半導体を半導体層に用いたトランジスタでデマルチプレクサ回路を構成する際には、第5のトランジスタ455乃至第8のトランジスタ458の抵抗値を、第1のトランジスタ451乃至第4のトランジスタ454よりも高くなるように予めすることが好ましい。すなわち第5のトランジスタ455乃至第8のトランジスタ458のL/W比を、第1のトランジスタ451乃至第4のトランジスタ454のL/W比より大きくすることが好ましい。なお、第5のトランジスタ455乃至第8のトランジスタ458の半導体層の膜厚を、第1のトランジスタ451乃至第4のトランジスタ454の半導体層の膜厚より小さくする構成としてもよい。当該構成とすることにより上述の抵抗値を異ならせることができるため、好ましい。なお、第5のトランジスタ455乃至第8のトランジスタ458の各トランジスタは、駆動回路400のインバータ回路を構成する第1のトランジスタ及び第2のトランジスタ、駆動回路400のスイッチを構成する第3のトランジスタに倣って、第4のトランジスタと呼ぶこともある。また第1のトランジスタ451乃至第4のトランジスタ454の各トランジスタは、駆動回路400のインバータ回路を構成する第1のトランジスタ及び第2のトランジスタ、駆動回路400のスイッチを構成

する第3のトランジスタ、先述の第4のトランジスタに倣って、第5のトランジスタと呼ぶこともある。

【0064】

図11、図12に示すように、反転出力信号out1Bをデマルチプレクサ回路405に用いることにより、入力する信号数の低減を図ることができる。そして信号数の低減に伴う配線の引き回し面積の削減による省スペース化を図ることができるため、駆動回路の小型化、及び低消費電力化を図ることができる。

【0065】

本実施の形態の構成とすることによって、単極性の駆動回路を構成するトランジスタがノーマリーオンであってもトランジスタのオンまたはオフをとることができる。そのため、ノーマリーオンであっても、確度が高く誤動作を低減することのできる駆動回路とすることができる。

【0066】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0067】

(実施の形態3)

本実施の形態では、上記実施の形態で説明した駆動回路の作製工程、特に酸化物半導体層を半導体層に具備する薄膜トランジスタの上面図及び断面図について説明する。また本実施の形態で説明する駆動回路を具備する表示装置では、液晶表示装置に適用することができる。なお他にも、有機EL等の発光素子を具備する表示装置に適用することができる。また、上記実施の形態で説明した駆動回路は電気泳動素子を具備する電子ペーパーの駆動回路として適用することが可能である。なお、表示装置の駆動回路に限らず、光センサ用駆動回路等の他の装置にも適用可能である。

【0068】

図7は、上記実施の形態1の図3で説明した第1のトランジスタ121及び第2のトランジスタ123で構成されるインバータ回路120の上面図である。図8は、第1のトランジスタ121及び第2のトランジスタ123の断面図である。また、図8に示す第1のトランジスタ121及び第2のトランジスタ123の断面図は、図7に示すインバータ回路120の上面図における線分A-A'、B-B'、C-C'に対応している。なお本実施の形態においては特に半導体層を酸化物半導体で形成する際の薄膜トランジスタの形成方法の一例について説明する。

【0069】

まず、基板901に下地膜902を成膜する。次いで下地膜902上に導電膜を形成した後、フォトリソグラフィ工程によりゲート電極層903A、903Bを形成する。

【0070】

なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0071】

ゲート電極層903A、903Bを形成する導電膜としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。

【0072】

また、基板901としてガラス基板を用いる際は、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0073】

下地膜902は、基板901からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による

10

20

30

40

50

積層構造により形成することができる。

【0074】

次いで、ゲート電極層903A、903B上にゲート絶縁層904を形成する。

【0075】

ゲート絶縁層904は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。

【0076】

次いで、フォトリソグラフィ工程によりゲート絶縁層904を選択的にエッチングしてゲート電極層903Bに達するコンタクトホールを形成する。

10

【0077】

次いで、ゲート絶縁層904上に、酸化物半導体膜を形成する。酸化物半導体膜の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とする際には、膜厚を50nm以下と薄くすることが好ましい。

【0078】

酸化物半導体膜は、 In-Ga-Zn-O 系非単結晶膜、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体膜を用いる。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタ法により形成することができる。

20

【0079】

ここでは、 In 、 Ga 、及び Zn を含む酸化物半導体ターゲット（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1[\text{mol}\%]$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5[\text{at}\%]$ ）を用いて、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下で成膜する。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0080】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属導電膜を成膜する場合に用いられる。

30

【0081】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0082】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

40

【0083】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【0084】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層904の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改

50

質する方法である。なお、アルゴン雰囲気にて窒素、ヘリウム、酸素などを用いてもよい。

【0085】

次いで、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層905A、905Bに加工する。また、島状の酸化物半導体層905A、905Bを形成するためのレジストマスクをインクジェット法で形成してもよい。

【0086】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う加熱処理の温度は、400以上750以下、好ましくは425以上基板の歪み点以下とする。なお、425以上であれば加熱処理時間は1時間以下でよいが、425以下であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気に限定されず、希ガス（ヘリウム、ネオン、アルゴン等）下において脱水化または脱水素化を行う。なお、加熱条件によっては、酸化物半導体の結晶化率が90%以上、または80%以上となる場合がある。

【0087】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0088】

次いで、ゲート絶縁層904及び酸化物半導体層905A、905B上に、導電膜を形成した後、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って電極層906を形成する。導電膜としては、Ti、Mo、W、Al、Cr、Cu、Ta、から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせ合わせた合金等を用いる。導電膜は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。なお図8では、酸化物半導体層上に接する導電膜のみを選択的に除去することとなる。従って、酸化物半導体層上に接する導電膜のみを選択的に除去するため、アルカリ性のエッチャントとしてアンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いれば、導電膜を選択的に除去し、In-Ga-Zn-O系酸化物半導体からなる酸化物半導体層を残存させることができる。

【0089】

次いで、ゲート絶縁層904、酸化物半導体層905A、905B、電極層906上に絶縁層907を形成する。絶縁層907は、少なくとも1nm以上の膜厚とし、スパッタリング法など、酸化物絶縁膜に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物半導体層905A、905Bに接して形成する絶縁層907は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

【 0 0 9 0 】

以上の工程により、第 1 のトランジスタ 1 2 1、第 2 のトランジスタ 1 2 3 を作製することができる。

【 0 0 9 1 】

なお、図 8 に示す第 1 のトランジスタ 1 2 1 及び第 2 のトランジスタ 1 2 3 は、酸化物半導体を半導体層に用いたボトムゲート型の T F T である。しかし、これに限定されず、トップゲート型の T F T でも良い。

【 0 0 9 2 】

本実施の形態の構成とすることによって、駆動回路を構成するトランジスタがノーマリーオンであってもトランジスタがオン状態またはオフ状態をとることができる。そのため、ノーマリーオンであっても、確度が高く誤動作を低減することのできる駆動回路とすることができる。

10

【 0 0 9 3 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 0 9 4 】

(実施の形態 4)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。画素部に配置する薄膜トランジスタは、実施の形態 3 と同様に形成すればよい。

20

【 0 0 9 5 】

アクティブマトリクス型表示装置のブロック図の一例を図 9 (A) に示す。表示装置の基板 5 3 0 0 上には、画素部 5 3 0 1、第 1 の走査線駆動回路 5 3 0 2、第 2 の走査線駆動回路 5 3 0 3、信号線駆動回路 5 3 0 4 を有する。画素部 5 3 0 1 には、複数の信号線が信号線駆動回路 5 3 0 4 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5 3 0 2、及び走査線駆動回路 5 3 0 3 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5 3 0 0 は F P C (F l e x i b l e P r i n t e d C i r c u i t) 等の接続部を介して、タイミング制御回路 5 3 0 5 (コントローラ、制御 I C ともいう) に接続されている。

30

【 0 0 9 6 】

図 9 (A) では、第 1 の走査線駆動回路 5 3 0 2、第 2 の走査線駆動回路 5 3 0 3、信号線駆動回路 5 3 0 4 は、画素部 5 3 0 1 と同じ基板 5 3 0 0 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 5 3 0 0 外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板 5 3 0 0 上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【 0 0 9 7 】

なお、タイミング制御回路 5 3 0 5 は、第 1 の走査線駆動回路 5 3 0 2 に対し、一例として、第 1 の走査線駆動回路用スタート信号 (G S P 1)、走査線駆動回路用クロック信号 (G C L K 1) を供給する。また、タイミング制御回路 5 3 0 5 は、第 2 の走査線駆動回路 5 3 0 3 に対し、一例として、第 2 の走査線駆動回路用スタート信号 (G S P 2) (スタートパルスともいう)、走査線駆動回路用クロック信号 (G C L K 2) を供給する。信号線駆動回路 5 3 0 4 に、信号線駆動回路用スタート信号 (S S P)、信号線駆動回路用クロック信号 (S C L K)、ビデオ信号用データ (D A T A) (単にビデオ信号ともいう)、ラッチ信号 (L A T) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (C L K B) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5 3 0 2 と第 2 の走査線駆動回路 5 3 0 3 との一方を省略することが可能である。

40

【 0 0 9 8 】

50

図9(B)では、駆動周波数が低い回路(例えば、第1の走査線駆動回路5302、第2の走査線駆動回路5303)を画素部5301と同じ基板5300に形成し、信号線駆動回路5304を画素部5301とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板5300に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

【0099】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0100】

(実施の形態5)

本実施形態においては、上記実施の形態で説明した表示装置を表示部に具備する電子機器の例について説明する。

【0101】

上記実施の形態の各々の図で述べた内容(一部でもよい)を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。

【0102】

図10(A)はディスプレイであり、筐体1211、支持台1212、表示部1213を含む。図10(A)に示すディスプレイは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図10(A)に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

【0103】

図10(B)はカメラであり、本体1231、表示部1232、受像部1233、操作キー1234、外部接続ポート1235、シャッターボタン1236を含む。図10(B)に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図10(B)に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0104】

図10(C)はコンピュータであり、本体1251、筐体1252、表示部1253、キーボード1254、外部接続ポート1255、ポインティングデバイス1256を含む。図10(C)に示すコンピュータは、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能を有する。なお、図10(C)に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

【0105】

本実施形態の表示部に上記実施の形態で説明した表示装置を用いる構成とすることで、上述の図10(A)乃至図10(C)の駆動回路を構成するトランジスタがノーマリーオンであってもトランジスタがオン状態またはオフ状態をとることができる。そのため、ノーマリーオンであっても、確度が高く誤動作を低減することのできる駆動回路とすることができる。また、駆動回路のクロック信号の周波数の低減を行うことで、低消費電力化を図ることも可能である。

【0106】

本実施の形態は他の実施の形態と適宜組み合わせることで実施することが可能である。

【符号の説明】

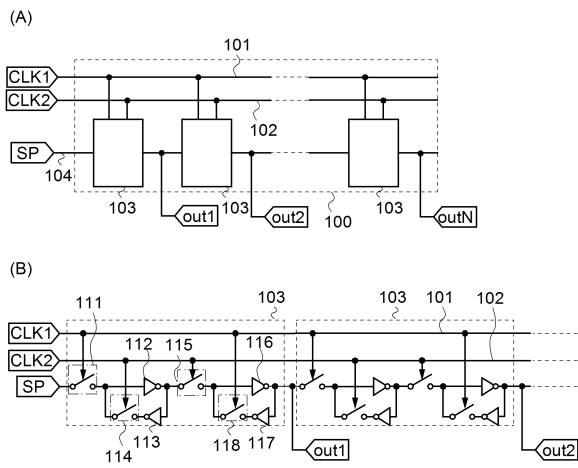
【 0 1 0 7 】

1 0 0	駆動回路	
1 0 1	配線	
1 0 2	配線	
1 0 3	パルス出力回路	
1 0 4	配線	
1 1 1	第 1 のスイッチ	
1 1 2	第 1 のインバータ回路	
1 1 3	第 2 のインバータ回路	
1 1 4	第 2 のスイッチ	10
1 1 5	第 3 のスイッチ	
1 1 6	第 3 のインバータ回路	
1 1 7	第 4 のインバータ回路	
1 1 8	第 4 のスイッチ	
1 2 0	インバータ回路	
1 2 1	第 1 のトランジスタ	
1 2 2	配線	
1 2 3	第 2 のトランジスタ	
1 2 4	配線	
1 3 0	インバータ回路	20
1 3 1	第 1 のトランジスタ	
1 3 2	第 2 のトランジスタ	
1 4 0	トランジスタ	
1 4 1	波形	
1 4 2	波形	
1 4 3	波形	
1 4 4	波形	
1 4 5	波形	
2 0 1	ゲート配線	
2 0 2	ゲート配線	30
2 0 3	半導体層	
2 0 4	半導体層	
2 0 5	配線	
4 0 0	駆動回路	
4 0 1	配線	
4 0 2	配線	
4 0 3	パルス出力回路	
4 0 4	配線	
4 0 5	デマルチプレクサ回路	
4 0 6	配線	40
5 0 1	第 1 のトランジスタ	
5 0 2	第 2 のトランジスタ	
5 0 3	第 3 のトランジスタ	
5 0 4	第 4 のトランジスタ	
5 0 5	第 5 のトランジスタ	
5 0 6	第 6 のトランジスタ	
5 0 7	第 7 のトランジスタ	
5 0 8	第 8 のトランジスタ	
5 0 9	第 9 のトランジスタ	
5 1 0	第 1 0 のトランジスタ	50

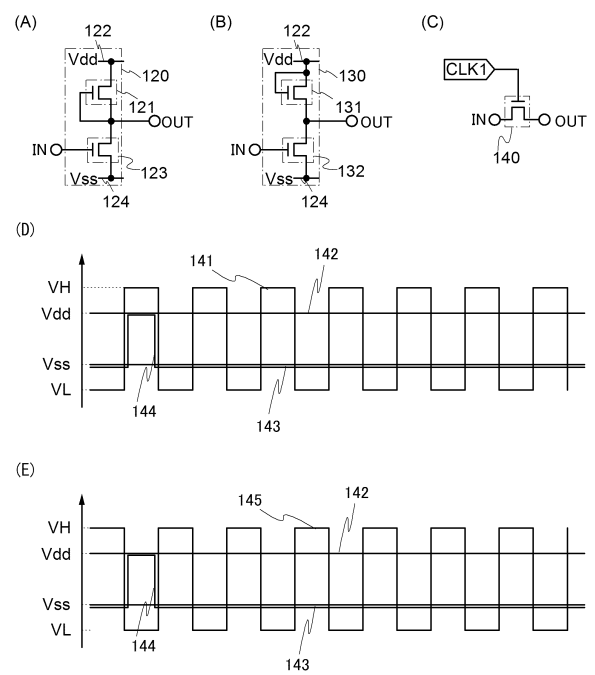
5 1 1	第 1 1 のトランジスタ	
5 1 2	第 1 2 のトランジスタ	
5 1 3	第 1 3 のトランジスタ	
5 1 4	第 1 4 のトランジスタ	
5 1 5	配線	
5 1 6	配線	
5 1 7	配線	
5 1 8	配線	
9 0 1	基板	
9 0 2	下地膜	10
9 0 4	ゲート絶縁層	
9 0 6	電極層	
9 0 7	絶縁層	
1 2 1 1	筐体	
1 2 1 2	支持台	
1 2 1 3	表示部	
1 2 3 1	本体	
1 2 3 2	表示部	
1 2 3 3	受像部	
1 2 3 4	操作キー	20
1 2 3 5	外部接続ポート	
1 2 3 6	シャッターボタン	
1 2 5 1	本体	
1 2 5 2	筐体	
1 2 5 3	表示部	
1 2 5 4	キーボード	
1 2 5 5	外部接続ポート	
1 2 5 6	ポインティングデバイス	
5 3 0 0	基板	
5 3 0 1	画素部	30
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
9 0 3 A	ゲート電極層	
9 0 3 B	ゲート電極層	
9 0 5 A	酸化物半導体層	
4 5 0	デマルチプレクサ回路	
4 5 1	第 1 のトランジスタ	
4 5 2	第 2 のトランジスタ	40
4 5 3	第 3 のトランジスタ	
4 5 4	第 4 のトランジスタ	
4 5 5	第 5 のトランジスタ	
4 5 6	第 6 のトランジスタ	
4 5 7	第 7 のトランジスタ	
4 5 8	第 8 のトランジスタ	
4 5 9	配線	
4 6 0	インバータ回路	
4 6 1	配線	
4 6 2	配線	50

4 6 3 配線
4 6 4 配線

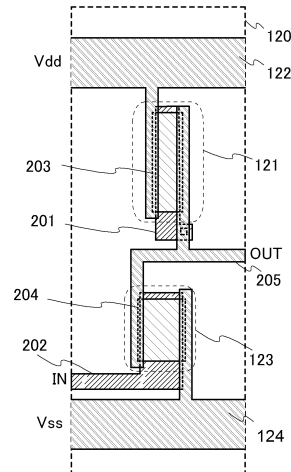
【図 1】



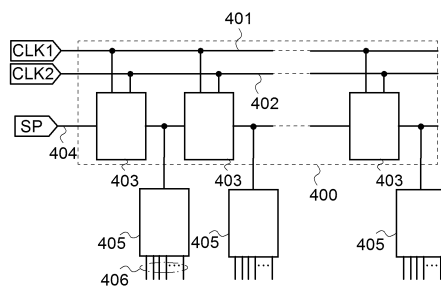
【図 2】



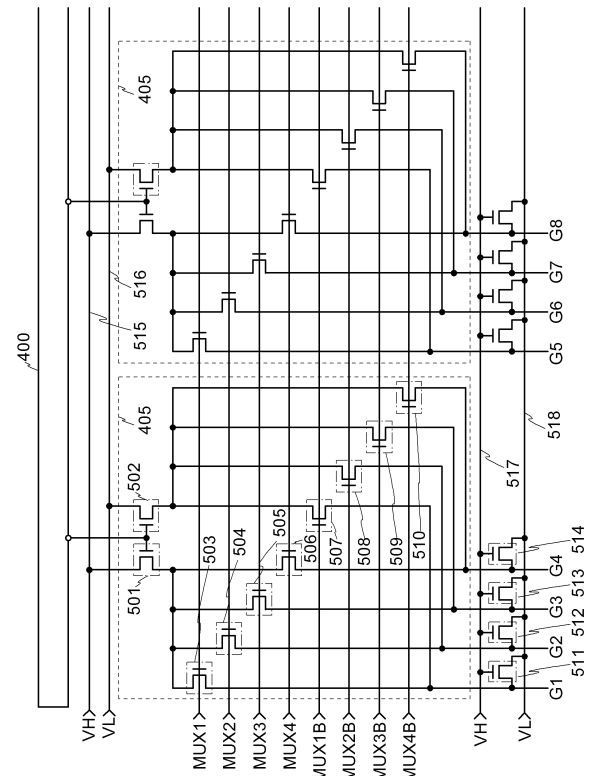
【図 3】



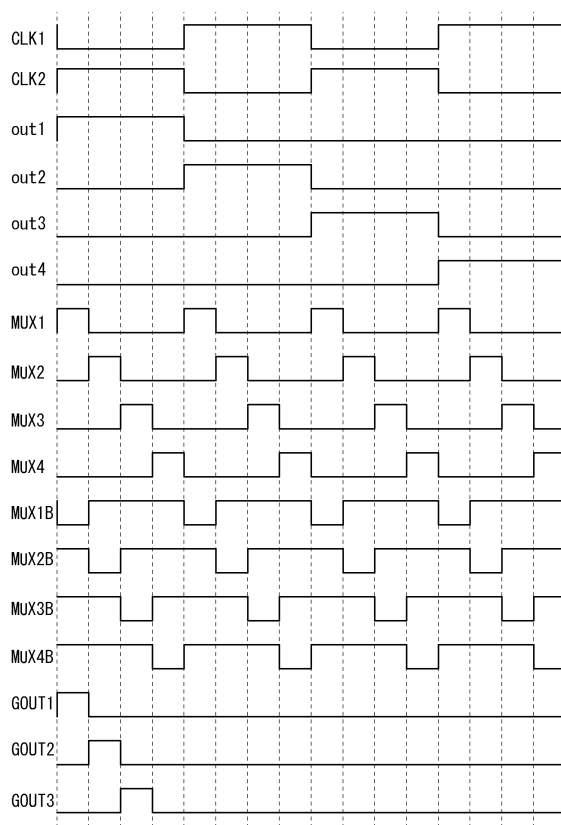
【図 4】



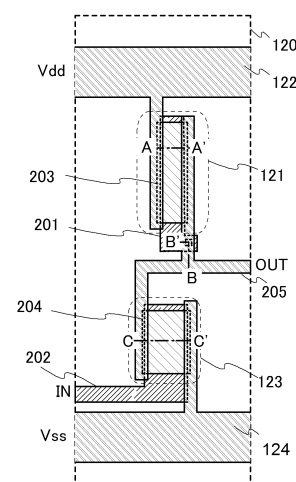
【図 5】



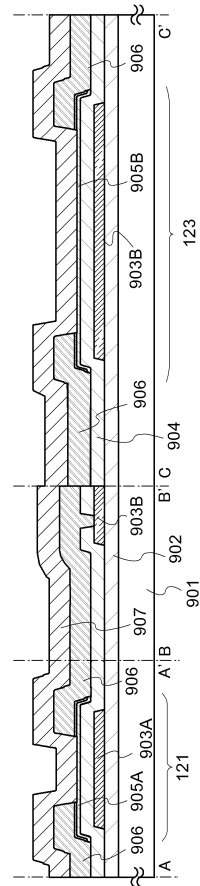
【図 6】



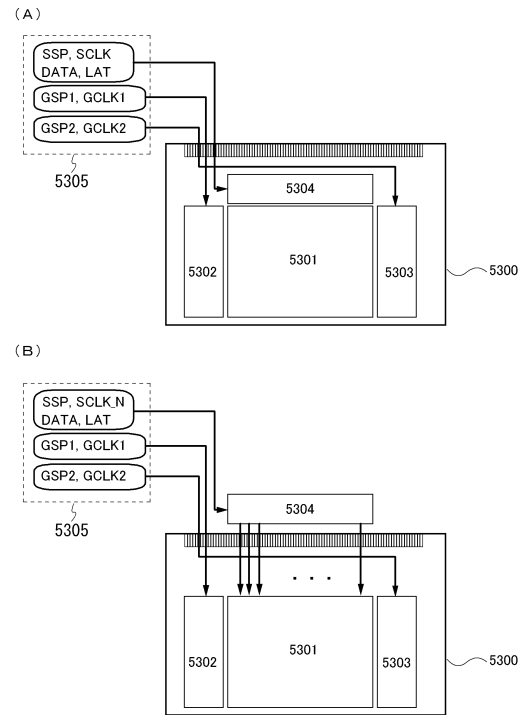
【図 7】



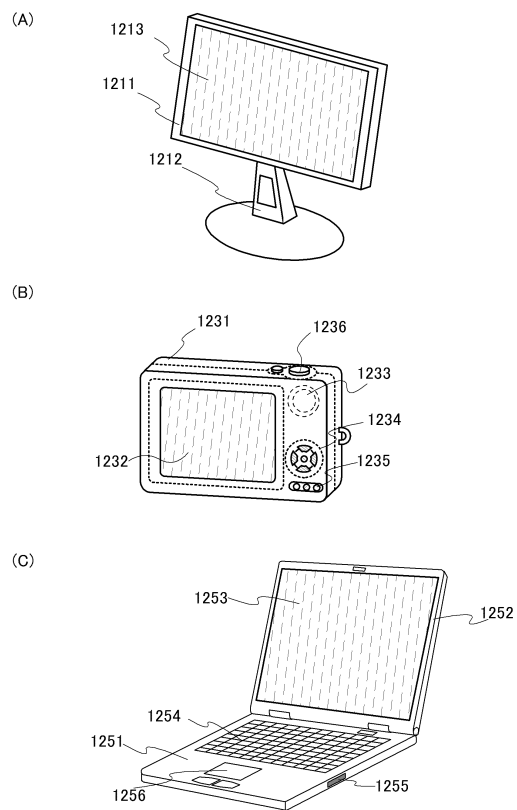
【図 8】



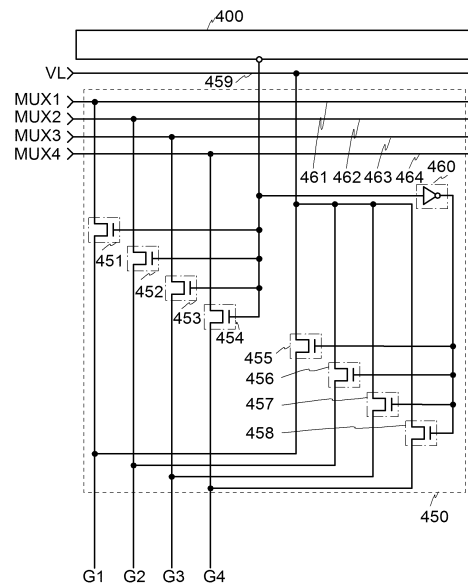
【図 9】



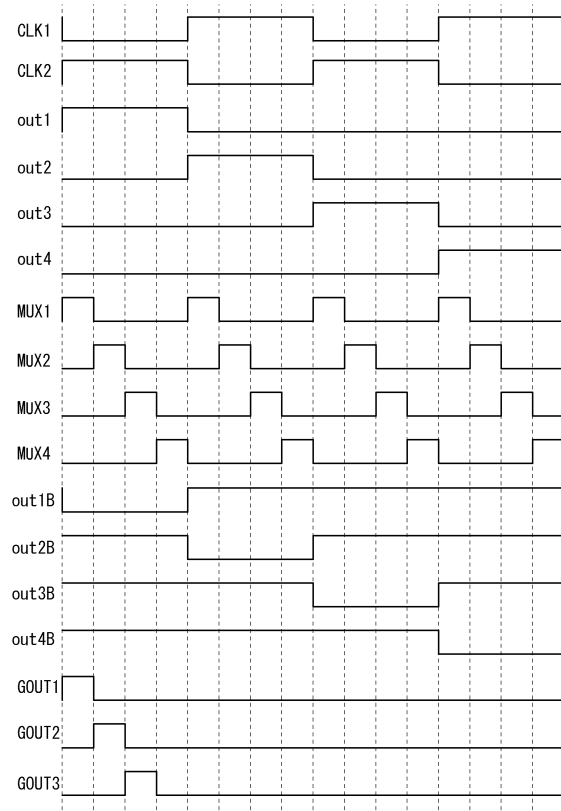
【図 10】



【図 11】



【図 12】



 フロントページの続き

(51)Int.Cl.		F I		
H 0 3 K	3/037	(2006.01)	G 1 1 C	19/28 2 1 0
			H 0 3 K	3/356 D
			H 0 3 K	3/037 Z

(56)参考文献 特開 2 0 0 9 - 0 0 4 7 3 3 (J P , A)
 特開 2 0 0 8 - 0 9 1 8 9 6 (J P , A)
 特開 2 0 0 7 - 3 1 8 0 6 1 (J P , A)
 特開平 1 1 - 0 7 4 5 3 5 (J P , A)
 米国特許出願公開第 2 0 1 0 / 0 0 8 5 0 8 1 (U S , A 1)
 米国特許出願公開第 2 0 0 2 / 0 0 4 7 8 2 5 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
 H 0 1 L 2 1 / 3 3 6、2 1 / 8 2 3 4 - 2 1 / 8 2 3 8、
 2 1 / 8 2 4 9、2 7 / 0 6 - 2 7 / 0 8、
 2 7 / 0 8 8 - 2 7 / 0 9 2、2 9 / 7 8 6