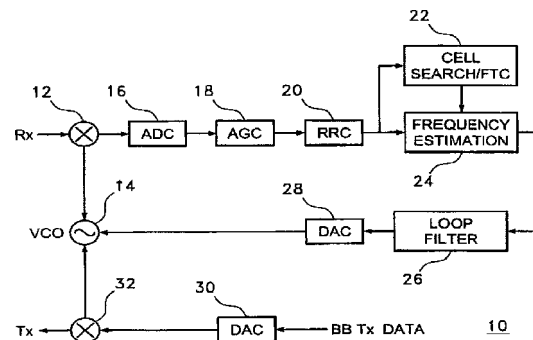




【特許請求の範囲】

【請求項 1】

L O (Local Oscillator) を調整するための周波数推定値を獲得する方法において、
a) データシンボルおよびミッドアンプルを含むタイムスロットを有する通信信号を受信するステップと、
b) 前記受信された信号のサンプルと既知のミッドアンプル基準とのブロック相関を所定の N 回行うステップと、
c) 前記 N 回のブロック相関の共役積を $N - 1$ 個求めるステップと、
d) 前記 $N - 1$ 個の共役積の和を求めるステップと、
e) ステップ (d) で得られた前記 $N - 1$ 個の共役積の和を所定数積算するステップと、 10
f) 得られた積算値のマグニチュードを判定するステップと、
g) 所定個数の最大値をサーチするステップと、
h) 最大値の関数である閾値を使用して最大値以外の前記所定個数の最大値の閾値検出を行うステップと、
i) 最大値と、該最大値以外の前記所定個数の最大値のうちの前記閾値を超える値とを結合するステップと、
j) ステップ (i) で得られた前記和を計算するステップと、
k) ステップ (j) で得られた和を使用して、ステップ (i) で得られた複素数値を正規化するステップと、
l) ステップ (k) で正規化により得られた複素数値の偏角を周波数推定値として使用するステップと 20
を備えたことを特徴とする方法。

【請求項 2】

請求項 1 において、

m) V O S (voltage controlled oscillator) の動作周波数を調整する電圧値を得るためのループフィルタに、ステップ (l) で得られた周波数推定値を供給するステップをさらに備えたことを特徴とする方法。

【請求項 3】

請求項 2 において、ステップ (m) で得られた周波数推定値は、デジタルフォーマットであり、 30
本方法は、

n) 前記デジタルフォーマットをアナログ電圧に変換するステップ
をさらに備えたことを特徴とする方法。

【請求項 4】

請求項 3 において、さらに

o) 前記アナログ電圧を前記 V O S に供給するステップを
備えたことを特徴とする方法。

【請求項 5】

請求項 1 において、ステップ (b) は、 $N = 4$ の場合に、4 つのブロック相関を行うステップを備えたことを特徴とする方法。 40

【請求項 6】

請求項 1 において、ステップ (e) は、絶対周波数エラーに基づいて前記積算される和の数を調整するステップを含み、積算される和の数は、周波数エラーが少なくなればなるほど、少なくなること特徴とする方法。

【請求項 7】

請求項 6 において、前記絶対周波数エラーの範囲は、一般的に、 0 Hz から 6000 Hz までの範囲であることを特徴とする方法。

【請求項 8】

請求項 7 において、積算される和の数は、1 から 30 までの範囲にあることを特徴とする方法。

【請求項 9】

請求項 1 において、ステップ (f) ないし (l) は、ステップ (e) で、積算される和の所定数に達したとき、実施されることを特徴とする方法。

【請求項 10】

請求項 1 において、ステップ (h) で採用した閾値は、最大の D 値を 0 . 7 0 7 倍ないし 0 . 5 6 倍して得られた値であることを特徴とする方法。

【請求項 11】

請求項 1 において、ステップ (a) において受信された通信信号は、ミッドアンプル長が 5 1 2 チップであり、全て、ステップ (b) で相関がとられることを特徴とする方法。

【請求項 12】

請求項 1 において、ステップ (a) において受信された信号の前記ミッドアンプルは、ミッドアンプル長が 5 1 2 チップであり、最初の 5 6 チップが、前記ステップ (b) の実施において無視されることを特徴とする方法。

【請求項 13】

請求項 1 において、ステップ (i) は、1 つのパスのみがステップ (i) の前記閾値を満たす状況で、さらに、前記 2 つのパスと等しいゲインとを結合するステップを備えたことを特徴とする方法。

【請求項 14】

請求項 1 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、推定された周波数エラーを閾値と比較することによって判定され、推定された周波数エラーが所定の検出閾値未満であるとき、収束が得られることを特徴とする方法。

【請求項 15】

請求項 1 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、2 つの周波数推定値が所定の検出閾値未満であるとき判定されることを特徴とする方法。

【請求項 16】

請求項 1 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、2 つの連続的な周波数推定値が所定の検出閾値未満であるとき判定されることを特徴とする方法。

【請求項 17】

請求項 1 において、0 . 9 9 の確率で所定数のフレームにおいて必要な精度への収束は、周波数推定値の 2 点の移動平均が前記検出閾値未満であるとき判定されることを特徴とする方法。

【請求項 18】

請求項 1 において、周波数オフセットが測定され、前記周波数オフセットが 4 0 0 H z 未満であるとき、同報通信チャネル (B C H) が読み取られることを特徴とする方法。

【請求項 19】

請求項 18 において、前記絶対周波数オフセット閾値が 4 6 5 H z 以上のとき前記 B C H の検出を防止するステップをさらに備えたことを特徴とする方法。

【請求項 20】

請求項 1 において、前記ループフィルタのループゲインは、0 . 1 から 0 . 3 までの範囲にあることを特徴とする方法。

【請求項 21】

請求項 20 において、前記ループゲインは、好ましくは、0 . 2 6 であることを特徴とする方法。

【請求項 22】

請求項 1 において、ステップ (i) は、推定された偏角 θ を、

【数 1】

$$\theta = \text{Im} \left\{ \frac{D}{\text{Abs approx } \{D\}} \right\}$$

10

20

30

40

によって判定することを特徴とする方法。

【請求項 23】

請求項 1 において、ループフィルタは、値 $v(t)$ を生成し、 $v(t) = v(t-1) + \lambda \varepsilon(t)$ であり、 $v(t-1)$ が以前の推定値、 ε が前記周波数推定値、 λ が定数であることを特徴とする方法。

【請求項 24】

請求項 1 において、通信システムは、各フレームが所定数のタイムスロットを有し、各タイムスロットが所定数のチップを有する、前記受信された信号が同じ長さの複数のフレームからなる無線通信システムであることを特徴とする方法。

【請求項 25】

請求項 24 において、前記タイムスロットは、それぞれ、ミッドアンプルによって分離される第 1 および第 2 のグループのデータシンボルを有する 2560 チップを有することを特徴とする方法。

【請求項 26】

請求項 25 において、前記データシンボルグループは、それぞれ、976 チップを有し、前記ミッドアンプルは、512 チップを有し、前記ミッドアンプルに続く前記グループのデータシンボルには、96 チップのガード期間が続くことを特徴とする方法。

【請求項 27】

LO (Local Oscillator) を調整するための周波数推定値を獲得する装置において、データシンボルおよびミッドアンプルを含むタイムスロットを有する通信信号を受信する手段と、

前記受信された信号サンプルと既知のミッドアンプル基準とのブロック相関を所定の N 回行う手段と、

前記 N 回のブロック相関の共役積を $N-1$ 個求める手段と、

前記 $N-1$ 個の共役積の和を求める手段と、

前記和を求める手段により得られた $N-1$ 個の共役積の和を所定数積算する手段と、

得られた積算値のマグニチュードを判定する手段と、

所定個数の最大値をサーチする手段と、

最大値の関数である閾値を使用して最大値以外の前記所定個数の最大値の閾値検出を行う手段と、

最大値と、該最大値以外の前記所定の個数の最大値のうちの前記閾値を超える値とを結合する手段と、

前記結合する手段によって得られた前記和を計算する手段と、

前記計算する手段によって得られた和を使用して前記結合する手段によって得られた複素数値を正規化する手段と、

前記正規化する手段によって得られた前記正規化された複素数値の偏角を周波数推定値のために生成する手段と

を備えたことを特徴とする装置。

【請求項 28】

請求項 27 において、前記生成する手段は、前記周波数推定値を、VOS の動作周波数を調整するためのループフィルタに供給することを特徴とする装置。

【請求項 29】

請求項 28 において、前記周波数推定値を生成する手段は、デジタルフォーマットされた出力を生成し、

本装置は、

前記デジタルフォーマットされた出力をアナログ信号に変換し前記 VOS に供給する手段を有することを特徴とする装置。

【請求項 30】

請求項 27 において、前記ブロック相関をとる手段は、4 つのブロック相関を行う手段を備えたことを特徴とする装置。

10

20

30

40

50

【請求項 3 1】

請求項 2 7 において、前記積算する手段は、絶対周波数エラーに基づいて前記積算される和の数を調整する手段を含み、前記積算される和の数は、周波数エラーが少なくなればなるほど、少なくなることとを特徴とする装置。

【請求項 3 2】

請求項 2 7 において、前記閾値検出手段によって使用される前記閾値は、最大の D 値を 0 . 7 0 7 倍ないし 0 . 5 6 倍して得られた値であることを特徴とする装置。

【請求項 3 3】

請求項 2 7 において、前記受信された信号は、ミッドアンプル長が 5 1 2 チップであり、全て、前記相関手段により相関がとられることを特徴とする装置。

10

【請求項 3 4】

請求項 2 7 において、前記閾値検出手段と、判定する手段に応答する手段であって 2 つのパスを等しいゲインに結合する手段とによって供給される閾値を 1 つのパスのみが満たすかどうかを判定する手段を有することを特徴とする装置。

【請求項 3 5】

請求項 2 7 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、推定された周波数エラーと閾値とを比較する手段によって判定され、推定された周波数エラーが所定の検出閾値未満であるとき、収束が得られたことを特徴とする装置。

【請求項 3 6】

請求項 2 7 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、2 つの周波数推定値が所定の検出閾値未満であるとき、収束を識別する手段によって判定されることを特徴とする装置。

20

【請求項 3 7】

請求項 2 7 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、2 つの連続的な周波数推定値が所定の検出閾値を未満であるとき、収束を識別する手段によって判定されることを特徴とする装置。

【請求項 3 8】

請求項 2 7 において、0 . 9 9 の確率でフレームの所定個数の必要な精度への収束は、周波数推定値の 2 点の移動平均が前記検出閾値未満であるとき、収束を識別する手段によって判定されることを特徴とする装置。

30

【請求項 3 9】

請求項 2 7 において、周波数オフセットを測定する手段と、前記周波数オフセットが 4 0 0 H z よりも低いときに同報通信チャネル (B C H) を読み取る手段とをさらに備えたことを特徴とする装置。

【請求項 4 0】

請求項 1 において、ステップ (g) でサーチされる前記最大値の所定の個数は、3であることを特徴とする方法。

【請求項 4 1】

請求項 2 7 において、前記サーチする手段は、3 つの最大値をサーチすることを特徴とする装置。

40

【請求項 4 2】

請求項 1 において、ステップ (b) は、周波数オフセットに基づいてブロック相関サイズを調整するステップを含み、前記ブロック相関サイズは、前記オフセットが大きくなればなるほど、小さくなることを特徴とする方法。

【請求項 4 3】

請求項 2 7 において、前記実施する手段は、周波数オフセットに基づいてブロック相関サイズを調整する手段を含み、前記ブロック相関サイズは、前記オフセットが大きくなればなるほど、小さくなることを特徴とする装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、ワイヤレス通信分野に関する。具体的には、本発明は、TDD (Time Division Duplex) を使用した3G (third generation) ワイヤレス通信の分野に関し、ワイヤレス通信システムレシーバ内の周波数エラーの検出および訂正に関する。

【 背景技術 】

【 0 0 0 2 】

典型的なワイヤレス通信システムにおいては、トランスミッタLO (Local Oscillator) とレシーバLOとの間に周波数の違いがあると、これにより、データ伝送が妨害される可能性がある。加えて、多数のシステムにおいては、レシーバ機能にもトランスミッタ機能にも同じLOを利用しているので、周波数オフセットが大きい場合には、かなりのアウトオブバンド干渉 (out-of-band interference) が生じる可能性がある。

【 0 0 0 3 】

この問題を解決するためには、従来のシステムでは、位相差動検出を利用するか、あるいはDFT (Discrete Fourier Transform) を適用して、周波数エラーを推定し、LOをアップデートしてきた。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

しかし、これら従来システムでは、マルチパス干渉の効果を無視するか、またはAFCにレイクレシーバ (RAKE receiver) を結合するかの、いずれかが行われていた。したがって、これら従来の技術は、マルチユーザ検出を使用するシステムであってもレイクレシーバを有していないシステムには、適用できなかった。

【 課題を解決するための手段 】

【 0 0 0 5 】

本発明によれば、ワイヤレス通信システムのレシーバにおいては、発振器周波数エラーを検出し訂正することができる。さらに、本発明は、マルチパス干渉があっても、ロバストな性能を提供する。さらにまた、本発明は、マルチパス干渉の問題を解決し、同様に、大きなディレイスプレッドに関連するダイバーシティゲインを活用している。加えて、本発明によれば、インタセル (inter-cell) およびイントラセル (intra-cell) の干渉源をリジェクトする能力が提供され、他方、RF搬送波にオフセットがあり、サンプリングクロックにオフセットがあっても、オペレーションが効率的に行われる。本発明によれば、適応チューニング速度を有し、レイクレシーバを使用しないマルチユーザ検出アルゴリズムを使用したシステムによる機能を有し、不連続パイロット (トレーニング) 信号に対してオペレートすることができる。

【 0 0 0 6 】

本発明においては、ブロック相関器と、共役積和ブロックと、積算ブロックと、マルチパス検出部と、ループフィルタ (適応帯域幅) と、を有する周波数推定器を備えている。マルチパス検出部は、サーチブロック、閾値検出ブロック、およびマルチパスコンポーネントを結合するブロックを備えている。

【 0 0 0 7 】

本発明は、以下の説明および図面から理解される。図において、同様の要素は同じ番号を付してある。

【 発明を実施するための最良の形態 】

【 0 0 0 8 】

図1は閉ループAFC (automatic frequency control) 10のブロック図である。受信信号Rxは、その周波数が、VCO (voltage controlled oscillator) 14によって乗算器12のベースバンドまで下げられる。このベースバンド信号Rxは、16において、AD (analog-to-digital) 変換され、18において、AGC (auto gain control) され、ついでRRC (root-raised cosine) フィルタ20を通過する。

【 0 0 0 9 】

22においてセルサーチを行い、24において周波数推定を行った後、この周波数推定をループフィルタ26に供給する。VCO14の周波数を調整するため、ループフィルタ26からのデジタル出力は、DAC(digital-to-analog converter)28によって変換される。ベースバンド(BB)Txデータは、DAC30によって変換される。DAC30からの信号は、乗算器32において変調され、伝送するため使用されるとともに、搬送周波数としてVCO14に供給される。

【0010】

図2は、周波数推定ブロック24によって実施されるステップを示すブロック図であり、周波数推定アルゴリズムをより詳細に示す。

【0011】

最初に、24-1において、周波数推定アルゴリズムは、受信された信号サンプルと既知の基準(ミッドアンプル)とに対して、4つのブロック相関をパフォームする。24-2において、4つのブロック相関器の出力を、相関器から相関器へと、時間的に順次に、共役積を求め、位相シフトを偏角で表現した3つの複素数を生成する。ついで、位相変化の分散推定値(variance estimate)をより小さくするため、これら3つの共役積の和を求める。積算ブロック24-3の出力は、ウィンドウラグ(window lag)、 i の関数であり、この値は、 N 個のフレームに亘って積算して得られたものである。 N 個のフレームのデータを処理した後、24-4において、積算して得られた $D(i)$ (値)から、最大の絶対値をもつ3つの値、すなわち D_0 (最大値)、 D_1 、 D_2 をサーチする。24-5において、これらの値のマグニチュードを計算して、3つの最大 $D(i)$ 値を獲得する。

【0012】

24-6において、検出閾値を適用する。この検出閾値は、ピーク値(D_0)のマグニチュードに基づくものである。仮に第2、第3に大きいコンポーネントのマグニチュードがこの閾値を超えた場合には、これら第2、第3に大きいコンポーネントは、この周波数推定値の計算に含めるのに十分に大きいものとみなされる。

【0013】

閾値検出を行った後、1つの複素数を得、その偏角を、相関器ブロック間の位相変化の推定値として使用できるようにするため、24-7において、残っているマルチパスコンポーネントについて、コヒーレントに和を求める。周波数推定値を、ブロック24-8および24-9を使用して計算する。これらブロック24-8および24-9は、2つの近似値を利用しており、このため、以下に説明する三角関数計算を明示的に行う必要はない。

【0014】

図3は、スライディングウィンドウブロック相関オペレーションを示す。ミッドアンプルの最初の部分が、第1のデータバーストからのマルチパス干渉によって、破壊される可能性があるので、当該ミッドアンプルの最後の456チップは、周波数推定において、利用される。サーチされているウィンドウには、49個のリーディング(leading)アラインメントと、49個のラグging(lagging)アラインメントと、0個のラグ(lag)アラインメントとが含まれ、スライディングウィンドウブロック相関器によって実行されるサンプル総数は、1108である。3GPP-TDD通信システムにおいては、10msの長さの同じフレームは、15個の長さの同じタイムスロットから構成され、これらタイムスロットはそれぞれ2560チップを有する。

【0015】

各ラグごとに、図3に示すように、4つのBチップ(2Bサンプル)相関をとる。

【0016】

図4は、 $R_{0,i}$ を生成する第1のブロック相関器の詳細を示す。図4に示すように、各受信サンプルの既知のミッドアンプルとの相関をとり、後続の相関との和を求める。

【0017】

図5は、ブロック24-1のスライディングブロックウィンドウ相関器の出力に対してパフォームされる共役積和演算部24-2を示す。相関器出力 R は、受信サンプルからミッドアンプル変調を取り除いたものの重心を表す複素ベクトルである。次のステップは、1

10

20

30

40

50

つの相関器から次の相関器への位相の変化を推定するステップであり、これは、逐次的な相関器出力の共役積を計算して行われる。共役積演算の各出力は、複素ベクトルであり、その偏角は、1つの相関の中心から次の相関の中心への位相の変化を近似している。積回路 P 1、P 2、P 3 によって求められる3つの共役積を、S 1とS 2の和を取り、これにより、1つの相関器から次の相関器への位相変化のより少ない変動推定値を生成する。

【0018】

共役積和ブロック 24 - 2 の $D(i)$ 値を、周波数推定値を計算する前に、N 個のミッドアンプルについて積算する。

【0019】

積算時定数 N を初期化して 10 とし、これはその後、周波数エラーの絶対値の最高推定頻度 (most recent estimate) に基づいて決定される。一方で、推定区間において著しくドリフトしないようにし、他方で、周波数推定値の変動が最小になるように、N の値を選択する。

【0020】

スライディングウィンドウ相関器 24 - 1 と、共役積和部 24 - 2 と、積算部 24 - 3 とを介して、N 個のミッドアンプルを処理した後、サーチを行い、

【0021】

【数 1】

$\overline{D}(i)$

20

のマグニチュードを最大にするラグ、i を見つける。複数の解決可能なマルチパスコンポーネントが存在することから、3つの最大パスが求められるが、求めるパスの数は、追加の SNR (signal-to-noise ratio) の良くなり、ハードウェアが複雑になる、との観点から妥当な数である。

【0022】

1つの解決可能なマルチパスコンポーネントしか利用できない可能性があるので、第2に大きい (D_1) コンポーネントと、第3に大きい (D_2) コンポーネントとについては、有意性 (significance) を検定する。仮に D_1 および D_2 において、マグニチュードの2乗が D_0 の $1/2$ を超える場合には、 D_1 および D_2 には有意性があると考えられる。そこで、仮に D_1 および D_2 が、

30

【0023】

【数 2】

$(D_0 \sqrt{2})$

を超える場合には、 D_1 および D_2 の有意性を認容し、そうでない場合には、 D_1 および D_2 の有意性を拒絶する。

【0024】

ついで、24 - 7 において、上記要件を満たすマルチパスコンポーネントを結合して1つの複素ベクトルにするが、この偏角は、1ブロック時間における搬送波オフセットの位相変化の推定値である。

40

【0025】

マルチパス結合器出力から偏角情報を抽出するため、複素変数を単位のマグニチュードにスケールリングし、複素絶対値関数の近似を利用する。この近似では、複素ベクトルの虚数部が複素ベクトルの偏角に等しく、この偏角は、仮に θ が 1 に比べて非常に小さく ($\theta < 1$)、かつ複素ベクトルの絶対値が 1 である場合には、 θ に等しい。

【0026】

このように近似すると、アルゴリズムのインプリメンテーションが簡単になり、三角関数の計算を行う必要性が軽減され、AFC アルゴリズムが収束 ($\theta \rightarrow 1$) するとき、このような近似に起因するエラーがゼロに近づく傾向がある、ことが分かっている。

【0027】

50

ループフィルタ 26 は、推定された周波数エラー ε を取り込み、積分演算を行うが、これは、 $v(t)$ を得るためである。ただし、 $v(t) = v(t-1) + \lambda \varepsilon(t)$ である。

【0028】

このことは図 6 にも示す。ここで、入力 ε が、ゲイン - 1 の増幅器に供給され、アナログ加算器 S において、 D_N から得られた以前の値 $v(t-1)$ と、加算される。

【0029】

この積分が、エラー ε が以前のブロックからダンプされるときに限り、演算される、ことに留意されたい。したがって、 v の値は、 N 個のミッドアンプルを処理した後に変化する。CDA (convergence detection algorithm) を使用して収束を判定することができる。

10

【0030】

1 つの技法は、24 - 9 の出力で生成される周波数推定値を、閾値と比較するものであり、仮に推定された周波数エラーが $|\alpha|$ 未満である場合には、収束している。収束は周波数エラーの現在の推定値だけに依存するので、このアルゴリズムはメモリレスと考えられる。

【0031】

代替構成は、2 つの連続した周波数推定値が検出閾値 α 未満のとき、収束を宣言するものである。あるいはまた、2 つの周波数推定値は、連続している必要はない。

【0032】

さらに別の代替構成においては、24 - 9 で得られた最後の 2 つの周波数推定値の平均を次々に演算し、それらを閾値と比較することにより、検出閾値 α より小さいところで動く周波数推定値の 2 点の移動平均に基づいて、収束が検出される。

20

【0033】

実施されるテストに基づいて、ブロック 24 - 6 によって採用された検出閾値最適化に関しては、相対的な検出閾値の最適な選択値が、0.56 (すなわち、0.56 D(0)) となり、これにより改善されて、確率が $p = 0.99$ となり、収束時間が 0.65 秒となる。

【0034】

ループゲイン λ の最適な選択値は、SNR およびチャネル状態に依存する。ループゲインの最適な選択値は、0.26 であり、これによって、-3 dB の SNR と 2 つのアクティブなミッドアンプルとをもつ AWGN チャネルについては、著しく改善され、成功確率が高くなる。

30

【0035】

積算インターバルにおけるコヒーレンシの損失を防止するため、 N と、推定された周波数エラーとの関係が調整されてきた。拡張値は、積算期間において、クロックのドリフトが 0.25 チップを超えないようにし、 N の値は、6000 ないし 0 の絶対周波数エラーの関数として、1 から 30 まで変化し、絶対周波数エラーが少なくなればなるほど、積算されるミッドアンプル数 N が大きくなる。

【0036】

関連ステージにおいては、受信したミッドアンプルのうちの最初の 56 チップは、最初のデータバーストのマルチパス干渉によって破壊される可能性のあるものであって、これらを除くことにより、約 0.5 dB の削減 SNR だけオフセットされるが、この関連ステージにおいて、ミッドアンプルの 512 チップに対して 456 チップを使用するという比較結果に基づくと、すべての 3 つの WG 4 テストチャネルに対しては、ミッドアンプルのすべての 512 チップを使用することが望ましいと判定されている。

40

【0037】

バーストタイプ 1 では、例えば、各タイムスロットは、2 つのグループのデータシンボルを有し、それぞれのグループは、512 チップのミッドアンプルによって分離される 976 チップを有し、96 チップのガード期間が、2 つのグループのデータシンボルのうちの最後のグループに続く。

50

【0038】

上述したが、サーチされるウィンドウは、49個のリーディングアラインメントと、49個のラグgingアラインメントと、ラグアラインメントは含まない(すなわち0個)。より妥当なリーディングパスサーチは、10チップであると判定され、実行すべきスライディングウィンドウブロック関連器に必要とされるサンプルの総数が、1142サンプルであり、ウィンドウサイズがこのように減少すると、最大の解決可能パスが直接パスに対して46Tc遅れるから、最悪ケースのマルチパスWG4チャンネルモデル(ケース2)にとっては依然として許容可能である。

【0039】

ブロック24-6および24-7においては、2つのパスのみが残っているとき、最大パスD0が2番目に大きなパスの重み(weight)の2倍になるが、これらブロック24-6および24-7において採用されたマルチパス結合に対するアプローチは、2つの残っているパスを等しいゲインで処理するマルチパス結合器と比較されており、等しいゲインの結合であれば、WG4ケース1にあっては性能が少し良くなり、その他のケースにあっては実質的に同じ性能をもたらし、したがって、好ましいアプローチは、D(0)およびD(1)のみを結合すべきところにあることが、分かっている。

10

【0040】

本発明は、(複数のマルチパスコンポーネントに基づいて)位相差を推定する一代替方法を使用してインプリメントすることもできる。このケースにおいては、位相を推定するため、本発明で使用される関連のマグニチュードと同様のQM(quality measure)がさら

20

【0041】

積算期間を調整するため使用する同じアプローチ(適応チューニングレート)を関連ブロックサイズにも適用することができる。周波数オフセットが大きい場合には、この推定値には、エイリアシングがある可能性があり、コヒーレンシに欠けるため、関連ブロックサイズを、より小さくすることが好ましい。周波数エラーが減少するにつれて、関連ブロックサイズを増大させて、関連の処理ゲインを改善し、周波数エラーのより正確な推定値を得ることが可能となる。

【図面の簡単な説明】

【0042】

30

【図1】本発明の技術を使用したAFCアルゴリズムのブロック図である。

【図2】本発明の周波数推定アルゴリズムを示すブロック図である。

【図3】図2の各ブロック関連器に含まれる一構成を示す概略図である。

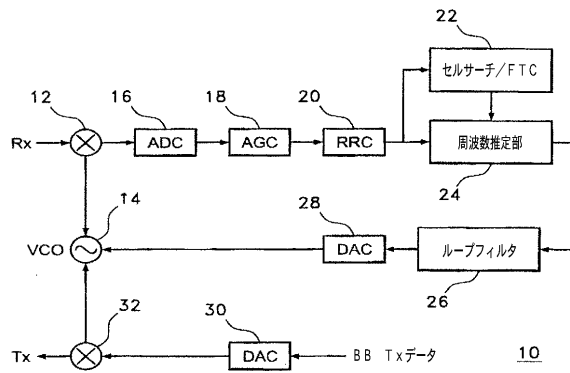
【図4】図2の各ブロック関連器に含まれる一構成を示す概略図である。

【図5】図2の共役積和ブロックをより詳細に示す概略図である。

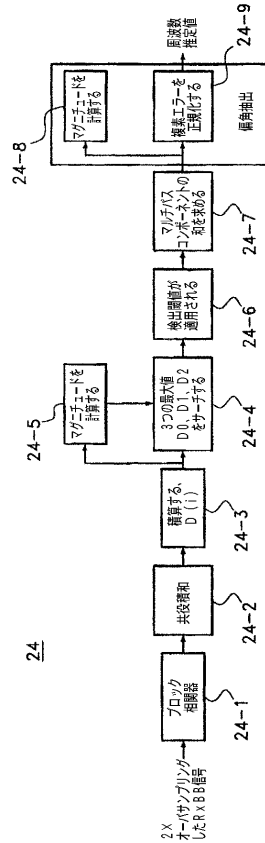
【図6】図1のループフィルタブロックの詳細を示す概略図である。

【図7】図2の装置によって実施されるアルゴリズムを示す流れ図である。

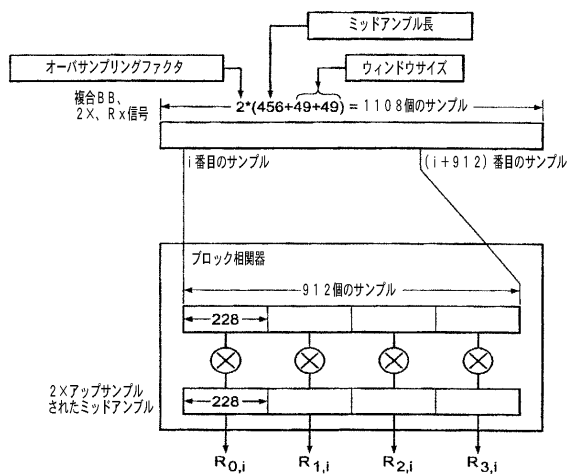
【図 1】



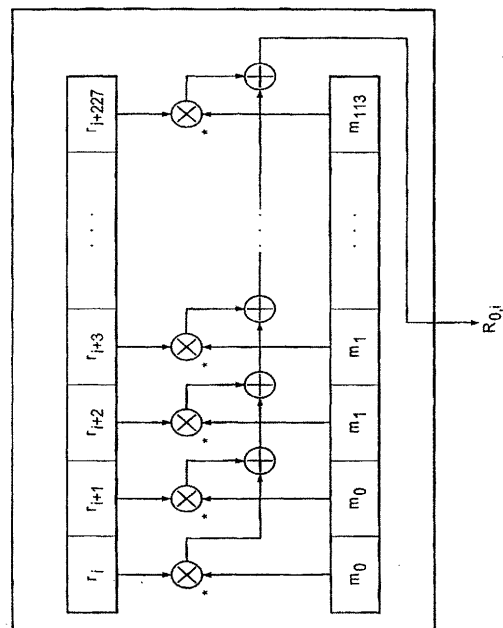
【図 2】



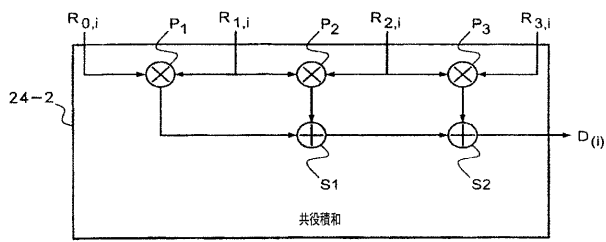
【図 3】



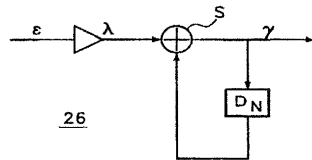
【図 4】



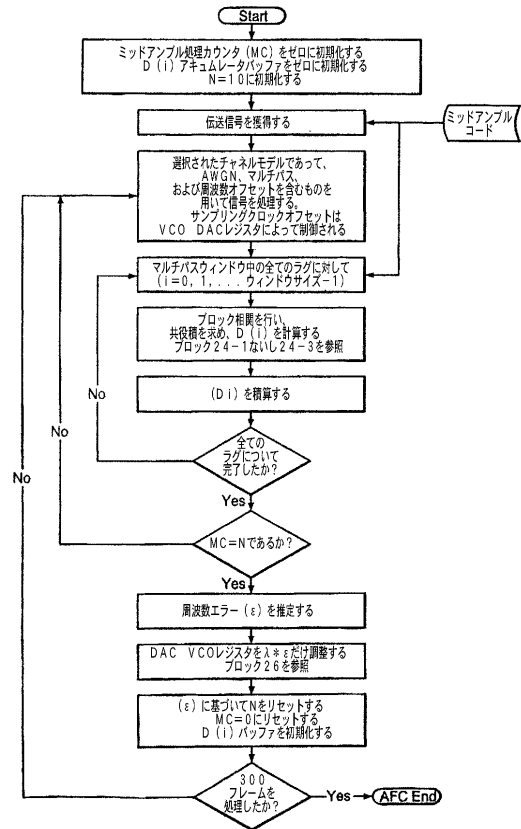
【図 5】



【図 6】



【図 7】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
10 April 2003 (10.04.2003)

PCT

(10) International Publication Number
WO 03/030400 A1

(51) International Patent Classification: H04B 7/00

(21) International Application Number: PCT/US02/30802

(22) International Filing Date:
27 September 2002 (27.09.2002)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/325,505 28 September 2001 (28.09.2001) US

(71) Applicant: INTERDIGITAL TECHNOLOGY CORPORATION [US/US]; 300 Delaware Avenue, Suite 527, Wilmington, DE 19801 (US).

(81) Designated States (national): AI, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MY, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VN, YU, ZA, ZM, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KR, LS, MW, MZ, SD, SI, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, BG, CH, CY, CZ, DE, DK, EL, ES, FI, FR, GB, GR, HU, IT, LU, MC, NL, PT, SI, SK, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

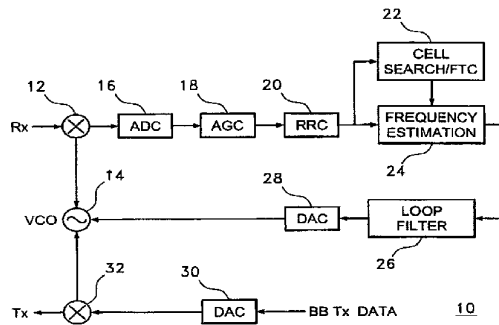
Published:
with international search report

(72) Inventor: STERNBERG, Gregory, S.; 50 Brompton Road, Apartment 2B, Great Neck, NY 11021 (US).

(74) Agents: VOLPE, Anthony, S. et al.; Volpe and Koenig, P.C., Suite 400, One Penn Center, 1617 John F. Kennedy Boulevard, Philadelphia, PA 19103 (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: AUTOMATIC FREQUENCY CORRECTION METHOD AND APPARATUS FOR TIME DIVISION DUPLEX MODES OF 3G WIRELESS COMMUNICATIONS



(57) Abstract: Method and apparatus for detection and correction of oscillator frequency error within a wireless communication system receiver. A frequency estimator having block correlators, conjugate product and sum, accumulation block, multipath detection and a loop filter (accumulate block) (adaptive bandwidth). The multipath detection includes a search block, threshold detection block and a block for combining multipath components. The frequency difference obtained between a base station (BS) local oscillator (LO) and a user equipment (UE) local oscillator is such that the UE LO does not deviate more than 0.1 PPM from the BS LO.

WO 03/030400 A1

WO 03/030400

PCT/US02/30802

[0001] AUTOMATIC FREQUENCY CORRECTION METHOD
 AND APPARATUS FOR TIME DIVISION
 DUPLEX MODES OF 3G WIRELESS COMMUNICATIONS

[0002] FIELD OF INVENTION

[0003] The present invention relates to the field of wireless communications. More specifically, the present invention relates to the field of third generation 3G wireless communications employing Time Division Duplex (TDD) and to frequency error detection and correction within a wireless communication system receiver.

[0004] BACKGROUND OF THE INVENTION

[0005] In typical wireless communications systems, a frequency difference between the transmitter and receiver local oscillators can prevent the transmission of data. Additionally, because many systems utilize the same Local Oscillator (LO) for both receiver and transmitter functions, a large frequency offset can cause significant out-of-band interference.

[0006] In order to overcome this problem, prior systems have utilized differential detection of phase or applied the Discrete Fourier Transform to estimate the frequency error and apply an update to the Local Oscillator. However, these prior systems either ignored the effects of multipath interference or combined the AFC with a RAKE receiver. Therefore, these prior techniques were not applicable for systems that use Multi-user Detection without a RAKE receiver.

[0007] SUMMARY OF THE INVENTION

[0008] The present invention enables detection and correction of the oscillator frequency error within a wireless communication system receiver. Moreover, the present invention provides robust performance in the presence of multipath interference. Furthermore, the present invention overcomes the interference problem as well as exploiting the diversity gains associated with large delay spread. Additionally the inventor provides the capability of rejecting inter-cell and intra-cell interference sources, while operating effectively in the

WO 03/030400

PCT/US02/30802

presence of both RF carrier offset and sampling clock offset. Also, the present invention has adaptive tuning speed and functions with systems using Multi-user Detection algorithms without RAKE receivers and can operate on a discontinuous pilot (training) signal.

[0009] The present invention includes a frequency estimator having block correlators, conjugate product and sum block, accumulation block, multipath detection and a loop filter (adaptive bandwidth). The multipath detection includes a search block, threshold detection block and a block for combining multipath components.

[0010] BRIEF DESCRIPTION OF THE DRAWINGS

[0011] The present invention will be understood from the following description and drawings in which like elements are designated by like numerals and, wherein:

[0012] Figure 1 is a block diagram of a automatic frequency control (AFC) algorithm employing the technique of the present invention.

[0013] Figure 2 is a block diagram illustrating the frequency estimation algorithm of the present invention.

[0014] Figures 3 and 4 are schematic diagrams which illustrate the structure included in each block correlator of Figure 2.

[0015] Figure 5 is a schematic diagram showing the conjugate product and sum block of Figure 2 in greater detail.

[0016] Figure 6 is a schematic diagram showing the details of the loop filter block of Figure 1.

[0017] Figure 7 is a flow diagram showing the algorithm performed by the apparatus of Figure 2.

[0018] DETAILED DESCRIPTION OF THE INVENTION

[0019] Figure 1 is a block diagram of the closed loop automatic frequency control (AFC) 10 wherein a received signal Rx is reduced to baseband at multiplier 12 by a voltage controlled oscillator (VCO) 14. The received baseband

WO 03/030400

PCT/US02/30802

signal Rx undergoes analog-to-digital conversion (ADC) at 16, automatic gain control (AGC) at 18 and then passes through a root-raised cosine (RRC) filter 20. [0020]

After cell search at 22 and frequency estimation at 24, the frequency estimate is applied to loop filter 26. This digital output is converted by digital-to-analog converter (DAC) 28 to adjust the frequency of VCO 14, which is also used for transmission wherein baseband (BB) Tx data is converted by digital-to-analog converter (DAC) 30 which is used to modulate the carrier frequency provided by VCO 14 at multiplier 32.

[0021] Figure 2 is a block diagram showing the steps that are performed by frequency estimation block 24 and which shows the frequency estimation algorithm in greater detail.

[0022] Initially, the frequency estimation algorithm performs four (4) block correlations of the received signal samples with a known reference (midamble) at 24-1. The output of the four (4) block correlators, at 24-2 are successively multiplied in the conjugate sense to produce three (3) complex numbers with angles representative of the phase shift, in time, from one correlator to the next. These three conjugate products are then summed together to produce a lower variance estimate of the phase change. The output of the accumulate block 24-3 is a function of window lag, 1, the value being accumulated over N frames. After N frames of data have been processed, the accumulated D(i) (values) are searched for the three values that have the largest absolute value, D0 (largest), D1 and D2, at 24-4. Magnitudes of these values are computed at 24-5 in order to obtain the three largest D(i) values.

[0023] A detection threshold is then applied at 24-6 which threshold is based on the magnitude of the peak value (D0). If the magnitude of the second and third largest components exceed this threshold they are deemed sufficiently large to be included in the frequency estimation computation.

[0024] After the threshold detection is performed, the surviving multipath components are then coherently summed at 24-7 to provide a single complex number whose angle may be used as an estimate of the phase change between correlator blocks. The frequency estimate is computed, employing blocks 24-8

WO 03/030400

PCT/US02/30802

and 24-9, which utilize two (2) approximations, to be described hereinbelow, avoiding the need for explicit trigonometric calculation.

[0025] Figure 3 shows the sliding window block correlation operation. Due to possible corruption of the first portion of the midamble with multipath interference from the first data burst, the last 456 chips of the midamble are utilized in the frequency estimation. The window that is searched includes 49 leading, 49 lagging and the 0 lag alignments, the total number of samples executed by the sliding window block correlator being 1108. In a 3GPP TDD communications system, equal length frames of 10 ms are comprised of fifteen (15) equal length time slots each having 2560 chips.

[0026] At each lag the four B chip (2B sample) correlations are performed, as shown in Fig. 3.

[0027] Fig. 4 shows the details of the first block correlator that produces Ro,i. As shown in Fig. 4, each received sample is correlated with a known midamble and summed with the next successive correlation.

[0028] Figure 5 shows the conjugate product and summation operation 24-2 which is performed on the outputs of the sliding block window correlators of block 24-1. The correlator outputs R are complex vectors representing the centroid of the received samples with the midamble modulation removed. The next step is estimating the phase change from one correlator to the next which is accomplished by computing a conjugate product of successive correlator outputs. Each output from a conjugate product operation is a complex vector whose angle approximates the phase change from the center of one correlation to the next. The three conjugate products developed by product circuits P1, P2 and P3 are summed together at S1 and S2 to produce a lower variance estimate of the phase change from one correlator to the next.

[0029] The D(i) values of the conjugate product and sum block 24-2 are accumulated over N midambles before computing a frequency estimate.

[0030] The accumulation time constant N is initialized to be 10 and is subsequently determined based on the most recent estimate of the absolute value of the frequency error. The value of N is selected to minimize the variance of the

WO 03/030400

PCT/US02/30802

frequency estimate while preventing significant drift during the estimation interval.

[0031] After N midambles have been processed through the sliding window correlators 24-1, conjugate product, sum 24-2 and accumulator 24-3, a search is performed to find the lag, i , which maximizes the magnitude of $\bar{D}(i)$. Due to the fact that there may be multiple resolvable multipath components, the three (3) largest paths are sought, the number of paths sought being a compromise between additional signal-to-noise ratio (SNR) improvement and increased hardware complexity.

[0032] Since it is possible that there is only one resolvable multipath component available, the second (D1) and third (D2) largest components are tested for significance. D1 and D2 are considered significant if they are greater than half D0 in the magnitude square sense. Thus D1 and D2 are accepted if they are greater than D0 divided by the square root of 2 ($D0/\sqrt{2}$) and rejected if otherwise.

[0033] The multipath components meeting the above requirements are then combined into a single complex vector at 24-7, whose angle is an estimate of the phase change of the carrier offset over one block time.

[0034] In order to extract angle information from the multipath combiner output, the complex variable is scaled to unit magnitude and an approximation of the complex absolute value function is utilized, the approximation being that the imaginary part of the complex vector is equal to the argument of the complex vector which is equal to θ , if θ is much less than 1 ($\theta \ll 1$) and the absolute value of the complex vector is 1.

[0035] This approximation simplifies the implementation of the algorithm, alleviating the need to perform trigonometric computations and it has been found that the error introduced by the approximations tends to zero as the AFC algorithm converges ($\theta \rightarrow 1$).

WO 03/030400

PCT/US02/30802

[0036] Loop filter 26 takes the estimated frequency error ϵ and performs an integration operation in order to obtain $v(t)$ which is represented as: $v(t) = v(t-1) + \lambda \epsilon(t)$.

[0037] This is also depicted in Figure 6 wherein input ϵ is applied to an amplifier having a gain of -1 and summed with the previous value $v(t-1)$ obtained at D_N at summer S.

[0038] It should be noted that the integration is performed only when the error ϵ is dumped from the previous block. Therefore, the value of v changes after N midambles are processed. A convergence detection algorithm (CDA) may be employed to determine convergence.

[0039] One technique is to compare the frequency estimate generated at the output of 24-9 against a threshold and if the estimated frequency error is smaller than $|\alpha|$, convergence has been reached. The algorithm is considered memoryless because convergence is based only on the current estimate of frequency error.

[0040] An alternative arrangement is to declare convergence when two (2) successive frequency estimates are below a detection threshold α . Alternatively, the two frequency estimates need not be successive.

[0041] In still another alternative, convergence is detected based on a two-point moving average of frequency estimates powering below a detection threshold α by successively averaging the last two frequency estimates obtained at 24-9 and comparing them against a threshold.

[0042] Regarding the detection threshold optimization employed by block 24-6, based on tests performed, an optimal choice of relative detection threshold is 0.56 (i.e. 0.56D(o)) which provides an improvement in the probability of $p=0.99$ in a convergence time of 0.65 seconds.

[0043] The optimum choice of loop gain λ is dependent upon the SNR and channel conditions. The optimal choice for loop gain is 0.26 which provides a significant improvement and success probability for the AWGN channel with an SNR of -3dB and two (2) active midambles.

WO 03/030400

PCT/US02/30802

[0044] In order to prevent the loss of coherency during the accumulation interval the relationship between N and estimated frequency error has been adjusted. The enhanced values prevent the drift of the clock from exceeding 0.25 chips over the accumulation periods, the value of N varies from 1 to 30 as a function of absolute frequency error of 6,000 to 0, the lower the absolute frequency error, the higher the number N of midambles accumulated.

[0045] Based on a comparison of the use of 456 versus 512 chips of the midamble in the correlation stage wherein the elimination of the first 56 chips of the received midamble which may be corrupted by multipath interference of the first data burst is offset by a reduction SNR of about 0.5dB, it has been determined that for all 3 WG4 test channels, the use of all 512 chips of the midamble is desirable. In a burst type 1, for example, each time slot has two (2) groups of data symbols, each having 976 chips separated by a 512 chip midamble and a 96 chip guard period following the last group of the two (2) groups of data symbols.

[0046] Previously, the window searched is described as including 49 leading, 49 lagging and no (i.e. 0) lag alignments. A more reasonable leading path search was determined to be 10 chips making the total number of samples required for the sliding window block correlator to execute as being 1142 samples, which reduction in window size is still acceptable for the worst case multipath WG4 channel model (case 2) in which the largest resolvable path is 46Tc delayed relative to the direct path.

[0047] An approach to multipath combining employed in blocks 24-6 and 24-7 in which the largest path D0 is twice the weight of the second largest when only two paths survive, has been compared with a multipath combiner that treats the two surviving paths with equal gain and it has been found that equal gain combining resulted in slightly better performance in the WG4 case 1 and essentially the same performance for the other cases and hence is the preferred approach where only D(0) and D(1) are to be combined.

[0048] The present invention can also be implemented using an alternative method of estimating the phase difference (based on a plurality of multipath

WO 03/030400

PCT/US02/30802

components). In this case the phase estimation will still include a quality measure similar to the correlation magnitude used in the invention.

[0049] The same approach used to adjust the accumulation period (adaptive tuning rate) could be applied to the correlation block size. For large frequency offsets, smaller correlation block sizes are preferable because of the possibility of aliasing and the loss of coherency in the estimate. As the frequency error diminishes, the correlation block size could be increased to improve the processing gain of the correlation and obtain more refined estimates of frequency error.

* * *

WO 03/030400

PCT/US02/30802

CLAIMS

What is claimed is:

1. A method for obtaining a frequency estimate to adjust a local oscillator, comprising:
 - a) receiving a communication signal comprised of time slots containing data symbols and a midamble;
 - b) performing a given number N of block correlations of the received signal samples with a known midamble reference;
 - c) forming a conjugate product of the N block correlations to form N-1 conjugate products;
 - d) forming a sum of the N-1 conjugate products;
 - e) accumulating a given number of sums of said N-1 conjugate products obtained at step (d);
 - f) determining the magnitudes of each accumulated value;
 - g) searching for a given number of largest values;
 - h) applying a threshold detection of the given number of largest values other than the largest value employing a threshold which is a function of the largest value;
 - i) combining the largest value with those of the given number of largest values other than the largest value and which are greater than the aforesaid threshold;
 - j) computing the magnitude of the sum obtained in step (i);
 - k) normalizing the complex value obtained in step (i) employing the magnitude obtained in step (j); and
 - l) employing the argument of the normalized value obtained in step (k) as a frequency estimate.
2. The method of claim 1 further comprising:
 - m) applying the frequency estimate obtained in step (l) to a loop filter for obtaining a voltage value adjusting the operating frequency of a voltage controlled oscillator.

WO 03/030400

PCT/US02/30802

3. The method of claim 2 wherein the frequency estimate obtained in step (m) is in a digital format and further comprising:
 - (n) converting the digital format into an analog voltage.
4. The method of claim 3 further comprising:
 - (o) applying the analog voltage to the voltage controlled oscillator.
5. The method of claim 1 wherein step (b) includes performing four (4) block correlations, i.e. where $N=4$.
6. The method of claim 1 wherein step (e) includes adjusting the number of sums accumulated based on the absolute frequency error wherein the smaller the frequency error, the smaller the number of sums accumulated.
7. The method of claim 6 wherein the absolute frequency error range is generally between 6,000 and 0Hz.
8. The method of claim 7 wherein the number of sums accumulated is between 1 and 30.
9. The method of claim 1 wherein steps (f) through (l) are performed when the given number of accumulated sums is reached at step (e).
10. The method of claim 1 wherein the threshold employed in step (h) is between 0.707 and 0.56 times the largest D value.
11. The method of claim 1 wherein the received signal at step (a) has a midamble length of 512 chips, all of which are correlated at step (b).

WO 03/030400

PCT/US02/30802

12. The method of claim 1 wherein the preamble of the received signal at step (a) has a length of 512 chips and the first 56 chips are ignored in the performance of step (b).

13. The method of claim 1 wherein, in the event that only one path meets the aforesaid threshold of step (i), step (i) further includes combining the two paths with equal gain.

14. The method of claim 1 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined by comparing the estimated frequency error with a threshold wherein convergence is obtained when the estimated frequency error lies below a given detection threshold.

15. The method of claim 1 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined when two frequency estimates lie below a given detection threshold.

16. The method of claim 1 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined when two successive frequency estimates lie below a given detection threshold.

17. The method of claim 1 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined when a two-point moving average of frequency estimates drops below said detection threshold.

18. The method of claim 1 wherein a frequency offset is measured and the broadcast channel (BCH) is read when the frequency offset is less than 400Hz.

WO 03/030400

PCT/US02/30802

19. The method of claim 18 further including preventing detection of the BCH when the absolute frequency offset threshold is equal to or greater than 465 Hz.

20. The method of claim 1 wherein loop gain of the loop filter lies between 0.1 and 0.3.

21. The method of claim 20 wherein the loop gain is preferably 0.26.

22. The method of claim 1 wherein the estimated angle θ is determined at step (i) by the equation $\theta = \text{Im} \left\{ \frac{D}{\text{Abs approx } \{D\}} \right\}$

23. The method of claim 1 wherein the loop filter generates a value $v(t)$ where:

$$v(t) = v(t-1) + \lambda e(t),$$

and where $v(t-1)$ is the previous estimate, e is the frequency estimate and λ is a constant.

24. The method of claim 1 wherein the communications system is a wireless communication system in which the received signal is comprised of a plurality of frames of equal length, each frame having a given number of time slots and each time slot having a given number of chips.

25. The method of claim 24 wherein each time slot has 2,560 chips comprised of first and second groups of data symbols separated by a midamble.

26. The method of claim 25 wherein said data symbol groups each have 976 chips, said midamble having 512 chips and the group of data symbols following the midamble is followed by a guard period of 96 chips.

WO 03/030400

PCT/US02/30802

27. Apparatus for obtaining a frequency estimate to adjust a local oscillator, comprising:

means for receiving a communication signal comprised of time slots containing data symbols and a midamble;

means for performing a given number N of block correlations of the received signal samples with a known midamble reference;

means for forming a conjugate product of the N block correlations to form N-1 conjugate products;

means for forming a sum of the N-1 conjugate products;

means for accumulating a given number of sums of said N-1 conjugate products obtained from said sum forming means;

means for determining the magnitudes of each accumulated value;

means for searching for a given number of largest values;

means for performing a threshold detection of the given number of largest values other than the largest value employing a threshold which is a function of the largest value;

means for combining the largest value with the given number of the largest values other than the largest value and which are greater than the aforesaid threshold;

means for computing the magnitude of the sum obtained by said combining means;

means for normalizing the complex value obtained by said combining means employing the magnitude obtained by said computing means; and

means for generating an argument of the normalized value obtained by said normalizing means for a frequency estimate.

28. The apparatus of claim 27 further comprising:

said generating means applying the frequency estimate to a loop filter for adjusting an operating frequency of a voltage controlled oscillator.

WO 03/030400

PCT/US02/30802

29. The apparatus of claim 28 wherein the means for generating the frequency estimate produces a digital formatted output and means for converting the digital formatted output into an analog signal applied to the voltage controlled oscillator.

30. The apparatus of claim 27 wherein the block correlating means includes means to perform four (4) block correlations.

31. The apparatus of claim 27 wherein the accumulating means includes means for adjusting the number of sums accumulated based on the absolute frequency error wherein the smaller the frequency error the smaller the number of sums accumulated.

32. The apparatus of claim 27 wherein the threshold value employed by said threshold detection means is between 0.707 and 0.56 times the largest D value.

33. The apparatus of claim 27 wherein the received signal has a midamble length of 512 chips, all of which are correlated by said correlation means.

34. The apparatus of claim 27 wherein means are provided to determine if only one path meets the aforesaid threshold provided by said threshold detection means and means responsive to said determining means for combining the two paths with equal gain.

35. The apparatus of claim 27 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined by means for comparing the estimated frequency error with a threshold wherein convergence is obtained when the estimated frequency error lies below a given detection threshold.

WO 03/030400

PCT/US02/30802

36. The apparatus of claim 27 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined by means for identifying convergence when two (2) frequency estimates lie below a given detection threshold.

37. The apparatus of claim 27 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined by means for identifying convergence when two (2) successive frequency estimates lie below a given detection threshold.

38. The apparatus of claim 27 wherein convergence to the required accuracy in a given number of frames with a probability of 0.99 is determined by means for identifying convergence when a two-point moving average of frequency estimates is below said detection threshold.

39. The apparatus of claim 27 further comprising means for measuring a frequency offset is measured and means for reading a broadcast channel (BCH) when the frequency offset is less than 400Hz.

40. The method of claim 1 wherein the given number of largest values searched for in step (g) is three (3).

41. The apparatus of claim 27 wherein said means for searching searches for the three (3) largest values.

42. The method of claim 1 wherein step (b) includes adjusting block correlation size based on frequency offsets wherein the larger the offset the smaller the block correlation size.

WO 03/030400

PCT/US02/30802

43. The apparatus of claim 27 wherein the said performing means includes means for adjusting block correlation size based on frequency offsets wherein the larger the offset the smaller the block correlation size.

WO 03/030400

PCT/US02/30802

1/6

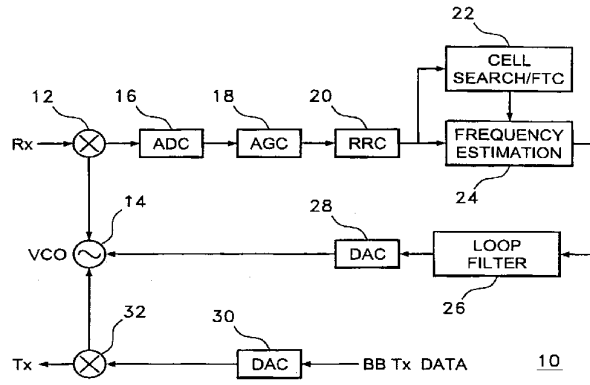


Fig. 1

WO 03/030400

PCT/US02/30802

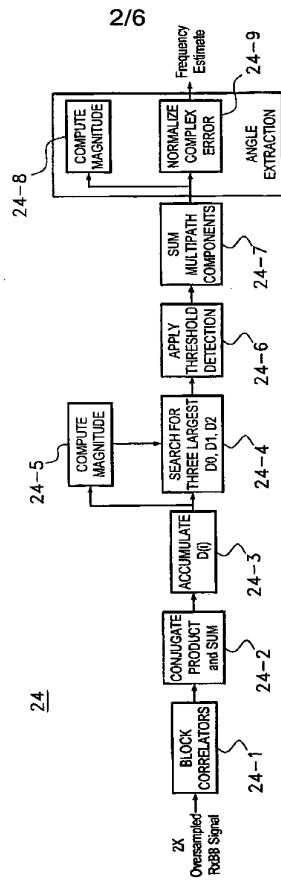


Fig. 2

WO 03/030400

PCT/US02/30802

3/6

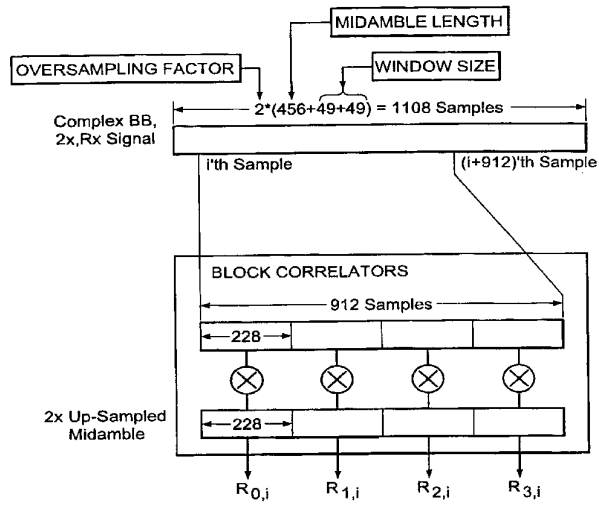


Fig. 3

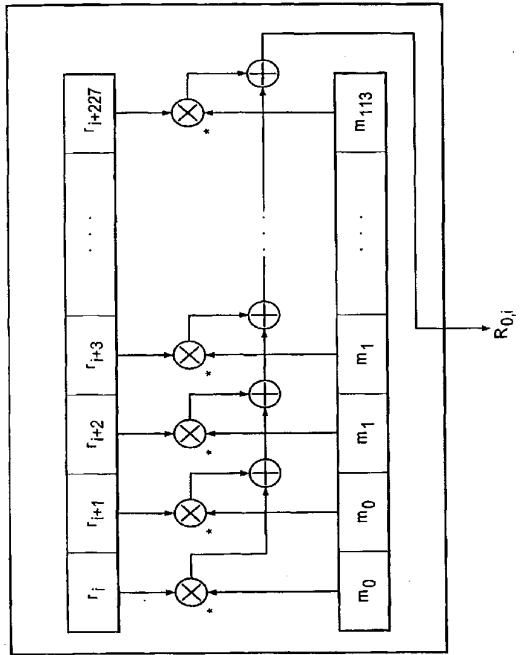


Fig. 4

WO 03/030400

PCT/US02/30802

5/6

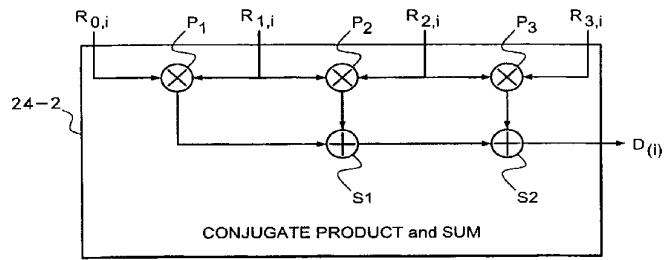


Fig. 5

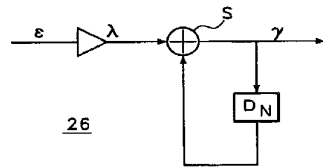


Fig. 6

WO 03/030400

PCT/US02/30802

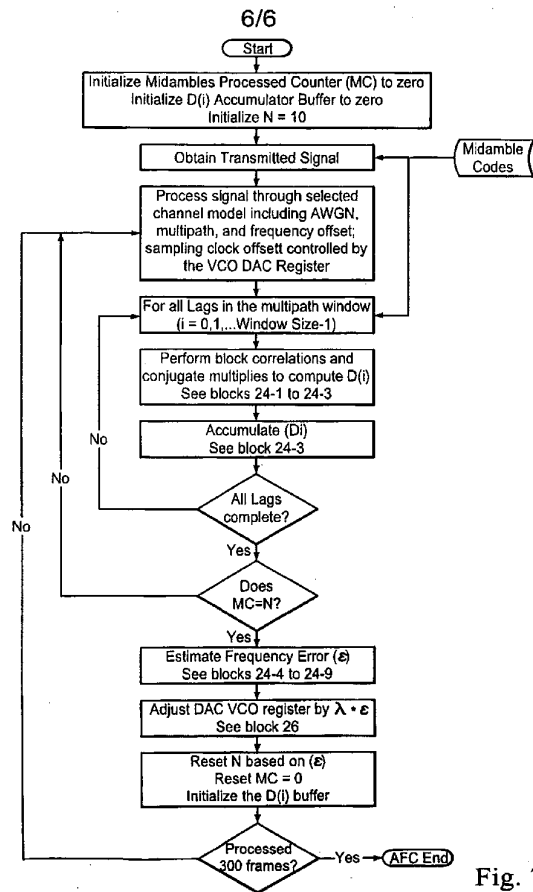


Fig. 7

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US02/30802
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H04B 7/00 US CL : 455/255, 256, 257, 260, 375/344 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 455/255, 256, 257, 259, 260, 264; 375/344 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched None Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) East		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,684,836 A (NAGAYASU et al.) 04 November 1997, see FIG. 7, col. 16, lines 17-49.	1-43
A	US 6,181,923 B1 (KAWANO et al.) 30 January 2001, see FIG. 1 & 3, col. 7, lines 32-38, col. 9, lines 57-67.	1-43
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" documents defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" documents referring to an oral disclosure, use, exhibition or other means "P" documents published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 12 December 2002 (12.12.2002)		Date of mailing of the international search report 24 JAN 2003
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230		Authorized officer Daniel Hunter Telephone No. 703-305-6920

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZM,ZW

(72)発明者 グレゴリー エス・スターンバーグ

アメリカ合衆国 1 1 0 2 1 ニューヨーク州 グレート ネック ブロンプトン ロード 5 0
アパートメント 2 ビー

Fターム(参考) 5K022 EE01 EE36