

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 5 月 8 日(08.05.2014)



(10) 国際公開番号
WO 2014/069032 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2013/066369
- (22) 国際出願日: 2013 年 6 月 13 日(13.06.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-241762 2012 年 11 月 1 日(01.11.2012) JP
- (71) 出願人: 独立行政法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 入沢 寿史(IRISAWA, Toshifumi); 〒3058569 茨城県つくば市小野川 1 6-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 手塚 勉(TEZUKA, Tsutomu); 〒3058569 茨城県つくば市小野川 1 6-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). 前田 辰郎(MAEDA, Tatsuro); 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 小田 穰(ODA, Minoru); 〒3058569 茨城県つくば市小野川 1 6-1 独立行政法人産業技術総合研究所内 Ibaraki (JP). ジェバスワン ウィパコーン(JEVASUWAN, Wipakorn); 〒3058562 茨城県つくば市東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP). 安田 哲二(YASUDA, Tetsuji); 〒3058562 茨城県つくば市

東 1-1-1 中央第 4 独立行政法人産業技術総合研究所内 Ibaraki (JP).

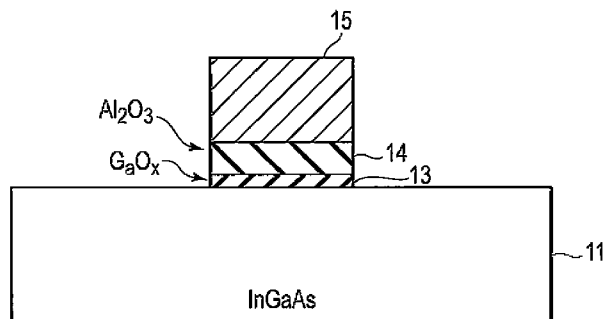
- (74) 代理人: 蔵田 昌俊, 外(KURATA, Masatoshi et al.); 〒1050001 東京都港区虎ノ門一丁目三番二号 勤銀不二ビル六階 鈴榮特許総合事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: FIELD-EFFECT SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電界効果型半導体装置及びその製造方法



(57) Abstract: A field-effect semiconductor device is provided with a GaO_x layer (13) formed on the outer surface of a semiconductor layer (11), a gate insulating film (14) formed on the outer surface of the GaO_x layer (13) and comprising a high-κ film, and a gate electrode (15) formed on the outer surface of the gate insulating film (14). An interface state density is capable of being reduced within a wide energy range in a band gap due to the presence of the GaO_x layer (13).

(57) 要約: 電界効果型半導体装置であって、半導体層 (11) の表面上に形成された GaO_x 層 (13) と、GaO_x 層 (13) の表面上に形成された、high-κ 膜からなるゲート絶縁膜 (14) と、ゲート絶縁膜 (14) の表面上に形成されたゲート電極 (15) とを備えている。そして、GaO_x 層 13 の存在により、バンドギャップ中の広いエネルギー範囲で界面準位密度を低くすることができる。

WO 2014/069032 A1

明 細 書

発明の名称：電界効果型半導体装置及びその製造方法

技術分野

[0001] 本発明は、電界効果型半導体装置及びその製造方法に関する。

背景技術

[0002] 素子の微細化限界に直面しつつある現在、微細化によらないLSIの低消費電力化が大きな課題となっている。例えば、MOSFETのチャンネルに従来のSiよりも移動度の高いIII-V族半導体を用いる研究が精力的に行われている。III-V族半導体の中では、Siの5～10倍程度の電子移動度を有するInGaAsが特に有望視されている。

[0003] 一方、III-V族半導体を用いた高性能MOSFETの実現には、界面準位密度の低い高品質なMOS界面の形成が必須である。そのために、原子層堆積法(ALD法)で成膜した Al_2O_3 (例えば、非特許文献1参照)や真空蒸着法で形成した Ga_2O_3 (Gd_2O_3) (GGO) (例えば、非特許文献2参照)により、比較的良好なInGaAsのMOS界面が形成可能であることが報告されている。

先行技術文献

非特許文献

[0004] 非特許文献1：R. M. Wallace et al., MRS BULLETIN, Vol. 34, p493 (2009)

非特許文献2：M. Hong et al., MRS BULLETIN, Vol. 34, p514 (2009)

発明の概要

発明が解決しようとする課題

[0005] GGOを用いたMOSFETの形成では、GGOの高い吸湿性のため、GGO成膜後に、真空一環で保護酸化膜(Al_2O_3 等)若しくはゲート電極を形成する必要がある。この場合、成膜方式としては超高真空蒸着法を用いる必要がある。しかし、超高真空蒸着法は、量産性、大面積均一性に課題があり、工業的応用には適さない。

[0006] 一方、量産性、均一性に優れるALD法を用いた $\text{Al}_2\text{O}_3/\text{InGaAs}$ のMOSFETの形成では、バンドギャップ中の広いエネルギー範囲で低い界面準位密度は得られない。即ち、界面準位密度のは、バンドギャップ中での最小値では $10^{11}\text{cm}^{-2}/\text{eV}$ 台の値が達成されているものの、狭いエネルギー範囲で $10^{12}\text{cm}^{-2}/\text{eV}$ 以上に増大する。MOSFETの高性能化には、より広いエネルギー範囲でより低い界面準位密度の実現が必要である。

[0007] 発明が解決しようとする課題は、バンドギャップ中の広いエネルギー範囲で界面準位密度の低いMOSFETが作製可能となり、移動度向上及びS値低減効果により低消費電力化に寄与し得る電界効果型半導体装置及びその製造方法を提供することである。

課題を解決するための手段

[0008] 本発明の一態様に係わる電界効果型半導体装置の製造方法は、半導体層の表面上に形成された GaO_x 層と、前記 GaO_x 層の表面上に形成された、high-k膜からなるゲート絶縁膜と、前記ゲート絶縁膜の表面上に形成されたゲート電極と、を具備したことを特徴とする。

[0009] また、本発明の別の一態様に係わる電界効果型半導体装置の製造方法は、半導体層の表面上に GaO_x 層を形成する工程と、前記 GaO_x 層の表面上に、high-kからなるゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の表面上にゲート電極を形成する工程と、を含むことを特徴とする。

発明の効果

[0010] 本発明によれば、チャンネルを形成するための半導体層とゲート絶縁膜との間に GaO_x 層を挿入することにより、高品質のMOS界面を形成できると共に、バンドギャップ中の広いエネルギー範囲で界面準位密度の低いMOSFETが作製可能となる。従って、移動度向上、S値低減効果により、低消費電力化が達成される。

図面の簡単な説明

[0011] [図1]図1は、第1の実施形態に係わる電界効果型半導体装置の概略構造を示す断面図である。

[図2A]図2 Aは、第1の実施形態に係わる電界効果型半導体装置の製造工程を示す断面図である。

[図2B]図2 Bは、第1の実施形態に係わる電界効果型半導体装置の製造工程を示す断面図である。

[図2C]図2 Cは、第1の実施形態に係わる電界効果型半導体装置の製造工程を示す断面図である。

[図2D]図2 Dは、第1の実施形態に係わる電界効果型半導体装置の製造工程を示す断面図である。

[図2E]図2 Eは、第1の実施形態に係わる電界効果型半導体装置の製造工程を示す断面図である。

[図3]図3は、 GaO_x 層の膜厚の原料供給回数依存性を示す特性図である。

[図4]図4は、界面準位密度に与える GaO_x 層の界面層挿入の効果を示す特性図である。

[図5A]図5 Aは、第2の実施形態に係わる電界効果型半導体装置の概略構造を示す断面図である。

[図5B]図5 Bは、第2の実施形態に係わる電界効果型半導体装置の概略構造を示す断面図である。

発明を実施するための形態

[0012] 以下、本発明の詳細を図示の実施形態によって説明する。

[0013] (第1の実施形態)

図1は、本発明の第1の実施形態に係わる電界効果型半導体装置の概略構造を示す断面図である。

[0014] $In_yGa_{1-y}As$ ($0 \leq y \leq 1$) からなる半導体層11上に、0.5 nm以下の膜厚で GaO_x ($0 < x < 1$) 層13が形成され、その上に Al_2O_3 からなるゲート絶縁膜14が積層されている。さらに、ゲート絶縁膜14上にはゲート電極15が形成されている。ゲート電極15、ゲート絶縁膜14、及び GaO_x 層13はゲートパターンに加工されている。そして、ゲートパターンの両側で半導体層11の表面部に、図示しないソース／ドレイン領域が形

成されている。

[0015] ゲート絶縁膜 14 の膜厚に制限は無いが、実効酸化膜厚低減の観点から、5 nm 以下にすることが望ましい。ゲート絶縁膜 14 上のゲート電極材料としては、Ta, TaN, Ti, TiN, Ni, Au, Pt 等の各種金属を用いることができる。また、NiSi_x や NiGe_x 等の合金、更には高濃度ドーピングを施した poly-Si_{1-x}Ge_x 等を用いることもできる。つまり、ゲート電極材料に制限は無い。ソース・ドレイン (S/D) 電極は、不純物ドーピングを施して拡散層を形成した後に形成しても良いし、ゲート端に Ni-InGaAs 等の金属電極を隣接させる、いわゆるメタル S/D 構造としても良い。つまり、S/D 構造に制限は無い。また、GaO_x 層 13 上に形成されるゲート絶縁膜 14 も Al₂O₃ に限るものではなく、high-k 膜（高誘電率絶縁膜）であればよい。

[0016] 次に、本実施形態の電界効果型半導体装置の製造方法を、図 2A～2E を参照して説明する。

[0017] 半導体層 11 としての InGaAs 層の形成法に制限は無く、InP や GaAs 等の化合物半導体基板、若しくは Si や Ge 基板上にエピタキシャル成長で形成することや、各種母体基板に貼り合わせて形成することができる。

[0018] まず、図 2A に示すように、各種基板構造に応じて半導体層 11 の表面部に、SiO₂ 等の絶縁膜からなる素子分離絶縁膜 12 を形成する。

[0019] 次に、図 2B に示すように、半導体層 11 上に本実施形態の特徴である GaO_x 層 13 を形成する。この GaO_x 成膜前には、NH₄OH, (NH₄)₂S, HF, HCl 等の溶液を用いて、半導体層 11 上の自然酸化膜を除去することが望ましい。Ga 原料としては、トリメチルガリウム (TMG) やトリエチルガリウム (TEG) を用いることができ、酸化剤としては H₂O 若しくはオゾン (O₃) を用いることができる。

[0020] これらの原料ガス及び酸化剤ガスを 400℃以下に昇温した基板に交互に供給して GaO_x の成膜を行うが、最初の供給原料は Ga 原料とすることが望

ましい。これは、基板表面に直接酸化剤を供給することによる表面の酸化を抑制すると共に、TMGやTEGにより基板表面に残存する自然酸化膜を除去する効果があるためである。また、ガス切り替え時には、窒素等の非原料ガスによる成膜室雰囲気置換を適宜実施することが望ましい。なお、成膜温度としては、半導体層11としてのInGaAsの界面特性を良好に保つには400℃以下、特に300℃以下が望ましい。

[0021] 図3に、上記のようにして成膜されたGaO_xの膜厚の、原料供給回数(TMG/H₂Oそれぞれ1回供給したことをもって1サイクルとする)依存性を示す。膜厚は、Ga₂O₃の屈折率を仮定し、分光エリプソメトリ法によって見積もった。なお、分光エリプソメトリ法によって見積もった膜厚は、AlK α 線を励起源としたX線光電子分光法において、Ga2p光電子の脱出深さを0.8nmと仮定し、Ga2pピークの解析を行って得た値と良く一致した。GaO_xの成膜様式は、通常のALD(～0.1nm/cycle)とは異なり、膜厚0.3nm程度でほぼ自己停止することが分かった。即ち、原料供給回数を詳細に調整することなく、0.3nm以下の極薄GaO_x層を精度良く均一に形成できることが分かった。

[0022] ここで、0.3nmという極めて薄い膜厚で成長が停止するのは、サイクル数によらず膜厚一定になることを意味する。これは、ALDと同等の方式で膜厚の再現性が高いGaO_x層を形成できることを意味する。

[0023] また、上記の例では膜厚の上限が0.3nmであったが、各種実験の結果、温度や他の条件を変えても、膜厚が0.5nmを越えることはなかった。即ち、Gaの原料ガスと水やオゾン等の酸化剤ガスを交互に供給するALDと同等の方式により0.5nm以下の膜厚のGaO_x層を形成することができる。

[0024] 0.5nm以下のGaO_x層13の形成後、図2Cに示すように、ゲート絶縁膜14として、Al₂O₃の成膜を連続してALD法によって行う。Al₂O₃の形成は、同じチャンバ内でGaO_x層13を形成した後に、成長ガスを変えることによって可能である。このため、ゲート絶縁膜14の形成が容易であ

ると共に、 GaO_x 層 13 を大気に晒すことなく Al_2O_3 で覆うことができる。

[0025] Al_2O_3 形成のための Al 原料としては、トリメチルアルミニウム (TMA) を用いることができ、酸化剤としては H_2O 若しくはオゾン (O_3) を用いることができる。成膜温度は、 $400^\circ C$ 以下とし、膜厚は 5 nm 以下とする。なお、 GaO_x 又は Al_2O_3 成膜後、若しくはその両方で $600^\circ C$ 以下の熱処理を行っても良い。

[0026] このように形成した $GaO_x/Al_2O_3/InGaAs$ の MOS 界面では、図 4 に示すように、 GaO_x 層の無い $Al_2O_3/InGaAs$ の MOS 界面に比べて、最小値で $1/2$ 程度、界面準位密度が低減することが確認された。また、 GaO_x の挿入により界面準位密度のエネルギー位置依存性が大幅に減少し、上記最小値以外のエネルギー位置においては、その差はより顕著となることが確認された。即ち、バンドギャップ中の広いエネルギー範囲で界面準位密度を低くすることができた。

[0027] ここで、 GaO_x 層の挿入により界面準位密度を低減できると云う、いわゆるパッシベーション効果は、次のような理由によると推察される。即ち、界面に存在する未結合手 (ダングリングボンド) が界面準位の起源の一つと考えられているが、 GaO_x を形成するとダングリングボンドの少ない界面を作ることが可能となるためである。これは、必ずしも $InGaAs$ の界面に限らず、他の半導体材料でも同様に期待できる。

[0028] ゲート絶縁膜成膜後、図 2D に示すようにゲート電極 15 の材料として、例えば TaN をスパッタリングで堆積させる。続いて、図 2E に示すように、ゲート電極 15、ゲート絶縁膜 14、及び GaO_x 層 13 をゲートパターンに加工する。

[0029] これ以降の S/D 電極形成、その他の後工程に制限は無く、適宜用途に応じたプロセスを行い、 $InGaAs$ の MOSFET を作製する。また、 S/D 部を先に形成した後、ゲートスタックを形成する、いわゆる、ゲートラストプロセスを採用することも無論可能である。

[0030] このように本実施形態によれば、 $\text{In}_y\text{Ga}_{1-y}\text{As}$ からなる半導体層 11 と Al_2O_3 からなるゲート絶縁膜 14 との間に、膜厚の薄い GaO_x 層 13 を挿入することにより、高品質の MOS 界面を形成できると共に、バンドギャップ中の広いエネルギー範囲で界面準位密度の低い MOSFET が作製可能となる。このため、移動度向上、S 値低減効果により、低消費電力化が達成される。

[0031] また、 GaO_x 層 13 は、超高真空蒸着法を用いる必要なく、ALD と同等の方式で作製することが可能である。さらに、 GaO_x 層 13 に連続してゲート絶縁膜 14 である Al_2O_3 を形成できるので、 GaO_x 層 13 を挿入することによるプロセスの複雑化は殆ど生じない。

[0032] (第 2 の実施形態)

図 5 A, 5 B は、本発明の第 2 の実施形態に係わる電界効果型半導体装置の概略構造を示す断面図である。

[0033] 本実施形態が先に説明した第 1 の実施形態と異なる点は、 GaO_x 層の挿入を Fin 構造に適用したことである。図 5 A は Fin 構造の 3 面にゲート電極を形成したもの、図 5 B は Fin 構造の 2 面にゲート電極を形成した例である。

[0034] 図 5 A に示すように、支持基板 21 上の絶縁膜 22 上に Fin 構造（半導体層）31 としての $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 \leq y \leq 1$) 層が形成されている。この Fin 構造 31 は、支持基板 21 と同じ材料であっても良いし、別の材料であっても良い。

[0035] Fin 構造 31 の表面上には、 GaO_x 層 33 及びゲート絶縁膜としての Al_2O_3 膜 34 を介して、ゲート電極が 35 が形成されている。即ち、Fin 構造 31 の両側面及び上面に GaO_x 層 33 及び Al_2O_3 膜 34 が積層され、その上にゲート電極 35 が形成されている。そして、ゲート電極 35 は Fin 構造の両側面及び上面のチャネルを制御するようになっている。 GaO_x 層 33 及び Al_2O_3 膜 34 の形成は第 1 の実施形態と同様にすればよい。さらに、ゲート電極 35 の形成も第 1 の実施形態と同様にすればよい。

[0036] また、図5Bでは、Fin構造上にFin形成のために使用した絶縁性のマスク材36が残っている。このため、ゲート電極35はFin構造の両側面のチャネルを制御するようになっている。

[0037] このような構成であっても、チャネルを成すFin構造31とゲート絶縁膜34との間にGaO_x層33を挿入することにより、高品質のMOS界面を形成できると共に、バンドギャップ中の広いエネルギー範囲で界面準位密度の低いMOSFETが作製可能となる。従って、第1の実施形態と同様の効果が得られる。

[0038] (変形例)

なお、本発明は上述した各実施形態に限定されるものではない。

[0039] 実施形態では、チャネル材料とすべき半導体層をIn_yGa_{1-y}As (0 ≤ x ≤ 1) にすることを前提としていたが、半導体層はIn_yGa_{1-y}Asに限るものではない。本発明では、半導体としては、(Al, Ga, In) (III族元素) と (N, P, As, Sb) (V族元素) の幾つかで構成される化合物、例えばInP, In_yGa_{1-y}Sb (0 ≤ y ≤ 1) 等に適用することができる。さらに、(C, Si, Ge, Sn) (IV族元素) の幾つかで構成される化合物、例えばSi_yGe_{1-y} (0 ≤ y ≤ 1) に適用することも可能である。また、無論、チャネルは均一組成である必要はなく、傾斜的に組成が変調されたものや上記化合物が任意に積層された構造にも採用することが可能である。

[0040] また、ゲート絶縁膜はAl₂O₃に限るものではなく、high-k膜であればよく、HfO₂, ZrO₂, La₂O₃、又はこれらを適宜混合したものをを用いることができる。

[0041] また、GaO_x層の形成方法は、必ずしも原料ガスと酸化剤ガスを交互に供給するALD法と同等の方式に限るものではなく、GaO_x層を0.5nm以下の範囲で成長できる方法であれば適用可能である。例えば、Ga原料ガスと酸化剤ガスを同時に供給してGaO_x層を成長することも可能である。この方法で、もし成長が自己停止しない場合は、時間調整で膜厚を0.5nm以下にすればよい。

[0042] また、第2の実施形態ではFin構造に適用した例を説明したが、本発明はナノワイヤーに適用することも可能である。この場合、ゲートオールアラウンドのMOSを実現することが可能となる。また、絶縁膜上のFin構造のみならず、バルク基板上に作製した、いわゆるバルクFin構造に適用することも無論有効である。

[0043] 本発明の幾つかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

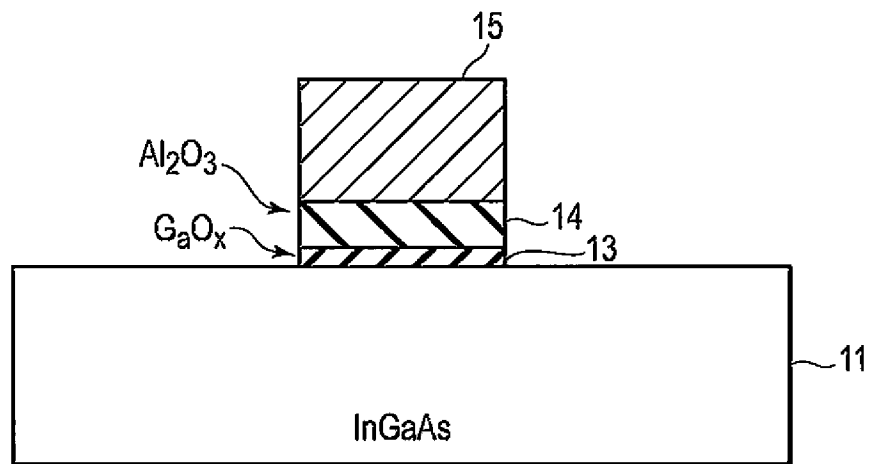
- [0044] 1 1… $\text{In}_y\text{Ga}_{1-y}\text{As}$ 層（半導体層）
1 2…素子分離絶縁膜
1 3, 3 3… GaO_x 層
1 4, 3 4… Al_2O_3 膜（ゲート絶縁膜）
1 5, 3 5…ゲート電極
2 1…支持基板
2 2…絶縁膜
3 1… $\text{In}_y\text{Ga}_{1-y}\text{As}$ 層（Fin構造）
3 6…マスク材

請求の範囲

- [請求項1] 半導体層の表面上に形成されたGaO_x層と、
前記GaO_x層の表面上に形成された、high-k膜からなるゲート絶縁膜と、
前記ゲート絶縁膜の表面上に形成されたゲート電極と、
を具備したことを特徴とする電界効果型半導体装置。
- [請求項2] 前記半導体層は、In_yGa_{1-y}As ($0 \leq y \leq 1$)、InP、In_yGa_{1-y}Sb ($0 \leq y \leq 1$)、Si_yGe_{1-y} ($0 \leq y \leq 1$)の何れかであることを特徴とする請求項1記載の電界効果型半導体装置。
- [請求項3] 前記GaO_x層は、膜厚が0.5nm以下であることを特徴とする請求項1記載の電界効果型半導体装置。
- [請求項4] 前記GaO_x層は、膜厚が0.3nm以下であることを特徴とする請求項1記載の電界効果型半導体装置。
- [請求項5] 前記ゲート絶縁膜は、Al₂O₃で形成されていることを特徴とする請求項1記載の電界効果型半導体装置。
- [請求項6] 支持基板上にフィン状に形成された半導体層と、
前記半導体層の表面上に形成されたGaO_x層と、
前記GaO_x層の表面上に形成された、high-k膜からなるゲート絶縁膜と、
前記ゲート絶縁膜の表面上に形成されたゲート電極と、
を具備したことを特徴とする電界効果型半導体装置。
- [請求項7] 前記半導体層は、In_yGa_{1-y}As ($0 \leq y \leq 1$)、InP、In_yGa_{1-y}Sb ($0 \leq y \leq 1$)、Si_yGe_{1-y} ($0 \leq y \leq 1$)の何れかであることを特徴とする請求項5記載の電界効果型半導体装置。
- [請求項8] 前記GaO_x層は、膜厚が0.5nm以下であることを特徴とする請求項6記載の電界効果型半導体装置。
- [請求項9] 前記GaO_x層は、膜厚が0.3nm以下であることを特徴とする請求項6記載の電界効果型半導体装置。

- [請求項10] 前記ゲート絶縁膜は、 Al_2O_3 で形成されていることを特徴とする請求項6記載の電界効果型半導体装置。
- [請求項11] 半導体層の表面上にGaO_x層を形成する工程と、
前記GaO_x層の表面上に、high-k からなるゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の表面上にゲート電極を形成する工程と、
を含むことを特徴とする電界効果型半導体装置の製造方法。
- [請求項12] 前記GaO_x層を形成する工程として、前記半導体層の表面部にGaの原料ガスと酸化剤ガスとを交互に供給して前記GaO_x層を成長することを特徴とする請求項11記載の電界効果型半導体装置の製造方法。
- [請求項13] 前記GaO_x層を成長する際の成膜温度を400℃以下に設定したことを特徴とする請求項12記載の電界効果型半導体装置の製造方法。
- [請求項14] 前記原料ガスと前記酸化剤ガスとを交互に供給する際に、最初に前記原料ガスの供給を行うことを特徴とする請求項12記載の電界効果型半導体装置の製造方法。
- [請求項15] 前記GaO_x層と前記ゲート絶縁膜を、同一チャンバ内で連続して形成することを特徴とする請求項11記載の電界効果型半導体装置の製造方法。
- [請求項16] 前記GaO_x層の形成前に、前記半導体層の表面の自然酸化膜を除去するために、溶液を用いて表面処理することを特徴とする請求項11記載の電界効果型半導体装置の製造方法。
- [請求項17] 前記GaO_x層の成長膜厚を0.5nm以下に設定することを特徴とする請求項12記載の電界効果型半導体装置の製造方法。
- [請求項18] ゲート絶縁膜として、 Al_2O_3 を用いることを特徴とする請求項11記載の電界効果型半導体装置の製造方法。

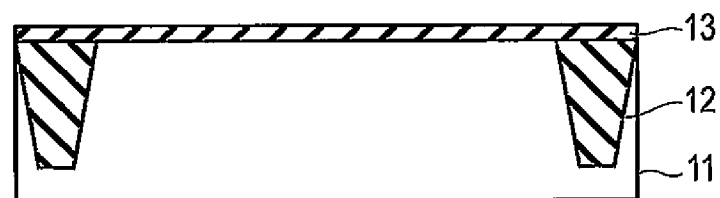
[図1]



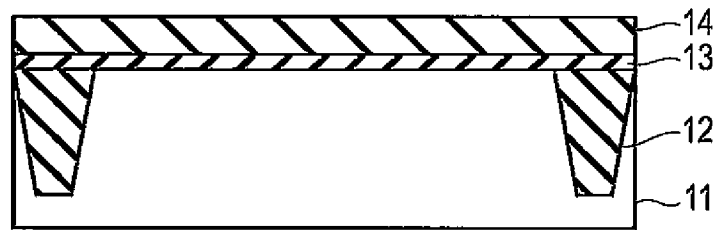
[図2A]



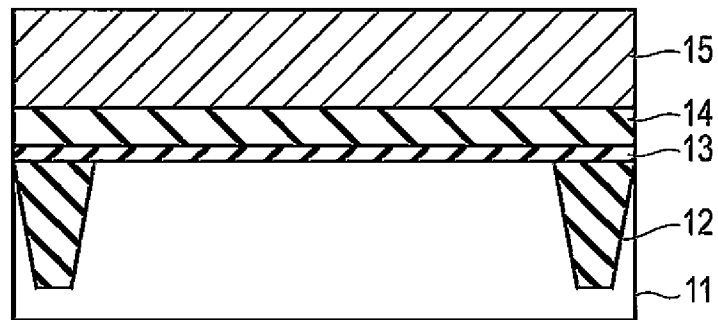
[図2B]



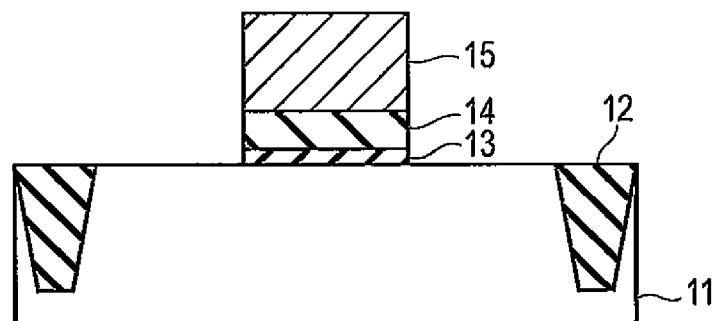
[図2C]



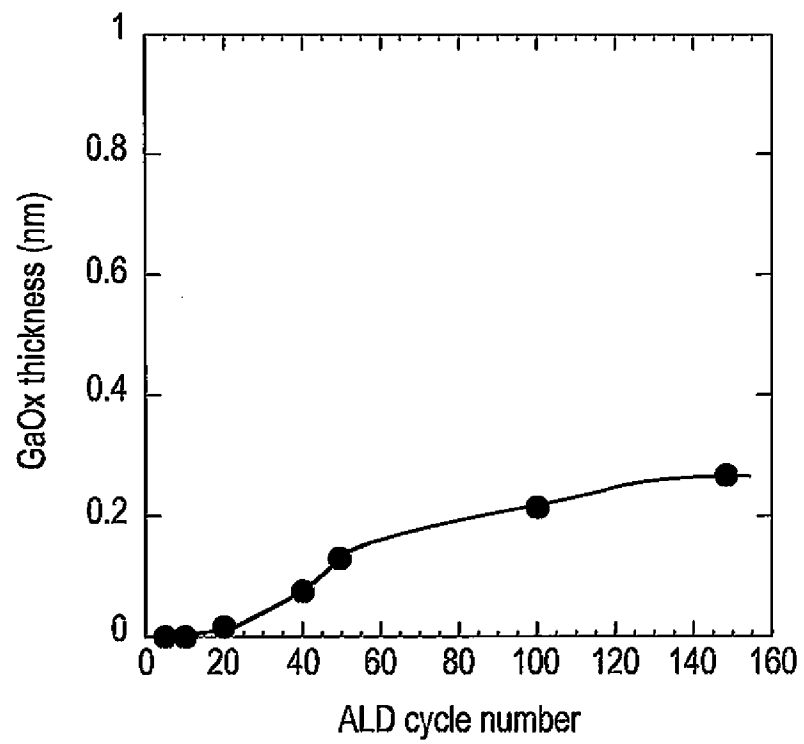
[図2D]



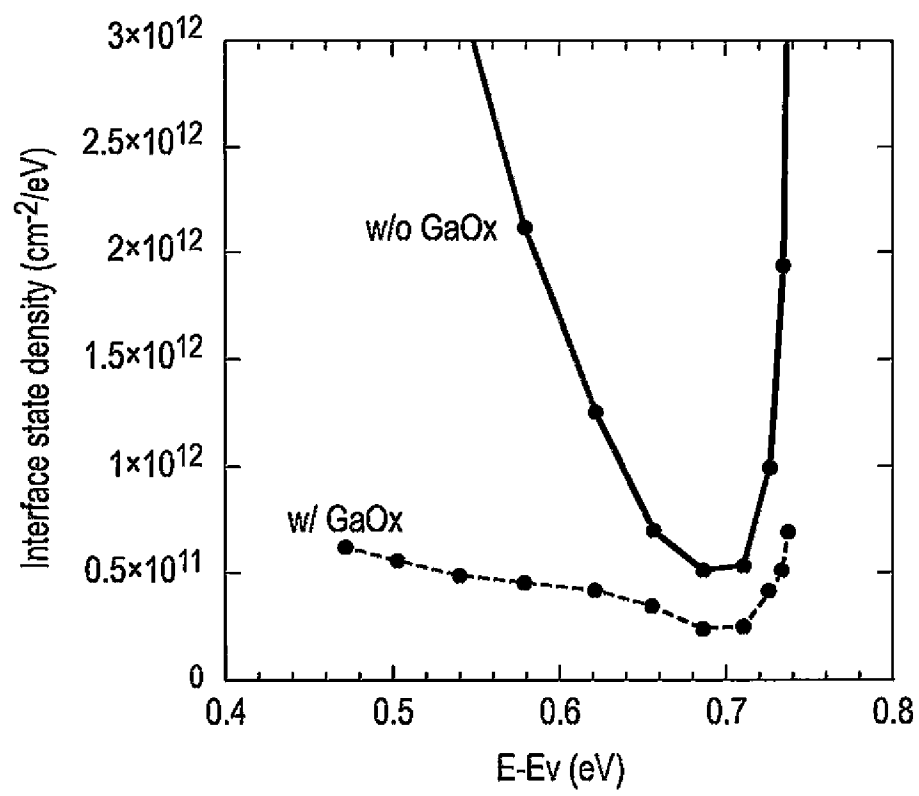
[図2E]



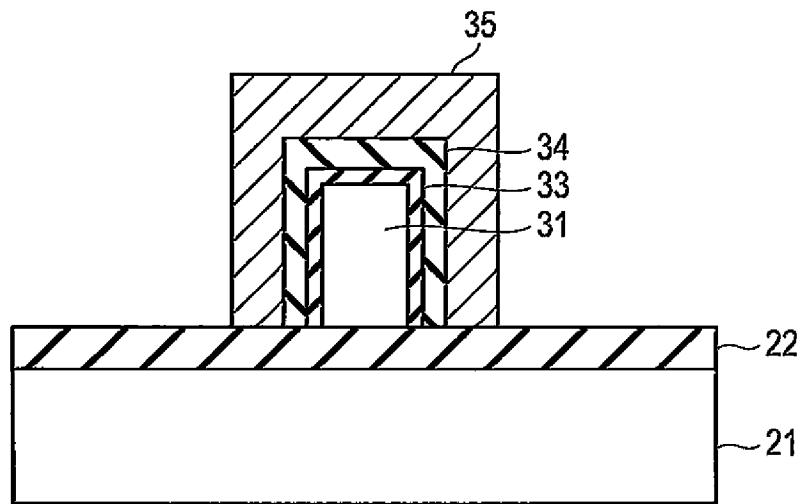
[図3]



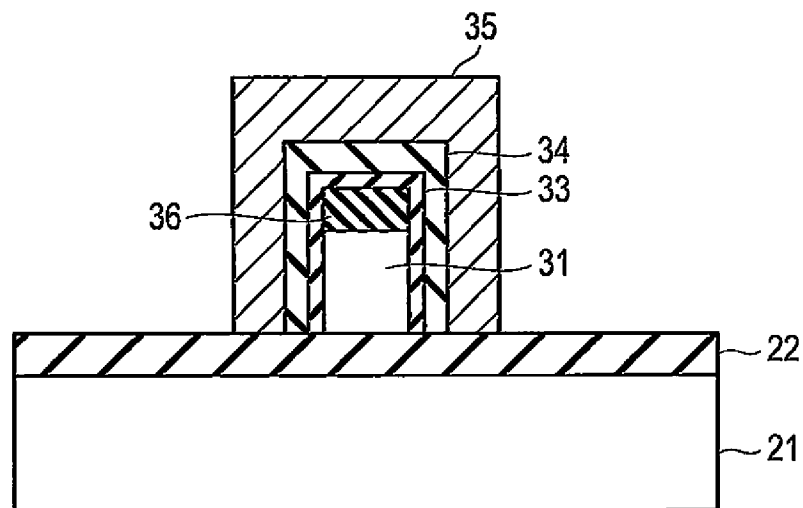
[図4]



[図5A]



[図5B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066369

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01) i, H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-153845 A (Sumitomo Chemical Co., Ltd.), 08 July 2010 (08.07.2010), claims; paragraphs [0075] to [0100]; fig. 4 & US 2011/0227199 A1 & WO 2010/061615 A1 & CN 102210010 A & TW 201034081 A & KR 10-2011-0102293 A	1-11, 15, 16, 18
X	JP 2011-192834 A (Advanced Power Device Research Association), 29 September 2011 (29.09.2011), claims; paragraphs [0030] to [0037]; fig. 1 to 2 (Family: none)	1, 3-6, 8-11, 15, 16, 18

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 August, 2013 (30.08.13)

Date of mailing of the international search report
10 September, 2013 (10.09.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/066369

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-272632 A (The Furukawa Electric Co., Ltd.), 02 December 2010 (02.12.2010), paragraphs [0009], [0045] (Family: none)	1-18
A	JP 2010-093247 A (IMEC), 22 April 2010 (22.04.2010), claims; paragraphs [0025], [0073] & US 2010/0065824 A1 & EP 2164094 A1	1-18
A	JP 2008-521215 A (International Business Machines Corp.), 19 June 2008 (19.06.2008), claims & US 2006/0102968 A1 & EP 1825521 A & WO 2006/055226 A2 & CN 101218684 A & TWB 00I364068	1-18
A	JP 2005-328059 A (International Business Machines Corp.), 24 November 2005 (24.11.2005), claims & US 2005/0258491 A1 & CN 1697181 A	1-18

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L21/336(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-153845 A（住友化学株式会社）2010.07.08, 特許請求の範囲、段落 0075-0100、図 4 & US 2011/0227199 A1 & WO 2010/061615 A1 & CN 102210010 A & TW 201034081 A & KR 10-2011-0102293 A	1-11, 15, 16, 18
X	JP 2011-192834 A（次世代パワーデバイス技術研究組合） 2011.09.29, 特許請求の範囲、段落 0030-0037、図 1-2 （ファミリーなし）	1, 3-6, 8-11, 15, 16, 18

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

3 0 . 0 8 . 2 0 1 3

国際調査報告の発送日

1 0 . 0 9 . 2 0 1 3

国際調査機関の名称及びあて先
日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 3 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-272632 A (古河電気工業株式会社) 2010. 12. 02, 段落 0009、段落 0045 (ファミリーなし)	1-18
A	JP 2010-093247 A (アイメック) 2010. 04. 22, 特許請求の範囲、段落 0025、段落 0073 & US 2010/0065824 A1 & EP 2164094 A1	1-18
A	JP 2008-521215 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2008. 06. 19, 特許請求の範囲 & US 2006/0102968 A1 & EP 1825521 A & WO 2006/055226 A2 & CN 101218684 A & TWB 00I364068	1-18
A	JP 2005-328059 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2005. 11. 24, 特許請求の範囲 & US 2005/0258491 A1 & CN 1697181 A	1-18