



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I471944 B

(45)公告日：中華民國 104 (2015) 年 02 月 01 日

(21)申請案號：097124048

(22)申請日：中華民國 97 (2008) 年 06 月 27 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2007/06/29 德國

102007030053.2

2008/02/07 美國

12/027,583

(71)申請人：高級微裝置公司 (美國) ADVANCED MICRO DEVICES, INC. (US)

美國

(72)發明人：費都爾 湯馬斯 FEUDEL, THOMAS (DE)；蘭斯基 馬克斯 LENSKI, MARKUS

(DE)；吉林 安卓斯 GEHRING, ANDREAS (AT)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW 554535

TW 200537592A

TW 200638463A

審查人員：吳尚樺

申請專利範圍項數：24 項 圖式數：2 共 43 頁

(54)名稱

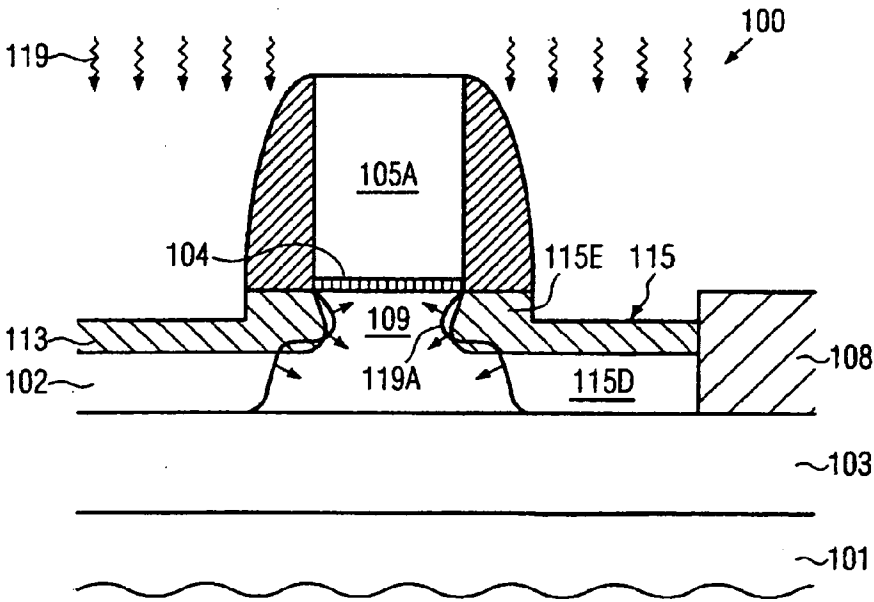
以凹入汲極及源極區降低電晶體接面電容值

REDUCING TRANSISTOR JUNCTION CAPACITANCE BY RECESSING DRAIN AND SOURCE REGIONS

(57)摘要

藉由根據間隔件結構而凹入汲極及源極區的一些部分，用來形成深汲極及源極區之後續植入製程可造成向下延伸到 SOI 電晶體的埋入絕緣層之適度高摻雜劑濃度。此外，該間隔件結構使顯著的應變半導體合金維持其原始的厚度，因而提供了有效率的應變誘發機構。藉由精密退火技術的使用而可避免不當的橫向擴散，因而降低各別間隔件的橫向寬度，且因而降低電晶體裝置之長度。因此，可根據降低的橫向尺寸而實現增強的電荷載子遷移率以及降低之接面電容值。

By recessing portions of the drain and source areas on the basis of a spacer structure, the subsequent implantation process for forming the deep drain and source regions may result in a moderately high dopant concentration extending down to the buried insulating layer of an SOI transistor. Furthermore, the spacer structure maintains a significant amount of a strained semiconductor alloy with its original thickness, thereby providing an efficient strain-inducing mechanism. By using sophisticated anneal techniques, undue lateral diffusion may be avoided, thereby allowing a reduction of the lateral width of the respective spacers and thus a reduction of the length of the transistor devices. Hence, enhanced charge carrier mobility in combination with reduced junction capacitance may be accomplished on the basis of reduced lateral dimensions.



第1f圖

- 100 . . . 半導體裝置
- 101 . . . 基材
- 102 . . . 半導體層
- 103 . . . 埋入絕緣層
- 104 . . . 閘極絕緣層
- 105A . . . 電極部分
- 108 . . . 隔離結構
- 109 . . . 通道區
- 113 . . . 應變半導體材料
- 115 . . . 汲極及源極區
- 115D . . . 深汲極及源極區
- 115E . . . 汲極及源極延伸區
- 119 . . . 退火製程
- 119A . . . 橫向擴散

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：97124048

※申請日：97.6.27

※IPC 分類：

H01L 21/336, 21/28

(2006.01)

一、發明名稱：(中文/英文)

以凹入汲極及源極區降低電晶體接面電容值

REDUCING TRANSISTOR JUNCTION CAPACITANCE BY RECESSING
DRAIN AND SOURCE REGIONS

二、中文發明摘要：

藉由根據間隔件結構而凹入汲極及源極區的一些部分，用來形成深汲極及源極區之後續植入製程可造成向下延伸到SOI電晶體的埋入絕緣層之適度高摻雜劑濃度。此外，該間隔件結構使顯著量的應變半導體合金維持其原始的厚度，因而提供了有效率的應變誘發機構。藉由精密退火技術的使用而可避免不當的橫向擴散，因而降低各別間隔件的橫向寬度，且因而降低電晶體裝置之長度。因此，可根據降低的橫向尺寸而實現增強的電荷載子遷移率以及降低之接面電容值。

三、英文發明摘要：

By recessing portions of the drain and source areas on the basis of a spacer structure, the subsequent implantation process for forming the deep drain and source regions may result in a moderately high dopant concentration extending down to the buried insulating layer of an SOI transistor. Furthermore, the spacer structure maintains a significant amount of a strained semiconductor alloy with its original thickness, thereby providing an efficient strain-inducing mechanism. By using sophisticated anneal techniques, undue lateral diffusion may be avoided, thereby allowing a reduction of the lateral width of the respective spacers and thus a reduction of the length of the transistor devices. Hence, enhanced charge carrier mobility in combination with reduced junction capacitance may be accomplished on the basis of reduced lateral dimensions.

四、指定代表圖：

(一)本案指定代表圖為：第 (1f) 圖。

(二)本代表圖之元件符號簡單說明：

100	半導體裝置
101	基材
102	半導體層
103	埋入絕緣層
104	閘極絕緣層
105A	電極部分
108	隔離結構
109	通道區
113	應變半導體材料
115	汲極及源極區
115D	深汲極及源極區
115E	汲極及源極延伸區
119	退火製程
119A	橫向擴散

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無。

六、發明說明：

【發明所屬之技術領域】

本發明之揭示係大致有關積體電路之製造，且詳言之，係有關具有降低接面電容值的高濃度摻雜接面之諸如絕緣層上覆矽（SOI）組構中之金屬氧化物半導體（MOS）電晶體結構的極精密場效電晶體之製造。

【先前技術】

在個別電路元件的特徵尺寸（feature size）持續微縮努力的驅策下，以數種方式使積體電路的製造製程持續有所改良。目前及在可預期的未來，由於矽基材的容易取得，且由於過去數十年所開發出的已為大家接受之製程技術，而使大部分的積體電路係基於且將基於矽裝置。開發具有增加包裝密度（packing density）及增強性能的積體電路時之關鍵性議題即是諸如 MOS 電晶體元件的電晶體元件之微縮，以便提供用於製造現代中央處理單元（CPU）及記憶體裝置時所需之大量的電晶體元件。製造具有降低尺寸的場效電晶體時的一重要態樣是用來控制使電晶體的源極及汲極區隔離的導電通道的形成之閘極電極的長度之縮短。電晶體元件之源極及汲極區是包含與周圍的結晶主動區（諸如基材或井區（well region））中之摻雜劑的導電性類型相反的導電性類型的摻雜劑之導電半導體區。

雖然閘極長度之縮短是得到較小且較快速的電晶體元件所必要的，然而，為了在降低閘極極長度的情況下維持適當的電晶體性能，又額外地牽涉到了複數個議題。在

這一方面的一項挑戰性工作是至少在通道區的鄰近區域中提供淺接面區（亦即，源極及汲極延伸區），源極及汲極延伸區仍然呈現高導電係數(conductivity)，以便在將電荷載子自通道傳導到汲極及源極區的各別接觸區時將電阻係數(resistivity)最小化。通常係藉由執行離子植入序列，以便得到具有在橫向及深度上變化的摻雜劑分佈之高摻雜劑濃度，而滿足對具有高導電係數的淺接面之要求。然而，將高劑量的摻雜劑加入結晶基材區時，將對晶體結構造成嚴重破壞，且因而通常需要一個或多個退火週期，用於活化摻雜劑，亦即，將摻雜劑置於晶位（crystal site），並改正嚴重的結晶破壞。然而，在電氣上有效的摻雜劑濃度受限於用來在電氣上活化摻雜劑的退火週期之能力。該能力又受限於矽晶體中之摻雜劑的固態溶解度（solid solubility）以及與製程要求相容的退火製程之溫度及持續時間。此外，除了摻雜劑活化及結晶破壞的改正之外，在退火期間也可能發生摻雜劑擴散，因而可能導致摻雜劑分佈的“模糊(blurring)”。有限度的模糊對界定諸如延伸區與閘極電極間之重疊的關鍵性電晶體特性可能是有利的。在汲極及源極區的其他區域（亦即，在較深的部分）中，該擴散可能造成對應的 PN 接面區的摻雜劑濃度降低，因而減少了這些區域鄰近處之導電係數。

因此，在一方面，考慮到高度的摻雜劑活化、離子植入造成的晶格損傷之再結晶、以及延伸區的淺區域中之所需擴散時，高退火溫度可能是較佳的，但是在另一方面，

退火製程的持續時間應是短的，以便限制摻雜劑在較深的汲極及源極區之擴散程度，因而可減少各別 PN 接面上的摻雜劑梯度 (gradient)，且亦因平均摻雜劑濃度的降低而降低了整體的導電係數。此外，在退火製程期間的極高溫可能對閘極絕緣層有不利的影響，因而降低了閘極絕緣層之可靠性。亦即，高退火溫度可能降低閘極絕緣層的品質，且因而可能影響到閘極絕緣層的介電特性，因而可產生增加的漏電流 (leakage current)、降低的崩潰電壓 (breakdown voltage) 等的效應。因此，對於極先進的電晶體而言，所需摻雜劑分佈的定位、形狀、及維持對界定裝置的最終性能是重要的特性，這是因為汲極與源極區間之導電路徑之整體串聯電阻值可代表用來決定電晶體性能之主要部分。

最近，已開發出可在基材的表面部分上達到極高溫度之先進退火技術，因而將足夠的能量轉移到用來活化摻雜劑並將晶格損傷再結晶之原子，然而，其中處理的持續時間短到足以實質上防止摻雜劑物種及載體材料中所含的其他雜質之顯著擴散。通常係根據被組構成具有適當的波長之光之輻射源而執行各別之先進退火技術，其中該波長可被基材及在該基材上形成的任何組成部分之上方部分有效率地吸收，且其中可將該輻射的有效持續時間控制在諸如幾毫秒或更短的持續時間的所需之短時間間隔。例如，可使用可提供將造成材料的近表面加熱的具有界定波長範圍之光之各別之閃光燈曝光源，因而提供了使在載體材料的近表面處所提供的材料中之各別原子進行短範圍移動之條

件。在其他的情形中，可使用諸如形式為雷射短脈波或雷射持續光束的雷射輻射，其中可根據適當之掃描機制而將該雷射輻射掃描在基材表面上，以便在該基材上的每一點得到所需的短時間加熱。因此，相較於經常可將整個載體材料加熱到所需溫度之傳統的快速熱退火（rapid thermal anneal；簡稱 RTA）製程，該等基於輻射的先進退火技術造成在極短的時間間隔內供應高能量之不平衡狀況，因而在極薄的表面層上提供了所需之極高溫，且同時該基材的其餘材料可實質上保持不受退火製程期間的能量沈積之影響。因此，在先進的製造體系中，傳統的 RTA 製程經常可能被先進的基於輻射的退火製程取代，以便在汲極及源極區中得到高度的摻雜劑活化及再結晶，同時不會不當地影響到摻雜劑擴散，因而對各別 PN 接面上的陡峭之摻雜劑梯度可能是有利的。然而，除非投入相當多的努力，否則將根據控制良好的摻雜劑擴散的有效通道長度之調整步驟整合到傳統的流程中可能是困難的，因而造成額外的製程複雜性。另一方面，當要維持有效率的製程流時，根據已為大家接受的傳統退火技術的有效通道長度之界定可能需要增加的間隔件寬度，且因而造成了電晶體的增加之橫向尺寸。

與汲極及源極區以及 PN 接面的橫向及垂直摻雜劑分佈有關之另外的問題可以 PN 接面的整體電容值之方式呈現，該問題係大體上與半導體裝置的其餘主動區的 PN 接面所形成之有效界面有關。為了進一步增強 SOI 電

晶體之性能，可以可得到向下延伸到埋入絕緣層的高摻雜劑濃度之方式設計垂直摻雜劑分佈，而顯著地減少 PN 接面的寄生電容(parasitic capacitance)。在此種方式下，只有橫向的界面（亦即，汲極及源極區的 PN 接面）會影響到整體接面電容值，此外，向下延伸到埋入絕緣層之高摻雜劑濃度提供了所需之 PN 接面特性，且亦降低了汲極及源極區中之整體串聯電阻值。然而，以向下延伸到埋入絕緣層之高摻雜劑濃度提供深汲極及源極區時，可能需要精密的離子植入技術，因而造成整體製程的複雜性。在其他的情況中，可調整各別退火製程的製程參數，使退火製程期間的摻雜劑擴散可產生所需的垂直摻雜劑分佈，而實現埋入絕緣層上的適度高之摻雜劑濃度。然而，該等各別之退火參數可能與對降低電晶體長度的要求不相容，這是因為也可能發生諸如延伸區中之橫向擴散，且造成被修改的通道長度，因而可能需要增加的間隔件寬度，以便適應各別退火製程期間的增加之擴散活動。因此，在增加精密半導體裝置的包裝密度時，具有誘發高擴散活動且因而產生高熱預算（thermal budget）的延長製程時間之高溫退火製程可能是較不受歡迎的方法。

此外，最近已開發出可顯著地增強諸如 P 通道電晶體性能的電晶體性能之技術，此種技術提供了可在基於矽的主動電晶體區的汲極及極區中形成之諸如矽／鍺化合物的應變半導體材料。可提供處於應變狀態的亦可被稱為矽／鍺合金之應變矽／鍺化合物，其中係因天然矽及天然矽

／鋅合金的晶格間隔失配 (mismatch of lattice spacing) 而造成該應變狀態。亦即，可根據矽晶格間隔而形成矽／鋅材料，因而產生應變矽／鋅晶格，然後該應變矽／鋅晶格可與鄰近的半導體材料相互作用，而施加應力，且因而造成某些應變。在汲極及源極區中提供應變矽／鋅合金時，藉由該應變材料所產生的各別應力可對電晶體的通道區起作用，因而在該通道區中產生各別之壓縮應變 (compressive strain)，而該壓縮應變可增強該通道區中之電荷載子的遷移率 (mobility)。在基於 SOI 架構的高微縮電晶體裝置中，可在通道區的鄰近處提供沿著半導體層的深度方向的大部分而延伸之高應變半導體合金，而得到與性能有關之顯著效益。因此，SOI 裝置中之有效率的應變誘發機構結合降低的寄生接面電容值可造成整體性能增益，此外，如前文所述，為了提供電晶體裝置的橫向尺寸降低之可能性，各別退火製程的額外大幅降低之熱預算是較佳的。因此，考慮到前文所述之狀況，最好是有可用於提高電晶體特性同時不會不當地影響到製程複雜性及(或)對各別製程技術的微縮能力有所妥協之先進技術。

本發明之揭示係有關可避免或至少降低前文所述的一個或多個問題的影響之各種方法及裝置。

【發明內容】

下文中呈現了本發明的簡化概要，以提供對本發明的某些態樣的基本了解。此概要並不是本發明的徹底的概述。其目的並不是識別本發明的關鍵性或緊要的元件，也

不是描述本發明的範圍。其唯一目的只是以簡化的形式呈現某些概念，作為將於後文中討論之更詳細的描述之前言。

一般而言，本發明揭示的主題係有關目標為藉由在形成各別的汲極及源極區之前先降低 SOI 裝置的各別主動半導體層之厚度而增強 SOI 裝置中之電晶體性能並降低整體電晶體尺寸之方法及半導體裝置。可在適當之製造階段執行材料去除之各別製程，以便提供在先前的製造階段中設置應變半導體合金之可能性，其中於自汲極及源極區中去除材料時，可在通道區的鄰近處沿著深度方向保持該應變半導體合金之起始厚度。因此，由於在植入汲極及源極區之前先降低了汲極及源極區之厚度，因而能夠加入高濃度之摻雜劑物種，以便根據有效率的植入參數而向下延伸到埋入絕緣層，因而在考慮到所需的橫向摻雜劑分佈之情形下，提供了設計用來活化摻雜劑並將汲極及源極區再結晶的各別退火製程之可能性，而無須為了得到降低的接面電容值而將摻雜劑向下擴散到該埋入絕緣層。因此，整體橫向電晶體尺寸可比使用用於誘發高擴散活動的退火參數之策略時降低，同時仍然可以應變半導體合金之形式將有效率的應變誘發機構加入汲極及源極區中。

本發明揭示的例示方法包括下列步驟：藉由將電晶體的閘極電極結構用來作為植入遮罩，以執行第一離子植入製程，而在該電晶體的半導體區中形成汲極及源極延伸區。該方法進一步包括下列步驟：在該閘極電極結構之側壁形成間隔件結構，並藉由執行蝕刻製程，而凹入該半導

體區。此外，該方法包括下列步驟：將該間隔件結構用來作為植入遮罩，而執行第二離子植入製程，用以形成汲極及源極區，其中該汲極及源極區延伸到位於該半導體區之下的埋入絕緣層。此外，該方法包括下列步驟：執行退火製程，用以活化該汲極及源極區之摻雜劑。

本發明揭示的另一例示方法包括下列步驟：在第一電晶體的第一半導體區中形成第一應變半導體合金，其中該第一應變半導體合金係至少部分地位於汲極及源極區中，且在該第一電晶體的通道區中誘發了第一類型之應變。該例示方法進一步包括下列步驟：在該第一電晶體的每一汲極及源極區的一部分中形成凹處。此外，該方法包括下列步驟：將摻雜劑物種植入至該等汲極及源極區中，以便形成深汲極及源極區，該等深汲極及源極區延伸到在其上形成該第一半導體區之埋入絕緣層。

本發明揭示的例示半導體裝置包括第一電晶體，該第一電晶體設有延伸到埋入絕緣層之凹入汲極及源極區。該半導體裝置進一步包括在該等汲極及源極區中部分地設置之應變半導體合金，其中該應變半導體合金在該第一電晶體的通道區中誘發應變。

【實施方式】

下文中將描述本發明的各實施例。為了顧及描述的清晰，在本說明書中將不描述實際實施例的所有特徵。當然，我們應當了解，在任何此種實際實施例的開發過程中，必須作出許多與實施例相關的決定，以便達到開發者的特定

目標，這些特定的目標包括諸如符合與系統相關的及與商業相關的限制條件，而該等限制將隨著各實施例而有所不同。此外，我們應當了解，雖然此種開發的工作可能是複雜且耗時的，但是此種開發工作仍然是對此項技術具有一般知識者在受益於本發明的揭示後所從事的日常工作。

現在將參照附圖而描述本發明。只為了解說之用，而在該等圖式中以示意圖之方式示出各種結構、系統、及裝置，以便不會以熟習此項技術者習知的細節模糊了本發明之揭示。然而，包含該等附圖，以便描述並解說本發明揭示之範例。應將在本說明書所用的字及辭彙了解及詮釋為具有與熟習相關技術者對這些字及辭彙所了解的一致之意義。不會因持續地在本說明書中使用一術語或辭彙，即意味著該術語或辭彙有特殊的定義（亦即與熟習此項技術者所了解的一般及慣常的意義不同之定義）。如果想要使一術語或辭彙有特殊的意義（亦即與熟習此項技術者所了解的意義不同之意義），則會將在本說明書中以一種直接且毫不含糊地提供該術語或辭彙的特殊定義之下定義之方式明確地述及該特殊的定義。

本發明所揭示的主題係大致有關製造技術以及其中包含基於絕緣層上覆矽（silicon-on-insulator；簡稱 SOI）組構且具有諸如 100 奈米或小許多的關鍵尺寸（critical dimension）的先進電晶體元件之各別半導體裝置，其中實質上可由汲極與源極接點之間建構的導電路徑之整體電阻值以及各別本體區的電容值決定電晶體性能。為了增強整

體電晶體性能，本發明所揭示的各態樣提供了下列的可能性：在電晶體的汲極及源極區中有效率地加入應變半導體材料，以便增強通道區中之電荷載子遷移率，同時仍然能夠以延伸到埋入絕緣層的高摻雜劑濃度形成深汲極及源極區，以便降低接面電容值，且仍然實質上維持應變半導體合金之應變誘發機構。此外，如前文所述，可使用提供了降低的熱預算之適當的退火技術，因而能夠縮短電晶體長度。

可根據額外的蝕刻製程而得到該深汲極及源極區中之所需的高摻雜劑濃度，其中可根據適當之間隔件結構，而在各別之離子植入製程之前先執行該額外的蝕刻製程，以便提供與應變半導體合金間之所需的橫向偏移，因而保持了該半導體合金沿著其在深度方向的整個延伸之大部分，以便不會不當地影響該半導體合金之應變誘發機構。因此，根據本發明揭示的原理，可在向下延伸到該埋入絕緣層的該深汲極及源極區中提供高摻雜劑濃度，且不論該深汲極及源極區中之垂直摻雜劑分佈狀況為何，都可參照增強的電晶體性能而設計有效通道長度，亦即，設計閘極電極與汲極及（或）源極延伸區間之重疊程度。此外，可根據凹入半導體材料執行用來界定該深汲極及源極區之離子植入製程，以便根據該離子植入製程而調整這些區之垂直延伸，其中可參照無須顯著垂直擴散的整體橫向摻雜劑分佈而執行後續的摻雜劑活化，因而可將實質上沒有擴散或沒有降低程度的擴散之精密退火技術用來有效率地用來

得到所需的高摻雜劑活化程度。

在某些實施例中，該退火製程可包含數個步驟，且可在其中包含特別設計的製程參數之不同的製造階段執行該等步驟，以便視需要而調整該等延伸區中之所需橫向擴散，且後續的短期退火製程可在實質上不顯著影響到該等特別設計的退火步驟所得到的橫向摻雜劑分佈之情形下，提供所需的摻雜劑活化程度。例如，在植入了用來形成該汲極及源極延伸區的各別摻雜劑物種之後，可執行適當之退火製程，以便視需要而精細地調整該橫向摻雜劑分佈，然後可根據適當設計之間隔件結構而完成將其餘的汲極及源極區凹入，且將摻雜劑物种植入該深汲極及源極區，因而提供了用來維持若有需要而提供的足夠之應變半導體合金所需橫向偏移。然後，可在實質上不改變先前建立的橫向摻雜劑分佈之情形下，根據基於輻射的先進退火製程而完成有效率的摻雜劑活化。

因此，可顯著地降低可被用來形成 SOI 電晶體中之 PN 接面的有效表面積，這是因為該埋入絕緣層可沿著深度方向圍住該汲極及源極區，因而造成 SOI 電晶體本體的整體電容值之降低。與有效率的應變半導體合金結合時，該降低之寄生電容值因而可提供增加之電晶體性能，其中又可因為能夠選擇用來界定該橫向摻雜劑分佈的降低之間隔件寬度而降低了沿著電晶體長度方向之整體橫向尺寸。

我們應當了解：本發明揭示的原理在其中包含具有大

約 50 奈米或更小的閘極長度的電晶體元件的半導體裝置之環境下是相當有利的，這是因為在 PN 接面需要有明顯的摻雜劑分佈，且在考慮到電晶體的整體串聯電阻值的降低之情形下，摻雜劑活化的程度以及通道區中之電荷載子遷移率也是重要的態樣。仍然可將本發明揭示的技術有效率地應用於較不具關鍵性之半導體裝置，因而可因降低的熱預算（降低的熱預算將導致垂直及橫向尺寸的較少擴散，因而轉化為降低的參數變動）而提供降低的良率損失及增強的裝置一致性。因此，除非在本說明或最後的申請專利範圍中明確地述及了特定裝置尺寸的限制，否則不應將本發明之揭示視為受限於特定的裝置尺寸。

第 1a 圖是在一實施例中代表場效電晶體的半導體裝置 100 之橫斷面圖。半導體裝置 100 可包括基材 101，基材 101 之上形成了諸如基於矽的半導體層的半導體層 102，該基於矽的半導體層被理解為一種包括矽且可能加上諸如鍍及碳等的其他物種之半導體材料。在所顯示之該製造階段中，半導體層 102 可包含在主動半導體區 111（亦即，半導體層 102 的一部分）中形成之凹處（recess）112A，而在該主動半導體區 111 中，將根據摻雜劑分佈而建立界定的導電係數。可以隔離結構 108 界定主動半導體區 111，其中可由諸如二氧化矽、氮化矽等的適當之介電材料構成隔離結構 108，且可以諸如溝槽隔離之形式提供隔離結構 108，因而界定了將要在其中形成通道區 109 及各別汲極及源極區（圖中未顯示）之主動半導體區 111。

半導體裝置 100 可進一步包括在基材 101 與半導體層 102 之間所設之埋入絕緣層 103，因而界定了 SOI 組構，其中可由諸如二氧化矽、氮化矽等的適當之介電材料構成埋入絕緣層 103。在其他的情形中，半導體裝置 100 可代表“基體(bulk)”組構，在該基體組構中，半導體層 102 可具有顯著大於在其中形成的任何電路元件的垂直深度之厚度，因而可為大量的電路元件提供共同的半導體本體。在其他的情形中，當需要高性能的電晶體元件以及具有基體組構的效益之電晶體時，半導體裝置 100 可包含與基體結構（圖中未顯示）結合的第 1a 圖所顯示之 SOI 組構。

在這一方面上，我們應當了解：與半導體裝置 100 或本發明中描述的任何其他半導體裝置的特徵位置有關之任何陳述將被視為相對位置資訊，其中基材 101、或埋入絕緣層 103、或這些組成部分形成的界限清楚之各別表面或界面可代表基準(reference)。亦即，諸如“在...上面(above)”、“在...之上(over)”、及“在...上(on)”等的術語可表示與諸如埋入絕緣層 103 及（或）基材 101 的表面或層有關之位置，用以指示所考慮的特徵具有比位於在所考慮的該特徵之下的特徵離開該基材或埋入絕緣層 103 較大之距離。在此種方式下，係在埋入絕緣層 103 之上形成諸如半導體層 102。同樣地，橫向方向可代表實質上平行於埋入絕緣層 103 或與基材 101 之間形成的任何界面而延伸之方向。因此，可將橫向方向理解為代表電晶體長度方向的第 1a 圖所示之水平方向、以及代表電晶體

寬度方向的與第 1a 圖的繪圖平面實質上垂直之方向。

半導體裝置 100 可進一步包括在半導體層 102 之上形成且被閘極絕緣層 104 隔離之閘極電極結構 105。閘極電極結構 105 可包括電極部分 105A，該電極部分 105A 可代表閘極電極結構 105 之導電部分，且可具有大約 50 奈米或更小之長度。可在電極部分 105A 之側壁上設有可由諸如二氧化矽、氮化矽等任何適當之材料構成的偏移間隔件 107。我們應當了解：可以諸如多晶矽等的任何適當的材料之形式提供閘極電極結構 105 之電極部分 105A，而在其他實施例中，術語“閘極電極結構”亦可代表在稍後的製造階段中可被任何適當的材料取代之功能區塊佔位結構 (placeholder) 或犧牲結構 (sacrificial structure)。此外，在所顯示之實施例中，閘極電極結構 105 可包括由諸如氮化矽、二氧化矽等任何適當之材料構成的覆蓋層 106。

可根據下文所述之製程而形成第 1a 圖所顯示之半導體裝置 100。在提供了基材 101 以及其上形成的埋入絕緣層 103 及半導體層 102 之後，可根據其中包含諸如微影、蝕刻技術、沈積及平坦化製程的已為大家接受之技術而形成隔離結構 108。然後，可根據已為大家接受之植入技術在被隔離結構 108 所界定的半導體區 111 中產生適當之摻雜劑濃度。然後，可以已為大家接受之技術形成閘極電極結構 105 及閘極絕緣層 104，其中諸如可包含表面處理等的精密的氧化及(或)沈積技術提供閘極絕緣層 104 之材料，然後沈積電極部分 105A 的適當之材料。然後，

可執行精密的微影及蝕刻製程，以便得到電極部分 105A 及閘極絕緣層 104。例如，在產生電極部分 105A 的圖案期間，亦可提供可代表先前被沈積的材料層的一部分之覆蓋層 106。然後，可根據已為大家接受之沈積及非等向性蝕刻（anisotropic etch）技術形成偏移間隔件 107，而“包封(encapsulate)”可能其中包含覆蓋層 106 之電極部分 105A。覆蓋層 106 及偏移間隔件 107 在被設計成自半導體層 102 去除材料的後續蝕刻製程 112 期間可提供足夠的蝕刻抗性，因而形成了各別之凹處 112A，且可以適當之半導體合金重新填滿該等凹處 112A，將於後文中說明其中情形。可由偏移間隔件 107 之寬度及（或）蝕刻製程 112 之製程參數界定凹處 112A 之尺寸及形狀，且該蝕刻製程 112 可被設計成實質上非等向性的蝕刻製程、等向性蝕刻（isotropic etching）製程、或上述製程之任何組合。可將凹處 112A 的深度選擇成：使埋入絕緣層 103 之上可維持某些數量的半導體層 102 材料，且仍然可以應變半導體合金重新填滿沿著半導體層 102 的深度方向之大部分，以便沿著半導體層 102 的大部分深度而在通道區 109 上施加特定的應力。

我們應當了解：在其他裝置區域中，當考慮到對各別之電晶體不適合時，可不形成各別之凹處 112A。在此種情形中，可在產生偏移間隔件 107 之圖案時，提供各別之蝕刻遮罩(mask)，以便維持這些裝置區域中之各別的間隔件材料。

第 1b 圖以示意圖示出在進一步的先進製造階段中之半導體裝置 100。如圖所顯示，已以諸如矽／鍺、矽／碳、及矽／鍺／錫等的應變半導體材料 113 重新填滿凹處 112A。可根據諸如選擇性磊晶生長技術而形成應變半導體合金 113，在該選擇性磊晶生長技術中，可使大部分的材料沈積實質上受限於半導體層 102 的露出區域，因而可避免將材料顯著地沈積在閘極電極結構 105 及隔離結構 108 上。在各別之磊晶生長期間，當合金 113 的天然晶體結構與半導體層 102 的樣板材料(template material)之晶體結構類似時，應變半導體材料 113 可實質上呈現在晶體結構上。因此，合金 113 亦可實質上採用各別之晶格間隔，且因而可在應變狀態下生長，其中實質上係由合金 113 的各組成元素之成分及濃度決定應變之類型及大小。例如，在實質上基於矽的無應變材料上生長的矽／鍺合金可產生顯著的壓縮應變，因而如前文所述，也在通道區 109 中誘發了各別之壓縮應變。例如，當裝置 100 代表 P 通道電晶體時，20 - 30 原子百分率 (atomic percent) 或更高之鍺濃度可顯著地增強通道區 109 內之電洞遷移率。

在其他實施例中，半導體合金 113 可代表諸如矽／碳的任何其他適當之材料，該材料具有比矽之天然晶格常數 (lattice constant) 小的天然晶格常數，因而導致拉伸應變合金 (tensile-strained alloy) 的生長。如前文所述，可根據已為大家接受之沈積技術使用凹處 112A 而形成具有壓縮應變或拉伸應變之半導體合金 113，而在其他實施

例中，可根據諸如植入等的其他製程技術形成半導體合金 113。例如，可省略蝕刻製程 112，或可在裝置 100 的被選擇之區域及不包含凹處 112A 之那些區域中執行蝕刻製程 112，且可根據用來加入諸如鍺、錫、及碳等的材料之適當設計的離子植入序列而形成應變半導體合金 113。例如，可使用前非晶化植入（preceding amorphization implantation）以植入鍺及（或）錫，並將層 102 中之材料再結晶，因而產生應變半導體材料 113，而形成壓縮應變半導體合金。在其他的情形中，可諸如先執行非晶化植入，而將碳植入半導體層 102，且在使損傷區域再結晶之後，可形成具有拉伸應變之半導體合金 113。在其他實施例中，可將根據凹處 112A 而以適當的沈積技術形成應變半導體合金 113 之步驟結合在其他裝置區域中執行的植入製程，此種方式在生產條件下無法有效率地使用適當之選擇性沈積技術時可能是有利的。例如，可根據選擇性磊晶生長技術在凹處 112A 中形成壓縮應變半導體合金，且根據基於碳的植入技術而在其他的裝置區域中形成拉伸應變半導體合金。

然後，可以任何適當的蝕刻製程去除可能與覆蓋層 106 的一部分結合之偏移間隔件 107，或在其他的情形中，當間隔件 107 的寬度對後續之離子植入製程 114 被視為是適當的寬度時，可將間隔件 107 用來作為一植入遮罩，用以界定汲極及源極延伸區 115E 之特定偏移。在植入製程 114 之前或之後，可執行其他的植入製程，用以形

成諸如所謂的環型區 (halo region) (未圖示)，以便得到在由汲極及源極延伸區 115E 及通道區 109 界定的 PN 接面上之所需的陡峭摻雜劑梯度。例如，各別之環型植入可包含傾斜植入製程 (tilted implantation process)，用以將具有與延伸區 115E 的摻雜劑的導電性類型相反之導電性類型之摻雜劑加入電極部分 105A 的邊緣之下。

第 1c 圖以示意圖示出在進一步的先進製造階段中之半導體裝置 100。如圖所顯示，可在閘極電極結構 105 的側壁上形成間隔件結構 116，該間隔件結構 116 可仍然包含諸如間隔件 107 的各別偏移間隔件，而在其他的情形中，各別之偏移間隔件可已被去除。此外，覆蓋層 106 或其一部分仍然可覆蓋電極部分 105A 之上表面。間隔件結構 116 可具有寬度 116W，可選擇該寬度 116W，以便實質上界定將要被形成的深汲極及源極區之橫向摻雜劑分佈。因為無須為了可使該深汲極及源極區向下延伸到埋入絕緣層 103 而進行沿著垂直方向的顯著擴散，所以間隔件寬度 116W 因而可無須配合各別之橫向擴散，因而能夠降低裝置 100 之橫向尺寸。可根據已為大家接受之技術而形成間隔件結構 116，該等技術可包括諸如氮化矽、二氧化矽等的任何適當材料之沈積、以及接續的適當之蝕刻技術。

第 1d 圖以示意圖示出在用來自應變半導體合金 113 去除半導體層 102 材料且因而形成凹處 117A 的蝕刻製程 117 期間之半導體裝置 100。可根據已為大家接受之蝕刻配方 (etch recipe) 而執行蝕刻製程 117，其中可根據

裝置要求而選擇等向性程度。亦即，可選擇諸如蝕刻化學劑以及在使用乾式蝕刻製程的情形下之電漿參數等的各別製程參數，以便在製程 117 期間得到各別之方向性。例如，可將極度非等向性蝕刻技術用來選擇性地去除層 102 之材料，因而使所形成的凹處 117A 與通道區 109 間之偏移實質上被間隔件寬度 116W 決定。在其他的情形中，可選擇製程 117 的實質上等向性之特性，因而得到虛線 117B 所示之某些程度之底蝕 (under-etching)。例如，使用非等向性蝕刻配方時，可提供與諸如隔離結構 108 及間隔件結構 116 的其他材料有關之高選擇性。可根據蝕刻時間而控制蝕刻製程 117，其中可根據估計或測量的蝕刻速率而調整凹處 117A 之所需深度。

在其他實施例中，可諸如在形成延伸區 115E 之前或之後執行各別之植入製程，以便在所需之深度上加入適當之指標 (indicator) 物種，然後可在蝕刻製程 117 期間釋出該等指標物種，因而提供了用來控制蝕刻製程 117 的有效率之信號。例如，可植入用來提供光學終點偵測系統中之容易被偵測到的終點偵測信號之任何適當的物種 (諸如通常被用於基於電漿的蝕刻製程之蝕刻終點偵測物種)，其中當可選擇各別之“奇特(exotic)”候選物種時，適度低的濃度即已足夠。因此，可充分地抑制可能造成凹處 117A 的深度隨著不同的基材而有所變化的蝕刻速率之變化。在其他實施例中，可在形成應變半導體合金 113 之製程期間加入各別之蝕刻指標物種。例如，在該選擇性磊晶生長製程

期間，可將各別之指標物種加入沈積環境中，因而界定了在具有指標材料的位置與沒有指標材料的位置之間的適度陡峭之邊界。因為通常可在增加的準確性下控制沈積製程，且沈積製程可能比各別之蝕刻製程有小幅度的製程變動，所以在此種情形中，可實現凹處 117A 的大致降低的因不同的基材而造成之變化。

第 1e 圖以示意圖示出在進一步的先進製造階段中之半導體裝置 100，其中執行另外的植入製程 118，以便界定至少向下延伸到埋入絕緣層 103 且具有適當高的摻雜劑濃度之深汲極及源極區 115D，其中可由於去除了合金 113 的半導體材料之大部分而完成上述步驟。因此，植入製程 118 可在深汲極及源極區 115D 的整個深度中造成適度高的摻雜劑濃度，而提供了避免具有不同的植入能量的複雜植入序列（這些不同的植入能量對於在對應的半導體材料之不同深度上提供各種濃度最大值可能是必要的）之可能性。在某些實施例中，植入製程 118 可包括傾斜植入 118A，以便增加汲極及源極延伸區 115E 之摻雜劑濃度，也亦在間隔件結構 116 之下提供較高的濃度，因而降低各別之串聯電阻值。在某些實施例中，如圖所顯示，當在電極部分 105A 中需要各別之摻雜劑濃度時，可在植入製程 118 之前先去除覆蓋層 106。為達到此一目的，可將覆蓋層 106 之厚度降低到在蝕刻製程 117 期間被用來作為有效率的蝕刻遮罩所需的適當之值，且然後可以間隔件結構 116 不會受到顯著影響的任何適當之高選擇性蝕刻

製程去除具有降低厚度之覆蓋層 106。在其他的情形中，如前文中參照第 1d 圖所述的，對應程度之底蝕可適應在用來去除覆蓋層 106 的對應製程期間的間隔件寬度 116W 之降低。

因此，在可能包括傾斜植入序列 118A 的植入製程 118 之後，形成了由延伸區 115E 以及具有向下延伸到埋入絕緣層 103 的高摻雜劑濃度的深汲極及源極區 115D 構成之汲極及源極區 115，同時在間隔件結構 116 之下的汲極及源極區 115 內，維持了具有原始厚度之應變半導體合金 113，因而在通道區 109 中提供了有效率之應變誘發機構。

第 1f 圖以示意圖示出在被設計成活化汲極及源極區 115 的摻雜劑並使這些區域中因植入造成的損傷再結晶的退火製程 119 期間之半導體裝置 100。在一實施例中，退火製程 119 可包括被設計成產生如箭頭 119A 所示的指定橫向擴散以便調整通道區 109 中之所需有效通道長度之退火步驟。例如，退火製程 119 可包括使用溫度範圍大約為攝氏 600 - 1000 度且結合造成所需熱預算的經適當選擇的製程時間之根據已為大家接受之退火技術而執行的退火步驟，因而形成所需之橫向摻雜劑分佈。由於藉由提供凹處 117A 而得到的深汲極及源極區 115D 中之高摻雜劑濃度（第 1e 圖），可以不需要垂直擴散，因而可考慮到該橫向摻雜劑分佈的適當調整而專門選擇各別的製程參數。在用來界定該有效通道長度的該各別退火步驟

之前或之後，可根據短暴露時間（例如，如前文所述，一秒或諸如數毫秒或更短的短許多之暴露時間）而執行精密的基於輻射之退火製程。因此，在此種情形中，可實質上抑制顯著的擴散，因而維持了先前已經建立的摻雜劑分佈、或將要在用來調整有效通道長度之後續的“低溫”退火製程中建立的摻雜劑分佈，其中大約攝氏 1100 - 1300 度或更高溫的短時間退火製程之適度的高溫提供了有效率的摻雜劑活化。因此，可提供具有高摻雜劑濃度、低電容值、及所需橫向摻雜劑分佈之汲極及源極區 115。

第 1g 圖以示意圖示出在被設計為短時間的基於輻射的退火製程（因而實質上維持了被植入的摻雜劑分佈）的退火製程 119 期間之裝置 100。因此，在此種情形中，可根據該植入製程並結合涉及汲極及源極區 115 的摻雜劑分佈的諸如偏移間隔件 107（第 1b 圖）及間隔件結構 116 的該等間隔件之各別間隔件寬度，而調整被延伸區 115E 及深汲極及源極區 115D 界定的 PN 接面之各別位置及特性。因此，可形成具有顯著降低的橫向尺寸之裝置 100，這是因為可因該短時間先進式基於雷射或閃光燈的退火製程 119 之特性而避免顯著的橫向擴散，因而可提供具有“最小”寬度的偏移間隔件 107 及間隔件結構 116。

第 1h 圖以示意圖示出根據可在形成延伸區 115E 之後且在形成深汲極及源極區 115D 之前執行的退火步驟 119B 之另外的實施例之半導體裝置 100。例如，如第 1h 圖所顯示，當使用基於雷射或閃光燈之退火製程時，可

在形成間隔件結構 116 之前先執行退火製程 119B，以便提供高製程一致性，這是因為可避免間隔件結構 116 與對應的輻射間之相互作用。在其他的情形中，可使用傳統的快速熱退火（RTA）體系，然而，其中各別的製程參數被特別設計，以便調整擴散行為，以便適當地界定有效通道長度。在此種情形下，諸如摻雜劑活化程度等的其他準則可能與適當製程參數之選擇無關，這是因為可在退火製程 119（第 1g 圖）期間完成摻雜劑活化，其中亦可實質上維持延伸區 115E 的預先建立之形狀。

第 1i 圖以示意圖示出根據另外的實施例之半導體裝置 100。如圖所顯示，可使半導體裝置 100 接受用來將另外的物種加入半導體層 102 的材料之處理 120，其中可將該另外的物種定位在較遠處，使該物種不會延伸到埋入絕緣層 103。在一實施例中，處理 120 可包括離子植入製程，用以增加半導體合金 113 中之非矽成分之濃度，且（或）增加半導體合金 113 朝向埋入絕緣層 103 之延伸。由於剩餘的汲極及源極區 115D 之降低厚度，所以可在高準確度下執行處理 120 之後的該對應之植入製程，以便將各別的合金成分定位在接近埋入絕緣層 103 之處，同時仍然維持黏著到埋入絕緣層 103 的充分之樣板材料，以便在用來使汲極及源極區 115 的損傷部分再結晶的後續退火製程 119 之後得到應變半導體合金。例如，如果半導體合金 113 包括通常可具有大約 1 - 5 原子百分率的碳濃度之矽／碳，則亦可根據植入製程而得到類似之濃

度。同樣地，在矽／鍺合金中，可在增加之準確度下以離子植入製程有效率地加入錫，因而將顯著地影響到整體應變，這是因錫原子具有比鍺高許多的共價半徑 (covalent radius)。

在其他實施例中，在增添到或取代先前描述的植入製程之方式下，處理 120 可包括：在接近汲極及源極區 115 的露出表面之處，加入適當之物種 120A，以便增強對裝置 100 之進一步的處理。例如，如果需要進一步降低基於金屬矽化物的汲極及源極區 115 之串聯電阻值，則可在接近表面處產生較高的摻雜劑濃度或較高的鍺濃度，以便影響後續之金屬矽化製程。在此種情形中，額外增加的濃度之該各別物種可被用來作為矽化物阻擋材料，因而可顯著地減緩形成金屬矽化物時的反應速度，此種方式對避免朝向 PN 接面的金屬矽化物生長是有利的，因而可縮短區域 115N 上的 PN 接面，其中該 PN 接面與金屬矽化物間之距離可以是最小的。此外，可得到電極部分 105A 中之矽化物形成與汲極及源極區 115 間之顯著的去耦合 (decouple)，這是因為覆蓋層 106 可有效率地阻擋各別物種 120A，因而導致電極部分 105A 中之無阻礙的金屬矽化物產生。在其他實施例中，處理 120 可包括加入用來增強或穩定各別的金屬矽化製程之適當的物種，這是因為某些金屬矽化體系可能遭遇與諸如其中包含高濃度的鍺的矽／鍺的基於矽的半導體合金有關之降低效率或穩定性。在此種情形中，可諸如植入高劑量的矽，以便顯著地降低

其他合金成分之濃度。

在形成了汲極及源極區 115 之後，可根據已為大家接受之技術而繼續進一步的製程，其中在某些例子中，可諸如前文中參照第 1i 圖所述之方式形成金屬矽化物，然後沈積層間介電材料，其中在一些實施例中，可將高內應力（intrinsic stress）提供給該各別材料之至少一部分，以便進一步增加通道區 109 中之各別應變。由於凹入的結構，甚至可比傳統的實質上平面之汲極及源極結構更為增強自上方介電材料進入通道區 109 之各別應力轉移機構。

第 2 圖以示意圖示出包括第一電晶體 200A 及第二電晶體 200B 之半導體裝置 200，其中電晶體 200A、200B 中之至少一電晶體可具有前文中參照裝置 100 所述之結構。亦即，裝置 200 可包括基材 201，基材 201 包含埋入絕緣層 203，可在埋入絕緣層 203 之上形成半導體層 202，其中這些組成部分可具有與前文中參照裝置 100 所述的各別組成部分相同之特性。此外，電晶體 200A、200B 可在諸如導電性類型、汲極及源極區之結構（亦即，凹入的或非凹入的）、以及各別通道區中誘發的應變之類型等的至少一特性上有所不同。在所顯示之實施例中，電晶體 200A、200B 可分別代表 P 通道電晶體及 N 通道電晶體，其中在該情形中，電晶體 200A、200B 可分別具有被加入其中之應變半導體合金 213A、213B，用以誘發各別的應變。此外，電晶體 200A、200B 均可具有前文中參照裝置 100 所述的凹入汲極及源極結構，其中我們應當了解：在

其他的情形中，可將實質上平面的組構提供給電晶體 200A、200B 中之一電晶體。

因此，如圖所顯示，電晶體 200A、200B 可包括在閘極絕緣層 204 上形成之電極部分 205A，該閘極絕緣層 204 將電極部分 205A 與通道區 209 隔離。此外，可提供間隔件結構 216，該間隔件結構 216 可實質上決定汲極及源極區 215 的各別凹處之寬度，而汲極及源極區 215 可包括延伸區 215E 及深汲極及源極區 215D。在所顯示之範例中，第一電晶體 200A 之汲極及源極區 215 可包括高濃度的 P 型摻雜劑材料，而電晶體 200B 之汲極及源極區 215 可包括高濃度的 N 型摻雜劑材料。此外，應變半導體合金 213A 可提供第一電晶體 200A 的通道區 209 中之各別壓縮應變 221A，而應變半導體合金 213B 可提供第二電晶體 200B 中之拉伸應變 221B。

可根據前文中參照裝置 100 所述的製程技術而形成半導體裝置 200。例如，如前文所述，可根據諸如其中包含各別的磊晶生長技術、及植入技術等的技術、以及該等技術的可能組合的適當之製程序列而產生各別的應變半導體合金 213A、213B。然後，可以前文所述之方式繼續進一步的製程，亦即，可根據已為大家接受之遮罩體系而形成各別的延伸區 215E，然後可以諸如製程 117 等的一共同的蝕刻製程形成該等凹處，以便得到如圖所示之凹入汲極及源極結構。然後，可根據前文所述的製程技術而形成深汲極及源極區 215D。因此，可針對不同類型的電晶體

而有效率地提供基於汲極及源極區中之應變半導體合金的凹入汲極及源極組構，其中可維持與現有製程技術間之高度相容性。

因此，本發明揭示的主題提供了特徵為凹入汲極及源極組構之方法及半導體裝置，可藉由該組構而在可向下延伸到埋入絕緣層之深汲極及源極區中得到高摻雜劑濃度，用於降低 SOI 電晶體中之有效接面電容值。因為可在根據用來將偏移提供給應變半導體合金的間隔件結構而加入該應變半導體合金之後完成該凹入處理，所以可沿著原始提供的應變半導體合金的厚度而維持該應變半導體合金之應變誘發效應。此外，本發明揭示的技術提供了在沒有不當的擴散之情形下各別地調整有效通道長度之可能性，或者可實質上維持根據先進式基於輻射的退火技術而植入之各別植入分佈，因而能夠進一步降低橫向電晶體尺寸。

前文所揭示的特定實施例只是供舉例之用，這是因為熟悉此項技藝者在參閱本發明的揭示之後，將可易於以不同但等效之方式修改及實施本發明。例如，可按照不同的順序執行前文所述之製程步驟。此外，除了在最後的申請專利範圍中所述者之外，本發明將不受本說明書中顯示出的結構或設計細節之限制。因而顯然可改變或修改前文揭示的特定實施例，且將所有此類的變化視為在本發明的範圍及精神內。因此，本發明所尋求的保護係述及在最後的申請專利範圍中。

【圖式簡單說明】

藉由參照前文中之描述並結合各附圖，將可了解本發明之揭示，在該等附圖中，相同的元件符號將識別類似的元件，其中：

第 1a 至 1f 圖是在形成向下延伸到 SOI 組構的埋入絕緣層的深汲極及源極區的各製造階段中之電晶體裝置之橫斷面圖，其中係根據實施例而在執行用來界定該深汲極及源極區之離子植入之前先凹入各別的部分；

第 1g 圖以示意圖示出第 1a-1f 圖所顯示之電晶體的變化，其中可根據另外的實施例而使用誘發降低許多的擴散活動之退火製程；

第 1h 圖以示意圖示出在早期製造階段之電晶體裝置，其中可根據另外的實施例而在形成該凹入深汲極及源極區之前，先執行額外的退火製程，以便界定橫向摻雜劑分佈及延伸區之有效通道長度；

第 1i 圖是根據另外的實施例而在用來加入另外的物種以便增強電晶體的進一步製程及（或）性能的製造階段之該電晶體之橫斷面示意圖，其中該電晶體具有延伸到該埋入絕緣層之凹入深汲極及源極區；以及

第 2 圖是包括兩個不同類型的電晶體的半導體裝置之橫斷面示意圖，其中該等兩個不同類型的電晶體可在應變半導體合金（如圖所顯示）的類型有所不同，或可在凹入汲極及源極組構上有所不同。

雖然易於對本發明揭示的主題作出各種修改及替代形式，但是該等圖式中係以舉例方式示出本發明的一些特

定實施例，且已在本說明書中詳細描述了這些特定實施例。然而，我們應當了解：本說明書對這些特定實施例的描述之用意並非將本發明限制在所揭示的該等特定形式，相反地，本發明將涵蓋藉由最後的申請專利範圍所界定的本發明的精神及範圍內之所有修改、等效物、及替代。

【主要元件符號說明】

100,200	半導體裝置
101,201	基材
102,202	半導體層
103,203	埋入絕緣層
104,204	閘極絕緣層
105	閘極電極結構
105A,205A	電極部分
106	覆蓋層
107	偏移間隔件
108	隔離結構
109,209	通道區
111	主動半導體區
112,117	蝕刻製程
112A,117A	凹處
113	應變半導體材料
114,118	離子植入製程
115,215	汲極及源極區
115D,215D	深汲極及源極區

115E,215E	汲極及源極延伸區
115N	區域
116,216	間隔件結構
116W	間隔件寬度
118A	傾斜植入
119	退火製程
119A	橫向擴散
119B	退火步驟
120	處理
120A	物種
200A	第一電晶體
200B	第二電晶體
213A,213B	應變半導體合金
221A	壓縮應變
221B	拉伸應變

七、申請專利範圍：

1. 一種製造半導體裝置之方法，包括下列步驟：

藉由將電晶體的閘極電極結構用來作為蝕刻遮罩而蝕刻半導體區，以於該半導體區中形成第一複數個凹處；

將應變半導體材料填入該第一複數個凹處以誘發該電晶體的通道區中的應變；

藉由將該電晶體的該閘極電極結構用來作為植入遮罩，以執行第一離子植入製程，而在該應變半導體材料中形成汲極及源極延伸區；

在該閘極電極結構之側壁形成間隔件結構；

在形成該間隔件結構之後，執行蝕刻製程，因而僅在該半導體區中所形成的該汲極及源極延伸區內界定第二複數個凹處；

將該間隔件結構用來作為植入遮罩，而在該第二複數個凹處中執行第二離子植入製程，用以形成汲極及源極區，該等汲極及源極區延伸到位於該半導體區之下的埋入絕緣層；以及

執行退火製程，用以活化該等汲極及源極區之摻雜劑。

2. 如申請專利範圍第 1 項之方法，其中，係將該蝕刻製程執行為非等向性蝕刻製程。

3. 如申請專利範圍第 1 項之方法，其中，係將該蝕刻製程執行為等向性蝕刻製程。

4. 如申請專利範圍第 1 項之方法，其中，形成該應變半導體材料之步驟包括：在該半導體區中形成壓縮應變半導體材料。
5. 如申請專利範圍第 1 項之方法，其中，形成該應變半導體材料之步驟包括：在該半導體區中形成拉伸應變半導體材料。
6. 如申請專利範圍第 1 項之方法，其中，該退火製程包括基於輻射的退火步驟，其具有大約為一秒或更短的有效輻射時間。
7. 如申請專利範圍第 1 項之方法，其中，該退火製程包括被設計成調整該電晶體的橫向有效通道長度之退火步驟。
8. 如申請專利範圍第 1 項之方法，進一步包括：在執行該第二離子植入製程之前，執行被設計成將該等延伸區退火之延伸退火製程。
9. 如申請專利範圍第 1 項之方法，進一步包括：在該閘極電極結構的電極部分的上表面之上，形成覆蓋層，且於蝕刻該半導體區時，將該覆蓋層用來作為蝕刻遮罩。

10. 一種製造半導體裝置之方法，包括下列步驟：

藉由將第一電晶體的閘極電極用來作為蝕刻遮罩而蝕刻第一半導體區，以於該第一半導體區中形成第一複數個凹處；

在該第一複數個凹處重新填入第一應變半導體合

金，該第一應變半導體合金係至少部分地位於汲極及源極區中，且在該第一電晶體的通道區中誘發第一類型之應變；

僅在該第一應變半導體合金內該第一電晶體的該等汲極及源極區的每一汲極及源極區的一部分中，形成第二凹處；以及

將摻雜劑物種植入至該等汲極及源極區中之該第二凹處，以形成深汲極及源極區，該等深汲極及源極區延伸到在其上形成該第一半導體區之埋入絕緣層。

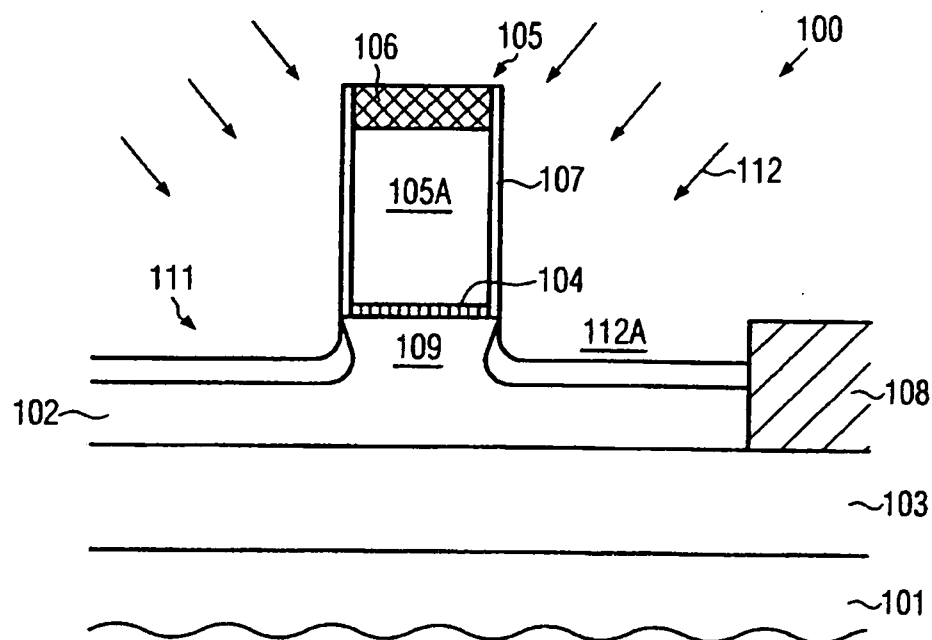
11. 如申請專利範圍第 10 項之方法，進一步包括：在第二電晶體的第二半導體區中形成第二應變半導體合金，該第二應變半導體合金係至少部分地位於汲極及源極區中，且在該第二電晶體的通道區中誘發第二類型之應變，而該第一類型之應變是與該第二類型之應變為相反類型。
12. 如申請專利範圍第 11 項之方法，進一步包括：在該第二電晶體的該等汲極及源極區的每一汲極及源極區的一部分中形成第三凹處，並將摻雜劑物種植入至該第二電晶體之該等汲極及源極區，以形成深汲極及源極區，該第二電晶體之該等深汲極及源極區延伸到該埋入絕緣層。
13. 如申請專利範圍第 10 項之方法，進一步包括：在該第一電晶體中形成該第一複數個凹處之前，在該第一電晶體中形成汲極及源極延伸區。

14. 如申請專利範圍第 13 項之方法，進一步包括：將該第一電晶體退火。
15. 如申請專利範圍第 14 項之方法，其中，將該第一電晶體退火之步驟包括：藉由使該第一電晶體暴露於大約為一秒或更短之輻射，而將該第一電晶體退火。
16. 如申請專利範圍第 14 項之方法，其中，將該第一電晶體退火之步驟包括：將該第一電晶體之該等汲極及源極延伸區退火，以調整該第一電晶體之有效通道長度。
17. 如申請專利範圍第 10 項之方法，其中，形成該第一複數個凹處之步驟包括：在該第一電晶體的閘極電極之上形成覆蓋層，並在該閘極電極的側壁形成間隔件結構，並將該覆蓋層及該間隔件結構用來作為蝕刻遮罩而執行蝕刻製程。
18. 如申請專利範圍第 10 項之方法，進一步包括：經由該第一複數個凹處將物種加入至該第一半導體區以增加在該第一應變半導體合金的非矽成分的濃度，該物種實質上不延伸到該埋入絕緣層。
19. 一種半導體裝置，包括：
 - 具有凹入汲極及源極區之第一電晶體；
 - 在該等凹入汲極及源極區中重新填入應變半導體合金，該應變半導體合金在該第一電晶體的通道區中誘發應變；以及
 - 藉由蝕刻該應變半導體合金及植入摻雜劑物種而形成深汲極及源極區，以延伸該第一電晶體的埋入絕

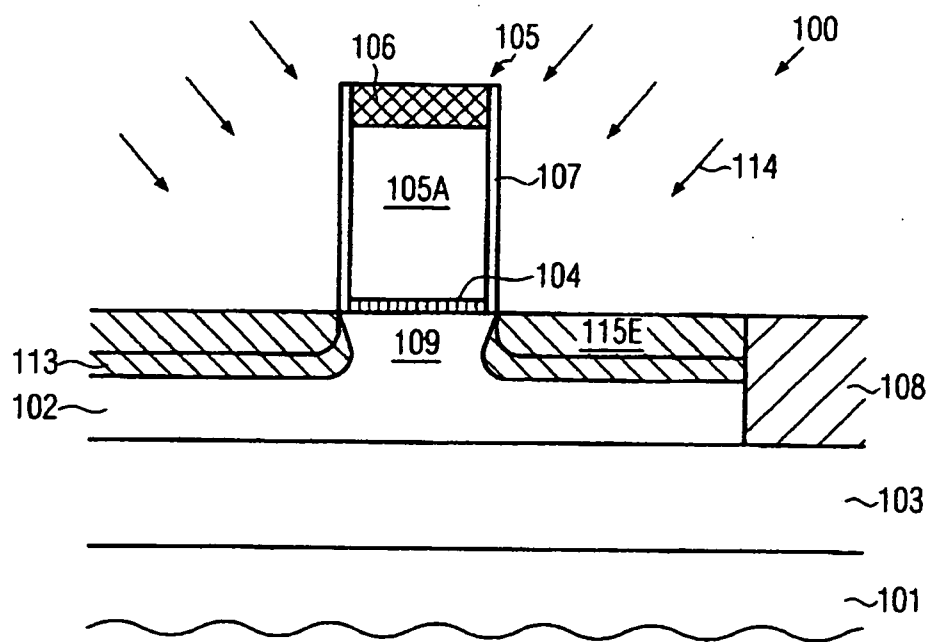
緣層。

20. 如申請專利範圍第 19 項之半導體裝置，其中，該應變半導體合金具有壓縮應變。
21. 如申請專利範圍第 19 項之半導體裝置，其中，該應變半導體合金具有拉伸應變。
22. 如申請專利範圍第 19 項之半導體裝置，進一步包括第二電晶體，其具有與該第一電晶體之導電性類型不同的導電性類型，該第二電晶體具有實質上不凹入之汲極及源極區。
23. 如申請專利範圍第 19 項之半導體裝置，進一步包括第二電晶體，其具有與該第一電晶體之導電性類型不同的導電性類型，該第二電晶體具有延伸到該埋入絕緣層之凹入汲極及源極區。
24. 如申請專利範圍第 20 項之半導體裝置，其中，該第二電晶體包括不同於該第一電晶體的該應變半導體合金之另一應變半導體合金。

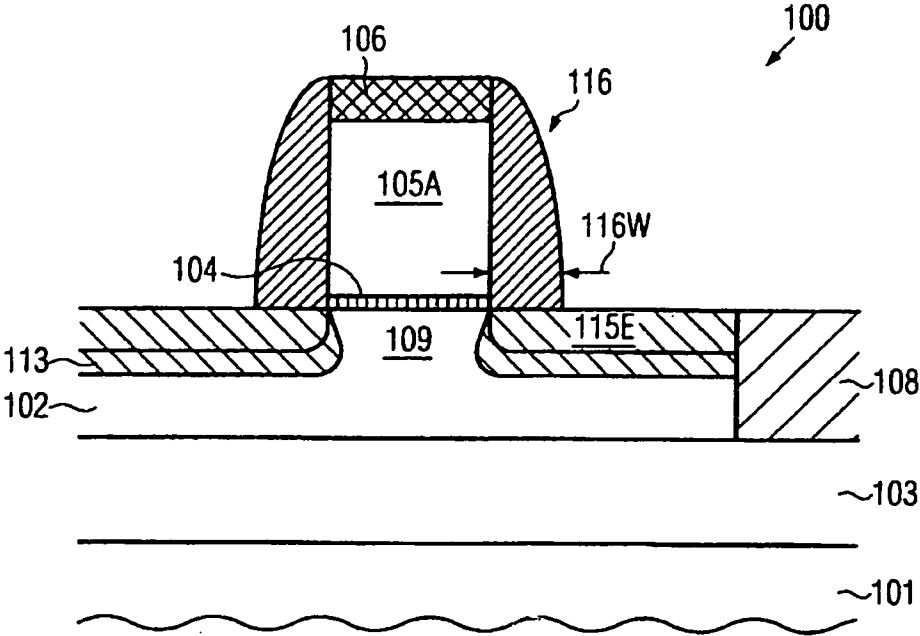
八、圖式：



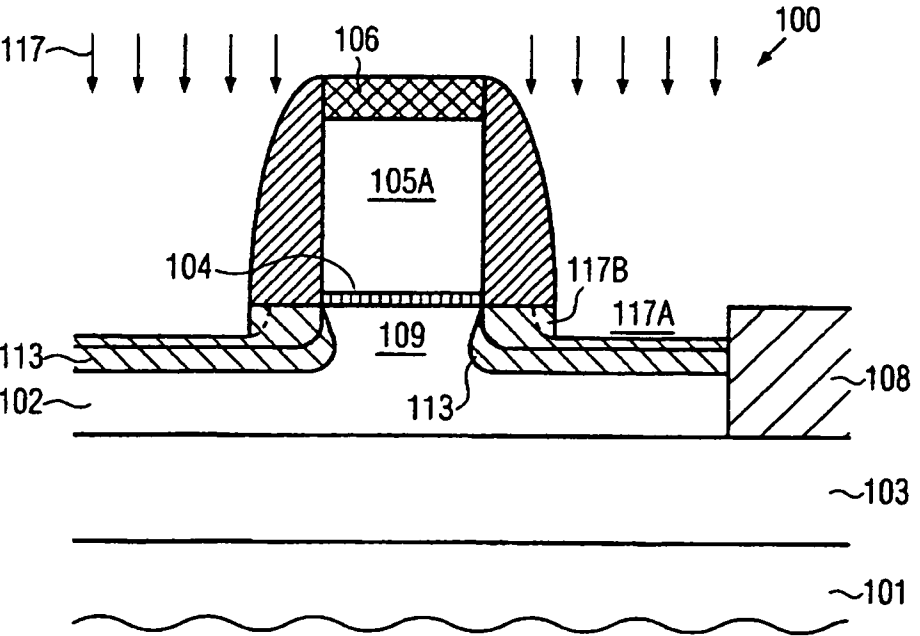
第1a圖



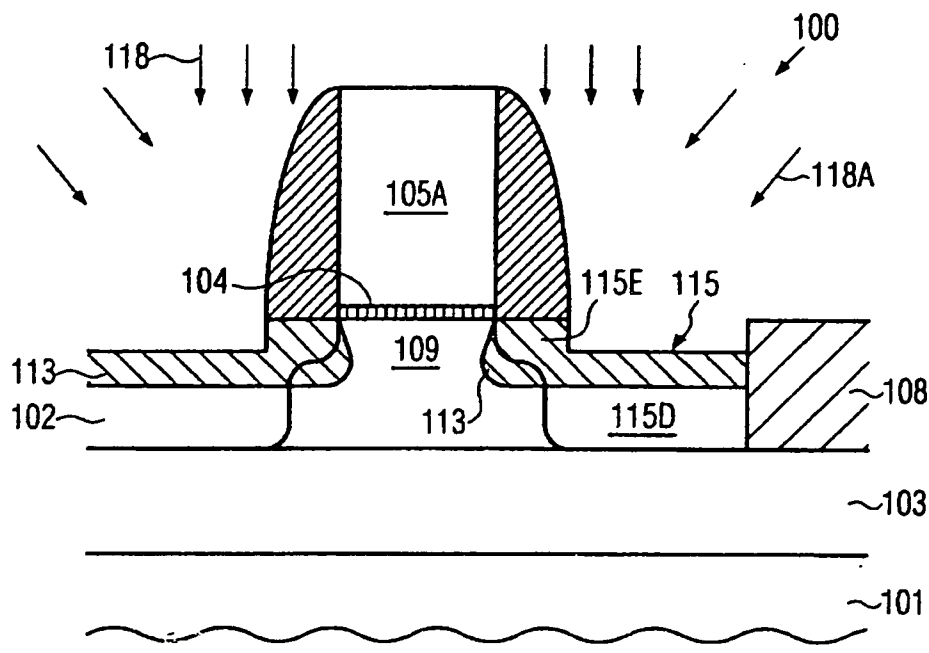
第1b圖



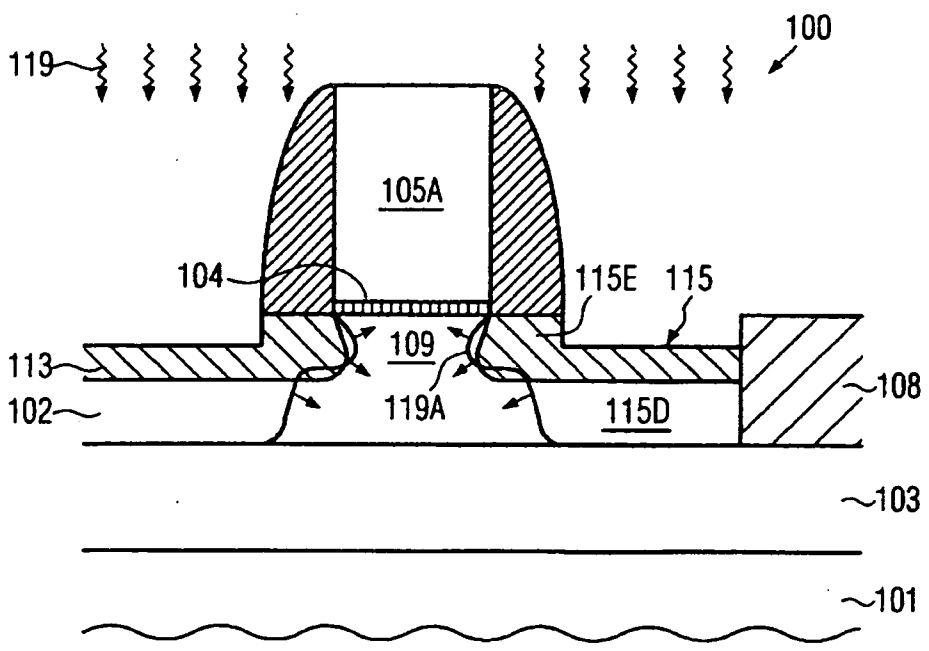
第1c圖



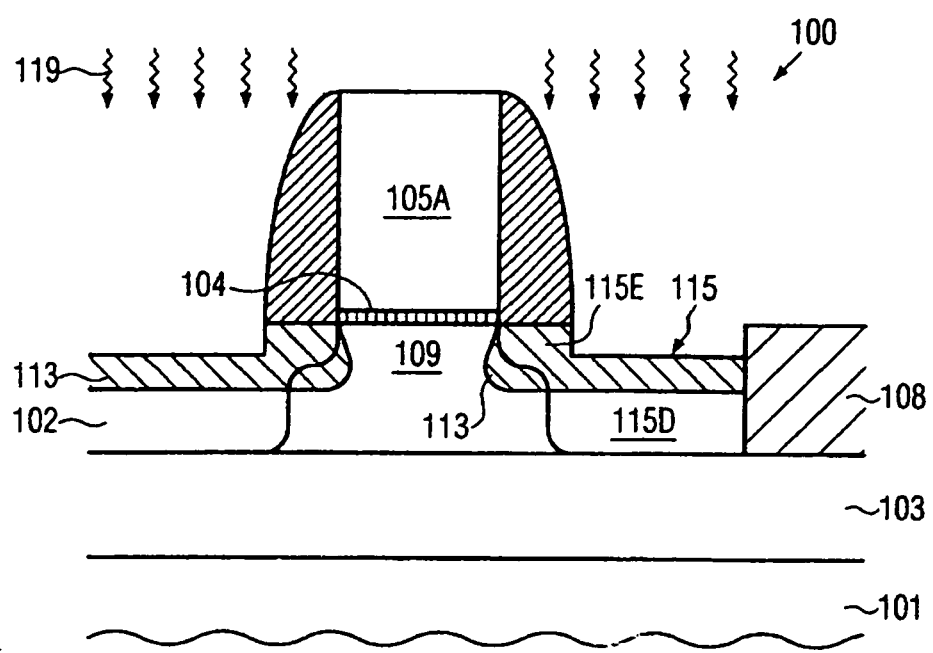
第1d圖



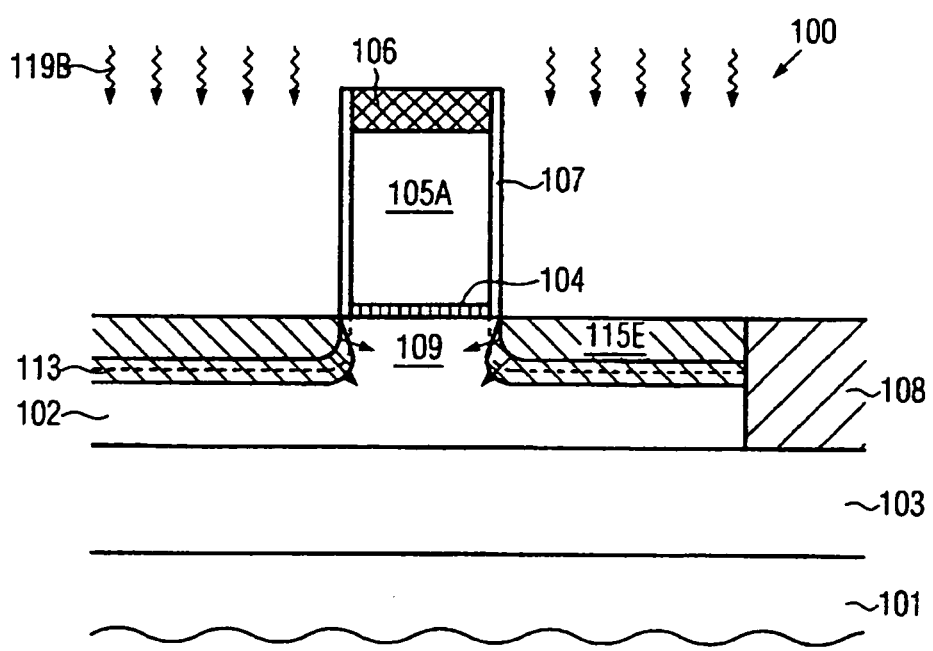
第1e圖



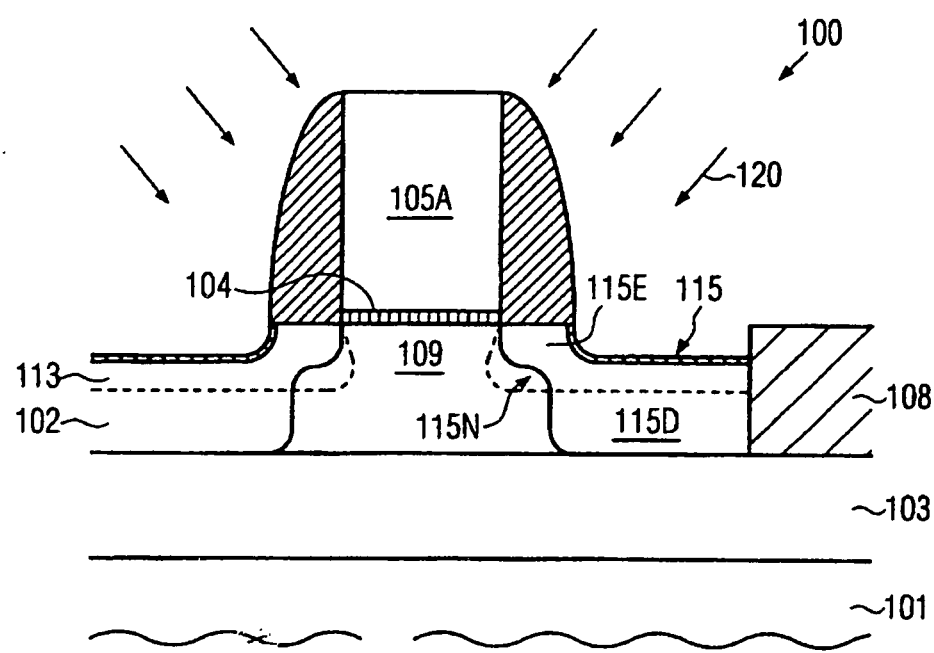
第1f圖



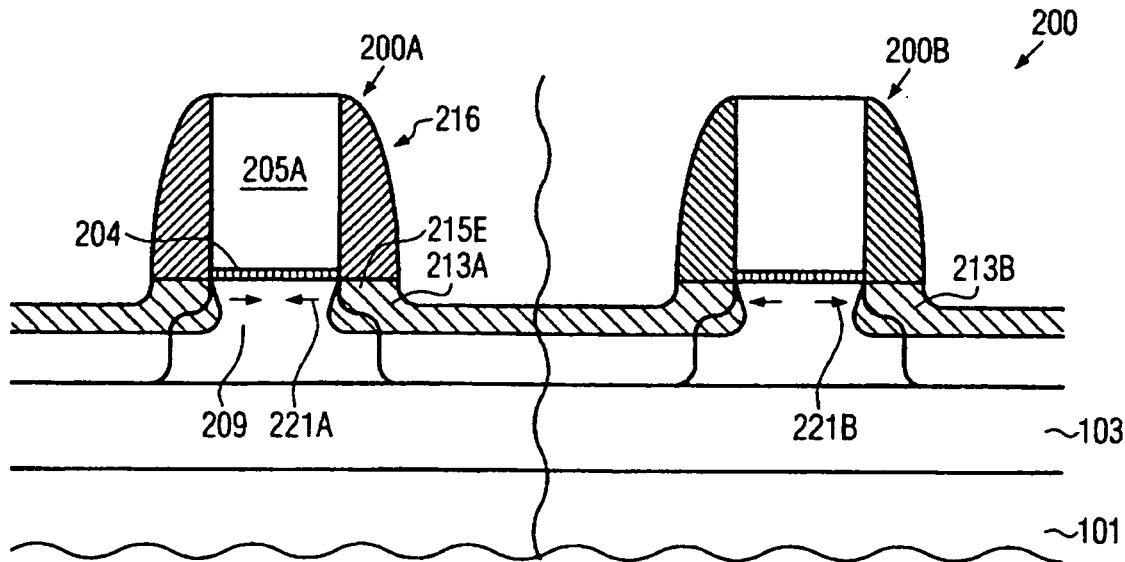
第1g圖



第1h圖



第1i圖



第2圖