

[19]中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/088

H01L 27/092

H01L 21/8238

[12] 发明专利说明书

[21] ZL 专利号 96101335.4

[45] 授权公告日 2001 年 10 月 31 日

[11] 授权公告号 CN 1074167C

[22] 申请日 1996. 1. 31

[21] 申请号 96101335.4

[30] 优先权

[32] 1995. 1. 31 [33] JP [31] 14095/1995

[73] 专利权人 佳能株式会社

地址 日本东京

[72] 发明人 大内朗弘 大冢逸男 坂下辛彦

[56] 参考文献

EP 0522588A1 1993. 1. 13 H01L27/088

审查员 段成云

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

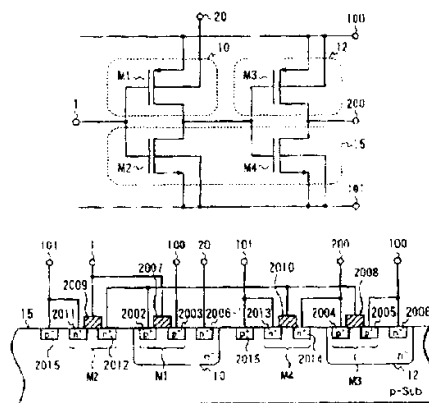
代理人 杜日新

权利要求书 2 页 说明书 13 页 附图页数 7 页

[54] 发明名称 半导体装置

[57] 摘要

在一个包括具有放大电路的信号输入部分的半导体装置中(该放大电路含有一个、两个或两个以上的绝缘栅晶体管(MIS Tr)),信号输入部分的一个 MIS Tr 或者两个或两个以上的 MIS Tr 中的至少一个(M₁)是具有一种传导性沟道型的 MIS Tr。具有一种传导性沟道型的 MIS Tr(M₁)形成于一个半导体区域中,该区域和形成于非信号输入部分的电路部分的其他的 MIS Tr(M₃)之间电气绝缘,使得信号放大电路的输入阈值电平与输入信号的 DC 电平相一致,以此来防止误动作。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体装置，包括具有放大电路的信号输入部分，该放大电路包括至少四个绝缘栅晶体管，

其中，所述四个绝缘栅晶体管构成两组，每组包括互不相同的第一和第二传导性沟道型的两个绝缘栅晶体管，其漏极和栅极分别共连，其源极分别共连电源；

一组的栅极连接到所述信号输入部分，该一组的漏极连接到另一组的栅极，另一组的漏极连接到输出部分；

栅极连接到所述信号输入部分的所述第一传导性沟道型绝缘栅晶体管，形成于一个半导体区中，该半导体区域与另一组的形成于除了信号输入部分的电路部分的第一传导性沟道型的其他绝缘栅晶体管以及各组第二传导性沟道型的所述绝缘栅晶体管之间电气绝缘，第一传导性沟道型的所述其他绝缘栅晶体管与各组第二传导性沟道型的所述绝缘栅晶体管之间电气绝缘，电位控制端被设置，用于控制至少所述一组的第一传导性沟道型的所述绝缘栅晶体管所在区域的电位。

2. 根据权利要求 1 所述的半导体装置，其中所述一组的第二传导性沟道型的所述绝缘栅晶体管与另一组的第二传导性沟道型的所述绝缘栅晶体管之间电气绝缘。

3. 根据权利要求 1 所述的半导体装置，其中所述绝缘栅晶体管形成于半导体衬底上，所述电位控制端与形成第一传导性沟道型的所述绝缘栅晶体管的区域电连接。

4. 根据权利要求 1 所述的半导体装置，其中所述绝缘栅晶体管是利用绝缘层上形成的半导体层分别形成的，所述电位控制端与形成第一传导性沟道型的所述绝缘栅晶体管的半导体层电连接。

5. 根据权利要求 4 所述的半导体装置，其中形成第一传导性沟道型的所述绝缘栅晶体管的半导体层与形成另一些绝缘栅晶体管的半导体层相分离设置。

6. 根据权利要求 3 所述的半导体装置，还包括电位控制端，用

于控制形成有仅所述一组的第二传导性沟道型所述绝缘栅晶体管的区域的电位。

7. 根据权利要求 1 所述的半导体装置, 其中还所述绝缘栅晶体管形成于半导体衬底上, 所述电位控制端与形成第一传导性沟道型的所述绝缘栅晶体管的区域电连接, 形成有另一绝缘栅晶体管的区域与电源相连, 该电源与各绝缘栅晶体管的源极相连。

8. 根据权利要求 1 所述的半导体装置, 其中所述放大电路的所述输入部分共连多个电容器元件的一端, 所述多个电容器元件的另一端分别所述信号端。

9. 根据权利要求 1 所述的半导体装置, 其中设有多个所述放大电路, 所述放大电路的所述输入部分共连多个电容器元件的一端, 并到达所述多个电容器元件的另一端, 所述信号端是一个电路单元。

10. 根据权利要求 9 所述的半导体装置, 其中所述电路单元的输出连接到另一电路单元的信号输入端。

11. 根据权利要求 9 所述的半导体装置, 其中所述电路单元中所述电容器元件的数目是相互不同的。

12. 根据权利要求 9 所述的半导体装置, 其中一个电路单元中所述电容器元件的数目比向该一个电路单元输出的另一个电路单元中所述电容器元件的数目多一个。

13. 根据权利要求 1 所述的半导体装置, 其中设有多个所述放大电路, 一个放大电路的输出通过电容器元件与另一个放大电路的输入部分相连。

14. 根据权利要求 13 所述的半导体装置, 其中另一个放大电路具有多个电容器元件, 包括: 其一个电极输入所述一个放大电路的输出的电容器元件, 和其一端输入有输入到所述一个放大电路的输入部分的信号的电容器元件。

说明书

半导体装置

本发明涉及一种半导体装置,特别是涉及这样一种半导体装置(半导体集成电路装置)。在这种半导体装置中,信号输入部分有放大电路,该放大电路包含一个或两个或更多的绝缘栅型的晶体管诸如MOS晶体管,而且特别要说明的是这种装置可以处理微信号(micro signal)。

作为简单的放大电路的一个结构性例子,在图1的电路图中示出了用互补型MOS(以下称之为CMOS)晶体管构成的倒相电路。即在图1中,P沟MOS晶体管(以下,称之为PMOS Tr)M₁的源极被连接到V_{DD}电源端子100上。PMOS Tr M₁的漏极通常被连接到N沟MOS晶体管(以下称之为NMOS Tr)M₂的漏极上。NMOS Tr M₂的源极被连到接地端子101上。PMOS Tr M₁和NMOS Tr M₂的栅极通常被连接到输入端子1上。PMOS Tr M₁的背栅(back gate)被连接到V_{DD}电源端子100上。NMOS Tr M₂的背栅被连到接地端子101上。这样就构成了一个CMOS倒相器。由PMOS Tr M₁和NMOS Tr M₂构成的CMOS倒相器的输出被连到内部电路的输入上。该内部电路是与由图1中的PMOS Tr M₁和NMOS Tr M₂构成的CMOS倒相器相同的形式,由PMOS Tr M₃和NMOS Tr M₄构成的CMOS倒相器。在这种情况下,输入倒相器的PMOS

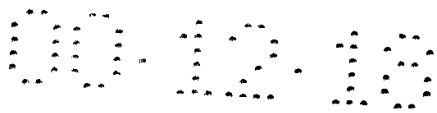
$Tr M_1$ 和内部电路中的 PMOS $Tr M_3$, 如图 2 所示形成于同一 N 阱 12 上, 而输入倒相器的 NMOS $Tr M_2$ 和内部电路的 NMOS $Tr M_4$ 形成于同一 P 型基板 15 上。

在图 2 中, 参考数字 2001 表示形成于 P 型基板 15 中的一个 n^- 区域。参考数字 2002, 2003, 2004 和 2005 分别表示形成于 n^- 区域 2001 中的 P^+ 区。在图 2 中, P^+ 区 2003 将变成 PMOS $Tr M_1$ 的源区, P^+ 区 2005 将变成 PMOS $Tr M_3$ 的源区, P^+ 区 2002 将变成 PMOS $Tr M_1$ 的一个漏区, P^+ 区 2004 将变成 PMOS $Tr M_3$ 的一个漏区。参考数字 2007, 2008, 2009 和 2010 分别表示 MOS 晶体管们的栅极电极。2006 和 2015 表示背栅。2011, 2012, 2013 和 2014 表示 n^+ 区。在图 2 中, n^+ 区 2011 将变成 NMOS $Tr M_2$ 的一个源区, n^+ 区 2013 将成为 NMOS $Tr M_4$ 的一个源区, n^+ 区 2012 将成为 NMOS $Tr M_2$ 的一个漏区, n^+ 区 2014 将成为 NMOS $Tr M_4$ 的一个漏区。背栅 2006 被设置于 n^+ 区上以获得 n^- 区 2001 的电势。背栅 2015 被设置于 P^+ 区上以获得 P 型基板的电势。

但是, 在上述 CMOS 倒相器中, 当处理微小幅度的信号时, 重要的是 CMOS 倒相器的阈值电平和输入信号的直流电平相一致。在 CMOS 的阈值电平稍微偏离开来的情况下, 就表明存在有电路误动作或者类似的事项。

本发明是有鉴于上述问题而形成的, 而且目的是提供一种半导体装置, 它可以防止因信号放大电路的阈值电平和微输入信号的直流电平之间的不同而引起的误动作或类似的事项。

本发明的另外一个目的是提供一种即使对于更小的微信号也



能进行正确动作的半导体装置。

根据本发明，半导体装置，包括：具有放大电路的信号输入部分，该放大电路包括至少四个绝缘栅晶体管，其中，所述四个绝缘栅晶体管构成两组，每组包括互不相同的第一和第二传导性沟道型的两个绝缘栅晶体管，其漏极和栅极分别共连，其源极分别共连电源；一组的栅极连接到所述信号输入部分，该一组的漏极连接到另一组的栅极，另一组的漏极连接到输出部分；栅极连接到所述信号输入部分的所述第一传导性沟道型绝缘栅晶体管，形成于一个半导体区中，该半导体区域与另一组的形成于除了信号输入部分的电路部分的第一传导性沟道型其他绝缘栅晶体管以及各组第二传导性沟道型的所述绝缘栅晶体管之间电气绝缘，第一传导性沟道型的所述其他绝缘栅晶体管与各组第二传导性沟道型的所述绝缘栅晶体管之间电气绝缘，电位控制端被设置，用于控制至少所述一组的第一传导性沟道型的所述绝缘栅晶体管所在区域的电位。所述电位控制端与形成第一传导性沟道型的所述绝缘栅晶体管的区域电连接。所述电位控制端与形成第一传导性沟道型的所述绝缘栅晶体管的半导体层电连接。形成第一传导性沟道型的所述绝缘栅晶体管的半导体层与形成另一种的绝缘栅晶体管的半导体层相分离设置。

图 1 的电路图用于说明 CMOS 倒相器电路的一个例子。

图 2 的垂直剖面图示出了图 1 的倒相器电路的一个构成情况。

图 3，5 和 7 是电路图，每一电路图用于说明本发明的 CMOS 倒相器的一个例子。

图 4，6 和 8 分别是用于说明示于图 3，5 和 7 中的 CMOS 倒相器电路的构造的例子的垂直剖视图。

图 9 的电路图用于说明本发明应用到 V-MOS 电路中去时的构成情况的例子。

图 10 的电路图用于说明采用本发明的 8 位 A/D 转换器的一个例子。

图 11 是一个电路图,用于说明图 10 中高位两位的运作的例子。

图 12 是一时序图,用于说明示于图 11 的电路图的两位的运作的例子。

图 13 的电路图示出的是把本发明应用于差分放大电路中去的情况。

依据本发明,从电路构成上说,具有在其中已形成了绝缘栅型晶体管的信号输入部分的半导体区域被独立地形成和形成于非信号输入部分中的具有相同的传导性沟道型的绝缘栅型晶体管之间电气绝缘。采用这样一种构造,半导体区域的电位就可以独立地进行控制,而且信号输入部分的绝缘栅型晶体管的 V_{th} (阈值电压)也可受控,因而可以使具有信号放大电路的输入部分的阈值与输入微信号的直流电平相符合。

下边将参照附图对本发明的一个实施例进行详细说明。

图 3 和图 4 分别示出了本发明第一个实施例的电路图和垂直剖视图,是把本发明应用于示于图 1 的电路构成时的情况。与图 1 相同的部件标以相同的参考数字。其中该半导体装置包括四个绝缘栅晶体管。

在图 3 和图 4 中,参考数字 100 表示电源端子;101 表示接地端子;1 是信号输入端子;200 表示输出端子; M_1 和 M_3 是 PMOS 晶体管; M_2 和 M_4 是 NMOS 晶体管。输入 CMOS 倒相器电路由 PMOS Tr_{M1} 和 NMOS Tr_{M2} 构成,而内部 CMOS 倒相器电路则由 PMOS Tr_{M3} 和 NMOS Tr_{M4} 构成。PMOS Tr_{M1} 形成于 N 阱 10 中,PMOS Tr_{M3} 形成于 N 阱 12 中,而 NMOS Tr_{M2}

M_2 和 M_4 形成于 P 型基板 15 上。 N 阱 10 通过背栅 2006-1 被连接到阱电位控制端子 20 上作为一个 N^+ 值。 N 阱 12 则通过背栅 2006 连到电源端子 100 上。 P 型基板 15 通过背栅 2015 连到接地端子 101 上作为一个 P^+ 值。

在上边的构成中,当具有微幅度的信号被加到输入端子 1 上的时候,则每当信号穿过输入 CMOS 倒相器的阈值电压时,信号就被传送到下一级的内部电路(内部倒相器电路)上去。

在输入到输入 CMOS 倒相器上去的输入电压值接近于阈值值时,PMOS T_r 和 NMOS T_r 都将工作在饱和区。它们的漏极电流分别可由下列等式求得。

$$I_{Dp} = K_p (V_{DD} - V_{in} + V_{Tp})^2 \quad \dots (1)$$

$$I_{Dn} = K_n (V_{in} - V_{Tn})^2 \quad \dots (2)$$

其中, V_{DD} 表示电源电压; V_{in} 为 CMOS 倒相器的阈值电压; I_{Dp} 为 PMOS T_r 的漏极电流; I_{Dn} 表示 NMOS T_r 的漏极电流; K 为常数; V_T 为 MOS 晶体管的阈值电压。这些参数分别由下列等式给出。

$$K_p = \frac{\mu_p C_{ox}}{2} \frac{W_p}{L_p} \quad \dots (3)$$

$$K_n = \frac{\mu_n C_{ox}}{2} \frac{W_n}{L_n} \quad \dots (4)$$

其中 μ 表示载流子的迁移率; C_{ox} 表示氧化膜电容; (W_p/L_p) 或 (W_n/L_n) 为 PMOS T_r 或 NMOS T_r 的尺寸; W_p 和 W_n 为晶体管的宽度; L_p 和 L_n 为晶体管的和长度。

$$V_{Tp} = T_{TOP} + \gamma (\sqrt{2\phi_f + V_{SBp}} - \sqrt{2\phi_f}) \quad \dots (5)$$

$$V_{Tn} = T_{TON} + \gamma (\sqrt{2\phi_f + V_{SBn}} - \sqrt{2\phi_f}) \quad \dots (6)$$

其中, T_{TO} 为 $V_{SB}=0$ 时的阈值电压 (V_{TOP} 和 V_{TON} 分别表示 PMOS T_r NMOS T_r 的阈值)。

ϕ_f 为费米能级电位。

V_{SB} 为源和基板之间的电位 (V_{SBn} 表示 NMOS T_r 的源—基极电位, V_{SBp} 表示 PMOS T_r 的源—基极电位)。

γ 为一个参数。

假定在等式(1)和(2)中 $I_{Dp} = I_{Dn}$, 则 CMOS 倒相器的阈值电压可求得如下:

$$V_{in} = \frac{V_{DD} + V_{Tp} + \sqrt{\frac{K_n}{K_p}} V_{Tn}}{1 + \sqrt{\frac{K_n}{K_p}}} \quad \dots (7)$$

在第 1 个实施例中的阱电位端子 20 在方程式(5)中是用于控制 V_{SBp} 的手段, 它控制 CMOS 倒相器的阈值电压以使之和微输入信号的 DC 电平相一致, 从而可以实现精确动作。用等式(7)所表述的 CMOS 倒相器的阈值电压由于 MOS T_r 的尺寸的改变, 工艺参数的改变等等原因将会产生变化。但是阱电位控制端子 20 可以修正这些化。

图5和图6示出了把本发明应用于其电路构成示于图1的第2个实施例的情况。在图5和图6中,和图1相同的部件都标上了相同的参考数字(同样的规定也可以同样地应用于后边将要讲述的那些实施例)。

在第2种实施例中,用 n^+ 埋层2060-1到2060-4形成了在其中形成有构成输入CMOS倒相器NMOS $Tr M_2$ 的P阱11和在其中形成有内部电路中NMOS $Tr M_4$ 的P阱13,以进行电气绝缘。P阱11通过 P^+ 区2015-1被连接到阱电位控制端子21上。P阱13通过 P^+ 区2015被连接到接地端子101上。因此,当和在其中只有构成输入CMOS倒相器的PMOS $Tr M_1$ 的阱电位受控的第1个实施例相比时,第2个实施例是以这样的形式构成的:NMOS $Tr M_2$ 的阱电位也可以同时受控。应用这么一种构造。输入CMOS倒相器的阈值电压可在一个广阔的范围内受控。在图6中,参考数字2061-1和2061-2分别表示 P^+ 区。

图7和图8示出了把本发明应用于示于图1的电路构成的第3个实施例时的情况。在第3个实施例中,分别进行了电绝缘的N阱10和12及P阱11和13形成于SOI基板上。该SOI基板具有形成于诸如半导体基板之类的基板8001上的一种绝缘层16,构成输入CMOS倒相器的PMOS $Tr M_1$ 形成于N阱10上,构成内部电路的PMOS $Tr M_3$ 形成于N阱12上,构成输入CMOS倒相器的NMOS $Tr M_2$ 形成于P阱11上,构成内部电路的NMOS $Tr M_4$ 形成于P阱13上。N阱10和12分别被连接到阱电位控制端子20和电源端子100上。P阱11和13分别被连接到阱电位控制端子21和接地端子101上。应用这样一种结构,输入CMOS倒相器

的阈值电压可以以和第2个实施例相同的形式在一个广泛的范围内进行控制。

图9示出了把本发明应用于第4个实施例的电路。这一实施例示出了把本发明用于V-MOS电路时的情况。在图9中，参考数字9001,9002,9003,⋯,900n表示信号输入端子， $C_1, C_2, C_3, \dots, C_n$ 表示电容器。与电容的信号输入端子相对的一侧的端子通常被连接到分别由PMOS Tr M_1 和NMOS Tr M_2 构成的CMOS倒相器的一个输入上。

当信号加到信号输入端子9001到900n上时，分别用信号输入把相应于信号输入的电荷积累于电容器 C_1 到 C_n 上。相当于所积累的电荷总量的一个信号被加到CMOS倒相器上。

参考数字500表示连接到CMOS倒相器的输出上的一个内部电路；200是一个输出端子；20和21是在其中分别形成了PMOS Tr M_1 和NMOS Tr M_2 的阱的电位控制端子。

在上边的结构中，由PMOS Tr M_1 和NMOS Tr M_2 构成的CMOS倒相器的输入电压幅度，在假定加到输入端子1,2,3,⋯,n上的电压被设置为 $V_1, V_2, V_3, \dots, V_n$ 的情况下，将变成如下式所示：

$$\frac{V_1 C_1 + V_2 C_2 + V_3 C_3 + \dots + V_n C_n}{C_1 + C_2 + C_3 + \dots + C_n}$$

例如，当 $C_1=C_2=C_3=\dots=C_n=C$ 时，就变为

$$\frac{1}{n} (V_1 + V_2 + V_3 + \dots + V_n)$$

当

$$C_1 = \frac{1}{2} C_2 = \frac{1}{4} C_3 = \dots = \frac{1}{2^{n-1}} C_n \quad \text{时,}$$

上式就变为

$$\frac{1}{2^n - 1} (V_1 + 2V_2 + 4V_3 + \dots + 2^{n-1} V_n)$$

在 $V_1 = V, V_2 = V_3 = \dots = V_n = 0$ 的情况下, 倒相器的输入幅度极大地减小为如下所示:

$$\frac{1}{n} V, \quad \frac{1}{2^n - 1} V$$

根据本发明, 甚至在上述情况下, 借助于合适地控制阱电位控制端子 20 和 21 上的电压, 使 CMOS 倒相器的阈值电压与输入 DC 电压相一致, 以使得允许精确地完成动作。

图 10 是一个电路图, 它示出本发明的第 5 个实施例并示出了一个用上述 V-MOS 构成的多步式 8 位 A/D(模拟—数字)转换器的例子。

在图 10 中, 参考数字 50 到 54 表示本发明的 CMOS 倒相器; 55 到 63 是 CMOS 倒相器; 200 到 204 为数字输出端子; C_1 到 C_{17} 为

电容器;1 为模拟输入端子。模拟输入端子 1 被连到倒相器 50 的一个输入上,同时还通过电容器 C_2, C_5, C_9 和 C_7 连接到倒相器 51,52,53 和 54 的输入上。倒相器 50 的一个输出通过倒相器 55 被连至数字输出端(MSB) 200, 同时通过电容器 C_1, C_4, C_8 和 C_{16} 连至倒相器 51,52,53 和 54 的输入上。倒相器 51 的一个输出通过倒相器 57 被连至数字输出端 201, 同时通过电容器 C_3, C_7 和 C_{15} 连至倒相器 52,53 和 54。在下文中,通过倒相器和电容器高位位依次地被连至低位倒相器的所有输入上。于是从数字输出端子 200 输入进来的模拟信号就被变换成数字信号并被输出出去。总体来说,后一级电路单元中的电容器在数目上比前一级电路单元中的电容器数目多一个。

为了简化起见,现在将对示于图 11 的高两位在上述构造中的动作进行讲述。当把一个比倒相器 50 的阈值电压足够低的电压 V_1 加到输入端子 1 上的时候,数字输出端子 200 通过倒相器 50 和 55 被指定为低电平。作为结果而产生的信号由倒相器 56 进行倒相。电容器 C_1 的一个端点的电压等于电源电压。因此,在倒相器 51 的一个输入点(a)上的电压被设定为(设 V_1 为参考电压)电源电压与 V_1 之间的电位差除以电容器 C_1 和 C_2 的容量比所得到的如下所述的值。

$$V_a = V_1 + \frac{C_1}{C_1 + C_2} (V_{DD} - V_1)$$

在这一时刻,由于电压 V_1 是足够地低,所以电压 V_a 小于倒相器 51 的阈值电压。以致于输出端子 201 被指定为低电平。随着 V_1 的增加, V_a 也将增加。但是,由于 $V_1 < V_a$, V_a 将首先超过倒相器 51 的阈值值。因此,输出 201 首先被倒相并被设定为高电平。此外,当 V_1 增

加并超过了倒相器 51 的阈值值时, 输出 200 被倒相并被设定为高电平。在电容 C_1 的一个端点的电压就等于地电位。在这一时刻, (a) 点的电位被设定为用 C_1 和 C_2 的电容比除 V_1 所得到的下述值 V_a 。

$$V_a = \frac{C_2}{C_1 + C_2} V_1$$

因为值 V_a 小于倒相器 51 的阈值值, 故倒相器 51 的信被倒相, 致使输出 201 被设定为低电平。当 V_1 进一步增加时, V_a 将比例于值 V_1 而增加。当 V_a 超过了倒相器 51 的阈值值时, 输出 201 被倒相并被设定为高电平(参阅图 12)。

就如从实施例 4 将会清楚地弄明白的那样, 至于在上述结构中倒相器 50 到 54 的输入电压, 随着位的变低, 电容分压比减小了而且幅度减小了。因为在构成倒相器 50 到 54 的每一 MOS Trs M_1 至 M_{10} 都存在着寄生门电容, 故加到每一倒相器上的电压, 如在图 12 中用 V_a' 所示的那样, 都会偏离 DC 电平一个偏移电压 V_{os} 。在这种情况下, 就如在图 12 中用虚线 V_{201} 所表示的那样, 在数字输出的时刻存在着一个偏差, 以致于会引起误动作。

由于依据本发明在其中阈值值可被控制的 CMOS 到相器被用作倒相器 50 到 54, 故每一倒相器的阈值值都是可控的以便在每一级都和 DC 电平相一致, 以此使得可以防止误动作。

图 13 的电路图示出了本发明的第 6 个实施例并示出了本发明被应用于差分式放大电路时的情况。参考符号 M_{11} 和 M_{12} 表示 NMOS Tr. NMOS Tr M_{11} 的一个栅极被连至信号输入端子 1 上, 一个漏极通过电阻 R_1 被连至电源 100, 一个源极通过一个电

流源 501 与 NMOS Tr M_{12} 的一个源极一起被连至接地端子 101 上。NMOS Tr M_{12} 的一个栅极被连到信号输入端子 2 上, 而通过一个电阻 R_2 把一个漏极连到电源 100 上。NMOS Tr M_{11} 和 M_{12} 的漏极分别被连到内部电路 500 上。NMOS Tr M_{11} 和 M_{12} 形成于阱内, 该阱与包含于内部电路中的 NMOS Trs 电气绝缘。这些阱被分别连接到阱电位控制端子 20 和 21 上。

在具有上述构成的差分放大电路中, 输入 MOS Tr M_{11} 和 M_{12} 的特性被设计为使之相同。但是当在生产时特性偏离一个偏差量的情况下。阈值值可用控制端子 20 和 21 进行调节以使得可以防止误动作。

一个在其中 CMOS 倒相器被用作信号放大手段的例子已示于第 1 到第 5 个实施例中, 而一个在其中应用了差分放大电路的例子已示于第 6 个实施例中。但是, 本发明还可以用于其他形式, 只要放大电路是用于放大信号的手段。

作为被连到本发明的阱电位控制端子上的电源, 可以是任意的构成, 只要阱电位可以被控制为所希望的电位就行, 但是, 理想的是电压幅度不大。因而一般地说来, 理想的是用一个恒压源。即便是应用了恒压源时, 显然, 电压值的设定本身还可以是不同的以给出一个必需的电位。

此外, 本发明不限上边的实施例, 而且在本发明的附属的权利要求的宗旨和范围之内可能有许多修改和变化。

如上所述, 根据本发明, 一种半导体集成电路装置。在这种半导体集成电路装置中, 通过控制构成信号输入手段的放大器的绝级栅型晶体管的阈值电压, 就可使之与输入信号的 DC 电平相一致。

因而，可以防止电路的误动作且即便是对更小的微信号也可进行精确的动作。

图. 3

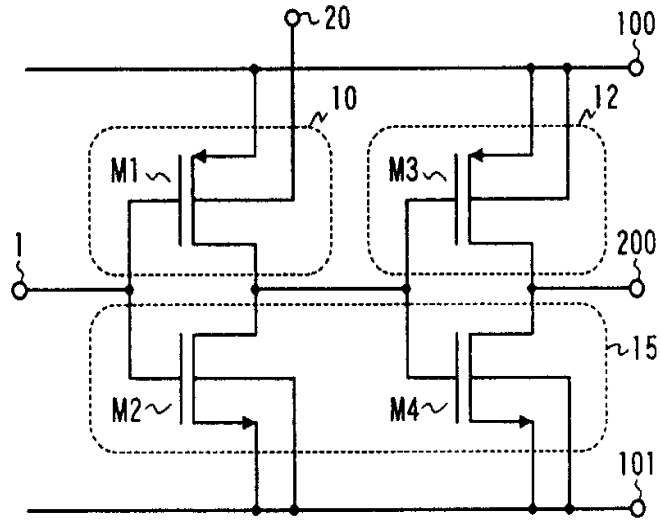


图. 4

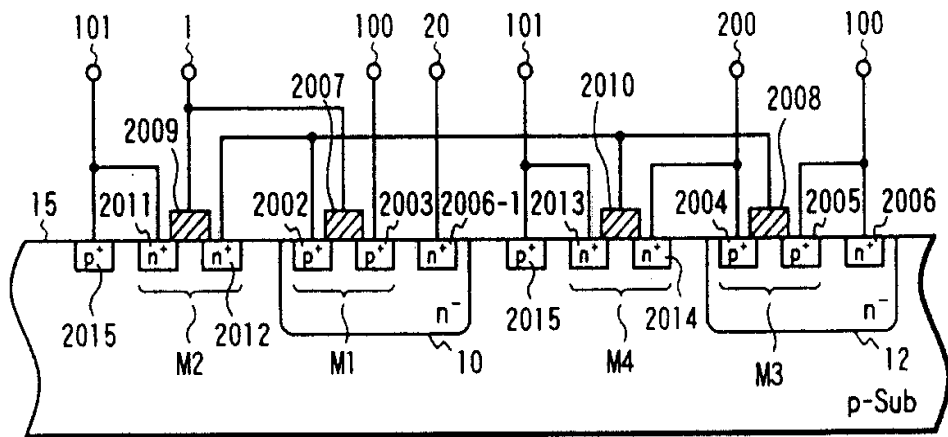


图 7

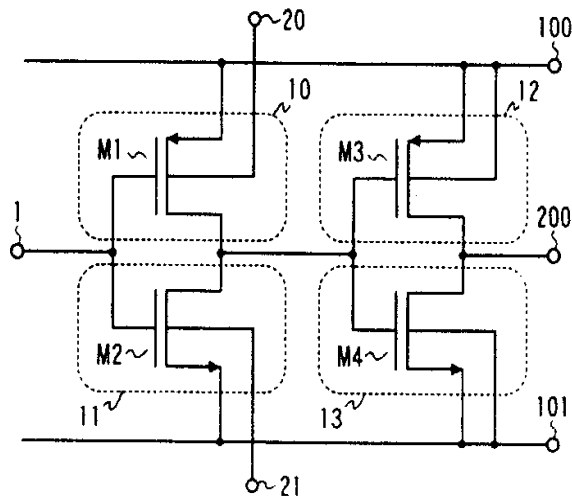


图 8

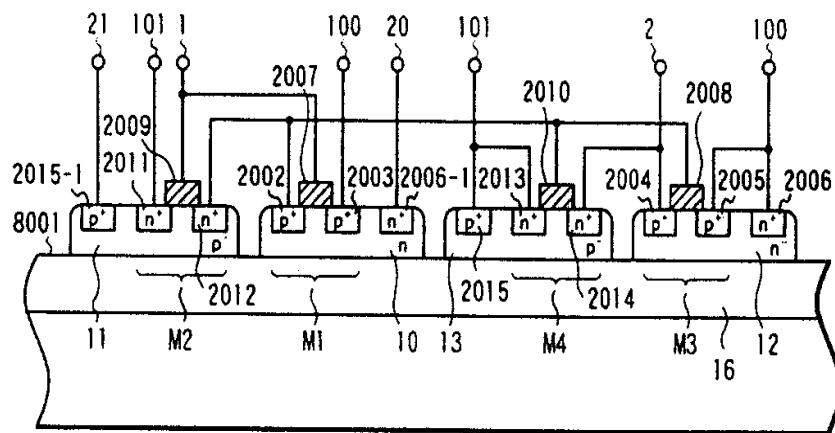


图. 9

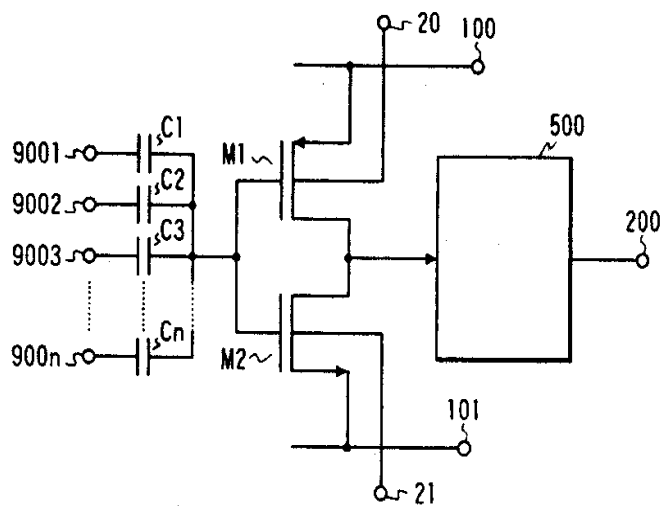


图. 11

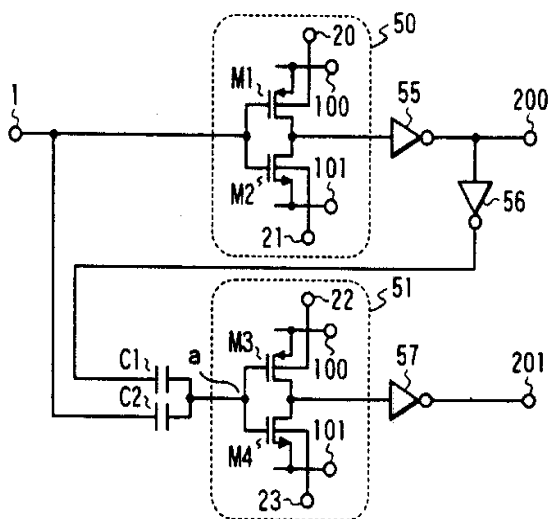


图. 10

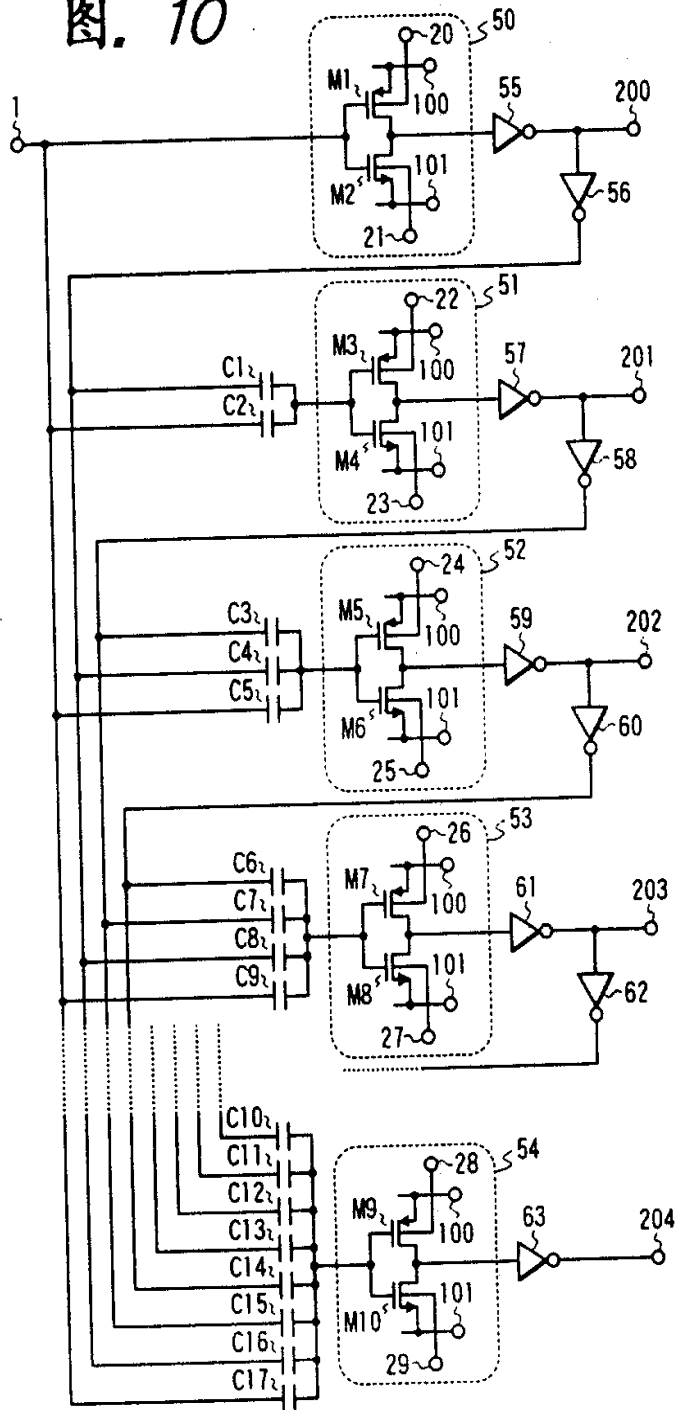


图. 12

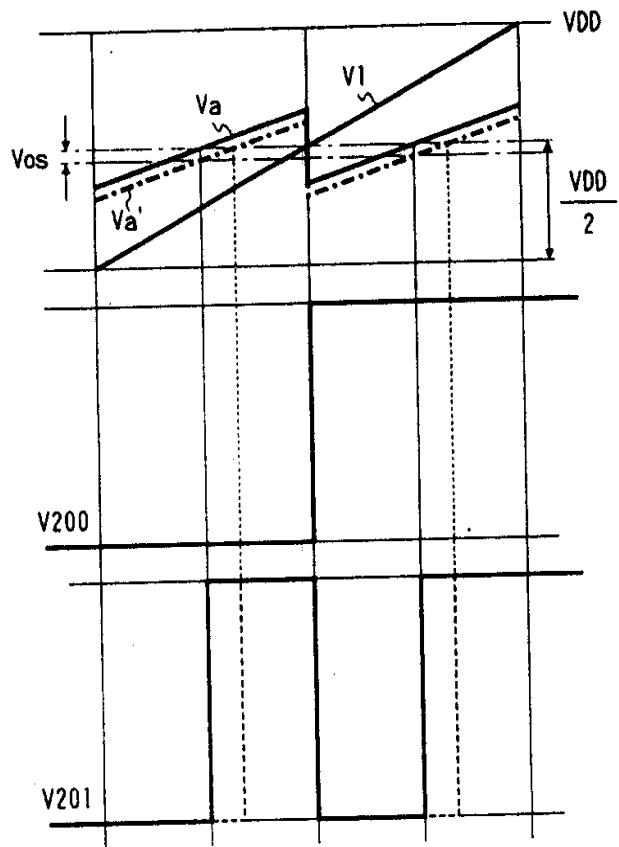


图. 13

