(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0085658
(43) 공개일자 2025년06월12일

(51) 국제특허분류(Int. Cl.)
G01K 7/01 (2006.01) *H10D 84/00* (2025.01)
(52) CPC특허분류
G01K 7/01 (2013.01)
H10D 84/00 (2025.01)
(21) 출원번호 10-2024-0179414
(22) 출원일자 2024년12월05일
심사청구일자 2024년12월05일
(30) 우선권주장
1020230174596 2023년12월05일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김용신
서울특별시 성북구 안암로 145, 고려대학교안암캠퍼스
이지성
경상북도 구미시 옥계북로 10, 501호
(74) 대리인
김등용

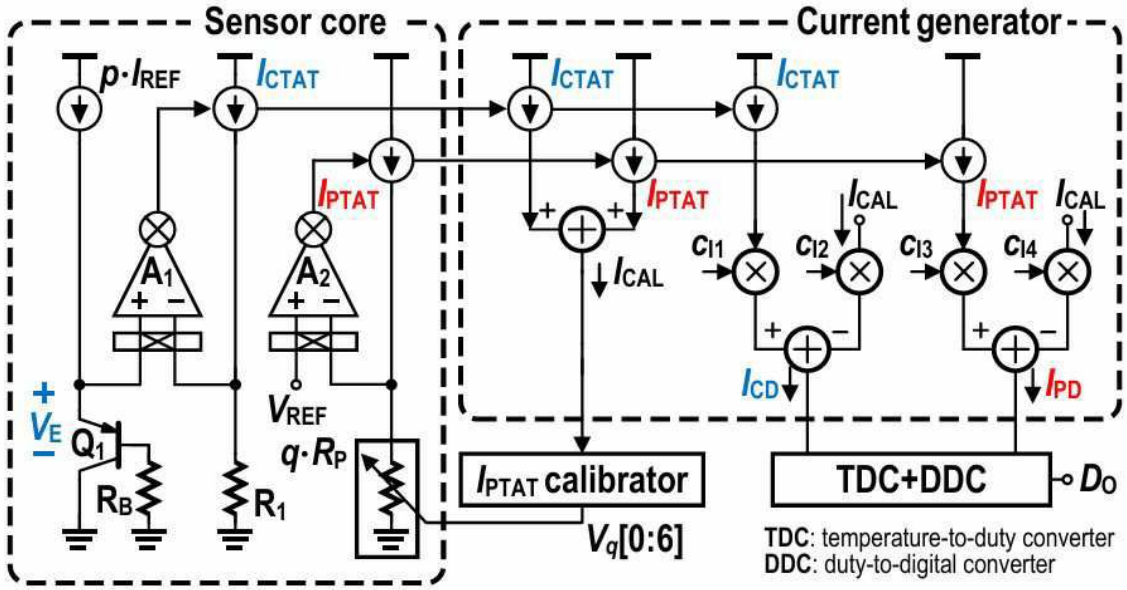
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **고차 고온 계수를 제거한 BJT/저항기 CMOS 온도 센서**

(57) 요 약

고차 고온 계수를 제거한 BJT/저항기 CMOS(Complementary Metal Oxide Semiconductor) 온도 센서가 개시된다. 상기 CMOS 온도 센서는 온도에 비례하는 전류(I_{PTAT})와 온도에 반비례하는 전류(I_{CTAT})를 생성하는 센서 코어를 포함하고, 상기 센서 코어는 상기 I_{CTAT}를 생성하기 위한 BJT(Bipolar Junction Transistor)와 상기 I_{PTAT}를 생성하기 위한 음의 1차 온도 계수를 가지는 저항을 포함한다.

대 표 도 - 도4



이 발명을 지원한 국가연구개발사업

과제고유번호	1711186884
과제번호	2021R1A2C2014652
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	모바일 및 차량용 초고속 3D센싱을 위한 초소형 단일 패키지 LiDAR 연구
과제수행기관명	고려대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1545027279
과제번호	322029032HD080
부처명	농림축산식품부
과제관리(전문)기관명	농림식품기술기획평가원
연구사업명	노지분야스마트농업기술단기고도화
연구과제명	농작업 환경에 적용가능한 자율주행용 보급형 라이다 센서 기술개발
과제수행기관명	고려대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

온도에 비례하는 전류(I_{PTAT})와 온도에 반비례하는 전류(I_{CTAT})를 생성하는 센서 코어를 포함하고,

상기 센서 코어는 상기 I_{CTAT}를 생성하기 위한 BJT(Bipolar Junction Transistor)와 상기 I_{PTAT}를 생성하기 위한 음의 1차 온도 계수를 갖는 저항을 포함하는,

CMOS(Complementary Metal Oxide Semiconductor) 온도 센서.

청구항 2

제1항에 있어서,

상기 센서 코어는 상기 BJT의 베이스-이미터 전압을 레귤레이션하여 상기 I_{CTAT}를 출력하는 제1 초퍼 안정화 레귤레이터(chopper-stabilized regulator) 및 상기 음의 1차 온도 계수를 갖는 저항의 전압을 레귤레이션하여 상기 I_{PTAT}를 출력하는 제2 초퍼 안정화 레귤레이터를 더 포함하는,

CMOS 온도 센서.

청구항 3

제1항에 있어서,

상기 I_{CTAT}와 상기 I_{PTAT}를 수신하고, 상기 I_{CTAT}와 상기 I_{PTAT}가 더해진 전류(I_{CAL})를 출력하는 전류 생성기; 및

상기 ICAL을 수신하고, 상기 음의 1차 온도 계수를 갖는 저항기의 저항 값($q \cdot R_P$)을 조절하는 제어 신호(V_q)를 출력하는 캘리브레이터를 더 포함하는,

CMOS 온도 센서.

청구항 4

제3항에 있어서,

상기 전류 생성기는 상기 I_{CTAT}와 상기 I_{PTAT}를 이용하여 듀티 사이클 생성을 위한 제1 전류(I_{CD})와 제2 전류(I_{PD})를 더 생성하는,

CMOS 온도 센서.

청구항 5

제4항에 있어서,

상기 $I_{CD} = c_{I1} \cdot I_{CTAT} - c_{I2} \cdot I_{CAL}$이고,

상기 $I_{PD} = c_{I3} \cdot I_{PTAT} - c_{I4} \cdot ICAL$이고,

상기 c_{I1} 내지 상기 c_{I4}는 미리 정해진 상수인,

CMOS 온도 센서.

청구항 6

제5항에 있어서,

상기 I_{CD}와 상기 I_{PD}를 수신하고, 온도에 대응하는 듀티를 갖는 펄스폭 변조 신호(V_{PWM})를 출력하는 TDC(Temperature-to-Duty Converter); 및

상기 TDC이 출력을 수신하고, 온도에 대응하는 디지털 신호를 출력하는 DDC(Duty-to-Digital Converter)를 더 포함하는,

CMOS 온도 센서.

청구항 7

제6항에 있어서,

상기 TDC는,

일단이 접지에 접속된 캐패시터(C_D);

일단이 상기 I_{PD}를 수신하고 타단이 상기 C_D의 타단과 접속된 스위치(S_2);

일단이 상기 I_{CD}를 수신하고 타단이 상기 C_D의 타단과 접속된 스위치(S_3);

상기 C_D의 전압(V_O)과 참조 전압(V_{DH})을 비교하고 비교 결과를 출력하는 제1 비교기;

상기 C_D의 전압(V_O)과 참조 전압(V_{DL})을 비교하고 비교 결과를 출력하는제2 비교기;

상기 제1 비교기의 출력과 상기 제2 비교기의 출력을 수신하는 XOR 게이트; 및

상기 XOR 게이트의 출력을 수신하고 상기 V_{PWM}을 출력하는 D-플립플롭(D-flip-flop)을 포함하고,

CMOS 온도 센서.

청구항 8

제7항에 있어서,

상기 S_2와 상기 S_3의 온-오프 동작은 상기 D-플립플롭의 출력에 기초하여 제어되는,

CMOS 온도 센서.

발명의 설명

기 술 분 야

[0001] 본 발명은 BJT/저항기 CMOS 온도 센서에 관한 것으로, 특히 고차 고온 계수를 제거한 BJT/저항기 CMOS 온도 센서에 관한 것이다.

배 경 기 술

[0002] CMOS(Complementary Metal Oxide Semiconductor) 집적 회로(IC)의 집적 밀도가 초고밀도로 증가하고 IC의 내부 온도가 상승함에 따라, 온도 분포를 기반으로 IC의 전기적 특성을 분석하는 것이, 프로세서 성능을 유지하고 시스템 신뢰성을 보장하기 위해, 점점 더 중요해지고 있다. 집적형 온도 센서는, DC 및 스위칭 조건 하에서 전기적 파라미터의 열적 안정성(Thermal Stability of Electrical Parameters, TSEP)을 평가하고, RF 회로의 고주파 전기적 특성을 분석하기 위한 칩의 저주파 온도 변화를 측정한다.

[0003] IC에 통합될 수 있는 온도 의존형 센서(temperature dependent sensors)를 구현하기 위해, 저항기(resistors), MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor), 다이오드, 그리고 BJT(Bipolar Junction Transistor)와 같은 다양한 열 센서가 CMOS 온도 센서로 널리 사용된다. 이러한 코어들(cores)은, 절대 온도에 비례하거나(proportional to absolute temperature, PTAT)하거나 절대 온도에 반비례하는(complementary to absolute temperature, CTAT) 전기적 특성을 보이는 출력 전압이나 전류를 생성하기 위해, 일반적으로 전류 또는 전압 레귤레이터(current or voltage regulators)와 전류 미러(current mirrors)로 구성된다. 집적형 온도 센서는 넓은 감지 범위에서 낮은 부정확도를 제공하도록 설계된다. 일반적으로, 저항기 또는 BJT를 갖는 온도

코어는 MOSFET이나 다이오드를 사용하는 경우보다 더 우수한 감도와 낮은 부정확도를 보인다.

[0004] 저항기 기반 온도 코어에서는, 낮은 전력 소비에서 높은 1차 온도 계수(Temperature Coefficient, TC1)를 위해 폴리 저항기(poly resistors)가 널리 사용되지만, 부정확성과 비선형성(nonlinearity)을 유발하는 2차 온도 계수(TC2)는 완화될 수 없다. 정확성과 선형성을 향상시키기 위해, 다중 포인트 트리밍(multi-point trimming)이 채택될 수 있으나, 이는 추가적인 하드웨어 복잡성과 비용을 초래한다. 트리밍 포인트의 수를 줄이고 더 높은 정확성을 달성하기 위해, BJT의 베이스-이미터 전압(base-emitter voltage)에 의해 나타내는 온도-전압 관계가 활용될 수 있다. 그러나, BJT 기반 온도 센서로 정확성과 선형성을 보장하기 위해서는, 최소 1-포인트 트리밍이 불가피하다. 따라서, BJT 코어는 여전히 비용 효율적인 집적형 온도 센서에 적합하지 않다.

[0005] 이 문제를 해결하기 위해, 트리밍 포인트의 수를 줄이면서 낮은 부정확도를 달성하기 위해 하이브리드 구조가 사용될 수 있다. 서브스레숄드 NMOS(subthreshold NMOS)와 기생 PNP(parasitic p-n-p type semiconductor)를 함께 사용하여 -30° C에서 120° C 범위에서 0-포인트 트리밍으로 2.81° C의 부정확도를 달성한 사례가 있다. 유사한 서브스레숄드 NMOS와 PNP가 4nm FinFET(Fin Field-Effect Transisotrs) 기술에 적용되어 -10° C에서 100° C 범위에서 ±1.79° C의 부정확도를 2-포인트 트리밍으로 달성한 사례도 있다. 또한, 누설 전류 기반 밴드갭-Vth 참조(leakage-based bandgap-Vth reference)와 비동기 SAR(Successive Approximation Register)를 결합하여 -10° C에서 100° C 범위에서 ±2.35° C 부정확도를 1-지점 캘리브레이션으로 달성한 경우도 보고되었다.

[0006] 본 발명에서는 -40° C에서 125° C 범위에서 트리밍 없이 3σ 부정확도를 개선하는 하이브리드 CMOS 온도 센서를 제안한다. 제안하는 센서는, 2차 온도 계수를 최소화하고 선형성을 향상시키기 위해, BJT와 폴리 저항기 코어의 하이브리드 구조를 활용한다. 또한, 제안하는 방법은, CTAT 및 PTAT 특성의 고차 온도 계수를 효과적으로 상쇄하기 위하여, TDC(Time-to-Duty Converter, 시간-듀티 변환기)를 사용한다. 그 결과, 소형화 또는 저전력에 초점을 맞춘 기존 하이브리드 온도 센서와 비교하여, 제안하는 센서는 0-포인트 트리밍에서 우수한 정확성을 달성하는 데 중점을 둔다.

선행기술문헌

비특허문헌

[0007] (비특허문헌 0001) H. Park and J. Kim, “A 0.8-V resistor-based temperature sensor in 65-nm CMOS with supply sensitivity of 0.28 ° C/V,” IEEE J. Solid-State Circuits, vol. 53, no. 3, pp. 906-912, Mar. 2018.)

(비특허문헌 0002) R. K. Kumar, H. Jiang, and K. A. A. Makinwa, “An energy-efficient BJT based temperature-to-digital converter with ±0.13° C(3σ) inaccuracy from -40 to 125° C,” in Proc. IEEE Asian Solid-State Circuits Conf.(A-SSCC), Nov. 2019, pp. 107-108.)

(비특허문헌 0003) H. Wang and P. P. Mercier, “A 763 pW 230 pJ/conversion fully integrated CMOS temperature-to-digital converter with +0.81° C/-0.75° C inaccuracy,” IEEE J. Solid-State Circuits, vol. 54, no. 8, pp. 2281-2290, 2019.)

(비특허문헌 0004) A. Ballo, G. Bruno, A. D. Grasso, and M. G. G. Vaiana, “A compact temperature sensor with a resolution FoM of 1.82 pJ·K2,” IEEE Trans. Instrum. Meas., vol. 69, no. 10, pp. 8571-8579, Oct. 2020.)

(비특허문헌 0005) B. Wang and M.-K. Law, “Subranging BJT-based CMOS temperature sensor with a ±0.45 ℃ inaccuracy (3σ) from -50° C to 180° C and a resolution-FoM of 7.2 pJ·K2 at 150 ° C,” IEEE J. Solid-State Circuits, vol. 57, no. 12, pp. 3693-3703, Dec. 2022.)

(비특허문헌 0006) E. Moisello, C. M. Ippolito, G. Bruno, P. Malcovati, and E. Bonizzoni, “A MOS-based temperature sensor with inherent inaccuracy reduction enabled by time-domain operation,” IEEE Trans. Instrum. Meas., vol. 72, pp. 1-10, May 2023.)

(비특허문헌 0007) B. -S. Lien, S. L. Liu, W.-L. Lai, Y.-C. Lu, Y.-C. Peng, and K. C.-H. Hsieh, "A 0.65V 900μm² BEoL RC-Based Temperature Sensor with ±1° C Inaccuracy from -25° C to 125° C," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2024, pp. 68-70)

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적인 과제는 고차 고온 계수를 제거한 BJT/저항기 CMOS 온도 센서를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따른 CMOS(Complementary Metal Oxide Semiconductor) 온도 센서는, 온도에 비례하는 전류(I_{PTAT})와 온도에 반비례하는 전류(I_{CTAT})를 생성하는 센서 코어를 포함하고, 상기 센서 코어는 상기 I_{CTAT}를 생성하기 위한 BJT(Bipolar Junction Transistor)와 상기 I_{PTAT}를 생성하기 위한 음의 1차 온도 계수를 갖는 저항을 포함한다.

발명의 효과

[0010] 본 발명의 실시예에 따른 고차 고온 계수를 제거한 BJT/저항기 CMOS 온도 센서에 의할 경우, I_{CTAT}와 I_{PTAT}를 조절하여 고차 온도 의존성을 최소화함으로써, 고정밀한 온도 측정 및 제어가 가능해 지며, 시스템의 안정성과 정확성을 향상시킬 수 있다.

[0011] 또한, 저항을 이용하여 I_{PTAT}를 생성할 때 발생하는 불균형 문제를 효과적으로 해결하여 전체 시스템의 신뢰성을 향상시킬 수 있다. 이는 안정된 작동 조건을 제공하며, 센서나 제어 시스템에서 발생할 수 있는 오차를 최소화한다.

[0012] 또한, I_{CTAT}와 I_{PTAT}를 적절한 비율로 변환하고 서로 빼는 방식을 통해 에너지 소비를 최적화하고 고차 온도 의존성을 최소화함으로써 전체적인 비용 및 에너지 효율을 향상시킬 수 있다. 이는 장기적으로 제품 수명 및 운영 비용을 절감하는 데 기여할 수 있다.

도면의 간단한 설명

[0013] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 종래의 CMOS 온도 센서로써, (a) 저항기 기반의 온도 센서와 (b) BJT 기반의 온도 센서를 도시한다.

도 2는 (a) 단위 폴리 저항기의 구조와 (b) k_1에 따른 $TC1_{RP}$와 $TC2_{RP}$의 변화를 도시한다.

도 3은 제안 기법으로써, (a) BJT를 이용하는 CTAT 제어 구조와 (b) k_2에 대한 $TC1_{VE}$와 $TC2_{VE}$의 변화를 도시한다.

도 4는 저항기/BJT 코어를 활용한 하이브리드 온도 센서 구조를 도시한다.

도 5는 (a) I_{PTAT}, I_{CTAT}, I_{CAL}, I_{PD}, I_{CD}, 및 I_{PD} - I_{CD}의 전류 변화와 (b) 온도에 따른 D_1과 D_2에 대한 튜티 사이클 변화를 도시한다.

도 6은 상세 회로도로써, (a) I_{PTAT} 캘리브레이터, (b) $q \cdot R_P$, 및 (c) TDC+DDC를 도시한다.

도 7은 (a) I_{PTAT} 캘리브레이터의 타이밍 다이어그램과 (b) TDC의 타이밍 다이어그램을 도시한다.

도 8은 도 1에 도시된 종래의 온도 센서에 대한 시뮬레이션 결과로써, (a) dI_{CTAT}/dT와 (b) dI_{PTAT}/dT를 도시한다.

도 9는 제안 기법에 대한 시뮬레이션 결과로써, (a) dI_{CTAT}/dT, (b) dI_{PTAT}/dT, 및 (c) d^2I/dT^2를 도시한다.

도 10은 p = 2이고 R_B = 12.5k (k_2 = 3.5)일 때와 p = 4이고 R_B = 16.25kΩ(k_2 = 1.5)일 때의 (a) V_{BE}의 TC1과 (b) V_{BE}에 대한 시뮬레이션 결과를 도시한다.

도 11은 실험 환경으로써, (a) 테스트 설정과 (b) 사용된 온도 챔버를 도시한다.

도 12는 제안하는 온도 센서의 마이크로포토그래프이다.

도 13은 I_{PTAT} 캘리브레이터에 대한 실험 결과를 도시한다.

도 14는 R_P 불균형에 대한 (a) 시뮬레이션 결과와 (b) 실험 결과를 도시한다.

도 15는 TDC에 대한 실험 결과와 상세 파형을 도시한다.

도 16은 (a) 20℃에서 부정확도, (b) 트리밍이 수행되지 않은 경우의 온도 에러, (c) 트리밍이 수행되지 않은 경우의 선형성, 및 (d) 1-포인트 트리밍을 수행한 경우의 온도 에러에 대한 실험 결과를 도시한다.

도 17은 센서 코어의 PDS에 대한 실험 결과를 도시한다.

도 18은 제안된 센서 코어와 TDC의 해상도에 대한 실험 결과를 도시한다.

도 19는 T = 23.4℃에서 1.5V부터 1.8V까지 전원 민감도에 대한 실험 결과를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0014] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시예들에 대해서 특정한 구조적 또는 기능적 설명들은 단지 본 발명의 개념에 따른 실시예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시예들은 다양한 형태들로 실시될 수 있으며 본 명세서에 설명된 실시예들에 한정되지 않는다.

[0015] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.

[0016] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1 구성 요소는 제2 구성 요소로 명명될 수 있고 유사하게 제2 구성 요소는 제1 구성 요소로도 명명될 수 있다.

[0017] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0018] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0019] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0020] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.

[0021] 이하에서는, 기존의 온도 센서와 제안하는 온도 센서 코어를 설명한다.

[0022] **A. 기존 온도 센서**

[0023] 도 1의 (a)는 저항기를 기반으로 하는 기존의 온도 센서를 도시한다. 이 온도 센서의 구조는, 온도를 측정하기 위해, PTAT 저항기 R_{PTAT}와 CTAT 저항기 R_{CTAT}를 활용한다. 두 저항기의 전압 분배로 생성된 V_{PTAT}는 온도에 독립적인 전압 V_{CONST}에서 차감되고 ADC(Analog-to-Digital Converter)로 전달된다. 이 구조는, 온도에 따른 저항기의 비선형성을 유발하는 TC2의 영향을 캘리브레이션(또는 보정)할 수 없다. 저항 R은, 1차 온도 계수 $TC1_R$와 2차 온도 계수 $TC2_R$를 사용하여, 다음과 같이 정의될 수 있다.

[0024] [수학식 1]

[0025] $$R = R_0(T_0) \cdot [1 + TC1_R \cdot \Delta T + TC2_R \cdot \Delta T^2]$$

[0026] 여기서, $R_0(T_0)$는 실온 T_0에서의 저항값이다. $TC2_R \cdot \Delta T^2$의 영향은, 저항기의 본질적 특성으로 인해, 캘리브레이션하기 어렵다.

[0027] TC2의 영향을 완화하는 방법으로, 도 1의 (b)에 도시된 바와 같이, 베이스-이미터 전압 V_{BE}를 활용한 온도 센서가 있다. 이 전압은 다음과 같이 표현된다.

[0028] [수학식 2]

[0029] $$V_{BE} = V_T ln\left(\frac{I_C}{I_S}\right)$$

[0030] 여기서, V_T는 열전압(thermal voltage), I_C는 컬렉터 전류, I_S는 포화 전류를 나타낸다. T_0에서의 베이스-이미터 전압 V_{BE0}을 이용하면, 수학식 2는 다음과 같이 재작성될 수 있다.

[0031] [수학식 3]

[0032] $$V_{BE} = V_{BE0}(1 + TC1_{BJT} \cdot \Delta T + TC2_{BJT} \cdot \Delta T^2)$$

[0033] 여기서, $TC1_{BJT}$와 $TC2_{BJT}$는 각각 BJT의 TC1 및 TC2이다. $TC1_{BJT}$와 $TC2_{BJT}$ 모두 CTAT이다. $TC2_{BJT}$로 인한 부정확성과 비선형성을 줄이기 위해, I_C를 조정하여 $TC2_{BJT}$의 영향을 최소화할 수 있으며, 이는 저항 기반 온도 센서에 비해 우수한 정확성을 초래한다. Q_1과 Q_2의 V_{BE} 사이의 전압 차이 ΔV_{BE}를 사용하면, PTAT 전압을 생성할 수 있다. 또한, V_{BE}와 ΔV_{BE}는 CTAT 전류 I_{CTAT} 및 PTAT 전류 I_{PTAT}로 변환될 수 있다. 이 전류들은 다음과 같이 표현될 수 있다.

[0034] [수학식 4]

[0035] $$I_{CTAT} = \frac{V_{BE}}{R_2} = V_{BE0}(1 + TC1_{BJT} \cdot \Delta T + TC2_{BJT} \cdot \Delta T^2)/R_2$$

[0036] [수학식 5]

[0037] $$I_{PTAT} = \Delta V_{BE}/(m \cdot R_1)$$

[0038] 여기서, R_1과 R_2는 I_{PTAT}와 I_{CTAT}를 생성하기 위한 저항기이다. m은 I_{PTAT}와 Q_2의 V_{BE}를 결정할 수 있는 이진 값(binary value)이다. 온도에 독립적인 전류(temperature independent current)를 생성하기 위해, I_{CTAT}와 I_{PTAT}는 캘리브레이션에 활용될 수 있다. m을 조정하여 I_{PTAT}의 민감도를 제어하더라도, $TC2_{BJT}$로 인한 2차 비선형성은 완전히 제거할 수 없다. 결과적으로, 비트스트림 블록(bitstream (BS) block)을 통한 피드백이 이진 방식으로 제어되는 $n \cdot I_{PTAT}$를 허용한다 하더라도, 0-포인트 트리밍에서 높은 선형성은 결코 달성될 수 없다.

[0039] **B. 제안된 온도 센서 코어**

[0040] 도 2의 (a)는 본 발명에서 제안하는 온도 센서에서 사용되는 단위 폴리 저항기(unit poly resistor) R_P의 구조를 도시한다. 이 구조는 길이가 각각 L_C인 코어 저항 R_{PC}와 길이가 L_E인 말단 저항 R_{PE}로 구성된다. R_{PC}와 R_{PE}의 폭이 동일하다면, 폭의 영향은 무시할 수 있다. 그러면, 이러한 변수들을 갖는 R_P는 다음과 같이 정의될 수 있다.

[0041] [수학식 6]

[0042] $$R_P = R_{PC} \cdot L_C + 2R_{PE} \cdot L_E$$

[0043] 온도 의존성을 이용하면, R_{PC}와 R_{PE}는 다음과 같이 표현될 수 있다.

[0044] [수학식 7]

[0045] $$R_{PC} = R_{PC0} \cdot L_C(1 + TC1_{PC} \cdot \Delta T + TC2_{PC} \cdot \Delta T^2)$$

[0046] [수학식 8]

[0047] $$R_{PE} = R_{PE0} \cdot L_E(1 + TC1_{PE} \cdot \Delta T + TC2_{PE} \cdot \Delta T^2)$$

[0048] 여기서, R_{PC0}와 R_{PE0}는 각각 T_0에서의 R_{PC}와 R_{PE}이며, $TC1_{PC}$와 $TC2_{PC}$는 R_C의 TC1과 TC2이고, $TC1_{PE}$와 $TC2_{PE}$는 R_{PE}의 TC1과 TC2이다. $TC1_{PC}$, $TC1_{PE}$, 및 $TC2_{PE}$는 CTAT 특성을, $TC2_{PC}$는 PTAT 특성을 보인다. 수학식 7과 9을 수학식 6에 대입하면, 온도 의존성을 갖는 R_P는 다음과 같이 다시 쓸 수 있다.

[0049] [수학식 9]

[0050] $$R_P = R_{P0} + L_E(R_{PC0} \cdot k_1 \cdot TC1_{PC} + 2R_{PE0} \cdot TC1_{PE}) \cdot \Delta T + L_E(R_{PC0} \cdot k_1 \cdot TC2_{PC} + 2R_{PE0} \cdot TC2_{PE}) \cdot \Delta T^2$$

[0051] 여기서, R_{P0}는 $R_{PC0} \cdot L_C + 2R_{PE0} \cdot L_E$ 이고, k_1은 L_C와 L_E 사이의 비율이다. 수학식 9는 1차 및 2차 온도 계수 $TC1_{RP}$와 $TC2_{RP}$를 사용하여 다음과 같이 간단히 표현될 수 있다.

[0052] [수학식 10]

[0053] $$R_P = R_{P0} + TC1_{RP} \cdot \Delta T + TC2_{RP} \cdot \Delta T^2$$

[0054] 다만, 본 발명의 권리 범위가 사용되는 저항기에 제한되는 것은 아니며, 폴리 저항 이외에도 음의 1차 온도 계수를 가지는 저항이라면 본 발명에 이용될 수 있다.

[0055] 도 2의 (b)는 k_1에 따른 $TC1_{RP}$와 $TC2_{RP}$를 보여준다. $TC2_{PC}$와 $TC2_{PE}$는 각각 PTAT 특성과 CTAT 특성을 보이므로, k_1을 조정함으로써 $TC2_{RP}$는 최소화될 수 있다. TC1과 TC2의 범위는 각각 10^{-3}에서 10^{-4}, 10^{-6}에서 10^{-7}이다. 이러한 범위 사이의 큰 차이로 인해, TC1과 TC2는 서로 크게 영향을 주지 않는다. TC2를 최소화하기 위해, 제안 기법은 폴리 저항기의 길이를 조정하는 것뿐 아니라 서로 다른 유형의 저항기를 결합하는 방식으로 구현될 수 있다.

[0056] 도 3의 (a)는 본 발명에서 제안하는 BJT의 구조를 도시한다. 에미터 전류 $p \cdot I_E$는 특정 비율 p에서 전류 미러를 사용하여 이진 방식으로 제어될 수 있다. 베이스 저항 R_B가, V_E의 2차 온도 계수를 최소화하기 위해, 사용된다. R_B가 이미터 전압 V_E의 TC2에 미치는 영향을 이용하면, 수학식 3은 다음과 같이 표현될 수 있다.

[0057] [수학식 11]

[0058] $$V_E = V_{E0}[1 + (TC1_{BJT} - TC1_{RB})\Delta T + (TC2_{BJT} - TC2_{RB})\Delta T^2]$$

[0059] 여기서, V_{E0}는 T_0에서 V_E이고, $TC1_{RB}$와 $TC2_{RB}$는 각각 R_B의 TC1과 TC2이다. $TC2_{BJT} - TC2_{RB}$를 최소화함으로써, V_E는

다음과 같이 재작성될 수 있다.

[0060] [수학식 12]

[0061] $$V_{\mathrm{E}} = V_{\mathrm{E0}}(1 + TC1_{\mathrm{VE}} \cdot \Delta T + TC2_{\mathrm{VE}} \cdot \Delta T^2) \approx V_{\mathrm{E0}}(1 + TC1_{\mathrm{VE}} \cdot \Delta T)$$

[0062] 여기서, $TC1_{VE}$와 $TC2_{VE}$는 V_E의 TC1과 TC2이다. 도 3의 (b)는 $k_2 = V_B/p$에 따른 $TC1_{VE}$와 $TC2_{VE}$의 변화를 도시한다. 2차 온도 계수 $TC2_{VE}$는 특정 값의 k_2에서 최소화될 수 있으며, 이는 제안된 온도 센서의 선형성을 증가시킨다.

[0063] 상술한 바와 같이, 도 2에서는 폴리 저항의 코어 저항과 컨택 저항의 크기에 따라, 도 3에서는 이미터 전류에 따라, 이차 온도 계수를 조절할 수 있어, 온도 센서는 이를 더하거나 빼서 이차 온도 계수를 매우 낮게 조절할 수 있다.

[0064] **회로 구현**

[0065] **A. 제안하는 온도 센서의 기본 구조**

[0066] 도 4는 저항기/BJT 코어를 활용한 하이브리드 온도 센서 구조를 도시한다. 이 구조는 센서 코어(sensor core), 전류 생성기(current generator), 캘리브레이터(I_{PTAT} 캘리브레이터, 보정기, 또는 I_{PTAT} 보정기 명명될 수도 있음), TDC, 및 듀티-디지털 변환기(duty-to-digital converter, DDC)로 구성된다.

[0067] 센서 코어에서, PTAT 전류 I_{PTAT}와 CTAT 전류 I_{CTAT}는, 플리커 노이즈(flicker noise)를 완화하기 위해 증폭기의 입력 및 출력 모두에서 초퍼 안정화 레귤레이터(chopper-stabilized regulators)를 사용하여, 생성된다. 이는 다음과 같이 표현된다.

[0068] [수학식 13]

[0069] $$I_{\mathrm{PTAT}} = V_{\mathrm{REF}}/\, q \cdot R_{\mathrm{P}}$$

[0070] [수학식 14]

[0071] $$I_{\mathrm{CTAT}} = V_{\mathrm{E}}/R_1$$

[0072] 여기서, V_{REF}는 참조 전압, q는 불균형 캘리브레이션 상수(mismatch calibration constant), 그리고 R_1은 저항이다.

[0073] 전류 생성기에서, I_{PTAT}와 I_{CTAT}는 I_{PTAT} 캘리브레이터 및 TDC에 필요한 전류들을 생성하기 위해 사용된다. 생성되는 전류에는 온도에 독립적인 전류(temperature-independent current) I_{CAL}(= I_{PTAT} + I_{CTAT}), 듀티 사이클 생성을 위한 CTAT 전류 I_{CD} $(=c_{I1}\cdot I_{CTAT} - c_{I2}\cdot I_{CAL})$, 및 듀티 사이클 생성을 위한 PTAT 전류 I_{PD} $(=c_{I3}\cdot I_{PTAT} - c_{I4}\cdot I_{CAL})$를 포함하고, 여기서 상수 c_{I1}부터 c_{I4}까지의 상수는 전류 미러에 의해 생성된 비율이다. I_{PTAT} 캘리브레이터의 7비트 출력 $V_q[0:6]$는, R_P에서 불일치(mismatch)가 발생해도, 정확한 I_{PTAT}를 생성하도록 q를 조정한다. 마지막으로, 출력 전류 I_{PD} - I_{CD}는, 온도에 대한 선형 전류 추출을 위해, TDC와 DDC에 입력된다.

[0074] 도 5의 (a)에서 I_{PTAT}와 I_{CTAT}의 온도에 따른 최대 편차(deviations)는 I_{PTAT}와 I_{CTAT}의 평균값들에 비해 무시할만하다. I_{PTAT} - I_{CTAT}가 직접 TDC에 전달되면, 온도에 따른 듀티 사이클 차이 역시, 도 5의 (b)에 도시된 바와 같이, 무시할 수 있다. 따라서, I_{PTAT}와 I_{CTAT}를, 0보다 약간 더 큰 I_{PTAT}와 I_{CTAT}의 최소 값들을 생성하기 위해, 하향 이동하고 I_{PD} - I_{CD}를 온도 출력으로 사용하면, 주어진 온도 범위에 대해 넓은 듀티 사이클 범위를 달성할 수 있다. I_{PD} - I_{CD}는 다음과 같이 정의된다.

[0075] [수학식 15]

[0076] $$I_{\mathrm{PD}} - I_{\mathrm{CD}} = c_{\mathrm{I3}} \cdot I_{\mathrm{PTAT}} - c_{\mathrm{I1}} \cdot I_{\mathrm{CTAT}} - (c_{\mathrm{I4}} - c_{\mathrm{I2}})I_{\mathrm{CAL}}$$

[0077] I_{CAL}이 온도에 독립적이라면, 온도에 대한 I_{PD} - I_{CD}, 즉 $T(I_{PD} - I_{CD})$는 $T(I_{PTAT})$와 $T(I_{CTAT})$만에 의해 다음과 같이

정의된다.

[0078] [수학식 16]

[0079] $$T(I_{PD} - I_{CD}) \approx (c_{I3} \cdot TC1_{PTAT} - c_{I1} \cdot TC1_{CTAT}) \cdot \Delta T + (c_{I3} \cdot TC2_{PTAT} - c_{I1} \cdot TC2_{CTAT}) \cdot \Delta T^2$$

[0080] 여기서, $TC1_{PTAT}$와 $TC2_{PTAT}$는 각각 I_{PTAT}의 1차 및 2차 온도 계수이다. 유사하게, $TC1_{CTAT}$와 $TC2_{CTAT}$는 I_{CTAT}로부터 정의될 수 있다. $T(I_{PD} - I_{CD})$의 2차 온도 계수가 최소화될 수 있다면, 온도 출력의 선형성을 크게 개선할 수 있다.

[0081] **B. 상세 동작**

[0082] 도 6의 (a)는 I_{PTAT} 캘리브레이터의 상세 회로도를 도시한다. 도 7의 (a)에서의 CK_{S1}이 로우(low) 상태와 하이(high) 상태일 때, 커패시터 C_S는 전류 생성기로부터의 I_{CAL}을 통해 충전 및 방전된다. I_{PTAT} 캘리브레이션이 시작되면, C_S에 충전된 전압 V_{CAL}은, I_{CTAT}에 기초하여 $q \cdot R_P$의 q를 조정하여 I_{PTAT}을 감소시킴으로서, 조정된다. 캘리브레이션은 q의 낮은 초기 값으로 시작하므로, I_{PTAT}는 I_{CTAT}에 비해 상대적으로 높은 값으로 초기 설정된다. I_{PTAT}가 점진적으로 감소하면서, I_{CAL}도 감소하고, 이로 인해 V_{CAL}의 피크 값(peak value)은 참조 전압들 V_{CH}와 V_{CL} 사이의 범위에 도달하게 된다. V_{CAL}이 이 범위에 도달하기 전에 비교기들의 출력 $V_{CO}[0:1]$은 $11_{(2)}$이지만, 해당 범위에 도달하면, $t = t_s$까지, $10_{(2)}$로 변경된다. 이 시점에서, q는, 7비트 디지털 신호 $Vq[0:6]$(I_{PTAT} 캘리브레이터를 통해 변환됨)로써, 도 6의 (b)에 표시된 S_{R0} 내지 S_{R6}의 스위치들의 턴온 동작(또는 턴오프 동작)을 제어할 수 있다. 다만, q를 구성하는 비트의 수나 $q \cdot R_P$를 구성하는 저항이나 스위치들의 수는 실시에에 따라 가변할 수 있다.

[0083] 도 6의 (c)는 본 발명에서 제안하는 TDC의 상세 회로도를 도시한다. TDC는 스위치들 S_2와 S_3, 커패시터 C_D, 비교기들, XOR 게이트, Bi-CNT(bidirectional counter, 양방향 카운터)를 갖는 DDC가 뒤따르는 D-플립플롭(D-flip-flop), PSI(parallel-to-serial interface, 병렬-직렬 인터페이스), 및 타이밍 제어기(CTRL)로 구성된다. I_{PTAT} 캘리브레이션 후, TDC는 전류 생성기의 출력인 I_{PD}와 I_{CD}를 사용하여 동작한다.

[0084] 도 7의 (b)는 TDC 동작의 타이밍도를 도시한다. PWM(pulse width modulation, 펄스폭 변조) 신호 V_{PWM}이 도 6의 (c)에 도시된 S_2와 S_3를 제어하여 C_D를 충전 및 방전시킨다. V_{PWM}이 낮을 때(로우 상태일 때), S_2는 닫히고 S_3는 열리며, I_{PD}는, C_D 내에 충전된 전압 V_O가 참조 전압 V_{DH}에 도달할 때까지, C_D를 충전한다. V_O가 V_{DH}에 도달하면, V_{PWM}은 하이 상태로 변화하고, 이에 따라 S_2는 열리고 S_3는 닫힌다. 이후, I_{CD}는, V_O가 V_{DL}에 도달할 때까지, C_D를 방전시킨다. V_{PWM}의 듀티 사이클은 온도에 비례하여 생성되며, Bi-CNT에서 클럭 신호 CK_{CNT}에 의해 카운팅된다. V_{PWM}의 높은 위상(high phase)에서는 업 카운팅(up counting)이 수행되고, 낮은 위상(low phase)에서는 다운 카운팅(down counting)이 실행된다. 생성된 병렬 데이터는 PSI에서 직렬 데이터 Q로 변환된다.

[0085] **시뮬레이션 결과**

[0086] **A. 기존의 BJT 기반 온도 센서**

[0087] 도 8은 정규화된 도함수들의 시뮬레이션 결과로써, I_{CTAT}(도 8의 (a))와 I_{PTAT}(도 8의 (b))를 도시한다. 시뮬레이션은 180nm 공정을 기반으로, SPECTRE 포스트 레이아웃(post layout)을 사용하여, 수행되었다. 2차 온도 종속성이 낮을수록, 그래프가 평탄하게 나타난다. 시뮬레이션 결과는, 수학식 4의 $TC1_{BJT}$와 $TC2_{BJT}$가 m에 약하게 의존하며, I_{PTAT}와 I_{CTAT} 모두의 1차 온도 특성이 m에 의해 크게 변화하더라도 제거하기 어렵다는 것을 보여준다.

[0088] **B. 저항기/BJT 기반 제안된 온도 센서**

[0089] 도 9는 도 4의 제안된 온도 센서의 정규화된 도함수에 대한 시뮬레이션 결과를 도시한다. 도 9의 (a)이 결과는 p를 유지하면서 R_B를 조정함으로써 획득된다. $k_2 = 3$에서 수학식 11의 $TC2_{RB}$의 영향이 최소화되며, k_2가 증가하거나 감소하면 I_{CTAT}의 비선형성이 증가한다.

[0090] 도 9의 (b)에서, I_{PTAT}의 비선형성은 k_1의 조정으로 감소될 수 있다. k_1은 $TC2_{PE}$의 CTAT와 $TC2_{PC}$의 PTAT 사이 균형을 조정한다. I_{CTAT}와 I_{PTAT}에 대한 2차 온도 계수의 영향을 최소화하고 I_{CTAT}와 I_{PTAT}의 민감도를 조정한 이후에, I_{PTAT}로부터 I_{CTAT}를 차감하는 것은, 도 9의 (c)에서 무시될 수 있는 레벨까지, 2차 온도 및 고차 온도 영향을 감소시킬 수 있다.

[0091] 도 10의 (a)는 p와 R_B의 불균형이 V_{BE}의 TC1에 미치는 영향에 대한 시뮬레이션 결과를 도시한다. k_2 = 3(p = 3, R_B = 14kΩ)에 기초하여, 제안된 BJT 코어의 불균형 시뮬레이션은 두 가지 조건 하에서 수행되었다: k_2 = 3.5(p = 2, R_B = 12.5kΩ) 그리고 k_2 = 1.5(p = 4, R_B = 16.25kΩ). p = 2일 때(R_B = 12.5kΩ) 최소값과 최대값은 각각 -9.87과 -8.97이고, p = 4일 때(R_B = 16.25kΩ) 최소값과 최대값은 각각 -10.37과 -9.21이다. 도 10의 (a)의 시뮬레이션 범위 내에서 V_{BE}의 변화는 도 10의 (b)에 도시되어 있다. p = 2이고 R_B = 12.5kΩ일 때, V_{BE}의 최소값과 최대값은 각각 -40℃에서 0.797과 125℃에서 0.589V이다. p = 4이고 R_B = 16.25kΩ인 경우, 최소값과 최대값은 각각 -40℃에서 0.796과 125℃에서 0.587V이다. 이러한 값들의 차이는 -40℃에서 0.06% 그리고 125℃에서 0.17%이다. 이는, I_{PTAT}가 I_{CTAT}에기초하여 캘리브레이션되는 이유이다. 비선형성을 감소시키기 위해 사용된 트랜지스터 또는 저항기의 불균형은 V_{BE}에 비해 무시할수 있기 때문이다.

[0092] **실험 결과**

[0093] **A. 테스트 및 제작**

[0094] 도 11의 (a)는 제안된 온도 센서 IC를 위한 테스트 설정을 도시한다. 테스트 설정은 클럭 생성기, 오실로스코프, 스펙트럼 분석기, PCB(printed circuit board, 인쇄 회로 기판), 온도 챔버(temperature chamber), 그리고 입력을 제어하고 출력을 모니터링하기 위한 랩탑 컴퓨터로 구성된다. 제안된 IC는 PCB에 장착되어 도 11의 (b)에 도시된 온도 챔버(SU-642) 안에 배치된다. 온도 챔버는 ±0.3℃의 오차 내에서 내부 온도를 제어하고 조절한다. 그러면, 챔버 일측면에 있는 연결 구멍(connection hole)을 통해 출력 와이어로부터 온도가 측정된다. 제안된 센서의 오차는, 챔버 내에 사전 설정된 온도와 제안된 온도 센서로부터의 디지털 출력 값을 비교함으로써, 계산된다.

[0095] 도 12는 제안된 온도 센서 IC의 마이크로사진을 도시한다. 이 온도 센서 IC는 센서 코어와 전류 생성기, 디지털 컨트롤러(CTRL), I_{PTAT} 캘리브레이터, 그리고 TDC를 통합한다. 센서 코어와 전류 생성기, I_{PTAT} 캘리브레이터, 및 TDC의 영역은 각각 0.33mm × 0.24mm, 0.35mm × 0.2mm, 0.16mm × 0.29mm, 그리고 0.21mm × 0.39mm이다. $0.37mm^2$의 액티브 영역을 갖는 제안된 센서는 TSMC 180nm 범용 성능 CMOS 공정을 사용하여 멀티 프로젝트 웨이퍼(multi-project wafer, MPW)를 통해 제작되었다.

[0096] **B. 불일치 캘리브레이션(Mismatch Calibration)**

[0097] 도 13은 I_{PTAT} 캘리브레이션이 시작되고 0.45ms 이후에 V_{CH}와 V_{CL} 사이에서 제어되는 V_{CAL}의 피크 값을 도시한다. 캘리브레이션은, $q \cdot R_P$의 넓은 범위에 대한 캘리브레이션을 보장하기 위해, 0.77ms까지 지속된다. 도 14의 (a)에서, 캘리브레이션을 수행하지 않는 경우에서의 시뮬레이션된 R_P의 불균형 분포가, k_1 = 1 및 4에 대하여, 도시되어 있다. 불균형은 각각, 8.42와 4.12의 표준 편차로, ±25%와 ±15% 내에 위치한다. 이 결과는, R_P의 k_1이 감소할수록 불균형이 더 두드러진다는 것을 나타낸다. k_1 = 1 조건에서 R_P의 캘리브레이션에 대한 100회의 측정을 기반으로 한 실험 결과는 도 14의 (b)에 도시되어 있다. 불균형은 0.23이 표준 편차로 ±0.6% 내에서 제어되고, k_1 = 1에서 캘리브레이션 없이 시뮬레이션한 결과에 비해 42배 낮은 불균형을 달성한다.

[0098] **C. TDC 동작**

[0099] 도 15는 도 6의 (c)에 도시된 TDC에 대한 실험 결과를 도시한다. 리셋 이후, V_{PWM}을 로우(low) 상태로 만듦으로써, V_O는, I_{PD}를 통해 C_D를 충전함으로써, 상승한다. V_O가 V_{DH}를 초과하면, V_{PWM}이 하이(high) 상태가 되고, 도 6의 (c)의 S_3가 턴온되고, 그리고 I_{CD}를 통해 C_D를 4.2μs 동안 방전시킨다. V_O가 V_{DL} 아래로 감소하면 C_D는, 6.5μs 동안(T = 20℃에서 10.7μs의 주기로, 충전된다. 이는 39.3%의 듀티 사이클을 형성한다. 변환 시간(conversion time)은 1.2ms이다. V_{PWM}과 V_O 사이의 커플링으로 인해 발생한 글리치(glitch)는 시스템 동작에는

전혀 영향을 미치지 않는다.

[0100] 20℃에서 100회 측정으로 얻은 온도 오차의 실험 결과는 도 16의 (a)에 도시되어 있다. 부정확도는 0.08℃의 표준 편차로 ±0.19℃ 내에 위치한다. 도 16의 (b)는 트리밍을 수행하지 않는 제안된 센서의 온도 오차로써, -40℃에서 125℃의 범위에서 15개의 샘플에 대한 50회의 측정 기초한 온도 오차를 도시한다. 최대 및 최소 오차는 각각 오차는 0℃에서 0.60℃와 -40℃에서 -0.44℃이다. 트리밍을 수반하지 않는 실험 결과에 기초하여, 최대 및 최소 선형성 에러(linearity error)는 각각 20℃에서 0.19%와 40℃에서 -0.19%로 도 16의 (c)에 도시되어 있다. 40℃에서 1-포인트 트리밍 적용했을 때, 도 16이 (d)에 도시된 바와 같이, 최대 및 최소 오차는 각각 0.22℃와 -0.37℃로 감소할 수 있다.

[0101] **D. 노이즈 및 해상도(Noise and Resolution)**

[0102] 도 17은 센서 코어에서 측정된 노이즈 전력 스펙트럼 밀도(noise power spectral density)를 도시한다. 데이터 변환 주파수는 0.6kHz에서 50kHz로, 최대값 및 최소값은 각각 0.6kHz에서 -121dB와 50kHz에서 -131dB이다.

[0103] 도 18은 제안된 센서 코어와 TDC의 해상도를 도시한다. TDC 해상도는 변환 시간을 15.625ns의 클럭 주기로 나눔으로써 결정된다. 1.2ms의 변환 시간에서 2mK의 해상도가 얻어졌으며, 0.8ms 동안 동작하는 I_{PTAT} 캘리브레이션을 포함한 전체 변환 시간은 2ms이다.

[0104] **E. 전원 민감도(Supply Sensitivity)**

[0105] 도 19는 1.5V에서 1.8V까지 다양한 전원 전압에서 온도로 유도된 V_{PWM}의 측정된 파형을 도시한다. 각 전원 전압은 V_{PWM} 출력이 안정화되도록 20s 동안 적용되었다. V_{PWM}의 듀티 사이클은 41.64%에서 41.61%로 감소하고, 듀티 사이클의 차이는 오직 0.03%였으며, 0.58℃/V의 전원 민감도를 나타낸다. 실험에서 사용된 V_{REF}, V_{CH}, V_{CL}, V_{DH}, 및 V_{DL}은 프로세스, 전압, 및 온도 변동에 따라 밴드갭 기준(bandgap reference, BGR)이나 외부 전압원으로 독립적으로 동작할 수 있다. 전류원의 경우, $p \cdot I_{REF}$만 전원에 영향을 받으므로, V_{DD}-0.55V의 일정 전압 제어를 유지함으로써 전원 의존성을 줄일 수 있다.

[0106] **F. 성능 비교**

[0107] 표 1은 제안된 BJT/저항기 기반 온도 센서의 성능 요약과 최신의 선행 연구와의 비교 결과를 나타낸다. 1.8V 전원에서 58μA의 평균 전류가 소비된다. 본 발명에서는 CTAT를 PTAT 전류로부터 차감함으로써 CTAT 및 PTAT 전류 모두의 2차 온도 의존성을 최소화하는 두 가지 기법을 제안함에 따라, 트리밍 없이 ±0.19% 이하의 선형성 오차가 달성되며, 복잡한 디지털 처리 없이도 온도 감지의 높은 정확도가 달성된다. 트리밍 없는 상태에서 종래 기술과 비교하면, 제안 기술의 3σ 부정확도(+0.60℃, -0.44℃)와 FoM(0.84pJ℃^{2})은 기존 연구 대비 각각 3.46배와 8.57배 우수하다. 또한, 제안 기법의 FoM은 종래 기술에 비해 최대 23.8배 우수하다.

[0108] [표 1]

Contents	[16]	[12]	[22]	[23]	[24]	[25]	[26]	**This work**
Year	2018	2019	2019	2020	2022	2023	2024	**2024**
Technology [nm]	65	180	65	130	180	130	3	**180**
Architecture	SAR ADC	ΔΣ M	SAR logic	TDC	ΔΣ M	ADC	Counter	**TDC**
Sensor type	Resistor	BJT	MOS	MOS	BJT	MOS	FinFET	**BJT/resistor**
Chip area [mm^2]	0.044	0.35	0.63	0.00916	0.42	0.63	0.0009	**0.37**
Temperature range [ºC]	–40 to 85	-40 to 125	0 to 100	-20 to 85	-50 to 180	-40 to 90	-25 to 125	**–40 to 125**
Supply sensitivity [ºC/V]	0.28	0.01	8.6	-	-	-	0.6	**0.58**
Supply voltage [V]	0.6 to 1.2	1.6 to 2.2	0.5	1.3	1.5 to 2	1.8	0.65 to 0.85	**0.58**
Power [μW]	47.2	8.8 to 12.1	0.001	6	5.7	23.6	20	**104.4**
Conversion time [msec]	0.01	218	300	2	8.3	6.4	1	**2**
Resolution [mk]	121	1.67	300	12.3	12.3	40	22.1	**2**
3σ-Inaccuracy [°C]	±4 (1-pt)	±0.13 (1-pt)	+1.61,-1.53 (2-pt)	±0.6 (2-pt)	± 1.8 (0-pt) ± 0.45 (1-pt)	+0.75,-0.92 (0-pt)	±1 (1-pt) ±0.75 (2-pt)	**+0.6,-0.44 (0-pt)**
Relative inaccuracy [%]	0.37 (1-pt)	0.16 (1-pt)	3.14 (2-pt)	1.14 (1-pt)	± 1.57 (0-pt) ± 0.39 (1-pt)	1.3 (1-pt)	1.33 (1-pt) 1.00 (2-pt)	**0.63 (0-pt)**
Resolution FoM [pJ°C^2][a]	6.9	5.4	20	1.82	7.2	253	9.77	**0.84**

[0109] [a] Resolution FoM = Energy/Conversion × (Resolution)^2

[0110] 표 1에서, [16]은 H. Park 등의 연구(H. Park and J. Kim, “A 0.8-V resistor-based temperature sensor in 65-nm CMOS with supply sensitivity of 0.28 ° C/V,” IEEE J. Solid-State Circuits, vol. 53, no. 3, pp. 906-912, Mar. 2018.)를, [12]는 R. K. Kumar 등의 연구(R. K. Kumar, H. Jiang, and K. A. A. Makinwa, “An

energy-efficient BJT based temperature-to-digital converter with ±0.13° C(3σ) inaccuracy from -40 to 125° C," in Proc. IEEE Asian Solid-State Circuits Conf.(A-SSCC), Nov. 2019, pp. 107-108.)를, [22]는 H. Wang 등의 연구(H. Wang and P. P. Mercier, "A 763 pW 230 pJ/conversion fully integrated CMOS temperature-to-digital converter with +0.81° C/-0.75° C inaccuracy," IEEE J. Solid-State Circuits, vol. 54, no. 8, pp. 2281-2290, 2019.)를, [23]은 A. Ballo 등의 연구(A. Ballo, G. Bruno, A. D. Grasso, and M. G. G. Vaiana, "A compact temperature sensor with a resolution FoM of 1.82 pJ·K^2," IEEE Trans. Instrum. Meas., vol. 69, no. 10, pp. 8571-8579, Oct. 2020.)를, [24]는 B. Wang 등의 연구(B. Wang and M.-K. Law, "Subranging BJT-based CMOS temperature sensor with a ±0.45 ℃ inaccuracy (3σ) from -50° C to 180° C and a resolution-FoM of 7.2 pJ·K^2 at 150 ° C," IEEE J. Solid-State Circuits, vol. 57, no. 12, pp. 3693-3703, Dec. 2022.)를, [25]는 E. Moisello 등의 연구(E. Moisello, C. M. Ippolito, G. Bruno, P. Malcovati, and E. Bonizzoni, "A MOS-based temperature sensor with inherent inaccuracy reduction enabled by time-domain operation," IEEE Trans. Instrum. Meas., vol. 72, pp. 1-10, May 2023.)를, [26]은 B. S. Lien 등의 연구(B. -S. Lien, S. L. Liu, W.-L. Lai, Y.-C. Lu, Y.-C. Peng, and K. C.-H. Hsieh, "A 0.65V 900㎛² BEoL RC-Based Temperature Sensor with ±1° C Inaccuracy from -25° C to 125° C," in IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, Feb. 2024, pp. 68-70)를 나타낸다.

[0111] 이상에서 설명된 장치는 하드웨어 구성 요소, 소프트웨어 구성 요소, 및/또는 하드웨어 구성 요소 및 소프트웨어 구성 요소의 집합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성 요소는, 예를 들어, 프로세서, 콘트롤러, ALU(Arithmetic Logic Unit), 디지털 신호 프로세서(Digital Signal Processor), 마이크로컴퓨터, FPA(Field Programmable array), PLU(Programmable Logic Unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(Operation System, OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술 분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(Processing Element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(Parallel Processor)와 같은, 다른 처리 구성(Processing Configuration)도 가능하다.

[0112] 소프트웨어는 컴퓨터 프로그램(Computer Program), 코드(Code), 명령(Instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(Collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성 요소(Component), 물리적 장치, 가상 장치(Virtual Equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(Signal Wave)에 영구적으로, 또는 일시적으로 구체화(Embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

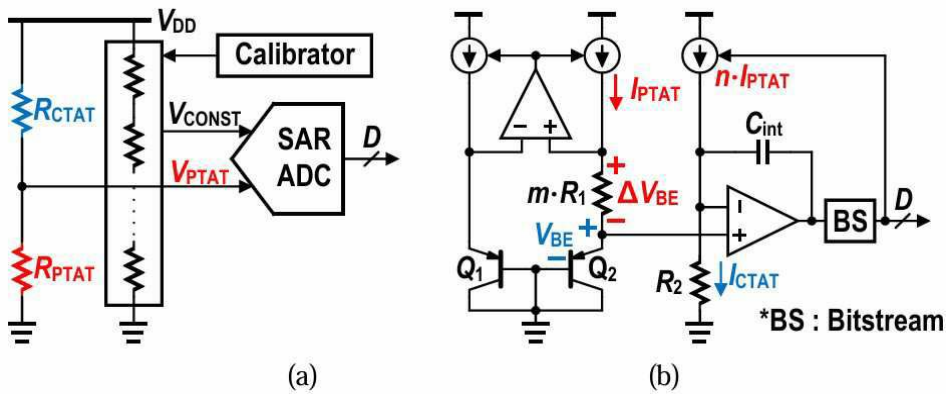
[0113] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic Media), CD-ROM, DVD와 같은 광기록 매체(Optical Media), 플롭티컬 디스크(Floptical Disk)와 같은 자기-광 매체(Magneto-optical Media), 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0114] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의

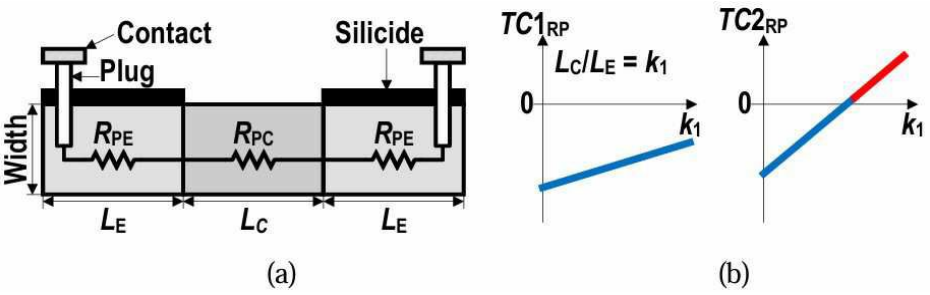
지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성 요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성 요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

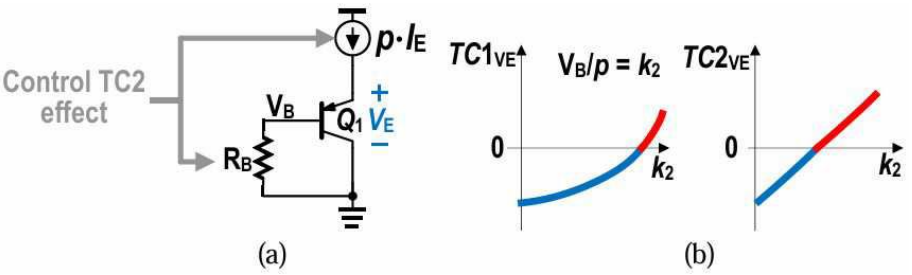
도면1



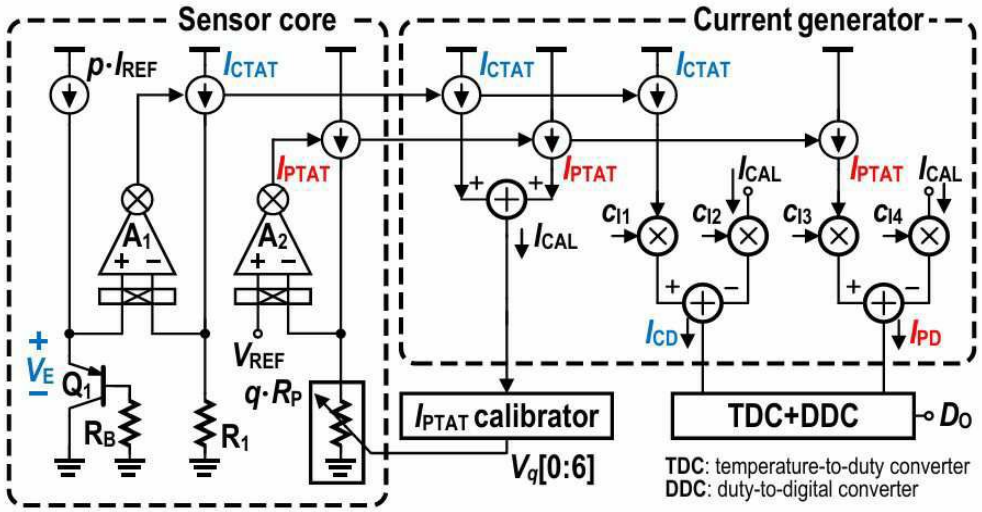
도면2



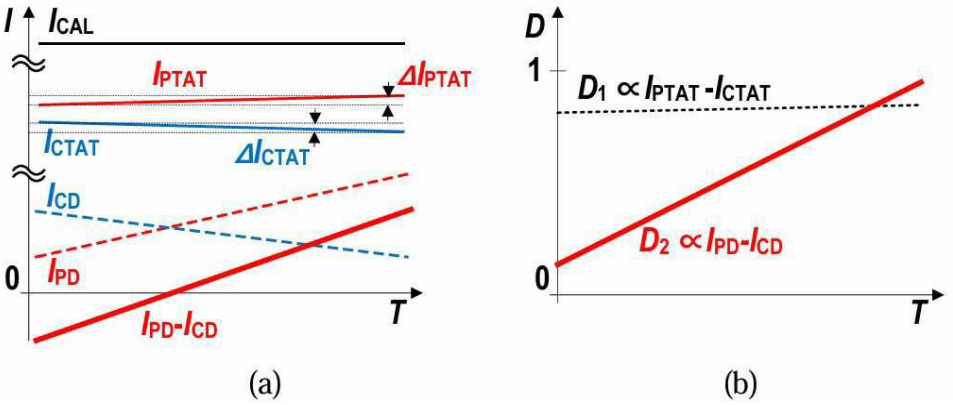
도면3



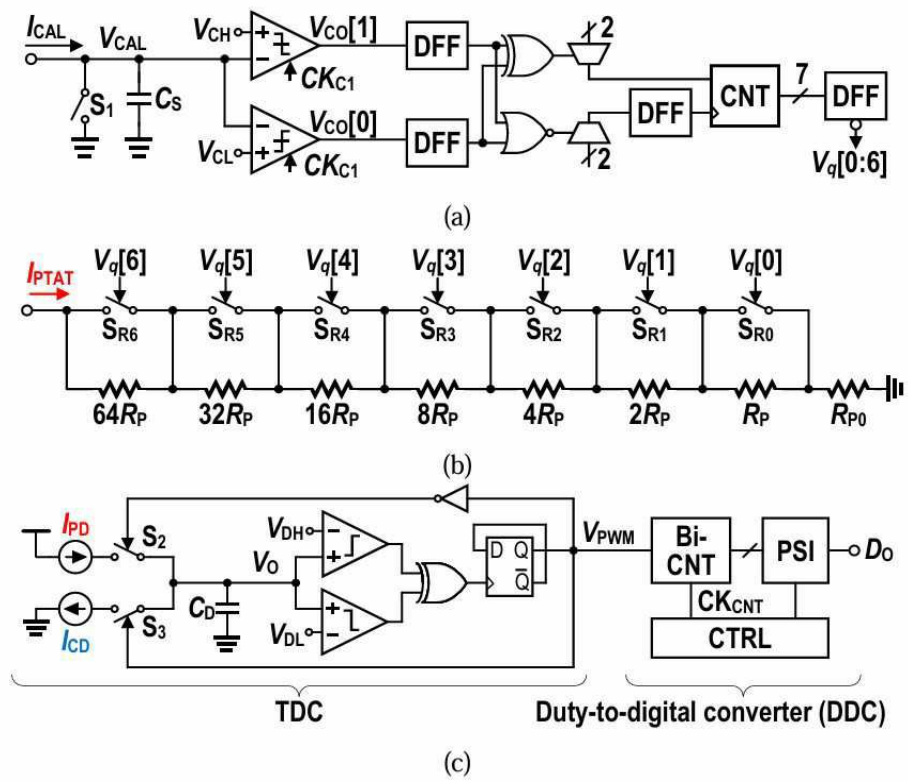
도면4


Sensor core
Current generator
p·IREF
ICTAT
IPTAT
A1
A2
VE
Q1
RB
R1
VREF
q·RP
ICAL
CI1
CI2
CI3
CI4
ICD
IPD
IPTAT calibrator
Vq[0:6]
TDC+DDC
DO
TDC: temperature-to-duty converter
DDC: duty-to-digital converter

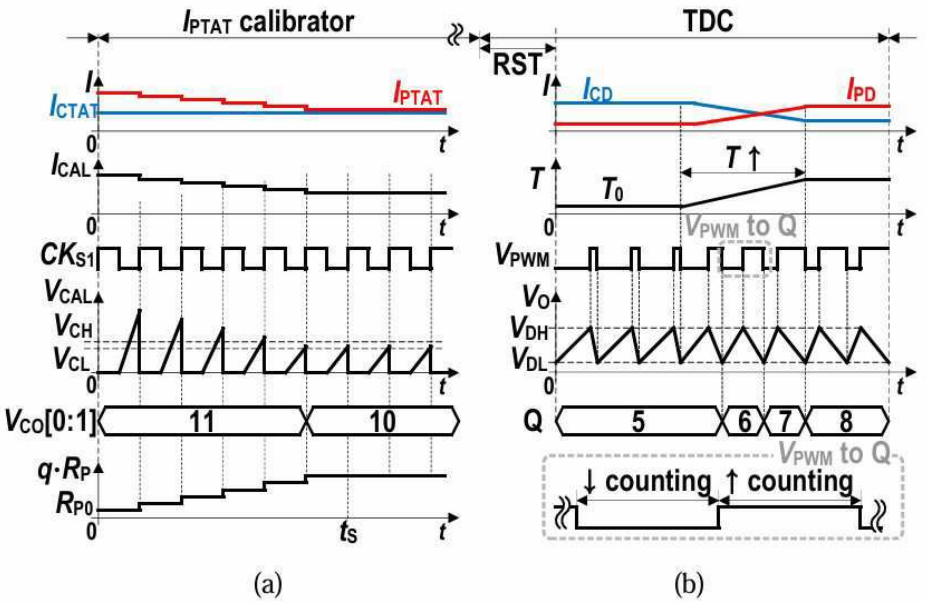
도면5


I
ICAL
IPTAT
ΔIPTAT
ICTAT
ΔICTAT
ICD
IPD
0
T
IPD-ICD
(a)
D
1
D1 ∝ IPTAT -ICTAT
D2 ∝ IPD-ICD
0
T
(b)

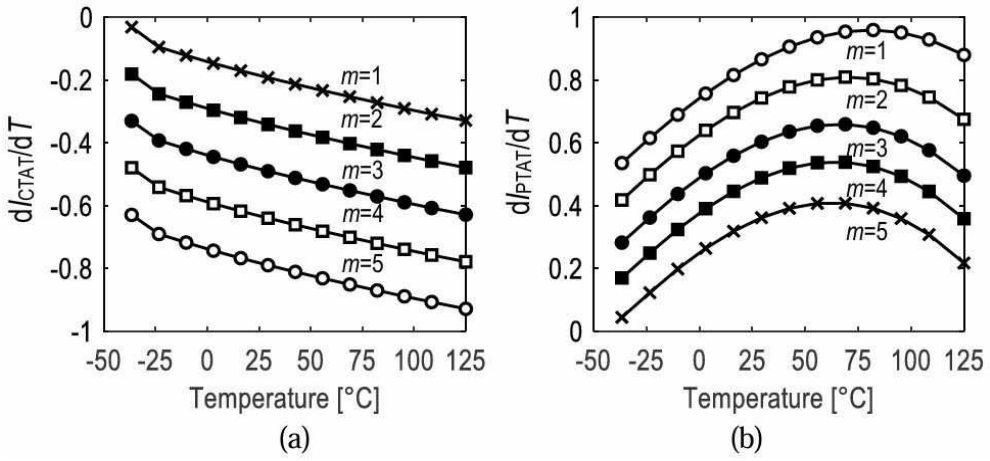
도면6


ICAL
VCAL
S1
CS
VCH
VCL
VCO[1]
VCO[0]
CKC1
CKC1
DFF
DFF
2
2
DFF
CNT
7
DFF
Vq[0:6]
(a)
IPTAT
Vq[6]
Vq[5]
Vq[4]
Vq[3]
Vq[2]
Vq[1]
Vq[0]
SR6
SR5
SR4
SR3
SR2
SR1
SR0
64RP
32RP
16RP
8RP
4RP
2RP
RP
RP0
(b)
IPD
S2
ICD
S3
CD
VDH
VO
VDL
D Q
VPWM
Bi-CNT
PSI
DO
CKCNT
CTRL
TDC
Duty-to-digital converter (DDC)
(c)

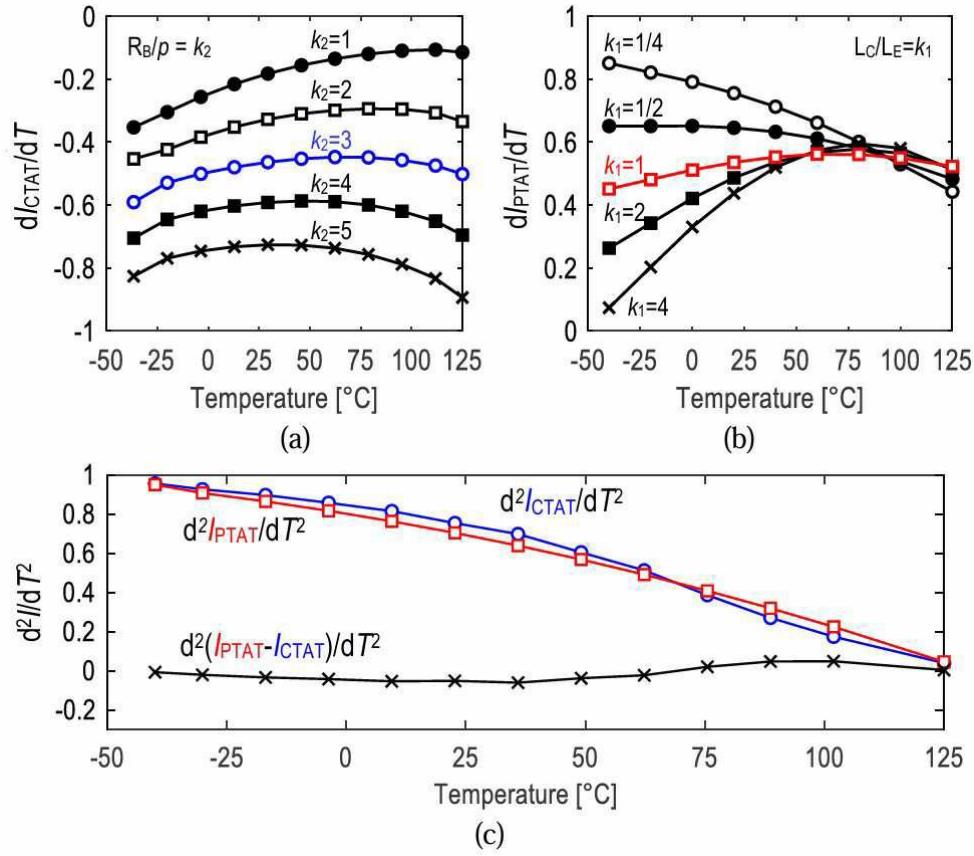
도면7


IPTAT calibrator
TDC
RST
I
ICTAT
IPTAT
ICAL
CKS1
VCAL
VCH
VCL
VCO[0:1]
11
10
q·RP
RP0
0
tS
t
ICD
IPD
T
T0
T↑
VPWM to Q
VPWM
VO
VDH
VDL
Q
5
6
7
8
↓ counting ↑ counting
(a)
(b)

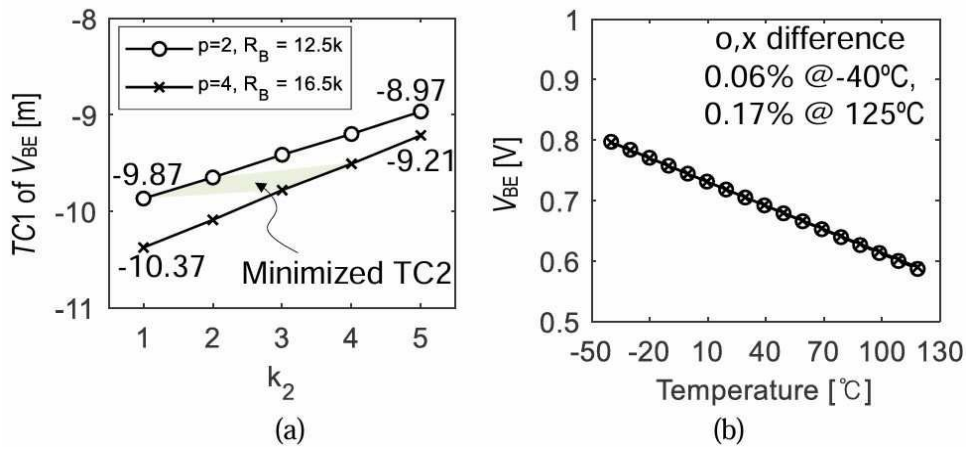
도면8


dICTAT/dT
m=1
m=2
m=3
m=4
m=5
Temperature [°C]
(a)
dIPTAT/dT
m=1
m=2
m=3
m=4
m=5
Temperature [°C]
(b)

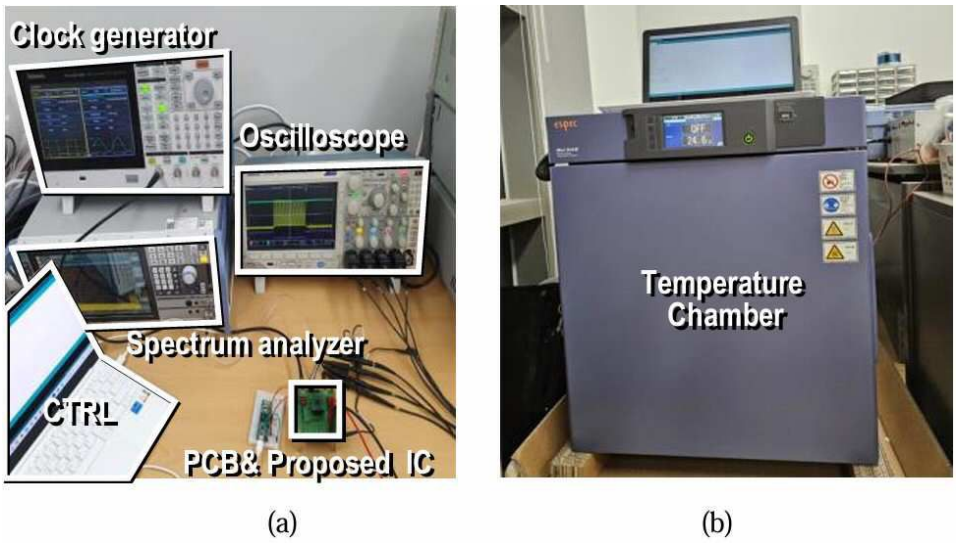
도면9


RB/p = k2
k2=1
k2=2
k2=3
k2=4
k2=5
dICTAT/dT
Temperature [°C]
(a)
k1=1/4
k1=1/2
k1=1
k1=2
k1=4
LC/LE=k1
dIPTAT/dT
Temperature [°C]
(b)
d2ICTAT/dT2
d2IPTAT/dT2
d2(IPTAT-ICTAT)/dT2
d2I/dT2
Temperature [°C]
(c)

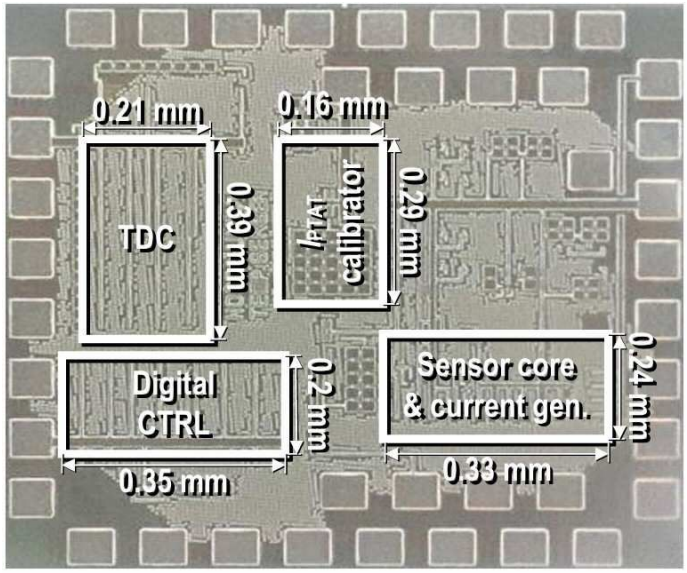
도면10



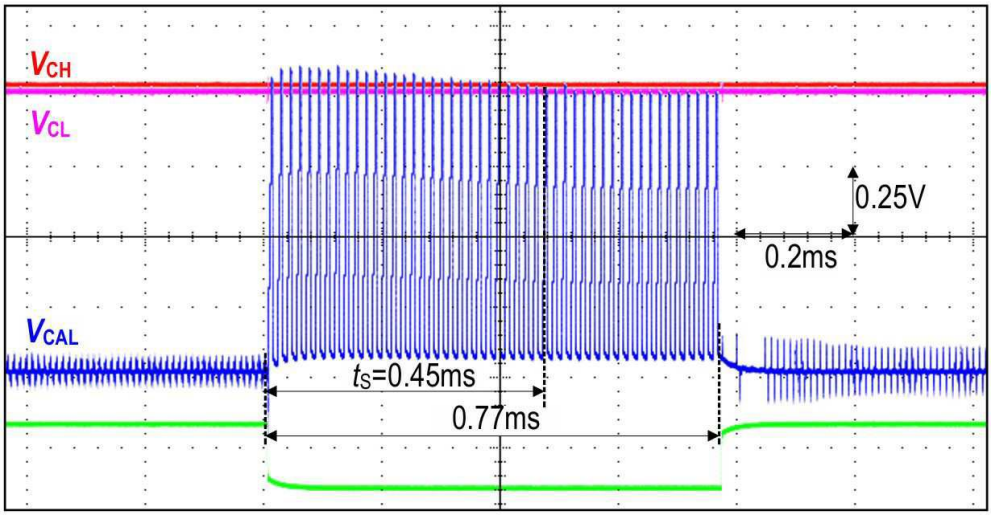
도면11



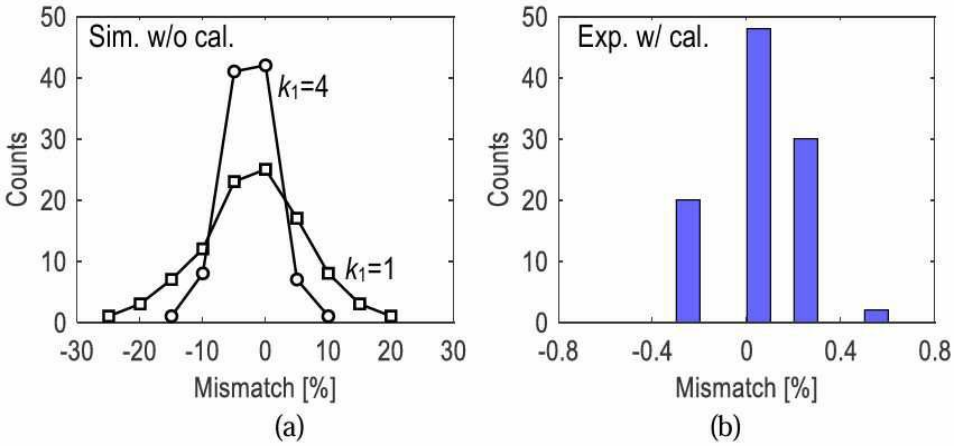
도면12



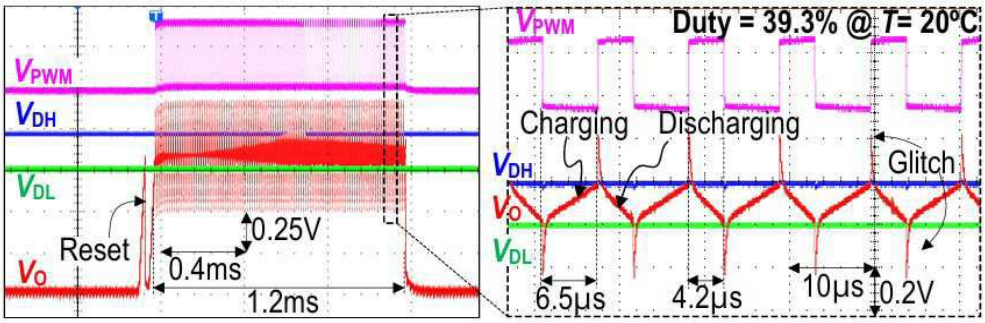
도면13



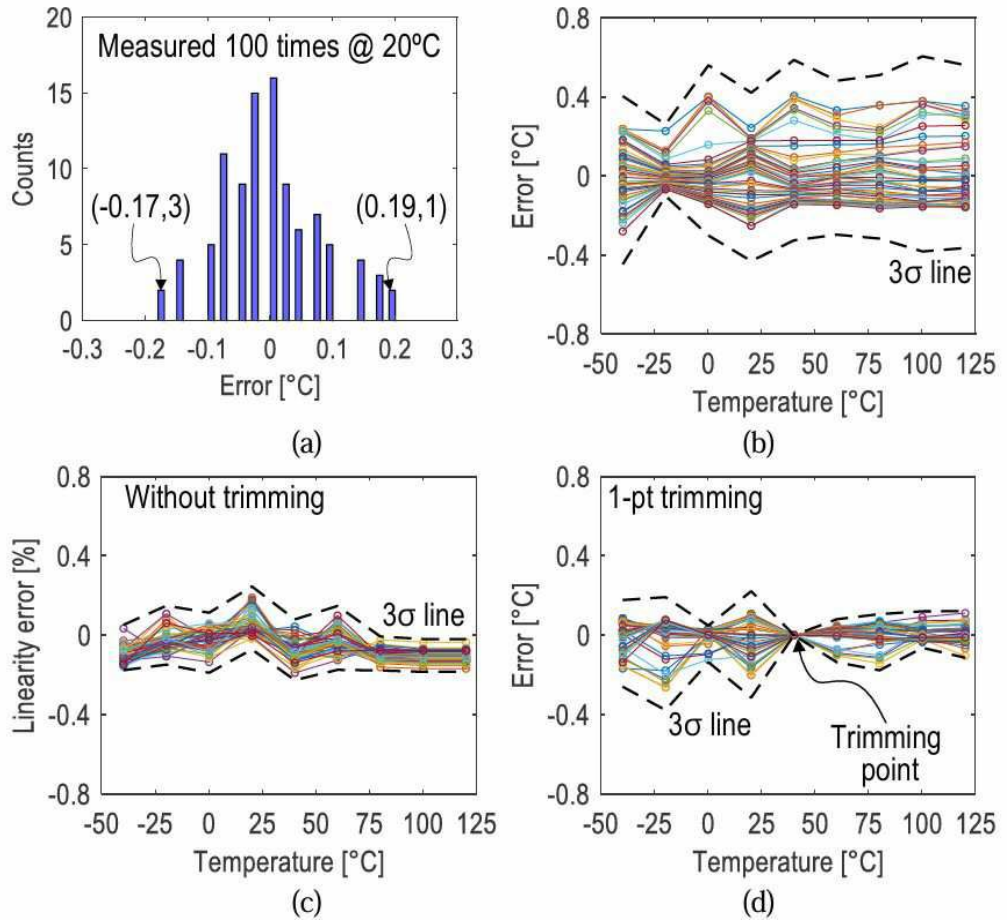
도면14



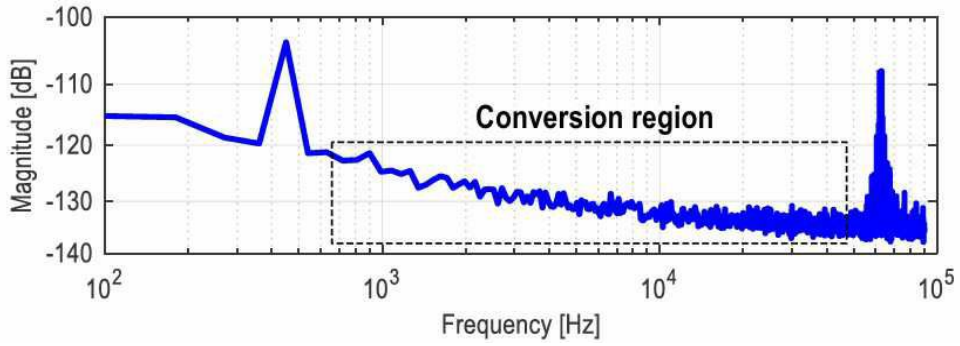
도면15



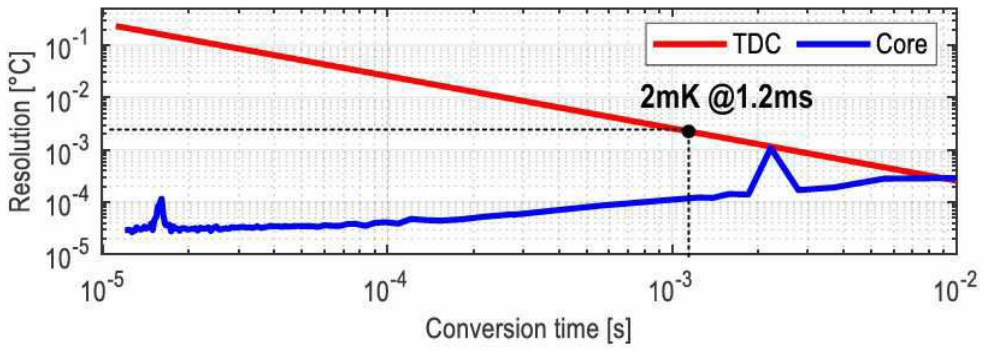
도면16


Measured 100 times @ 20°C
Counts
(-0.17,3)
(0.19,1)
Error [°C]
(a)
Error [°C]
3σ line
Temperature [°C]
(b)
Without trimming
Linearity error [%]
3σ line
Temperature [°C]
(c)
1-pt trimming
Error [°C]
3σ line
Trimming point
Temperature [°C]
(d)

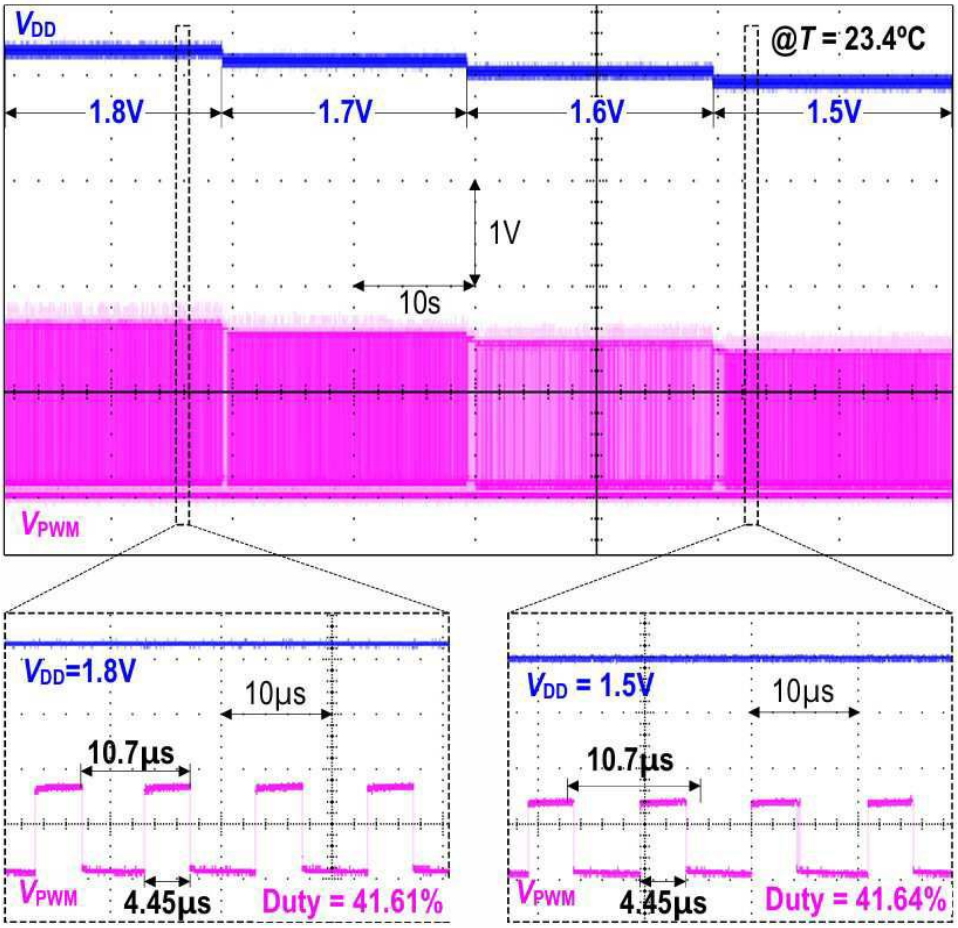
도면17


Conversion region
Magnitude [dB]
Frequency [Hz]

도면18


TDC
Core
2mK @1.2ms
Resolution [°C]
Conversion time [s]

도면19


VDD
@T = 23.4°C
1.8V
1.7V
1.6V
1.5V
1V
10s
VPWM
VDD=1.8V
10μs
10.7μs
VPWM
4.45μs
Duty = 41.61%
VDD = 1.5V
10μs
10.7μs
VPWM
4.45μs
Duty = 41.64%