

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6796843号
(P6796843)

(45) 発行日 令和2年12月9日(2020.12.9)

(24) 登録日 令和2年11月19日(2020.11.19)

(51) Int. Cl. F I
H02J 7/00 (2006.01) H02J 7/00 B

請求項の数 4 (全 30 頁)

<p>(21) 出願番号 特願2017-240693 (P2017-240693) (22) 出願日 平成29年12月15日 (2017.12.15) (65) 公開番号 特開2019-110629 (P2019-110629A) (43) 公開日 令和1年7月4日 (2019.7.4) 審査請求日 令和2年9月17日 (2020.9.17)</p> <p>早期審査対象出願</p>	<p>(73) 特許権者 591074736 宮城県 宮城県仙台市青葉区本町3丁目8番1号 (74) 代理人 100117341 弁理士 山崎 拓哉 (74) 代理人 100148840 弁理士 松本 健志 (74) 代理人 100191673 弁理士 渡邊 久典 (72) 発明者 小野 仁 宮城県仙台市泉区明通二丁目2番地 宮城 県産業技術総合センター内</p> <p>審査官 右田 勝則</p>
--	---

最終頁に続く

(54) 【発明の名称】 蓄電回路

(57) 【特許請求の範囲】

【請求項1】

電源から供給される電力を蓄積して負荷に供給する蓄電回路であって、
 前記蓄電回路は、前記電源と前記負荷とを互いに接続する電源ラインと、キャパシタと、電圧検知回路と、比較回路と、付加的回路と、スイッチ回路とを備えており、
 前記キャパシタは、前記電源ラインに接続されており、前記電源から供給される前記電力を蓄積してゼロよりも大きな供給電圧を前記電源ラインに印加し、
 前記電圧検知回路は、前記電源ラインに接続された検知入力端と、参照電圧を出力する参照出力端と、検知電圧を出力する検知出力端とを有しており、
 前記参照電圧は、前記供給電圧が所定電圧よりも低い場合、前記供給電圧であり、前記供給電圧が前記所定電圧以上の場合、前記所定電圧であり、
 前記検知電圧は、前記供給電圧に応じて変化し、且つ、前記供給電圧よりも低く、
 前記比較回路は、前記電源ラインに接続されており、且つ、前記参照出力端に接続されたポジティブ入力端と、前記検知出力端に接続されたネガティブ入力端と、付加的制御電圧を出力する出力端とを有しており、
 前記付加的制御電圧は、前記ポジティブ入力端に印加された電圧が前記ネガティブ入力端に印加された電圧よりも高い場合、前記供給電圧に応じた高電圧であり、前記ポジティブ入力端に印加された前記電圧が前記ネガティブ入力端に印加された前記電圧よりも低い場合、グランド電圧に応じた低電圧であり、
 前記付加的回路は、前記電源ラインに接続された電源端と、グランドされたグランド端

10

20

とを有しており、前記電源端と前記グランド端との間を遮断する非グランド状態と、前記電源端を前記グランド端と導通させるグランド状態との間を遷移可能であり、

前記スイッチ回路は、前記電源ラインにおいて前記キャパシタと前記負荷との間に接続されており、前記負荷を前記キャパシタから遮断する遮断状態と、前記負荷を前記キャパシタと導通させる導通状態との間を遷移可能であり、

前記付加的回路は、前記比較回路の前記出力端に接続された付加的制御端と、制御電圧を出力する付加的出力端とを有しており、

前記制御電圧は、前記付加的回路が前記非グランド状態にある場合、前記供給電圧に応じた高電圧であり、前記付加的回路が前記グランド状態にある場合、前記グランド電圧に応じた低電圧であり、

10

前記付加的回路は、前記供給電圧がゼロから上昇して、前記付加的制御電圧に応じて前記付加的制御端に印加された付加的印加電圧が付加的閾値に達するまでは、前記非グランド状態を取り、前記付加的印加電圧が前記付加的閾値に達した以降は、前記付加的印加電圧が前記付加的閾値よりも高い場合、前記グランド状態を取り、前記付加的印加電圧が前記付加的閾値よりも低い場合、前記非グランド状態を取り、

前記スイッチ回路は、前記付加的出力端に接続された制御端を有しており、

前記スイッチ回路は、前記供給電圧がゼロから上昇して、前記制御電圧に応じて前記制御端に印加された印加電圧が所定閾値に達するまでは、前記遮断状態を取り、前記印加電圧が前記所定閾値に達した以降は、前記印加電圧が前記所定閾値よりも高い場合、前記導通状態を取り、前記印加電圧が前記所定閾値よりも低い場合、前記遮断状態を取り、

20

前記供給電圧がゼロから上昇して前記付加的印加電圧が前記付加的閾値に達するまで、前記印加電圧は、前記所定閾値よりも低い蓄電回路。

【請求項 2】

請求項 1 記載の蓄電回路であって、

前記付加的回路の前記電源端は、前記電源ラインに接続されると共に、前記電圧検知回路の前記検知出力端に接続されており、

前記制御電圧は、前記付加的回路が前記非グランド状態にある場合、前記検知電圧に応じた高電圧である

蓄電回路。

30

【請求項 3】

請求項 2 記載の蓄電回路であって、

前記付加的回路は、N 型 MOSFET (metal-oxide-semiconductor field-effect transistor) からなる付加的スイッチング素子を備えており、

前記付加的スイッチング素子において、ゲートは、前記付加的制御端として機能し、ソースは、前記グランド端として機能し、ドレインは、前記電源端として機能し、且つ、前記電圧検知回路の前記検知出力端と前記スイッチ回路の前記制御端との間に接続されており、

前記付加的閾値は、前記付加的スイッチング素子において前記ソースと前記ドレインとの間を導通させるための前記ゲートと前記ソースとの間の電位差の閾値であり、

40

前記スイッチ回路は、P 型 MOSFET からなる主スイッチング素子と、N 型 MOSFET からなる副スイッチング素子とを備えており、

前記主スイッチング素子において、ソースは、前記電源ラインの前記電源側に接続されており、ドレインは、前記電源ラインの前記負荷側に接続されており、

前記副スイッチング素子において、ゲートは、前記制御端として機能し、ソースは、グランドされており、ドレインは、2 つの抵抗を介して前記主スイッチング素子の前記ソースに接続されており、

前記主スイッチング素子のゲートは、前記 2 つの抵抗の間に接続されており、

前記所定閾値は、前記副スイッチング素子において前記ソースと前記ドレインとの間を導通させるための前記ゲートと前記ソースとの間の電位差の閾値である

50

蓄電回路。

【請求項 4】

請求項 1 から請求項 3 までのいずれかに記載の蓄電回路であって、
前記所定閾値は、前記付加的閾値以上である

蓄電回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源から供給された微小な電力を蓄積して負荷に供給する蓄電回路に関する

。

【背景技術】

【0002】

例えば、非特許文献 1 には、このタイプの蓄電回路が開示されている。

【0003】

図 11 を参照すると、非特許文献 1 に開示された蓄電回路 90 は、電源 92 がエネルギーハーベスティングによって生成した微小な電力を蓄積して負荷 98 に供給する。蓄電回路 90 は、電源ライン 93 と、キャパシタ（図示せず）と、電圧検知回路 94 と、比較回路 95（ヒステリシスコンパレータ）と、抵抗 R1 からなるプルアップ抵抗 96 と、スイッチ回路 97 とを備えている。キャパシタは、電源ライン 93 に接続されており、電源 92 が生成した電力を蓄積する。この結果、電源ライン 93 に電圧 V_i が生じる。

【0004】

電圧検知回路 94 は、3つの抵抗 R5, R10, R11 と、ツェナーダイオード Z1 とを備えている。電圧検知回路 94 は、電源ライン 93 に接続されており、R5 の一端及び R10 の一端に電圧 V_i が印加される。この結果、R5 の他端には、電圧 V_r が生じ、R10 の他端には、電圧 V_d が生じる。電圧 V_r は、電圧 V_i が Z1 のツェナー電圧 V_z よりも低い場合、電圧 V_i であり、電圧 V_i がツェナー電圧 V_z 以上の場合、ツェナー電圧 V_z である。電圧 V_d は、電圧 V_i を R10 と R11 とによって分圧した電圧である。

【0005】

比較回路 95 は、オープンドレインのコンパレータ 952 と、2つの抵抗 R8, R9 とを備えている。コンパレータ 952 は、電源ライン 93 に接続されており、電圧 V_i が印加される（図示せず）。コンパレータ 952 のポジティブ入力端には、電圧 V_d に応じた電圧 V_p が印加され、ネガティブ入力端には、電圧 V_r が印加される。また、コンパレータ 952 の出力端は、接続点 962 において、プルアップ抵抗 96 を介して電源ライン 93 に接続されている。

【0006】

スイッチ回路 97 は、N型 MOSFET (metal-oxide-semiconductor field-effect transistor) からなるスイッチング素子 S1 と、P型 MOSFET からなるスイッチング素子 S2 と、3つの抵抗 R2, R3, R7 とを備えている。S1 において、ソースは、グランドされており、ドレインは、R2 及び R3 を介して電源ライン 93 に接続されており、ゲートは、R7 を介して接続点 962 に接続されている。S2 において、ソースは、電源ライン 93 に接続されており、ドレインは、負荷 98 に接続されており、ゲートは、R2 を介して S1 のドレインに接続されている。

【0007】

上述の回路構成により、電圧 V_p が電圧 V_r よりも低い場合、接続点 962 (S1 のゲート) がグランドされ、S1 が OFF 状態 (ソースとドレインとが導通していない状態) になる。この結果、S2 のゲートに電圧 V_i が印加され、S2 は、OFF 状態になる。即ち、スイッチ回路 97 は、負荷 88 をキャパシタ（図示せず）から遮断する遮断状態になる。一方、電圧 V_p が電圧 V_r 以上の場合、S1 のゲートに電圧 V_i が印加され、S1 が ON 状態 (ソースとドレインとが導通した状態) になる。この結果、S2 のゲートに電圧 V_i よりも小さな電圧 (電圧 V_i を R2 と R3 とによって分圧した電圧) が印加され、S

10

20

30

40

50

2はON状態になる。即ち、スイッチ回路97は、負荷88をキャパシタと導通させる導通状態になる。

【0008】

非特許文献1によれば、キャパシタ(図示せず)が空の状態において電源92が電力を生成すると、電力は、キャパシタに徐々に蓄積され、電圧 V_i 、電圧 V_d 及び電圧 V_p が徐々に高くなる。電圧 V_p が電圧 V_r に達するまで、スイッチ回路97は遮断状態を維持し、電源92が生成した電力は、負荷98によって消費されることなく、キャパシタに蓄積される。キャパシタが十分に充電された後に、電圧 V_p が電圧 V_r 以上になり、スイッチ回路97は導通状態になる。このとき、十分に大きな電力が負荷98に供給される。

【先行技術文献】

【非特許文献】

【0009】

【非特許文献1】小野仁, 外3名, 「スイッチング回路を応用した省エネルギー・エネルギーハーベスティング技術の開発」, 平成27年度 宮城県産業技術総合センター研究報告, 宮城県(産業技術総合センター), 平成28年9月, No. 13(2015), p. 1-7

【発明の概要】

【発明が解決しようとする課題】

【0010】

非特許文献1に開示された蓄電回路90は、理論的には上述したように動作する。しかしながら、実際に回路を構成して実験してみると、電圧 V_i が上昇して電圧 V_p が電圧 V_r 以上になるよりも前に、スイッチ回路97が導通状態になる場合がある。この場合、キャパシタが十分に充電されていないため、負荷98を動作させるには不十分な電圧のまま負荷98への電力供給が始まる。即ち、電源92が生成した電力は、キャパシタを充電して蓄電回路90を適切に動作させることなく、負荷98によって無駄に消費され続ける。

【0011】

そこで、本発明は、キャパシタが空の状態でも電源が電力を生成し始めた場合でも十分な電圧で負荷に電力を供給可能な蓄電回路を提供することを目的とする。

【課題を解決するための手段】

【0012】

研究の結果、コンパレータによっては、コンパレータに印加される電圧 V_i がゼロから上昇して所定電圧に達するまでの間、電圧 V_p が電圧 V_r よりも低いとの条件を満たしていても、出力端がグランド電位にならない場合があることが分かった。また、このようなコンパレータを使用した蓄電回路において、キャパシタが十分に充電される前にスイッチ回路が導通状態になる場合があることが分かった。そこで、本発明は、電圧 V_i がゼロに近いときであっても、スイッチ回路を確実に遮断状態にする蓄電回路を提供する。具体的には、本発明は、下記の蓄電回路を提供する。

【0013】

本発明は、第1の蓄電回路として、

電源から供給される電力を蓄積して負荷に供給する蓄電回路であって、

前記蓄電回路は、前記電源と前記負荷とを互いに接続する電源ラインと、キャパシタと、電圧検知回路と、比較回路と、付加的回路と、スイッチ回路とを備えており、

前記キャパシタは、前記電源ラインに接続されており、前記電源から供給される前記電力を蓄積してゼロよりも大きな供給電圧を前記電源ラインに印加し、

前記電圧検知回路は、前記電源ラインに接続された検知入力端と、参照電圧を出力する参照出力端と、検知電圧を出力する検知出力端とを有しており、

前記参照電圧は、前記供給電圧が所定電圧よりも低い場合、前記供給電圧であり、前記供給電圧が前記所定電圧以上の場合、前記所定電圧であり、

前記検知電圧は、前記供給電圧に応じて変化し、且つ、前記供給電圧よりも低く、

前記比較回路は、前記電源ラインに接続されており、且つ、前記参照出力端に接続され

10

20

30

40

50

たポジティブ入力端と、前記検知出力端に接続されたネガティブ入力端と、付加的制御電圧を出力する出力端とを有しており、

前記付加的制御電圧は、前記ポジティブ入力端に印加された電圧が前記ネガティブ入力端に印加された電圧よりも高い場合、前記供給電圧に応じた高電圧であり、前記ポジティブ入力端に印加された前記電圧が前記ネガティブ入力端に印加された前記電圧よりも低い場合、グランド電圧に応じた低電圧であり、

前記付加的回路は、前記電源ラインに接続された電源端と、グランドされたグランド端とを有しており、前記電源端と前記グランド端との間を遮断する非グランド状態と、前記電源端を前記グランド端と導通させるグランド状態との間を遷移可能であり、

前記スイッチ回路は、前記電源ラインにおいて前記キャパシタと前記負荷との間に接続されており、前記負荷を前記キャパシタから遮断する遮断状態と、前記負荷を前記キャパシタと導通させる導通状態との間を遷移可能であり、

前記付加的回路は、前記比較回路の前記出力端に接続された付加的制御端と、制御電圧を出力する付加的出力端とを有しており、

前記制御電圧は、前記付加的回路が前記非グランド状態にある場合、前記供給電圧に応じた高電圧であり、前記付加的回路が前記グランド状態にある場合、前記グランド電圧に応じた低電圧であり、

前記付加的回路は、前記供給電圧がゼロから上昇して、前記付加的制御電圧に応じて前記付加的制御端に印加された付加的印加電圧が付加的閾値に達するまでは、前記非グランド状態を取り、前記付加的印加電圧が前記付加的閾値に達した以降は、前記付加的印加電圧が前記付加的閾値よりも高い場合、前記グランド状態を取り、前記付加的印加電圧が前記付加的閾値よりも低い場合、前記非グランド状態を取り、

前記スイッチ回路は、前記付加的出力端に接続された制御端を有しており、

前記スイッチ回路は、前記供給電圧がゼロから上昇して、前記制御電圧に応じて前記制御端に印加された印加電圧が所定閾値に達するまでは、前記遮断状態を取り、前記印加電圧が前記所定閾値に達した以降は、前記印加電圧が前記所定閾値よりも高い場合、前記導通状態を取り、前記印加電圧が前記所定閾値よりも低い場合、前記遮断状態を取り、

前記供給電圧がゼロから上昇して前記付加的印加電圧が前記付加的閾値に達するまで、前記印加電圧は、前記所定閾値よりも低い蓄電回路を提供する。

【 0 0 1 4 】

また、本発明は、第 2 の蓄電回路として、第 1 の蓄電回路であって、

前記付加的回路の前記電源端は、前記電源ラインに接続されると共に、前記電圧検知回路の前記検知出力端に接続されており、

前記制御電圧は、前記付加的回路が前記非グランド状態にある場合、前記検知電圧に応じた高電圧である

蓄電回路を提供する。

【 0 0 1 5 】

また、本発明は、第 3 の蓄電回路として、第 2 の蓄電回路であって、

前記付加的回路は、N 型 M O S F E T (metal-oxide-semiconductor field-effect transistor) からなる付加的スイッチング素子を備えており、

前記付加的スイッチング素子において、ゲートは、前記付加的制御端として機能し、ソースは、前記グランド端として機能し、ドレインは、前記電源端として機能し、且つ、前記電圧検知回路の前記検知出力端と前記スイッチ回路の前記制御端との間に接続されており、

前記付加的閾値は、前記付加的スイッチング素子において前記ソースと前記ドレインとの間を導通させるための前記ゲートと前記ソースとの間の電位差の閾値であり、

前記スイッチ回路は、P 型 M O S F E T からなる主スイッチング素子と、N 型 M O S F E T からなる副スイッチング素子とを備えており、

前記主スイッチング素子において、ソースは、前記電源ラインの前記電源側に接続され

10

20

30

40

50

ており、ドレインは、前記電源ラインの前記負荷側に接続されており、

前記副スイッチング素子において、ゲートは、前記制御端として機能し、ソースは、グランドされており、ドレインは、2つの抵抗を介して前記主スイッチング素子の前記ソースに接続されており、

前記主スイッチング素子のゲートは、前記2つの抵抗の間に接続されており、

前記所定閾値は、前記副スイッチング素子において前記ソースと前記ドレインとの間を導通させるための前記ゲートと前記ソースとの間の電位差の閾値である

蓄電回路を提供する。

【0016】

また、本発明は、第4の蓄電回路として、第1から第3までの蓄電回路のいずれかであって、

前記所定閾値は、前記付加的閾値以上である蓄電回路を提供する。

【発明の効果】

【0017】

本発明によれば、キャパシタが空の状態では電源が電力を生成し始めた場合、供給電圧は、ゼロから上昇し、付加的制御端に印加される付加的印加電圧は、所定時間経過後に付加的閾値に達する。本発明によれば、制御端に印加される印加電圧は、この所定時間が経過するまで、所定閾値よりも低い。従って、付加的印加電圧が付加的閾値を超えて付加的回路が最初のグランド状態に遷移するまで、スイッチ回路を遮断状態に維持できる。即ち、本発明によれば、キャパシタが空の状態では電源が電力を生成し始めた場合でも十分な電圧で負荷に電力を供給可能である。

【図面の簡単な説明】

【0018】

【図1】本発明の実施の形態による蓄電回路を示すブロック図である。

【図2】図1の蓄電回路を示す回路図である。

【図3】図1の蓄電回路において、キャパシタが空の状態からスイッチ回路が導通状態に遷移する直後までの付加的回路及びスイッチ回路の動作の一例を模式的に示す図である。

【図4】図1の蓄電回路において、キャパシタが空の状態からスイッチ回路が導通状態に遷移する直後までの付加的回路及びスイッチ回路の動作の別の一例を模式的に示す図である。

【図5】図2の蓄電回路から付加的回路を除去した蓄電回路（本発明によらない蓄電回路）を示す回路図である。

【図6】図5の蓄電回路のスイッチ回路の動作の一例を模式的に示す図である。

【図7】図2の蓄電回路の変形例を示す回路図である。

【図8】図2及び図7の蓄電回路の電圧検知回路の変形例を示す回路図である。

【図9】図2の蓄電回路の実施例1の動作を示すグラフである。

【図10】図2の蓄電回路の実施例2の動作を示すグラフである。

【図11】非特許文献1の蓄電回路を示す回路図である。

【発明を実施するための形態】

【0019】

図1を参照すると、本発明の実施の形態による蓄電回路10は、蓄電装置（図示せず）の回路であり、電源82から供給される電力を蓄積して負荷88に供給する。蓄電回路10は、電源82と負荷88とを互いに接続する電源ライン12と、キャパシタ20と、電圧検知回路30と、比較回路40と、付加的回路50と、スイッチ回路60とを備えている。

【0020】

本実施の形態における電源82は、周囲の環境から微小なエネルギーを収穫することで（即ち、エネルギーハーベスティングによって）10 μ W～1mW程度の微小な電力を生成し、且つ、微小な電圧を生成する。電源82は、例えば、光電池、熱電素子、又は、整

10

20

30

40

50

流後の振動発電体である。

【0021】

本実施の形態における負荷88は、例えば、昇圧型DC-DCコンバータ、降圧型DC-DCコンバータ、昇降圧型DC-DCコンバータ（以下、「DC-DCコンバータ」と総称する。）、センサ、マイクロコンピュータ、無線デバイス等の半導体素子を含む電子機器や、小型モーター等の動作開始時に一定以上の電圧を必要とする電子機器である。

【0022】

本実施の形態における負荷88は、使用時に、動作状態と待機状態との間を繰り返し遷移する。負荷88の待機状態における消費電力は、動作状態における消費電力と比較して著しく低い。一方、負荷88の動作状態における消費電力（動作電力）は、数mW～数W程度であり、電源82が直接的に供給可能な電力よりも大きい。このため、負荷88を電源82に直接接続すると、電源82は電圧降下を起こし、電源82の電圧は、負荷88を適切に動作させるための電圧（動作開始電圧）に到達しない。また、負荷88であるDC-DCコンバータは、このような電子機器と蓄電回路10との間に接続され、蓄電回路10から付加された電圧を変換して、電子機器に供給する。DC-DCコンバータの電源が投入された直後には、DC-DCコンバータの動作開始電圧（例えば、0.6V～数V程度）よりも高い電圧によってDC-DCコンバータに電力を供給する必要がある。

【0023】

以下に説明するように、本実施の形態における蓄電回路10は、電源82が生成する微小な電力（静電エネルギー）をキャパシタ20に蓄積し、キャパシタ20が十分に充電された段階で、必要な高電圧によって、負荷88に電力を供給する。但し、本発明は、これに限られない。例えば、蓄電回路10は、負荷88に直接供給可能な高い電力及び電圧を生成する電源82に接続してもよい。

【0024】

以下、まず、本実施の形態における蓄電回路10の各回路の構造及び機能について説明する。

【0025】

図1を参照すると、電源ライン12は、電源82とスイッチ回路60との間に、第1接続点（接続点）122、第2接続点（接続点）124、第3接続点（接続点）126、及び、第4接続点（接続点）128を有している。4つの接続点122、124、126、128は、電源82に最も近い接続点122からスイッチ回路60に最も近い接続点128まで、この順に並んでいる。

【0026】

キャパシタ20は、接続点122において電源ライン12に接続されている。詳しくは、キャパシタ20の一端は、接続点122に接続されており、キャパシタ20の他端は、グランドされている。このように接続されたキャパシタ20は、電源82から供給される微小な電力を蓄積してゼロよりも大きな供給電圧 V_i を電源ライン12に印加する。供給電圧 V_i は、キャパシタ20に電力が蓄積されるにつれて、負荷88の動作開始電圧を超えて上昇する。上述したように、電源82が生成する電力が負荷88の動作電力よりも低い場合、負荷88を電源82に直接接続すると、電源82は電圧降下を起こし、電源82が生成する電圧が負荷88の動作開始電圧よりも低くなる。一方、蓄電回路10は、電源82と負荷88との間の接続点122に接続されたキャパシタ20を備えているため、負荷88を電源82から一定時間遮断してキャパシタ20に静電エネルギーを蓄積することにより、負荷88の動作開始電圧よりも高い出力電圧 V_o によって負荷88に電力を供給できる。

【0027】

詳しくは、蓄電回路10は、供給電圧 V_i がゼロから上昇して負荷88の動作開始電圧よりも十分に高い開始電圧 V_H に達するまで、初期状態を取り、負荷88を電源82及びキャパシタ20から遮断する。蓄電回路10が初期状態にあるとき、電源82が生成した電力は、負荷88に供給されることなくキャパシタ20に蓄積され続け、これにより、供

10

20

30

40

50

給電圧 V_i は、次第に高くなる。

【0028】

蓄電回路10は、供給電圧 V_i が開始電圧 V_H まで上昇すると、負荷88を電源82及びキャパシタ20に接続する。この結果、キャパシタ20に蓄積された電力は、負荷88に供給され、これにより、供給電圧 V_i は、次第に低くなる。蓄電回路10は、供給電圧 V_i が、負荷88が動作可能な最低電圧程度の停止電圧 V_L まで下降すると、負荷88を電源82及びキャパシタ20から遮断する。この結果、電源82から供給される電力は、供給電圧 V_i が再び開始電圧 V_H に達するまで、キャパシタ20に蓄積され続ける。即ち、蓄電回路10は、供給電圧 V_i が最初に開始電圧 V_H に達した後、定常状態となり、負荷88への電力供給実行期間と電力供給中断期間とからなるサイクルを繰り返す。

10

【0029】

本実施の形態におけるキャパシタ20は、1つのコンデンサから構成されている。但し、本発明は、これに限られない。例えば、キャパシタ20は、2以上のコンデンサから構成されていてもよいし、コンデンサ以外の電子部品を含んでいてもよい。キャパシタ20が2以上のコンデンサを含んでいる場合、コンデンサ間の接続方法は特に限定されない。また、キャパシタ20は、電解コンデンサ、セラミックコンデンサ、電気二重層コンデンサ等の様々なコンデンサから構成可能である。

【0030】

電圧検知回路30は、接続点124において電源ライン12に接続されている。詳しくは、電圧検知回路30は、検知入力端32と、参照出力端36と、検知出力端38とを有している。検知入力端32は、接続点124において電源ライン12に接続されており、これにより、検知入力端32に供給電圧 V_i が印加される。参照出力端36は、印加された供給電圧 V_i に応じて参照電圧 V_r を出力する。検知出力端38は、印加された供給電圧 V_i に応じて検知電圧 V_d を出力する。

20

【0031】

図2を参照すると、より具体的には、本実施の形態の電圧検知回路30は、3つの抵抗 R_7 、 R_8 、 R_9 と、1つの定電圧素子（ツェナーダイオード） Z_1 とを備えている。抵抗 R_7 とツェナーダイオード Z_1 とは、互いに直列に接続されており、抵抗 R_8 と抵抗 R_9 とは、互いに直列に接続されている。

【0032】

抵抗 R_7 の一端は、接続点124に接続されており、検知入力端32として機能する。抵抗 R_7 の他端は、ツェナーダイオード Z_1 のカソードに接続されており、ツェナーダイオード Z_1 のカソードは、参照出力端36として機能する。ツェナーダイオード Z_1 のアノードは、グランドされている。上述の接続により、参照出力端36は、検知入力端32に印加された供給電圧 V_i がツェナー電圧（所定電圧） V_Z よりも低い場合、供給電圧 V_i を出力し、供給電圧 V_i が所定電圧 V_Z 以上の場合、所定電圧 V_Z を出力する。換言すれば、参照電圧 V_r は、供給電圧 V_i が所定電圧 V_Z よりも低い場合、供給電圧 V_i であり、供給電圧 V_i が所定電圧 V_Z 以上の場合、所定電圧 V_Z である。

30

【0033】

抵抗 R_8 の一端は、接続点124に接続されており、検知入力端32として機能する。抵抗 R_8 の他端は、抵抗 R_9 の一端に接続されており、抵抗 R_9 の一端は、検知出力端38として機能する。抵抗 R_9 の他端は、グランドされている。上述の接続により、検知出力端38は、供給電圧 V_i に応じた検知電圧 V_d を出力する。検知電圧 V_d は、供給電圧 V_i に応じて変化し、且つ、供給電圧 V_i よりも低い。特に、本実施の形態の検知電圧 V_d は、蓄電回路10が初期状態にあるとき、検知電圧 $V_d = 供給電圧 V_i \times R_9 \times \{1 / R_8 + 1 / (R_4 + R_5 + R_6)\} / [1 + R_9 \times \{1 / R_8 + 1 / (R_4 + R_5 + R_6)\}]$ の分圧式によって表される。この分圧式において、 R_N (N は4、5、6、8又は9) は、抵抗 R_N の抵抗値を示している。以降の説明においても、式中の R_N (N は整数) は、抵抗 R_N の抵抗値を示している。

40

【0034】

50

本実施の形態の検知電圧 V_d は、蓄電回路 10 が初期状態から定常状態に遷移する時点や、定常状態にある蓄電回路 10 が電力供給実行期間と電力供給中断期間との間を遷移する時点を除き、供給電圧 V_i に比例して変化する。本実施の形態の定電圧素子 Z_1 は、ツェナーダイオードであり、所定電圧 V_Z は、ツェナー電圧である。即ち、参照電圧 V_r は、供給電圧 V_i とツェナー電圧との間の大小関係に応じて変化する。

【0035】

但し、本発明は、これに限られない。例えば、検知電圧 V_d は、供給電圧 V_i に応じて変化する限り、常に同じ比例定数によって供給電圧 V_i に比例して変化する必要はない。従って、検知電圧 V_d は、供給電圧 V_i の分圧以外の方法で得てもよい。また、定電圧素子 Z_1 は、ツェナーダイオードでなくてもよい。例えば、定電圧素子 Z_1 は、順方向に直列に接続した複数のダイオードであってもよい。但し、いずれの場合にも、定電圧素子 Z_1 は、所定電圧 V_Z として十分に高い公称電圧を有する素子から形成する必要がある。より具体的には、所定電圧 V_Z は、公称値で $1.8V$ 以上であることが好ましい。

10

【0036】

纏めると、電圧検知回路 30 は、供給電圧 V_i と所定電圧 V_Z とによって規定される参照電圧 V_r 、及び、供給電圧 V_i によって規定される検知電圧 V_d が得られる限り、どのように構成されていてもよい。例えば、図 8 を図 2 と併せて参照すると、変形例による電圧検知回路 30 B は、ツェナーダイオード Z_1 に代えて、直列に接続された 4 つのダイオード D_1 、 D_2 、 D_3 、 D_4 を有している。電圧検知回路 30 B によっても、電圧検知回路 30 と同様な参照電圧 V_r 及び検知電圧 V_d が得られる。

20

【0037】

図 1 を参照すると、比較回路 40 は、接続点 126 において電源ライン 12 に接続されており、これにより、比較回路 40 に供給電圧 V_i が印加される。比較回路 40 は、ポジティブ入力端 42 と、ネガティブ入力端 44 と、出力端 48 とを有している。ポジティブ入力端 42 は、電圧検知回路 30 の参照出力端 36 に接続されており、参照電圧 V_r に応じた非反転電圧 V_p が印加される。ネガティブ入力端 44 は、電圧検知回路 30 の検知出力端 38 に接続されており、検知電圧 V_d に応じた反転電圧 V_n が印加される。

【0038】

図 2 から理解されるように、本実施の形態において、非反転電圧 V_p は、参照電圧 V_r と等しい。また、反転電圧 V_n は、蓄電回路 10 の状態に応じて、検知電圧 V_d と等しいか、又は、検知電圧 V_d に比例する。但し、本発明は、これに限られない。例えば、非反転電圧 V_p は、 $c \times$ 参照電圧 V_r (c は 1 以外の正の定数) であってもよい。

30

【0039】

図 1 を参照すると、比較回路 40 は、非反転電圧 V_p と反転電圧 V_n とを比較し、比較結果に基づいた付加的制御電圧 V_{ca} を出力端 48 から出力する。付加的制御電圧 V_{ca} は、非反転電圧 V_p が反転電圧 V_n よりも高い場合、供給電圧 V_i に応じた高電圧であり、非反転電圧 V_p が反転電圧 V_n よりも低い場合、グランド電圧に応じた低電圧である。

【0040】

図 2 を参照すると、より具体的には、本実施の形態の比較回路 40 は、コンパレータ 410 と、ヒステリシス回路 420 とを備えている。ヒステリシス回路 420 は、2 つの抵抗 R_5 、 R_6 を備えている。抵抗 R_5 、 R_6 は、互いに直列に接続されている。

40

【0041】

コンパレータ 410 は、3 つのスイッチング素子 (第 1 スwitchング素子 402、第 2 スwitchング素子 404 及び第 3 スwitchング素子 406) と、3 つの抵抗 R_1 、 R_2 、 R_3 とを備えている。第 1 スwitchング素子 402 及び第 2 スwitchング素子 404 の夫々は、P 型 MOSFET (metal-oxide-semiconductor field-effect transistor) であり、第 3 スwitchング素子 406 は、N 型 MOSFET からなる。スイッチング素子の夫々は、ゲートに印加される電圧に応じて、ソースとドレインとの間が導通した ON 状態と、ソースとドレインとの間が遮断された OFF 状態との間を遷移可能である。

【0042】

50

第1スイッチング素子402、第2スイッチング素子404、抵抗R1及び抵抗R2は、コンパレータ410の入力段を構成している。第1スイッチング素子402のゲートは、ヒステリシス回路420の抵抗R6を介して電圧検知回路30の検知出力端38に接続されており、ネガティブ入力端44として機能する。第1スイッチング素子402のソースは、抵抗R1を介して接続点126に接続されており、抵抗R1を介して供給電圧Viが印加される。第1スイッチング素子402のドレインは、グランドされている。第2スイッチング素子404のゲートは、電圧検知回路30の参照出力端36に接続されており、ポジティブ入力端42として機能する。第2スイッチング素子404のソースは、抵抗R1を介して接続点126に接続されており、抵抗R1を介して供給電圧Viが印加される。第2スイッチング素子404のドレインは、抵抗R2を介してグランドされている。

10

【0043】

第3スイッチング素子406及び抵抗R3は、コンパレータ410の出力段を構成している。第3スイッチング素子406において、ゲートは、第2スイッチング素子404のドレインと抵抗R2との間に接続されており、ソースは、グランドされている。第3スイッチング素子406のドレインは、抵抗R3を介して接続点126に接続されており、抵抗R1を介して供給電圧Viが印加される。このように接続された第3スイッチング素子406のドレインは、出力端48として機能する。

【0044】

比較回路40の出力端48は、蓄電回路10が初期状態にあるとき（即ち、最初に開始電圧VHに到達するまで）、供給電圧Viに応じた高電圧を付加的制御電圧Vcaとして出力する。比較回路40（出力端48）は、供給電圧Viが開始電圧VHに到達した後、下降しつつ停止電圧VLに到達するまで、グランド電圧に応じた低電圧を付加的制御電圧Vcaとして出力する。また、比較回路40（出力端48）は、供給電圧Viが停止電圧VLに到達した後、上昇しつつ開始電圧VHに再び到達するまで、供給電圧Viに応じた高電圧を付加的制御電圧Vcaとして出力する。即ち、比較回路40は、2つの閾値（開始電圧VH及び停止電圧VL）を有するヒステリシスコンパレータとして機能する。

20

【0045】

詳しくは、蓄電回路10が定常状態にあるとき、反転電圧Vnが非反転電圧Vpよりも低い場合、第1スイッチング素子402は、ON状態になり、第2スイッチング素子404は、OFF状態になる。この結果、第3スイッチング素子406のゲートにグランド電圧が印加され、第3スイッチング素子406は、OFF状態になる。即ち、第3スイッチング素子406のドレイン（出力端48）がグランドから遮断され、出力端48は、高電圧（供給電圧Vi）を出力する。

30

【0046】

一方、蓄電回路10が定常状態にあるとき、反転電圧Vnが非反転電圧Vpを超えると、第1スイッチング素子402は、OFF状態になり、第2スイッチング素子404は、ON状態になる。この結果、第3スイッチング素子406のゲートに、供給電圧Viを抵抗R2と抵抗R1とによって分圧した電圧が印加され、第3スイッチング素子406は、ON状態になる。即ち、第3スイッチング素子406のドレイン（出力端48）がグランドと導通し、出力端48は、低電圧（グランド電圧）を出力する。

40

【0047】

図2の回路構造から理解されるように、比較回路40から抵抗R3を除いた回路は、オープンドレインのヒステリシスコンパレータとして機能する。換言すれば、比較回路40は、オープンドレインのヒステリシスコンパレータの出力端48を、抵抗R3を介して電源ライン12に接続した回路であると考えることができる。この観点によれば、オープンドレインのヒステリシスコンパレータの出力端48は、反転電圧Vnが非反転電圧Vpよりも低い場合、高インピーダンス状態になり、反転電圧Vnが非反転電圧Vpよりも高い場合、低電圧（グランド電圧）を出力する。

【0048】

図1を参照すると、付加的回路50は、電源端52と、グランド端54と、付加的制御

50

端 5 6 と、付加的出力端 5 8 とを有している。電源端 5 2 は、接続点 1 2 8 において電源ライン 1 2 に接続されており、これにより、電源端 5 2 に供給電圧 V_i に応じた電圧が印加される。グランド端 5 4 は、グランドされている。付加的制御端 5 6 は、比較回路 4 0 の出力端 4 8 に接続されており、付加的制御電圧 V_{ca} に応じた付加的印加電圧 V_{xa} が印加される。付加的出力端 5 8 は、電源端 5 2 と接続点 1 2 8 との間に接続されている。付加的回路 5 0 は、付加的印加電圧 V_{xa} によって動作し、付加的出力端 5 8 から制御電圧 V_c を出力する。

【 0 0 4 9 】

図 2 から理解されるように、本実施の形態において、付加的印加電圧 V_{xa} は、付加的制御電圧 V_{ca} と等しい。但し、本発明は、これに限られない。例えば、付加的印加電圧 V_{xa} は、付加的制御電圧 V_{ca} に応じて変化する限り、付加的制御電圧 V_{ca} と異なってもよい。例えば、付加的印加電圧 V_{xa} は、 $c \times$ 付加的制御電圧 V_{ca} (c は 1 以外の正の定数) であってもよい。

10

【 0 0 5 0 】

図 2 を参照すると、より具体的には、本実施の形態の付加的回路 5 0 は、付加的スイッチング素子 5 0 S と、抵抗 R_4 とを備えている。付加的スイッチング素子 5 0 S は、N 型 MOSFET からなり、ゲートに印加される電圧に応じて、ソースとドレインとの間が導通した ON 状態と、ソースとドレインとの間が遮断された OFF 状態との間を遷移可能である。付加的スイッチング素子 5 0 S のゲートは、比較回路 4 0 の出力端 4 8 に接続されており、付加的制御端 5 6 として機能する。付加的スイッチング素子 5 0 S のソースは、グランドされており、グランド端 5 4 として機能する。付加的スイッチング素子 5 0 S のドレインは、抵抗 R_4 を介して接続点 1 2 8 に接続されており、電源端 5 2 として機能する。

20

【 0 0 5 1 】

図 1 及び図 2 を参照すると、本実施の形態において、付加的回路 5 0 の電源端 5 2 は、電源ライン 1 2 に接続されると共に、電圧検知回路 3 0 の検知出力端 3 8 に接続されている。詳しくは、図 2 を参照すると、付加的スイッチング素子 5 0 S のドレインは、接続点 1 2 8 に接続されていると共に、ヒステリシス回路 4 2 0 の抵抗 R_5 及び抵抗 R_6 を介して、電圧検知回路 3 0 の検知出力端 3 8 に接続されている。この構成により、電源端 5 2 には、検知電圧 V_d に応じた電圧が印加される。但し、本発明は、これに限られず、電源端 5 2 は、必要に応じて検知出力端 3 8 に接続されていればよい。

30

【 0 0 5 2 】

付加的回路 5 0 は、付加的制御電圧 V_{ca} に応じて付加的制御端 5 6 に印加された付加的印加電圧 V_{xa} によって、電源端 5 2 とグランド端 5 4 との間を遮断する非グランド状態と、電源端 5 2 をグランド端 5 4 と導通させてグランドするグランド状態との間を遷移可能である。付加的回路 5 0 が非グランド状態にある場合、付加的出力端 5 8 は、供給電圧 V_i に応じた高電圧を出力する。一方、付加的回路 5 0 がグランド状態にある場合、付加的出力端 5 8 はグランドされ、グランド電圧 (低電圧) を出力する。即ち、制御電圧 V_c は、付加的回路 5 0 が非グランド状態にある場合、供給電圧 V_i に応じた高電圧であり、付加的回路 5 0 がグランド状態にある場合、グランド電圧に応じた低電圧である。

40

【 0 0 5 3 】

特に、本実施の形態によれば、付加的回路 5 0 が非グランド状態にある場合、付加的出力端 5 8 は、検知電圧 V_d に応じた高電圧 (供給電圧 V_i よりも低く且つ検知電圧 V_d よりも高い電圧) を出力する。即ち、本実施の形態における制御電圧 V_c は、付加的回路 5 0 が非グランド状態にある場合、検知電圧 V_d に応じた高電圧であり、付加的回路 5 0 がグランド状態にある場合、グランド電圧に応じた低電圧である。

【 0 0 5 4 】

以上のように構成された付加的回路 5 0 は、供給電圧 V_i がゼロから上昇して付加的印加電圧 V_{xa} が所定の電圧値 (付加的閾値 T_A) に達するまでは、非グランド状態を取る。本実施の形態において、付加的閾値 T_A は、MOSFET からなる付加的スイッチング

50

素子 50S においてソースとドレインとの間を導通させるためのゲートとソースとの間の電位差の閾値（以下、単に「ゲート閾値」という。）である。本実施の形態における定電圧素子 Z1 の所定電圧 V_Z は高い。より具体的には、所定電圧 V_Z は、付加的閾値 T_A に比べて十分に高い。換言すれば、付加的閾値 T_A は、所定電圧 V_Z よりも低い。

【0055】

付加的回路 50 は、供給電圧 V_i がゼロから上昇して付加的印加電圧 V_x が最初に付加的閾値 T_A に達した以降は、付加的印加電圧 V_x と付加的閾値 T_A との間の大小関係に応じて状態を遷移させる。より具体的には、付加的回路 50 は、付加的印加電圧 V_x が付加的閾値 T_A よりも高い場合、グランド状態を取り、付加的印加電圧 V_x が付加的閾値 T_A よりも低い場合、非グランド状態を取る。

10

【0056】

図 1 を参照すると、スイッチ回路 60 は、電源ライン 12 においてキャパシタ 20 と負荷 88 との間に接続されている。スイッチ回路 60 は、制御端 66 を有している。制御端 66 は、付加的回路 50 の付加的出力端 58 に接続されており、制御電圧 V_c に応じた印加電圧 V_x が印加される。図 2 から理解されるように、本実施の形態において、印加電圧 V_x は、制御電圧 V_c と等しい。但し、本発明は、これに限られず、印加電圧 V_x は、制御電圧 V_c に応じて変化する限り、制御電圧 V_c と異なってもよい。例えば、印加電圧 V_x は、 $c \times$ 制御電圧 V_c （ c は 1 以外の正の定数）であってもよい。

【0057】

図 1 を参照すると、スイッチ回路 60 は、制御電圧 V_c に応じて制御端 66 に印加された印加電圧 V_x によって、負荷 88 をキャパシタ 20 から遮断する遮断状態と、負荷 88 をキャパシタ 20 と導通させる導通状態との間を遷移可能である。スイッチ回路 60 が遮断状態にある場合、電源 82 が生成した電力は、負荷 88 に供給されることなくキャパシタ 20 に蓄積され続け、これにより、供給電圧 V_i は、次第に高くなる。一方、スイッチ回路 60 が導通状態にある場合、電源 82 が生成した電力は、キャパシタ 20 に蓄積された電力と共に負荷 88 に供給され、これにより、供給電圧 V_i は、次第に低くなる。

20

【0058】

図 2 を参照すると、より具体的には、本実施の形態のスイッチ回路 60 は、2 つのスイッチング素子（主スイッチング素子 60M 及び副スイッチング素子 60S）と、3 つの抵抗 R_{11} 、 R_{12} 、 R_{13} とを備えている。主スイッチング素子 60M は、P 型 MOSFET からなり、副スイッチング素子 60S は、N 型 MOSFET からなる。スイッチング素子の夫々は、ゲートに印加される電圧に応じて、ソースとドレインとの間が導通した ON 状態と、ソースとドレインとの間が遮断された OFF 状態との間を遷移可能である。

30

【0059】

主スイッチング素子 60M において、ソースは、電源ライン 12 の電源 82 側に接続されており、ドレインは、電源ライン 12 の負荷 88 側に接続されている。副スイッチング素子 60S のゲートは、抵抗 R_{11} を介して付加的回路 50 の付加的出力端 58 に接続されており、制御端 66 として機能する。特に、本実施の形態において、副スイッチング素子 60S のゲートは、付加的出力端 58、抵抗 R_5 及び抵抗 R_6 を介して、電圧検知回路 30 の検知出力端 38 に接続されている。即ち、付加的回路 50 の付加的スイッチング素子 50S のドレインは、電圧検知回路 30 の検知出力端 38 とスイッチ回路 60 の制御端 66 との間に接続されている。副スイッチング素子 60S において、ソースは、グランドされており、ドレインは、2 つの抵抗 R_{12} 、 R_{13} を介して主スイッチング素子 60M のソースに接続されている。主スイッチング素子 60M のゲートは、2 つの抵抗 R_{12} 、 R_{13} の間に接続されている。

40

【0060】

以上のように構成されたスイッチ回路 60 は、供給電圧 V_i がゼロから上昇して、印加電圧 V_x が所定の電圧値（所定閾値 T_P ）に達するまでは、遮断状態を取る。本実施の形態において、所定閾値 T_P は、MOSFET からなる副スイッチング素子 60S においてソースとドレインとの間を導通させるためのゲートとソースとの間の電位差の閾値（ゲ-

50

ト閾値)である。本実施の形態における定電圧素子 $Z1$ の所定電圧 V_Z は、所定閾値 T_P に比べて十分に高い。換言すれば、所定閾値 T_P は、所定電圧 V_Z よりも低い。

【0061】

スイッチ回路60は、供給電圧 V_i がゼロから上昇して印加電圧 V_x が最初に所定閾値 T_P に達した以降は、印加電圧 V_x と所定閾値 T_P との間の大小関係に応じて状態を遷移させる。より具体的には、スイッチ回路60は、印加電圧 V_x が所定閾値 T_P よりも高い場合、導通状態を取り、印加電圧 V_x が所定閾値 T_P よりも低い場合、遮断状態を取る。

【0062】

以下、以上のように構成された蓄電回路10の動作について詳細に説明する。蓄電回路10の動作は、所定閾値 T_P 及び付加的閾値 T_A に加え、比較回路40の第1スイッチング素子402、第2スイッチング素子404及び第3スイッチング素子406の夫々のゲート閾値によっても影響を受ける。但し、まず、比較回路40のゲート閾値については直接的に触れずに蓄電回路10の動作を説明し、その後、比較回路40のゲート閾値について説明する。

10

【0063】

図2及び図3を参照すると、蓄電回路10が動作開始した時点(図3の時間軸の値が0であるゼロ時間)において、キャパシタ20は空である。従って、供給電圧 V_i 、付加的制御電圧 V_{ca} (=付加的印加電圧 V_{xa})及び制御電圧 V_c (=印加電圧 V_x)の夫々は、0Vである。このとき、スイッチング素子(第1スイッチング素子402、第2スイッチング素子404、第3スイッチング素子406、付加的スイッチング素子50S、主スイッチング素子60M及び副スイッチング素子60S)の夫々は、OFF状態にある。付加的スイッチング素子50SがOFF状態にあるため、付加的回路50は、非グランド状態にある。主スイッチング素子60MがOFF状態にあるため、スイッチ回路60は遮断状態にある。また、蓄電回路10は、初期状態にある。

20

【0064】

蓄電回路10が動作開始すると、キャパシタ20が徐々に充電され、これにより、供給電圧 V_i が徐々に高くなる。蓄電回路10が動作開始して所定の T_0 時間になるまで、付加的スイッチング素子50S及び副スイッチング素子60Sの夫々は、OFF状態を維持する。この間、付加的回路50の付加的制御端56(即ち、付加的スイッチング素子50Sのゲート)には、付加的印加電圧 V_{xa} (=付加的制御電圧 V_{ca})として供給電圧 V_i が印加される。また、スイッチ回路60の制御端66(即ち、副スイッチング素子60Sのゲート)には、検知電圧 V_d に応じた印加電圧 V_x (=制御電圧 V_c)が印加される。詳しくは、印加電圧 V_x は、検知電圧 V_d よりも高く、供給電圧 V_i よりも低い。

30

【0065】

前述したように、検知電圧 V_d は、供給電圧 V_i よりも低い。即ち、制御電圧 V_c は、付加的制御電圧 V_{ca} よりも低い。従って、例えば、付加的スイッチング素子50S及び副スイッチング素子60Sとして互いに同じゲート閾値を有するMOSFETを使用することで、制御電圧 V_c が所定閾値 T_P に達するよりも前の T_0 時間において、付加的制御電圧 V_{ca} が付加的閾値 T_A に達する。

【0066】

付加的制御電圧 V_{ca} が T_0 時間において付加的閾値 T_A に達するまで、制御電圧 V_c は、副スイッチング素子60Sのゲート閾値よりも低いため、副スイッチング素子60Sは、OFF状態を維持する。このため、主スイッチング素子60Mのゲート及びソースには、供給電圧 V_i が印加され、主スイッチング素子60Mは、OFF状態を維持する。即ち、スイッチ回路60は遮断状態を維持し、キャパシタ20は、充電され続ける。

40

【0067】

付加的制御電圧 V_{ca} が T_0 時間において付加的閾値 T_A に達した後、供給電圧 V_i は、上昇し続ける。この結果、付加的制御電圧 V_{ca} は、付加的スイッチング素子50Sのゲート閾値を超えて上昇し続け、付加的スイッチング素子50Sは、 T_0 時間の直後にON状態になる。即ち、付加的回路50は、グランド状態になる。付加的回路50がグラン

50

ド状態になると、制御電圧 V_c は、グランド電圧 ($0V$) になり、副スイッチング素子 $60S$ は、OFF 状態を維持する。このため、主スイッチング素子 $60M$ のゲート及びソースには、供給電圧 V_i が印加され続け、主スイッチング素子 $60M$ は、OFF 状態を維持する。即ち、スイッチ回路 60 は遮断状態を維持し、キャパシタ 20 は、充電され続ける。

【0068】

ゼロ時間から T_0 時間までの間、供給電圧 V_i を有する接続点 128 から、抵抗 R_4 、抵抗 R_5 及び抵抗 R_6 を経由して、検知電圧 V_d を有する検知出力端 38 に至る電流経路が形成されているため、反転電圧 V_n は、検知電圧 V_d よりも高く、供給電圧 V_i よりも低い。この間、非反転電圧 V_p は、供給電圧 V_i と等しいため、反転電圧 V_n は、非反転電圧 V_p よりも低い。一方、 T_0 時間の直後に、検知出力端 38 から、抵抗 R_6 、抵抗 R_5 、付加的スイッチング素子 $50S$ のドレイン及びソースを經由してグランドに至る電流経路が形成される。このため、 T_0 時間以降、反転電圧 V_n は、検知電圧 V_d を抵抗 R_5 と抵抗 R_6 とによって分圧した電圧になり、検知電圧 V_d よりも低くなる。詳しくは、 T_0 時間以降の反転電圧 V_n は、検知電圧 $V_d \times R_5 / (R_5 + R_6)$ の分圧式によって表される。

10

【0069】

供給電圧 V_i は、 T_0 時間以降も上昇し続ける。前述したように、本実施の形態による所定電圧 V_Z は、付加的閾値 T_A よりも高い。従って、供給電圧 V_i は、 T_0 時間より後の T_1 時間に所定電圧 V_Z に達し、このとき、参照電圧 V_r (非反転電圧 V_p) は、所定電圧 V_Z になる。

20

【0070】

供給電圧 V_i は、 T_1 時間以降も上昇し続け、これにより検知電圧 V_d 及び反転電圧 V_n は、上昇し続ける。一方、非反転電圧 V_p は、所定電圧 V_Z に維持される。この結果、反転電圧 V_n は、所定の T_2 時間において、非反転電圧 V_p と等しくなり、その後、非反転電圧 V_p を超える。 T_2 時間において、供給電圧 V_i は、開始電圧 V_H に達する。上述したように、特に、 T_0 時間から T_2 時間の間、供給電圧 V_i の上昇に対する反転電圧 V_n の上昇速度は遅い。このため、 T_0 時間から T_2 時間の間、キャパシタ 20 に大きな電力が蓄積される。

30

【0071】

ゼロ時間から T_2 時間までの間、非反転電圧 V_p は、反転電圧 V_n よりも高い。この間のいずれかの時点において、比較回路 40 の第1スイッチング素子 402 は、ON 状態になる。一方、比較回路 40 の第2スイッチング素子 404 は、ゼロ時間から T_2 時間までの間、OFF 状態を維持する。第2スイッチング素子 404 がOFF 状態であるため、比較回路 40 の第3スイッチング素子 406 のゲートにはグランド電圧 ($0V$) が印加され、第3スイッチング素子 406 は、OFF 状態を維持する。

【0072】

T_2 時間以降、非反転電圧 V_p は、反転電圧 V_n よりも低くなる。この結果、比較回路 40 において、第1スイッチング素子 402 は、OFF 状態になり、第2スイッチング素子 404 は、ON 状態になる。第2スイッチング素子 404 がON 状態になると、第3スイッチング素子 406 のゲートに、供給電圧 V_i を抵抗 R_2 と抵抗 R_1 とによって分圧した電圧が印加され、第3スイッチング素子 406 は、ON 状態になる。

40

【0073】

第3スイッチング素子 406 がON 状態になると、付加的制御電圧 V_{ca} がグランド電圧 ($0V$) になり、付加的スイッチング素子 $50S$ は、OFF 状態になる。即ち、付加的回路 50 は、非グランド状態になる。付加的回路 50 が非グランド状態になると、制御電圧 V_c が検知電圧 V_d よりも大きくなり、副スイッチング素子 $60S$ は、ON 状態になる。副スイッチング素子 $60S$ がON 状態になると、主スイッチング素子 $60M$ において、供給電圧 V_i を抵抗 R_{12} と抵抗 R_{13} とによって分圧した電圧がゲートに印加される。一方、ソースには供給電圧 V_i が印加され続けている。この結果、主スイッチング素子 $60M$

50

0 Mは、ON状態になり、スイッチ回路60は導通状態になる。導通状態において、電源82が生成した電力は、キャパシタ20に蓄積された電力と共に負荷88に供給される。

【0074】

導通状態において、供給電圧 V_i は、次第に低くなる。また、導通状態において、供給電圧 V_i を有する接続点128から、抵抗 R_4 、抵抗 R_5 及び抵抗 R_6 を経由して、検知電圧 V_d を有する検知出力端38に至る電流経路が再び形成される。このため、反転電圧 V_n は、再び検知電圧 V_d よりも大きくなる。詳しくは、導通状態における反転電圧 V_n は、検知電圧 $V_d + (供給電圧V_i - 検知電圧V_d) \times R_6 / (R_4 + R_5 + R_6)$ との式によって表される。導通状態において、供給電圧 V_i が下降するにつれて、反転電圧 V_n も下降する。反転電圧 V_n は、上述のようにT2時間において高くなるため、しばらくの間、非反転電圧 V_p よりも高い。

10

【0075】

反転電圧 V_n は、供給電圧 V_i の下降に伴って下降し続け、やがて非反転電圧 V_p よりも低くなる。このとき、第1スイッチング素子402は、ON状態になり、第2スイッチング素子404は、OFF状態になる(図3に図示せず)。この結果、付加的回路50は、再びグランド状態になり、スイッチ回路60は、再び遮断状態になる。また、このとき、供給電圧 V_i は、停止電圧 V_L に達する。

【0076】

以上の説明から理解されるように、供給電圧 V_i が最初に開始電圧 V_H に達した後、蓄電回路10は、定常状態になり、負荷88への電力供給実行期間と電力供給中断期間とからなるサイクルを繰り返す。定常状態において、供給電圧 V_i は、開始電圧 V_H と停止電圧 V_L との間を上下する。

20

【0077】

本実施の形態において、開始電圧 V_H 及び停止電圧 V_L に対するスイッチング素子(第1スイッチング素子402、第2スイッチング素子404、第3スイッチング素子406及び付加的スイッチング素子50S)の特性による影響は小さい。スイッチング素子の特性の影響を考慮せずに計算すると、開始電圧 V_H は、所定電圧 $V_Z \times \{R_8 + (R_8 / R_9 + 1) \times (R_5 + R_6)\} / R_5$ であり、停止電圧 V_L は、所定電圧 $V_Z \times \{(R_4 + R_5 + R_6) \times (R_8 + R_9) + R_8 \times R_9\} / \{(R_4 + R_5 + R_6) \times R_9 + (R_6 + R_9) \times R_8\}$ である。蓄電回路10における上述の抵抗値を調整することで、開始電圧 V_H 及び停止電圧 V_L を、負荷88を動作させるために必要な値に設定できる。但し、実際の停止電圧 V_L は、スイッチング素子のゲート閾値(特に、付加的閾値 T_A)よりも低くない。

30

【0078】

以上の説明において、スイッチング素子(第1スイッチング素子402、第2スイッチング素子404及び第3スイッチング素子406)の夫々のゲート閾値については直接的に触れなかったが、スイッチング素子の夫々は、所定閾値 T_P 及び付加的閾値 T_A と同様に、所定電圧 V_Z に比べて十分に低いゲート閾値を有している。より具体的には、スイッチング素子の夫々のゲート閾値は、開始電圧 V_H 及び停止電圧 V_L よりも低い。以下に説明するように、本実施の形態によれば、第3スイッチング素子406のドレインが電源ライン12に接続されているため、スイッチング素子が上述のようなゲート閾値を有していても、蓄電回路10は適切に動作する。

40

【0079】

キャパシタ20が空の状態では電源82が電力を生成し始めたとき、第1スイッチング素子402のゲートには、検知電圧 V_d よりも高く且つ供給電圧 V_i よりも低い電圧が印加され、第2スイッチング素子404のゲートには、第1スイッチング素子402のゲート電圧よりも高い参照電圧 $V_r (= 供給電圧V_i)$ が印加される。このため、供給電圧 V_i に対する検知電圧 V_d の比例定数を適切に設定することで、第2スイッチング素子404がON状態になる前、且つ、供給電圧 V_i が所定電圧 V_Z に達する前に、第1スイッチング素子402のソースとゲートとの間の電圧差がゲート閾値に達し、第1スイッチング素

50

子402がON状態になる。この結果、第2スイッチング素子404がON状態になるまで、第3スイッチング素子406において、ゲートの電圧は、ソースの電圧と同じグラウンド電圧になり、第3スイッチング素子406は、OFF状態を維持する。

【0080】

本実施の形態によれば、第3スイッチング素子406のゲート閾値は、開始電圧 V_H よりも低い。このため、第3スイッチング素子406は、第2スイッチング素子404がON状態になるまで、OFF状態を維持する一方、第2スイッチング素子404がON状態になると、ON状態になる。第3スイッチング素子406のドレインは、抵抗 R_3 を経由して電源ライン12に接続されている。従って、第3スイッチング素子406が最初にON状態になるまで（即ち、供給電圧 V_i が最初に開始電圧 V_H に達するまで）、付加的制御電圧 V_{ca} は、供給電圧 V_i に維持され、付加的スイッチング素子50Sは、最初にON状態になった後、ON状態を維持する。

10

【0081】

本実施の形態による蓄電回路10は、以上に説明したように動作する。また、本実施の形態による蓄電回路10によれば、制御電圧 V_c は、反転電圧 V_n が最初に非反転電圧 V_p と等しくなった直後に、スイッチ回路60の所定閾値 T_P を既に超えている。但し、本発明は、これに限られない。

【0082】

図2及び図4を参照すると、制御電圧 V_c は、反転電圧 V_n が最初に非反転電圧 V_p と等しくなった後に、スイッチ回路60の所定閾値 T_P を超えてもよい。この場合、制御電圧 V_c が最初に所定閾値 T_P まで上昇したときの供給電圧 V_i の値が開始電圧 V_H になる。変形例（図4参照）によれば、本実施の形態（図3参照）と同様に、スイッチ回路60が最初の導通状態になった後、蓄電回路10は、定常状態になり、負荷88への電力供給実行期間と電力供給中断期間とからなるサイクルを繰り返す。定常状態において、供給電圧 V_i は、開始電圧 V_H と停止電圧 V_L との間を上下する。

20

【0083】

図1を参照すると、本実施の形態による蓄電回路10は、比較回路40とスイッチ回路60との間に接続された付加的回路50を備えているため、スイッチ回路60の制御端66に対して、付加的印加電圧 V_{xa} よりも低い電圧値の印加電圧 V_x を確実に印加できる。

30

【0084】

一方、図5及び図6を参照すると、蓄電回路10Xは、従来の蓄電回路（図11参照）であり、付加的回路50（図2参照）を備えていない。また、蓄電回路10Xは、蓄電回路10の比較回路40（図2参照）と少し異なる比較回路40Xを備えている。蓄電回路10Xは、仮に、反転電圧 V_n が非反転電圧 V_p を超えるまで供給電圧 V_i が上昇する場合（図6の破線参照）には、蓄電回路10（図1から図3まで参照）と同様に動作する。しかしながら、蓄電回路10Xの制御電圧 V_c （=付加的制御電圧 V_{ca} ）は、抵抗 $R_1 \sim R_6$ 、 R_8 、 R_9 の抵抗値等の様々な要因により、反転電圧 V_n が非反転電圧 V_p に達するよりも前に、所定閾値 T_P に達する場合がある。この場合、キャパシタ20が十分に充電されていないため、負荷88を動作させるには不十分な出力電圧 V_o のまま負荷88への電力供給が始まる。即ち、電源82が生成した電力は、キャパシタ20を充電して蓄電回路10Xを適切に動作させることなく、負荷88によって無駄に消費され続ける。

40

【0085】

図1から図3までを参照すると、本実施の形態によれば、キャパシタ20が空の状態である電源82が電力を生成し始めた場合、供給電圧 V_i は、ゼロから上昇し、比較回路40によって付加的制御端56に印加される付加的印加電圧 V_{xa} は、所定時間経過後に付加的閾値 T_A に達する。一方、制御端66に印加される印加電圧 V_x は、比較回路40ではなく付加的回路50によって印加されるため、この所定時間が経過するまで、所定閾値よりも低い電圧値に維持できる。従って、付加的印加電圧 V_{xa} が付加的閾値 T_A を超えて付加的回路50が最初のグラウンド状態に遷移するまで、スイッチ回路60を遮断状態に維持

50

できる。本実施の形態によれば、開始電圧 V_H 及び停止電圧 V_L を負荷88の動作電圧に合わせて設定することで、キャパシタ20が空の状態電源82が電力を生成し始めた場合でも、十分な出力電圧 V_o で負荷88に電力を供給可能である。

【0086】

図2を参照すると、本実施の形態によれば、制御電圧 V_c は、供給電圧 V_i よりも低い検知電圧 V_d に応じて変化する。即ち、本実施の形態によれば、制御電圧 V_c を付加的制御電圧 V_{ca} よりも低い電圧値にでき、これにより、所定時間が経過するまで、印加電圧 V_x を所定閾値 T_P よりも低い電圧値に維持できる。

【0087】

本実施の形態によれば、比較回路40、付加的回路50及びスイッチ回路60を、半導体製造プロセスを使用することなく、単機能素子の組み合わせによって形成できる。従って、蓄電回路10を、IC (integrated circuit)を使用することなく、安価かつ容易に構築できる。更に、蓄電回路10を、ICの動作条件による制約なく、任意の電圧及び電流によって動作させることができる。

【0088】

図2及び図3を参照すると、本実施の形態による蓄電回路10の各回路は、以上に説明した構造及び機能を有している。但し、本発明は、これに限られず、蓄電回路10の各回路は、様々に変形可能である。以下、蓄電回路10の各回路の好ましい構造や変形例について説明する。

【0089】

図2～図4までを参照すると、図示した抵抗 R_N (N は整数)は、1つの抵抗器に限られず、複数の抵抗器の組み合わせであってもよい。

【0090】

本実施の形態によれば、電圧検知回路30の抵抗 R_8 の抵抗値と抵抗 R_9 の抵抗値とを調整することで、検知電圧 V_d を供給電圧 V_i に比べて十分に低くできる。このため、所定閾値 T_P は、付加的閾値 T_A 以下であってもよい。但し、図3の T_2 時間になるまで、印加電圧 V_x を、より確実に所定閾値 T_P よりも低くするためには、所定閾値 T_P は、付加的閾値 T_A 以上であることが好ましい。

【0091】

供給電圧 V_i は、負荷88への電力供給が始まると、速やかに低下する。従って、負荷88がセンサ、マイクロコンピュータ、無線デバイス、小型モーター等の半導体素子を含む電子機器である場合、蓄電回路10と負荷88との間にDC-DCコンバータを接続することが好ましい。また、キャパシタ20に蓄積された電力は、供給電圧 V_i の2乗に比例する。このため、開始電圧 V_H は、負荷88が許容できる電圧の範囲内において、できるだけ高いことが好ましい。開始電圧 V_H は、例えば、電源82の電力生成能力と負荷88が動作開始するまでに必要な時間とを考慮して設定すればよい。

【0092】

負荷88が動作状態と待機状態とを繰り返す場合、蓄電回路10における抵抗値等を、蓄電回路10の初期状態においてキャパシタ20に蓄積される電力が、蓄電回路10の導通状態において負荷88が消費する電力よりも大きくなるように設定することが好ましい。このように設定した場合、供給電圧 V_i は、停止電圧 V_L まで下降せず、負荷88に対して、停止電圧 V_L 以上の電圧を供給し続けることができる。

【0093】

キャパシタ20の容量を小さくして、蓄電装置(図示せず)のサイズを小さくするという観点から、開始電圧 V_H と停止電圧 V_L の差は、できるだけ大きくすることが好ましい。詳しくは、キャパシタ20から取り出すことができる電力は、開始電圧 V_H の2乗と停止電圧 V_L の2乗の差に比例する。従って、停止電圧 V_L は、0Vに近いほど好ましい。

【0094】

本実施の形態において、スイッチング素子の夫々は、優れた省電力性能を有するMOS型のFET (field-effect transistor)である。但し、本発明は、これに限られず、ス

10

20

30

40

50

スイッチング素子の夫々は、電界効果型トランジスタ（FET）であってもよいし、バイポーラ型トランジスタであってもよい。

【0095】

スイッチング素子としてMOS型のFETを含むFETを使用する場合、ON状態とOFF状態とを切り替えるために必要なゲートとソースとの間の最小電圧（ゲート閾値）は、公称値で1.0V以下であることが好ましい。スイッチング素子としてバイポーラ型トランジスタを用いる場合、第1スイッチング素子402、第2スイッチング素子404及び主スイッチング素子60Mの夫々は、PNP型を使用し、第3スイッチング素子406、付加的スイッチング素子50S及び副スイッチング素子60Sの夫々は、NPN型を使用すればよい。

10

【0096】

いずれのスイッチング素子を使用する場合であっても、コンパレータ410の入力段を構成する第1スイッチング素子402及び第2スイッチング素子404は、互いに同じ特性を有することが好ましい。より具体的には、MOS型のFETを使用する場合、ゲート閾値、ゲートとソースとの間を流れる電流、及び、OFF状態にあるときにソースとドレインとの間を流れる電流の夫々が同じであることが好ましい。更に、第1スイッチング素子402及び第2スイッチング素子404のゲート閾値は、供給電圧 V_i が低い段階において第1スイッチング素子402及び第2スイッチング素子404がON状態に遷移できる程度のできるだけ低い値であることが好ましい。また、付加的スイッチング素子50S及び副スイッチング素子60Sは、互いに同じ特性を有することが好ましい。

20

【0097】

蓄電回路10の消費電流を低くし、蓄電回路10を、小さな電流を生成する電源82に対応可能にするという観点から、電圧検知回路30、比較回路40及び付加的回路50の合成抵抗 R （電源82とグランドとの間の合成抵抗の値）は、高いほど好ましい。本実施の形態において、合成抵抗 R に対するスイッチング素子（第1スイッチング素子402、第2スイッチング素子404、第3スイッチング素子406及び付加的スイッチング素子50S）の特性による影響は小さい。

【0098】

スイッチング素子の特性の影響を考慮せずに計算すると、供給電圧 V_i が開始電圧 V_H から停止電圧 V_L まで下降するまでの間は、合成抵抗 $R = 1 / [1 / (R_1 + R_2) + 1 / R_3 + 1 / R_7 + (R_4 + R_5 + R_6 + R_8) / \{(R_8 + R_9) \times (R_4 + R_5 + R_6) + R_8 \times R_9\}]$ であり、供給電圧 V_i が停止電圧 V_L から開始電圧 V_H まで上昇するまでの間は、合成抵抗 $R = 1 / [1 / R_1 + 1 / R_4 + 1 / R_7 + (R_5 + R_6 + R_9) / \{(R_5 + R_6 + R_9) \times R_8 + (R_5 + R_6) \times R_9\}]$ である。蓄電回路10における上述の抵抗値を調整することで、合成抵抗 R を必要な値に設定できる。

30

【0099】

蓄電回路10を安定的に動作させるという観点から、付加的スイッチング素子50Sのゲートを、抵抗（図示せず）を介して、抵抗 R_3 と第3スイッチング素子406のドレインとの間に接続しても良い。同様に、第3スイッチング素子406のゲートを、抵抗（図示せず）を介して、抵抗 R_2 と第2スイッチング素子404のドレインとの間に接続しても良い。

40

【0100】

前述したように、本実施の形態によれば、付加的制御端56に印加される付加的印加電圧 V_{xa} は、供給電圧 V_i に応じて変化し、制御端66に印加される印加電圧 V_x は、供給電圧 V_i よりも低い検知電圧 V_d に応じて変化する。印加電圧 V_x を付加的印加電圧 V_{xa} よりも低くすることで、副スイッチング素子60Sが最初にON状態に遷移するタイミング（初回遷移タイミング）を、付加的スイッチング素子50Sが最初にON状態に遷移した後に遅延させることができる。但し、上述の初回遷移タイミングを遅延させる方法は、以下に説明するように、本実施の形態に限られない。

【0101】

50

図7を図2と併せて参照すると、変形例による蓄電回路10Aは、蓄電回路10と同じ電源ライン12と、キャパシタ20と、電圧検知回路30と、付加的回路50と、スイッチ回路60とを備えている。また、蓄電回路10Aは、蓄電回路10の比較回路40と少し異なる比較回路40Aを備えており、且つ、蓄電回路10が備えていない遅延回路430Aを備えている。電源ライン12、キャパシタ20、電圧検知回路30、付加的回路50及びスイッチ回路60の夫々は、蓄電回路10と同様に動作する。比較回路40Aは、蓄電回路10の比較回路40からヒステリシス回路420を除いた回路であり、蓄電回路10のコンパレータ410と同様に動作する。以下、主として遅延回路430Aの構造及び機能について説明する。

【0102】

図7を参照すると、遅延回路430Aは、抵抗R10と、キャパシタC1とを備えている。抵抗R10の一端は、抵抗R4と付加的スイッチング素子50Sのドレインとの間に接続されており、抵抗R10の他端は、抵抗R11を介して、副スイッチング素子60Sのゲートに接続されている。副スイッチング素子60Sのゲートは、蓄電回路10(図2参照)と異なり、電圧検知回路30の検知出力端38に接続されていない。キャパシタC1の一端は、抵抗R10と抵抗R11との間に接続されており、キャパシタC1の他端は、グランドされている。

【0103】

図7を図3と併せて参照すると、蓄電回路10Aが動作開始して、供給電圧 V_i がゼロから上昇すると、付加的制御電圧 V_{ca} は、蓄電回路10(図2参照)と同様に供給電圧 V_i に応じて上昇し、 T_0 時間において付加的閾値 T_A に達する。その後、付加的制御電圧 V_{ca} は更に上昇する。ゼロ時間から T_0 時間までの間、制御電圧 V_c も、供給電圧 V_i に応じて上昇する。但し、本変形例によれば、付加的回路50とスイッチ回路60との間に、遅延回路430AのキャパシタC1が設けられているため、副スイッチング素子60Sのゲートに印加される印加電圧 V_x は、制御電圧 V_c の上昇よりも遅れて上昇する。即ち、印加電圧 V_x は、制御電圧 V_c よりも低い。

【0104】

本変形例によれば、印加電圧 V_x が制御電圧 V_c よりも低いため、供給電圧 V_i がゼロから上昇して付加的印加電圧 V_{xa} が付加的閾値 T_A に達するまで、印加電圧 V_x は、所定閾値 T_P よりも低い。従って、付加的印加電圧 V_{xa} が付加的閾値 T_A を超えて付加的回路50が最初のグランド状態に遷移するまで、スイッチ回路60を遮断状態に維持できる。即ち、本変形例によれば、制御電圧 V_c を、検知電圧 V_d に応じて変化させることなく、キャパシタ20が空の状態でも電源82が電力を生成し始めた場合でも十分な出力電圧 V_o で負荷88に電力を供給可能である。

【0105】

本変形例によれば、ヒステリシス回路420(図2参照)に代えて遅延回路430Aが設けられているため、スイッチ回路60が最初の導通状態になった後、蓄電回路10Aは、定常状態になり、負荷88への電力供給実行期間と電力供給中断期間とからなるサイクルを繰り返す。蓄電回路10Aの定常状態において、供給電圧 V_i は、開始電圧 V_H と停止電圧 V_L との間を上下する。

【実施例】

【0106】

以下、蓄電回路10(図2参照)の動作について、実施例を使用して、より具体的に説明する。

【0107】

(実施例1)

シミュレータにおいて、実施例1の回路として図2の蓄電回路10を構築して動作を検証した。実施例1の回路における各要素の容量値、抵抗値等は表1の通りだった。

【0108】

10

20

30

40

【表 1】

#	要素の名称	符号	容量値、抵抗値等	
1	キャパシタ(20)	20	10mF	
2	電圧検知回路(30)	定電圧素子(ツェナーダイオード)	Z1	<1. 8V
3		第7抵抗	R7	100kΩ
4		第8抵抗	R8	100kΩ
5		第9抵抗	R9	100kΩ
6	比較回路(40)	第1スイッチング素子 (PチャネルのMOSFET)	402	VGS(th) < 1. 0V
7		第2スイッチング素子 (PチャネルのMOSFET)	404	VGS(th) < 1. 0V
8		第3スイッチング素子 (NチャネルのMOSFET)	406	VGS(th) < 0. 8V
9		第1抵抗	R1	100kΩ
10		第2抵抗	R2	100kΩ
11		第3抵抗	R3	100kΩ
12		第5抵抗	R5	100kΩ
13		第6抵抗	R6	100kΩ
14	付加的回路(50)	付加的スイッチング素子 (NチャネルのMOSFET)	50S	VGS(th) < 0. 8V
15		第4抵抗	R4	100kΩ
16	スイッチ回路(60)	主スイッチング素子 (PチャネルのMOSFET)	60M	VGS(th) < 1. 0V
17		副スイッチング素子 (NチャネルのMOSFET)	60S	VGS(th) < 0. 8V
18		第11抵抗	R11	10kΩ
19		第12抵抗	R12	1kΩ
20		第13抵抗	R13	10kΩ

【0109】

表 1 に記載した抵抗値に基づき、実施例 1 の回路の開始電圧 V_H 、停止電圧 V_L 、及び合成抵抗 R を計算した。この計算において、スイッチング素子(第 1 スwitchング素子 402、第 2 スwitchング素子 404、第 3 スwitchング素子 406、付加的スイッチング素子 50S、主スイッチング素子 60M 及び副スイッチング素子 60S) による影響は考慮しなかった。計算の結果、開始電圧 V_H は、4. 5V であり、停止電圧 V_L は、1. 3V だった。スイッチング素子の夫々のゲート閾値 $V_{GS(th)}$ は、計算による停止電圧 V_L よりも低かった。また、合成抵抗 R は、供給電圧 V_i が開始電圧 V_H から停止電圧 V_L まで下降するまでの間は、33kΩ であり、供給電圧 V_i が停止電圧 V_L から開始電圧 V_H まで上昇するまでの間は、33kΩ だった。

【0110】

実施例 1 の回路を電源 82 及び負荷 88 の間に接続して、実施例 1 の回路の動作を検証した。動作検証において、電源 82 として、直列に接続した 8 つの光電池を使用し、負荷 88 として、10Ω の抵抗器を使用した。光電池の夫々において、受光面積は 57. 8cm²

m^2 であり、直射日光による開放電圧 V_{oc} は $1V$ であり、直射日光による短絡電流 I_{sc} は $500mA$ だった。光電池の垂直上方から太陽光相当のスペクトルを持つ光を $10mW/cm^2$ の強度で与え、これにより、電源 82 から約 $50mA$ の電流を実施例 1 の回路に供給した。ツェナーダイオード Z1 のツェナー電圧 V_Z (公称値: $1.8V$) は、電源 82 から供給される電流値によって異なり、上述の条件では、 $0.9V$ だった。以上の条件において、キャパシタ 20 が空の状態 (即ち、キャパシタ 20 の電圧が $0V$ の状態) を開始点 (0 秒時点) として、供給電圧 V_i 、参照電圧 V_r (非反転電圧 V_p)、検知電圧 V_d 、反転電圧 V_n 、制御電圧 V_c 、及び、出力電圧 V_o の夫々の変動を、シミュレータにより測定した。

【0111】

図 9 に測定結果を示す。以下、図 2 及び図 9 を参照しつつ、実施例 1 の回路の動作を説明する。以下の説明において、第 1 スイッチング素子 402、第 2 スイッチング素子 404 及び第 3 スイッチング素子 406 のゲート閾値 $V_{GS}(th)$ は、極めて 0 に近いものとする。

【0112】

開始点において、スイッチング素子の夫々は、初期状態 (OFF 状態) にある。このため、スイッチ回路 60 は遮断状態にある。開始点において空のキャパシタ 20 への充電が始まる。キャパシタ 20 の充電に伴い、供給電圧 V_i が徐々に上昇する。

【0113】

開始点から T_0 までの間、供給電圧 V_i の上昇に伴い、検知電圧 V_d 及び反転電圧 V_n が徐々に上昇する。この間、供給電圧 V_i は、ツェナー電圧 V_Z よりも低いため、ツェナーダイオード Z1 は、OFF 状態にあり、供給電圧 V_i の上昇に伴い、参照電圧 V_r (非反転電圧 V_p) が徐々に上昇する。この間、参照電圧 V_r は供給電圧 V_i と等しく、反転電圧 V_n は供給電圧 V_i よりも低い。即ち、非反転電圧 V_p は、反転電圧 V_n よりも高いため、第 1 スイッチング素子 402 は、ON 状態になり、第 2 スイッチング素子 404 は、OFF 状態を維持する。この結果、第 3 スイッチング素子 406 のゲートの電圧がグランド電圧 ($0V$) となり、第 3 スイッチング素子 406 は、OFF 状態を維持し、付加的スイッチング素子 50S のゲートに、供給電圧 V_i と等しい付加的制御電圧 V_{ca} (= 付加的印加電圧 V_{xa}) が印加される。

【0114】

開始点から T_0 までの間、付加的制御電圧 V_{ca} は、付加的スイッチング素子 50S の付加的閾値 T_A よりも低い。このため、付加的スイッチング素子 50S は、OFF 状態を維持し、副スイッチング素子 60S のゲートに、検知電圧 V_d に応じた制御電圧 V_c (= 印加電圧 V_x) が印加される。このとき、制御電圧 V_c は、副スイッチング素子 60S の所定閾値 T_P よりも低い。このため、副スイッチング素子 60S は、OFF 状態を維持し、主スイッチング素子 60M のソース及びゲートに供給電圧 V_i が印加される。この結果、主スイッチング素子 60M は OFF 状態を維持し、スイッチ回路 60 は遮断状態を維持する。

【0115】

T_0 において、付加的制御電圧 V_{ca} は、付加的閾値 T_A に達する。このため、付加的スイッチング素子 50S は、ON 状態になり、制御電圧 V_c は急速に下降して T_0 においてグランド電圧になる。このとき、抵抗 R_6 、抵抗 R_5 及び付加的スイッチング素子 50S を経由してグランドされる電流経路が形成され、反転電圧 V_n が一時的に下降する。

【0116】

T_0 から T_1 までの間、反転電圧 V_n は、検知電圧 V_d に応じて再び上昇する。但し、供給電圧 V_i は、依然としてツェナー電圧 V_Z よりも低く、非反転電圧 V_p は、反転電圧 V_n よりも高い。この結果、第 1 スイッチング素子 402 は、ON 状態を維持し、第 2 スイッチング素子 404 及び第 3 スイッチング素子 406 は、OFF 状態を維持し、付加的スイッチング素子 50S のゲートに、供給電圧 V_i と等しい付加的制御電圧 V_{ca} が印加される。

10

20

30

40

50

【 0 1 1 7 】

T 0 から T 1 までの間、付加的制御電圧 V_{ca} は、付加的スイッチング素子 5 0 S の付加的閾値 T_A 以上である。このため、付加的スイッチング素子 5 0 S は、ON 状態になり、副スイッチング素子 6 0 S のゲートに、グランド電圧が印加される。このため、副スイッチング素子 6 0 S は、OFF 状態を維持し、主スイッチング素子 6 0 M のソース及びゲートに供給電圧 V_i が印加される。この結果、主スイッチング素子 6 0 M は OFF 状態を維持し、スイッチ回路 6 0 は遮断状態を維持する。

【 0 1 1 8 】

T 1 において、供給電圧 V_i は、ツェナー電圧 V_Z に達する。このため、ツェナーダイオード Z_1 は、導通状態になり、参照電圧 V_r は、ツェナー電圧 V_Z になる。

10

【 0 1 1 9 】

T 1 から T 2 までの間、反転電圧 V_n は、検知電圧 V_d に応じて上昇し続ける。但し、反転電圧 V_n は、非反転電圧 V_p (ツェナー電圧 V_Z) よりも低い。従って、付加的スイッチング素子 5 0 S のゲートに、供給電圧 V_i と等しい付加的制御電圧 V_{ca} が印加され続け、付加的スイッチング素子 5 0 S は、ON 状態を維持する。このため、副スイッチング素子 6 0 S 及び主スイッチング素子 6 0 M の夫々は、OFF 状態を維持し、スイッチ回路 6 0 は遮断状態を維持する。

【 0 1 2 0 】

T 2 において、供給電圧 V_i は、開始電圧 V_H に達し、反転電圧 V_n は、非反転電圧 V_p (ツェナー電圧 V_Z) に達する。その後、反転電圧 V_n が非反転電圧 V_p よりも高くなるため、第 1 スwitchング素子 4 0 2 は、OFF 状態になり、第 2 スwitchング素子 4 0 4 は、ON 状態になる。このため、第 3 スwitchング素子 4 0 6 のゲートの電圧が供給電圧 V_i を抵抗 R_1 と抵抗 R_2 とによって分圧した電圧となり、第 3 スwitchング素子 4 0 6 は、ON 状態になる。この結果、付加的制御電圧 V_{ca} は、グランド電圧になり、付加的スイッチング素子 5 0 S は、OFF 状態になる。

20

【 0 1 2 1 】

T 2 において、接続点 1 2 8 から、抵抗 R_4 、抵抗 R_5 及び抵抗 R_6 を経由して、検知出力端 3 8 に至る電流経路が形成され、検知電圧 V_d 及び反転電圧 V_n は、急激に上昇する。また、この電流経路の形成により、制御電圧 V_c は、供給電圧 V_i に応じた電圧になる。このため、副スイッチング素子 6 0 S は、ON 状態になり、主スイッチング素子 6 0 M のゲートにグランド電圧が印加される。この結果、主スイッチング素子 6 0 M は ON 状態になり、スイッチ回路 6 0 は導通状態になる。

30

【 0 1 2 2 】

T 2 から T 3 までの間、キャパシタ 2 0 の電荷が負荷 8 8 によって消費され、供給電圧 V_i は、徐々に下降する。供給電圧 V_i の下降に伴い、T 2 において急激に上昇した検知電圧 V_d 及び反転電圧 V_n は、徐々に下降する。但し、反転電圧 V_n は、非反転電圧 V_p (ツェナー電圧 V_Z) よりも高いままであり、第 3 スwitchング素子 4 0 6 は、ON 状態を維持する。このため、付加的スイッチング素子 5 0 S は、OFF 状態を維持し、副スイッチング素子 6 0 S は、ON 状態を維持する。この結果、主スイッチング素子 6 0 M は ON 状態を維持し、スイッチ回路 6 0 は導通状態を維持する。

40

【 0 1 2 3 】

T 3 において、供給電圧 V_i は、停止電圧 V_L に達し、反転電圧 V_n は、非反転電圧 V_p (ツェナー電圧 V_Z) に達する。その後、反転電圧 V_n が非反転電圧 V_p よりも低くなるため、第 1 スwitchング素子 4 0 2 は、ON 状態になり、第 2 スwitchング素子 4 0 4 は、OFF 状態になる。このため、第 3 スwitchング素子 4 0 6 のゲートの電圧は、グランド電圧になり、第 3 スwitchング素子 4 0 6 は、OFF 状態になる。この結果、付加的制御電圧 V_{ca} は、供給電圧 V_i になり、付加的スイッチング素子 5 0 S は、ON 状態になる。

【 0 1 2 4 】

T 3 において、接続点 1 2 8 から、抵抗 R_4 、抵抗 R_5 及び抵抗 R_6 を経由して、検知

50

出力端 38 に至る電流経路が消滅し、検知電圧 V_d 及び反転電圧 V_n は、急激に下降する。また、制御電圧 V_c は、グランド電圧になる。このため、副スイッチング素子 60S は、OFF 状態になり、主スイッチング素子 60M のソース及びゲートに供給電圧 V_i が印加される。この結果、主スイッチング素子 60M は OFF 状態になり、スイッチ回路 60 は遮断状態になる。即ち、負荷 88 は、キャパシタ 20 から遮断され、キャパシタ 20 への充電が再び始まる。

【0125】

T3 から T4 までの間、キャパシタ 20 への充電が続き、T4 において、供給電圧 V_i は、再び開始電圧 V_H になる。T2 以降、実施例 1 の回路は、T2 から T4 までの間の状態を繰り返す定常状態になる。実施例 1 の回路は、定常状態にあるとき、適切に動作している。

10

【0126】

(実施例 2)

シミュレータにおいて、実施例 2 の回路として図 2 の蓄電回路 10 を構築して動作を検証した。実施例 2 の回路における各要素の容量値、抵抗値等は表 2 の通りだった。

【0127】

【表 2】

#	要素の名称	符号	容量値、抵抗値等	
1	キャパシタ(20)	20	100 μ F	
2	電圧検知回路(30)	定電圧素子(ツェナーダイオード)	Z1	<1. 8V
3		第7抵抗	R7	10M Ω
4		第8抵抗	R8	3M Ω
5		第9抵抗	R9	10M Ω
6	比較回路(40)	第1スイッチング素子 (PチャネルのMOSFET)	402	VGS(th) < 1. 0V
7		第2スイッチング素子 (PチャネルのMOSFET)	404	VGS(th) < 1. 0V
8		第3スイッチング素子 (NチャネルのMOSFET)	406	VGS(th) < 0. 8V
9		第1抵抗	R1	10M Ω
10		第2抵抗	R2	10M Ω
11		第3抵抗	R3	10M Ω
12		第5抵抗	R5	1M Ω
13		第6抵抗	R6	1M Ω
14	付加的回路(50)	付加的スイッチング素子 (NチャネルのMOSFET)	50S	VGS(th) < 0. 8V
15		第4抵抗	R4	10M Ω
16	スイッチ回路(60)	主スイッチング素子 (PチャネルのMOSFET)	60M	VGS(th) < 1. 0V
17		副スイッチング素子 (NチャネルのMOSFET)	60S	VGS(th) < 0. 8V
18		第11抵抗	R11	10k Ω
19		第12抵抗	R12	100k Ω
20		第13抵抗	R13	1M Ω

【0128】

表 2 に記載した抵抗値に基づき、開始電圧 V_H 、停止電圧 V_L 、及び、合成抵抗 R を計算した。この計算において、スイッチング素子による影響は考慮しなかった。計算の結果、開始電圧 V_H は、2. 2 V であり、停止電圧 V_L は、0. 5 V だった。即ち、スイッチング素子の夫々のゲート閾値 $V_{GS}(th)$ は、開始電圧 V_H よりも低く、計算による停止電圧 V_L よりも高かった。また、合成抵抗 R は、供給電圧 V_i が開始電圧 V_H から停止電圧 V_L まで下降するまでの間は、3. 0 M Ω であり、供給電圧 V_i が停止電圧 V_L から開始電圧 V_H まで上昇するまでの間は、3. 3 M Ω だった。

【0129】

実施例 2 の回路を電源 8 2 及び負荷 8 8 の間に接続し、実施例 2 の回路の動作を検証した。動作検証において、電源 8 2 として、直列に接続した 8 つの光電池を使用し、負荷 8 8 として、2 k Ω の抵抗器を使用した。光電池の夫々において、受光面積は 5 7. 8 cm² であり、直射日光による開放電圧 V_{oc} は 1 V であり、直射日光による短絡電流 I_{sc} は 5 0 0 mA だった。光電池の垂直上方から太陽光相当のスペクトルを持つ光を 3 0 μ W

/cm²の強度で与え、これにより、電源82から約150μAの電流を実施例2の回路に供給した。ツェナーダイオードZ1のツェナー電圧VZ（公称値：1.8V）は、電源82から供給される電流値によって異なり、上述の条件では、0.4Vだった。以上の条件において、キャパシタ20が空の状態（即ち、キャパシタ20の電圧が0Vの状態）を開始点（0秒時点）として、供給電圧Vi、参照電圧Vr（非反転電圧Vp）、検知電圧Vd、反転電圧Vn、制御電圧Vc、及び、出力電圧Voの夫々の変動を、シミュレータにより測定した。

【0130】

図10に測定結果を示す。図10を図9と比べれば理解されるように、実施例2の回路は、実施例1の回路と同様に動作する。詳しくは、実施例2の回路において、開始点からT2までの間、スイッチ回路60（図2参照）は遮断状態を維持する。この間、T0において、付加的制御電圧Vcaは、付加的閾値TAに達する。T1において、供給電圧Viは、ツェナー電圧VZに達する。スイッチ回路60は、T2において導通状態になり、T2からT3までの間、導通状態を維持する。スイッチ回路60は、T3において遮断状態になり、T3からT4までの間、遮断状態を維持する。T2以降、実施例2の回路は、T2からT4までの間の状態を繰り返す定常状態になる。実施例2の回路は、定常状態にあるとき、適切に動作している。

10

【産業上の利用可能性】

【0131】

電子機器の電源としてエネルギーハーベスティングを応用することで、電池が不要になり、これにより、電子機器の軽量化、高耐環境化、メンテナンスフリー化等の様々な性能向上を図ることができる。この結果、従来の電子機器の市場とは異なる新たな市場が構築される可能性がある。電子機器へのエネルギーハーベスティングの応用を推進するためには、様々な産業分野においてエネルギーハーベスティングの応用を検討する必要がある。従来は、蓄電回路が高価であったり、蓄電回路が生成する電圧や電流範囲が目的に合致しないといった様々な理由により、エネルギーハーベスティングの応用が検討されなかったり、実用化を諦めることがあったと思われる。

20

【0132】

一方、本発明によれば、エネルギーハーベスティングを電源として使用する蓄電回路を、コンパレータ回路と付加的回路との単純な組み合わせにより形成できる。即ち、本発明によれば、蓄電回路を大量生産しない場合でも、蓄電回路を低コストで製造できる。その結果、蓄電回路を単機能素子の組み合わせによって構築したり、既存のコンパレータを用いて構築したりすることが容易になる。

30

【0133】

従って、中小企業においてもエネルギーハーベスティングを応用した蓄電回路の開発が可能となり、様々な産業分野においてエネルギーハーベスティングの応用が検討できるようになる。加えて、半導体製造プロセスによって蓄電回路を大量生産する場合も、従来技術を使用した場合と比較して、低コスト且つ小型のICを製造できる。

【0134】

このようにして製造した小型のICを、マイクロコンピュータや無線デバイス等の低消費電力の電子機器に組み込むことで、電子機器がエネルギーハーベスティングによる電源を直接利用できるようになり、IoT分野及びM2M分野でのエネルギーハーベスティングの応用がさらに促進されると考えられる。

40

【符号の説明】

【0135】

- 10, 10A, 10X 蓄電回路
- 12 電源ライン
- 122 第1接続点（接続点）
- 124 第2接続点（接続点）
- 126 第3接続点（接続点）

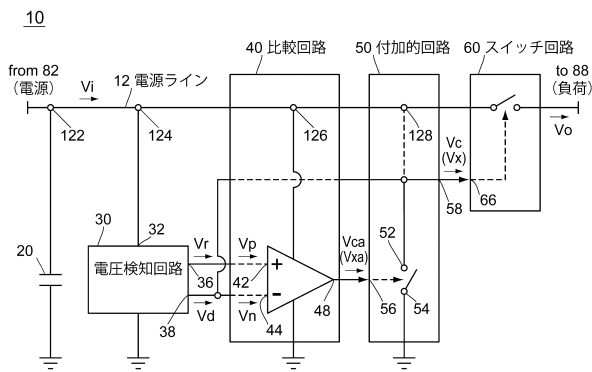
50

1 2 8	第 4 接続点 (接続点)	
2 0	キャパシタ	
3 0 , 3 0 B	電圧検知回路	
3 2	検知入力端	
3 6	参照出力端	
3 8	検知出力端	
4 0 , 4 0 A , 4 0 X	比較回路	
4 0 2	第 1 スイッチング素子	
4 0 4	第 2 スイッチング素子	
4 0 6	第 3 スイッチング素子	10
4 1 0	コンパレータ	
4 2 0	ヒステリシス回路	
4 3 0 A	遅延回路	
4 2	ポジティブ入力端	
4 4	ネガティブ入力端	
4 8	出力端	
5 0	付加的回路	
5 0 S	付加的スイッチング素子	
5 2	電源端	
5 4	グランド端	20
5 6	付加的制御端	
5 8	付加的出力端	
6 0	スイッチ回路	
6 0 M	主スイッチング素子	
6 0 S	副スイッチング素子	
6 6	制御端	
R 7 , R 8 , R 9	抵抗 (電圧検知回路の抵抗)	
R 1 , R 2 , R 3 , R 5 , R 6	抵抗 (比較回路の抵抗)	
R 4	抵抗 (付加的回路の抵抗)	
R 1 1 , R 1 2 , R 1 3	抵抗 (スイッチ回路の抵抗)	30
R 1 0	抵抗 (遅延回路の抵抗)	
C 1	キャパシタ (遅延回路のキャパシタ)	
Z 1	定電圧素子 (ツェナーダイオード)	
D 1 , D 2 , D 3 , D 4	ダイオード	
8 2	電源	
8 8	負荷	
V i	供給電圧	
V o	出力電圧	
V Z	ツェナー電圧 (所定電圧)	
V r	参照電圧	40
V d	検知電圧	
V p	非反転電圧	
V n	反転電圧	
V c a	付加的制御電圧	
V x a	付加的印加電圧	
V c	制御電圧	
V x	印加電圧	
V H	開始電圧	
V L	停止電圧	
T P	所定閾値	50

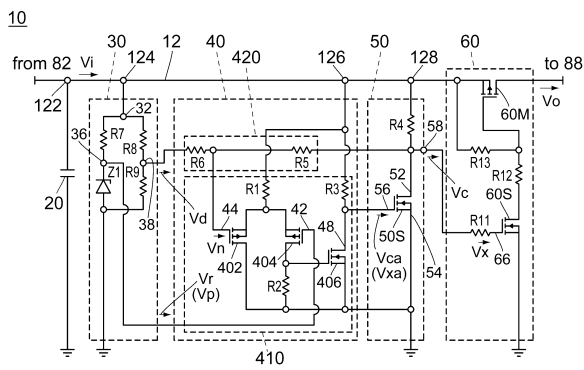
T A

付加的閾値

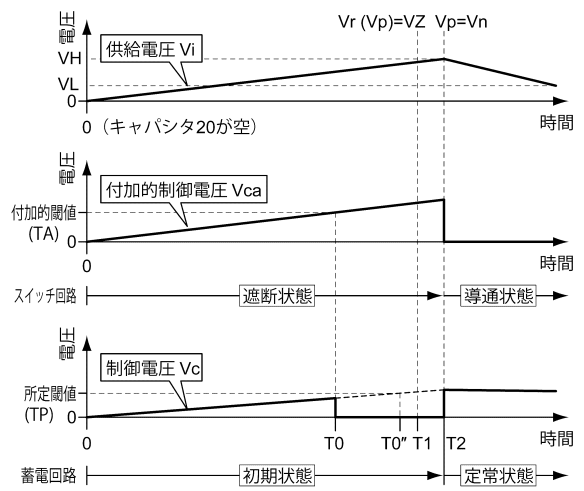
【図1】



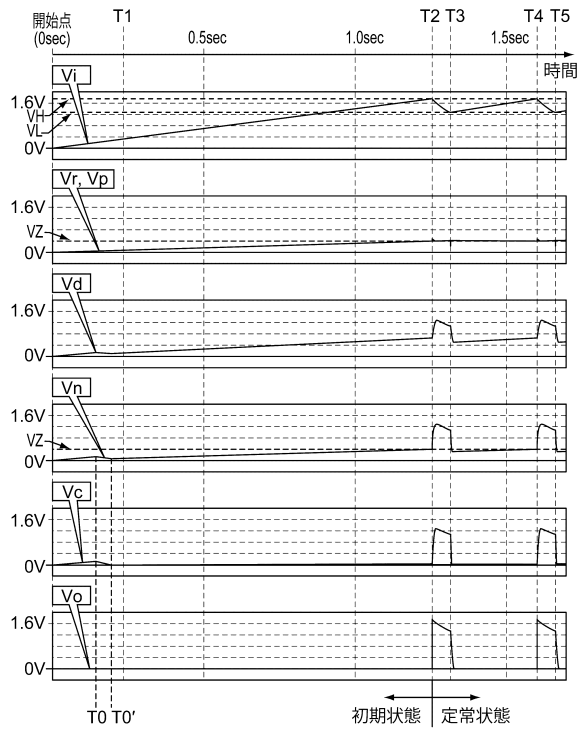
【図2】



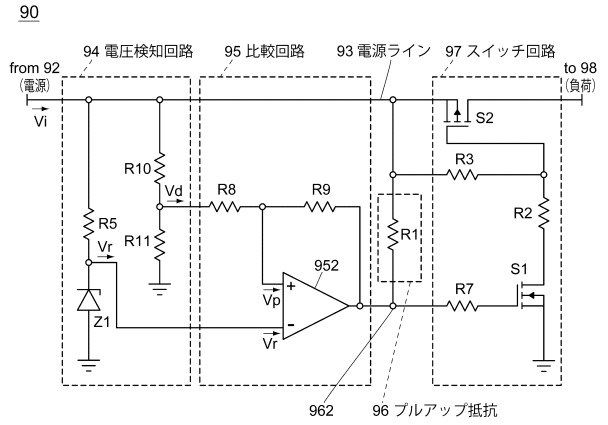
【図3】



【図10】



【図11】



フロントページの続き

- (56)参考文献 特開2016-127656(JP,A)
国際公開第2015/029317(WO,A1)
特開2015-202012(JP,A)
小野仁, 今井和彦, 太田晋一, 荒木武, スイッチング回路を応用した省エネルギー・エネルギーハーベスティング技術の開発, 宮城県産業技術総合センター研究報告, 日本, 宮城県, 2016年 9月, No.13, P1-7

(58)調査した分野(Int.Cl., DB名)

H02J 7/00
H02N 2/18