



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월11일

(11) 등록번호 10-1490067

(24) 등록일자 2015년01월29일

(51) 국제특허분류(Int. Cl.)

G06T 1/20 (2006.01)

(21) 출원번호 10-2013-7014192

(22) 출원일자(국제) 2011년11월07일

심사청구일자 2013년06월03일

(85) 번역문제출일자 2013년06월03일

(65) 공개번호 10-2013-0111579

(43) 공개일자 2013년10월10일

(86) 국제출원번호 PCT/US2011/059647

(87) 국제공개번호 WO 2012/064672

국제공개일자 2012년05월18일

(30) 우선권주장

12/944,971 2010년11월12일 미국(US)

(56) 선행기술조사문헌

US07554589 B2

US20050140786 A1

US20050141607 A1

US20090262180 A1

전체 청구항 수 : 총 48 항

(73) 특허권자

켈컴 인코퍼레이티드

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

(72) 발명자

황 하우

미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775

청 조셉

미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775

고마 세르지우 알

미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775

(74) 대리인

특허법인코리아나

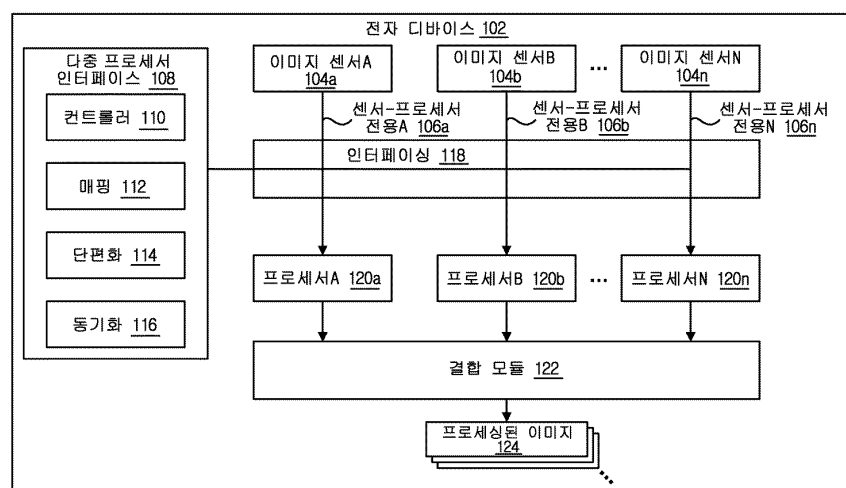
심사관 : 이주미

(54) 발명의 명칭 복수의 프로세서들을 이용한 병렬 이미지 프로세싱

(57) 요약

복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 전자 디바이스가 개시된다. 전자 디바이스는 이미지 데이터를 제공하기 위한 복수의 이미지 센서들을 포함한다. 전자 디바이스는 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하기 위한 복수의 프로세서들을 또한 포함한다. 각각의 프로세서는 복수의 이미지 센서들 중 하나의 이미지 센서에 전용된다. 다중 프로세서 인터페이스가 또한 포함된다. 다중 프로세서 인터페이스는 상기 이미지 데이터를 프로세서들로 매핑하고, 상기 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하고 단편화된 이미지 데이터를 프로세서 클록 레이트들로 동기화시킨다.

대표도



특허청구의 범위

청구항 1

복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 전자 디바이스로서,

이미지 데이터를 제공하는 복수의 이미지 센서들;

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하고 상기 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 다중 프로세서 인터페이스; 및

상기 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터(processed segmented image data)를 생성하는 복수의 프로세서들을 포함하고,

상기 복수의 프로세서들의 각각의 프로세서는 상기 복수의 이미지 센서들 중 하나의 이미지 센서에 전용되고, 각각의 프로세서는, 상기 이미지 데이터를 단편화하는 것이 유익하지 않다고 상기 다중 프로세서 인터페이스가 결정하면 각각의 프로세서가 전용된 이미지 센서로부터의 이미지 데이터만을 프로세싱하고,

상기 다중 프로세서 인터페이스는 상기 단편화된 이미지 데이터를 프로세싱하기 위해 이용되는 상기 복수의 프로세서들의 수를 동적으로 조정하고, 상기 다중 프로세서 인터페이스는 상기 단편화된 이미지 데이터를 상기 복수의 프로세서 중 상기 수의 프로세서들에 매핑하고 상기 단편화된 이미지 데이터를 상기 복수의 프로세서들 중 상기 수의 프로세서들의 클록 레이트들에 동기화시키는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 2

제 1항에 있어서,

상기 프로세싱된 단편화 이미지 데이터를 결합하여 프로세싱된 이미지를 생성하는 결합 모듈을 더 포함하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 3

제 1항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는, 상기 적어도 하나의 프로세서가 전용되지 않은 적어도 하나의 이미지 센서로부터의 단편화된 이미지 데이터를 프로세싱하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 4

제 1항에 있어서,

상기 다중 프로세서 인터페이스는 이미지 데이터 프로세싱을 위해 상기 복수의 프로세서들로부터 프로세서들을 동적으로 추가하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 5

제 4항에 있어서,

이미지 데이터 프로세싱을 위해 동적으로 프로세서들을 추가하는 것은 작업부하에 기초하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

제 1항에 있어서,

상기 이미지 데이터가 단편화되는 경우 상기 이미지 데이터가 더 빨리 프로세싱될 수 있다면 상기 다중 프로세서 인터페이스는 상기 이미지 데이터를 단편화하는 것이 유익하다고 결정하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 11

제 1항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서가 상기 이미지 데이터를 개별적으로 프로세싱할 수 없다면 상기 다중 프로세서 인터페이스는 상기 이미지 데이터를 단편화하는 것이 유익하다고 결정하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 12

제 1항에 있어서,

상기 이미지 데이터가 단편화되는 경우 상기 이미지 데이터가 더 적은 전력을 이용하여 프로세싱될 수 있다면 상기 다중 프로세서 인터페이스는 상기 이미지 데이터를 단편화하는 것이 유익하다고 결정하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 13

제 1항에 있어서,

상기 다중 프로세서 인터페이스는 상기 이미지 데이터를 상기 복수의 프로세서들로 매핑하는 매핑을 결정하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 14

제 1항에 있어서,

상기 다중 프로세서 인터페이스는 상기 이미지 데이터를 단편화하기로 결정하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 15

제 1항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는 상기 복수의 프로세서들 중 다른 프로세서와 상이한 성능을 갖는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 16

제 1항에 있어서,

상기 복수의 이미지 센서들 중 적어도 하나의 이미지 센서는 상기 복수의 이미지 센서들 중 다른 이미지 센서와 상이한 성능을 갖는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 17

제 1항에 있어서,

상기 복수의 프로세서들은 상기 이미지 데이터를 개별적으로 프로세싱할 수 없는, 병렬 이미지 프로세싱용 전자

디바이스.

청구항 18

제 1항에 있어서,

상기 단편화된 이미지 데이터의 단편들은 중첩하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 19

제 1항에 있어서,

상기 복수의 프로세서들은 상기 단편화된 이미지 데이터를 실시간으로 그리고 병렬로 프로세싱하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 20

제 1항에 있어서,

상기 전자 디바이스는 무선 통신 디바이스인, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 21

제 1항에 있어서,

상기 복수의 프로세서들은 이미지 신호 프로세서들 (image signal processors; ISP들) 인, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 22

제 1항에 있어서,

상기 전자 디바이스는 상기 이미지 데이터가 프로세싱 이전에 저장되지 않도록 상기 이미지 데이터를 스트리밍하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 23

제 2항에 있어서,

상기 결합 모듈은 출력 버퍼를 포함하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 24

제 2항에 있어서,

상기 결합 모듈은 출력 인터페이스와 출력 버퍼를 포함하는, 병렬 이미지 프로세싱용 전자 디바이스.

청구항 25

복수의 프로세서를 이용한 병렬 이미지 프로세싱용 방법으로서,

복수의 이미지 센서들을 이용하여 전자 디바이스에 이미지 데이터를 제공하는 단계;

상기 이미지 데이터를 복수의 프로세서들로 매핑하는 단계로서, 각각의 프로세서는 상기 복수의 이미지 센서들 중 하나의 이미지 센서에 전용되고, 상기 복수의 프로세서들 중 상기 이미지 데이터를 프로세싱하기 위해 이용되는 프로세서들의 수는 동적으로 조정되는, 상기 매핑하는 단계; 및

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 단계를 포함하고,

상기 이미지 데이터를 단편화하는 것이 유익하지 않다고 결정되면, 각각의 프로세서는, 각각의 프로세서가 전용된 이미지 센서로부터의 이미지 데이터만을 프로세싱하고,

상기 이미지 데이터를 단편화하는 것이 유익하다고 결정되면, 상기 방법은:

상기 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 단계;

상기 단편화된 이미지 데이터를 상기 복수의 프로세서들의 클록 레이트들에 동기화시키는 단계; 및

상기 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 단계를 더 포함하는, 병렬 이미지 프로세싱용 방법.

청구항 26

제 25항에 있어서,

상기 프로세싱된 단편화 이미지 데이터를 결합하여 프로세싱된 이미지를 생성하는 단계를 더 포함하는, 병렬 이미지 프로세싱용 방법.

청구항 27

제 25항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는, 상기 적어도 하나의 프로세서가 전용되지 않은 적어도 하나의 이미지 센서로부터의 단편화된 이미지 데이터를 프로세싱하는, 병렬 이미지 프로세싱용 방법.

청구항 28

제 25항에 있어서,

상기 전자 디바이스는 이미지 데이터 프로세싱을 위해 상기 복수의 프로세서들로부터 프로세서들을 동적으로 추가하는, 병렬 이미지 프로세싱용 방법.

청구항 29

제 28항에 있어서,

이미지 데이터 프로세싱을 위해 동적으로 프로세서들을 추가하는 것은 작업부하에 기초하는, 병렬 이미지 프로세싱용 방법.

청구항 30

제 25항에 있어서,

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 상기 단계는, 상기 이미지 데이터가 단편화 되는 경우 상기 이미지 데이터가 더 빨리 프로세싱될 수 있는지의 여부에 기초하는, 병렬 이미지 프로세싱용 방법.

청구항 31

제 25항에 있어서,

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 상기 단계는, 상기 복수의 프로세서들 중 적어도 하나의 프로세서가 상기 이미지 데이터를 개별적으로 프로세싱할 수 없는지의 여부에 기초하는, 병렬 이미지 프로세싱용 방법.

청구항 32

제 25항에 있어서,

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 상기 단계는, 상기 이미지 데이터가 단편화 되는 경우 상기 이미지 데이터가 더 적은 전력을 이용하여 프로세싱될 수 있는지의 여부에 기초하는, 병렬 이미지 프로세싱용 방법.

청구항 33

제 25항에 있어서,

상기 이미지 데이터를 상기 복수의 프로세서들로 매핑하는 매핑을 결정하는 단계를 더 포함하는, 병렬 이미지 프로세싱용 방법.

청구항 34

제 25항에 있어서,

상기 이미지 데이터를 단편화하기로 결정하는 단계를 더 포함하는, 병렬 이미지 프로세싱용 방법.

청구항 35

제 25항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는 상기 복수의 프로세서들 중 다른 프로세서와 상이한 성능을 갖는, 병렬 이미지 프로세싱용 방법.

청구항 36

제 25항에 있어서,

상기 복수의 이미지 센서들 중 적어도 하나의 이미지 센서는 상기 복수의 이미지 센서들 중 다른 이미지 센서와 상이한 성능을 갖는, 병렬 이미지 프로세싱용 방법.

청구항 37

제 25항에 있어서,

상기 복수의 프로세서들은 상기 이미지 데이터를 개별적으로 프로세싱할 수 없는, 병렬 이미지 프로세싱용 방법.

청구항 38

제 25항에 있어서,

상기 단편화된 이미지 데이터는 중첩하는, 병렬 이미지 프로세싱용 방법.

청구항 39

제 25항에 있어서,

상기 단편화된 이미지 데이터를 프로세싱하는 것은 실시간으로 그리고 병렬로 수행되는, 병렬 이미지 프로세싱용 방법.

청구항 40

제 25항에 있어서,

상기 전자 디바이스는 무선 통신 디바이스인, 병렬 이미지 프로세싱용 방법.

청구항 41

제 25항에 있어서,

상기 복수의 프로세서들은 이미지 신호 프로세서들 (image signal processors; ISP들) 인, 병렬 이미지 프로세싱용 방법.

청구항 42

제 25항에 있어서,

상기 이미지 데이터가 프로세싱 이전에 저장되지 않도록 상기 이미지 데이터를 스트리밍하는 단계를 더 포함하는, 병렬 이미지 프로세싱용 방법.

청구항 43

제 26항에 있어서,

상기 프로세싱된 단편화 이미지 데이터는 출력 버퍼를 이용하여 결합되는, 병렬 이미지 프로세싱용 방법.

청구항 44

제 26항에 있어서,

상기 프로세싱된 단편화 이미지 데이터는 출력 인터페이스와 출력 버퍼를 이용하여 결합되는, 병렬 이미지 프로세싱용 방법.

청구항 45

복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 컴퓨터 판독 가능 저장 매체로서,

상기 컴퓨터 판독 가능 저장 매체는 명령들을 가지며, 상기 명령들은:

복수의 이미지 센서들을 이용하여 이미지 데이터를 제공하는 코드;

상기 이미지 데이터를 복수의 프로세서들로 매핑하는 코드로서, 각각의 프로세서는 상기 복수의 이미지 센서들 중 하나의 이미지 센서에 전용되고, 상기 복수의 프로세서들 중 상기 이미지 데이터를 프로세싱하기 위해 이용되는 프로세서들의 수는 동적으로 조정되는, 상기 매핑하는 코드; 및

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 코드로서, 상기 이미지 데이터를 단편화하는 것이 유익하지 않다고 결정되면, 각각의 프로세서는, 각각의 프로세서가 전용된 이미지 센서로부터의 이미지 데이터만을 프로세싱하는, 상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 코드를 포함하고,

상기 이미지 데이터를 단편화하는 것이 유익하다고 결정되면, 상기 명령들은:

상기 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 코드;

상기 단편화된 이미지 데이터를 상기 복수의 프로세서들의 클록 레이트들에 동기화시키는 코드; 및

상기 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 코드를 더 포함하는, 컴퓨터 판독 가능 저장 매체.

청구항 46

제 45항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는, 상기 적어도 하나의 프로세서가 전용되지 않은 적어도 하나의 이미지 센서로부터의 단편화된 이미지 데이터를 프로세싱하는, 컴퓨터 판독 가능 저장 매체.

청구항 47

제 45항에 있어서,

이미지 데이터 프로세싱을 위해 상기 복수의 프로세서들로부터 프로세서들을 동적으로 추가하는 코드를 더 포함하는, 컴퓨터 판독 가능 저장 매체.

청구항 48

제 47항에 있어서,

이미지 데이터 프로세싱을 위해 동적으로 프로세서들을 추가하는 것은 작업부하에 기초하는, 컴퓨터 판독 가능 저장 매체.

청구항 49

복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 장치로서,

복수의 이미지 센서들을 이용하여 이미지 데이터를 제공하는 수단:

상기 이미지 데이터를 상기 복수의 프로세서들로 매핑하는 수단으로서, 각각의 프로세서는 상기 복수의 이미지 센서들 중 하나의 이미지 센서에 전용되고, 상기 복수의 프로세서들 중 상기 이미지 데이터를 프로세싱하기 위

해 이용되는 프로세서들의 수는 동적으로 조정되는, 상기 매핑하는 수단; 및

상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 수단으로서, 상기 이미지 데이터를 단편화하는 것이 유익하지 않다고 결정되면, 각각의 프로세서는, 각각의 프로세서가 전용된 이미지 센서로부터의 이미지 데이터만을 프로세싱하는, 상기 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정하는 수단을 포함하고,

상기 이미지 데이터를 단편화하는 것이 유익하다고 결정되면, 상기 장치는:

상기 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 수단;

상기 단편화된 이미지 데이터를 상기 복수의 프로세서들의 클록 레이트들에 동기화시키는 수단; 및

상기 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 수단을 더 포함하는, 병렬 이미지 프로세싱용 장치.

청구항 50

제 49항에 있어서,

상기 복수의 프로세서들 중 적어도 하나의 프로세서는, 상기 적어도 하나의 프로세서가 전용되지 않은 적어도 하나의 이미지 센서로부터의 단편화된 이미지 데이터를 프로세싱하는, 병렬 이미지 프로세싱용 장치.

청구항 51

제 49항에 있어서,

이미지 데이터 프로세싱을 위해 상기 복수의 프로세서들로부터 프로세서들을 동적으로 추가하는 수단을 더 포함하는, 병렬 이미지 프로세싱용 장치.

청구항 52

제 51항에 있어서,

이미지 데이터 프로세싱을 위해 프로세서들을 동적으로 추가하는 상기 수단은 작업부하에 기초하는, 병렬 이미지 프로세싱용 장치.

명세서

기술분야

[0001] 본 개시는 일반적으로 전자 디바이스들에 관한 것이다. 보다 구체적으로는, 본 개시는 복수의 프로세서들을 이용한 병렬 이미지 프로세싱에 관한 것이다.

배경기술

[0002] 최근 수 십년 동안, 전자 디바이스들의 사용이 일반화되었다. 특히, 전자 기술의 진보로 인해, 점점 더 복잡하고 유용한 전자 디바이스들의 비용이 절감되었다. 비용 절감 및 소비자 요구는 전자 디바이스들의 사용을 급격히 증가시켜 현대 사회에서 전자 디바이스들은 실질적으로 도처에 존재하고 있다. 전자 디바이스들의 사용이 확대됨에 따라, 전자 디바이스들의 새롭고 향상된 특징들에 대한 요구가 나타나고 있다. 보다 구체적으로, 더 빠르게, 더 효율적으로 또는 더 높은 품질을 갖는 기능들을 수행하는 전자 디바이스들이 종종 요구되고 있다.

[0003] 몇몇 기능들은 데이터 집약적일 수도 있는데 (예컨대, 이미지 프로세싱), 상당한 양의 프로세싱 리소스들을 바람직한 양의 시간 내에 완료해야 한다. 그러나, 텔레비전들, 스마트폰들, 컴퓨터들, 카메라들 및 뮤직 플레이어들과 같은 전자 디바이스들은 이들이 어떤 기능들을 얼마나 빨리 수행할 수 있는지를 결정하는 프로세싱 제약들을 갖는다. 또한, 모바일 텔레폰들 또는 디지털 카메라들과 같은 이들 전자 디바이스들의 몇몇은 이들이 배터리 내에 저장한 전력 양에 의해 제한된다. 고품질의 데이터 집약적 기능들을 제공하면서 프로세싱 효율을 향상시키고 소비 전력을 감소시키는 전자 디바이스를 경제적으로 설계하고 제조하는 것은 어려울 수도 있다.

발명의 내용

해결하려는 과제

[0004] 앞선 논의에서 알 수 있는 바와 같이, 프로세싱 성능 및/또는 전자 디바이스들의 효율을 향상시키는 것이 유익할 수도 있다. 전자 디바이스들의 성능 및/또는 효율을 향상시키는 시스템들 및 방법들이 본원에서 개시된다.

과제의 해결 수단

[0005] 복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 전자 디바이스가 개시된다. 전자 디바이스는 이미지 데이터를 제공하기 위한 복수의 이미지 센서들과 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터 (processed segmented image data) 를 생성하는 복수의 프로세서들을 포함한다. 복수의 프로세서들 중 각각의 프로세서는 복수의 이미지 센서들 중 하나에 전용된다. 전자 디바이스는 다중 프로세서 인터페이스를 또한 포함한다. 다중 프로세서 인터페이스는 이미지 데이터를 복수의 프로세서들로 매핑하고, 이미지 데이터를 단편화시켜 단편화된 이미지 데이터를 생성하고 단편화된 이미지 데이터를 복수의 프로세서들의 클록 레이트들에 동기화시킨다.

[0006] 전자 디바이스는 프로세싱된 단편화 이미지 데이터를 결합시켜 프로세싱된 이미지를 생성하는 결합 모듈을 또한 포함할 수도 있다. 복수의 프로세서들 중 적어도 하나의 프로세서는 적어도 하나의 프로세서가 전용되지 않는 적어도 하나의 이미지 센서들로부터의 단편화된 이미지 데이터를 프로세싱할 수도 있다. 다중 프로세서 인터페이스는 복수의 프로세서들로부터 이미지 데이터 프로세싱을 위해 프로세서들을 동적으로 추가할 수도 있다. 이미지 데이터 프로세싱을 위해 프로세서들을 동적으로 추가하는 것은 작업부하에 기초할 수도 있다.

[0007] 다중 프로세서 인터페이스는 이미지 데이터를 단편화하는 것이 유익한지의 여부를 결정할 수도 있다. 각각의 프로세서는, 이미지 데이터를 단편화하는 것이 유익하지 않다고 다중 프로세서 인터페이스가 결정하면 각각의 프로세서가 전용된 이미지 센서로부터의 이미지 데이터만을 프로세싱할 수도 있다. 다중 프로세서 인터페이스는, 이미지 데이터가 단편화되는 경우 더 빨리 프로세싱될 수 있다면 이미지 데이터를 단편화하는 것이 유익하다고 결정할 수도 있다. 다중 프로세서 인터페이스는, 복수의 프로세서들 중 적어도 하나의 프로세서가 이미지 데이터를 개별적으로 프로세싱할 수 없다면 이미지 데이터를 단편화하는 것이 유익하다고 결정할 수도 있다. 다중 프로세서 인터페이스는, 이미지 데이터가 단편화되는 경우 이미지 데이터가 더 적은 전력을 이용하여 프로세싱될 수 있다면 이미지 데이터를 단편화하는 것이 유익하다고 결정할 수도 있다.

[0008] 다중 프로세서 인터페이스는 이미지 데이터를 복수의 프로세서들로 매핑시키는 매핑을 결정할 수도 있다. 다중 프로세서 인터페이스는 이미지 데이터의 단편화를 결정할 수도 있다. 복수의 프로세서들 중 적어도 하나의 프로세서는 복수의 프로세서들의 다른 프로세서들과 상이한 성능을 가질 수도 있다. 복수의 이미지 센서들 중 적어도 하나의 이미지 센서는 복수의 이미지 센서들의 다른 이미지 센서들과 상이한 성능을 가질 수도 있다.

[0009] 복수의 프로세서들은 개별적으로 이미지 데이터를 프로세싱하지 못할 수도 있다. 단편화된 이미지 데이터의 단편들은 중첩할 수도 있다. 복수의 프로세서들은 단편화된 이미지 데이터를 실시간으로 그리고 병렬로 프로세싱할 수도 있다. 전자 디바이스는 무선 통신 디바이스일 수도 있다. 복수의 프로세서들은 이미지 신호 프로세서들 (ISPs; image signal processors) 일 수도 있다. 전자 디바이스는, 이미지 데이터가 프로세싱 이전에 저장되지 않도록 이미지 데이터를 스트리밍할 수도 있다. 결합 모듈은 출력 버퍼를 포함할 수도 있다. 결합 모듈은 출력 인터페이스 및 출력 버퍼를 포함할 수도 있다.

[0010] 복수의 프로세서들을 이용한 병렬 이미지 프로세싱 방법이 또한 개시된다. 상기 방법은 복수의 이미지 센서들을 이용하여 이미지 데이터를 전자 디바이스에 제공하고 이미지 데이터를 복수의 프로세서들로 매핑시키는 것을 포함한다. 각각의 프로세서는 복수의 이미지 센서들 중 하나의 이미지 센서에 전용된다. 상기 방법은 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하고, 단편화된 이미지 데이터를 복수의 프로세서들의 클록 레이트들에 동기화시키고 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 것을 또한 포함한다.

[0011] 복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 컴퓨터 프로그램 제품이 또한 개시된다. 컴퓨터 프로그램 제품은 비일시적 컴퓨터 판독 가능 매체 상에 명령들을 포함한다. 상기 명령들은 복수의 이미지 센서

들을 이용하여 이미지 데이터를 제공하는 코드와 이미지 데이터를 복수의 프로세서들로 매핑시키는 코드를 포함한다. 각각의 프로세서는 복수의 이미지 센서들 중 하나의 이미지 센서에 전용된다. 상기 명령들은 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 코드, 단편화된 이미지 데이터를 복수의 프로세서들의 클록 레이트들에 동기화시키는 코드 및 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 코드를 더 포함한다.

[0012]

복수의 프로세서들을 이용한 병렬 이미지 프로세싱을 위한 장치가 또한 개시된다. 상기 장치는 복수의 이미지 센서들을 이용하여 이미지 데이터를 제공하는 수단과 이미지 데이터를 복수의 프로세서들로 매핑시키는 수단을 포함한다. 각각의 프로세서는 복수의 이미지 센서들 중 하나의 이미지 센서에 전용된다. 상기 장치는 이미지 데이터를 단편화하여 단편화된 이미지 데이터를 생성하는 수단, 단편화된 이미지 데이터를 복수의 프로세서들의 클록 레이트들에 동기화시키는 수단 및 단편화된 이미지 데이터를 프로세싱하여 프로세싱된 단편화 이미지 데이터를 생성하는 수단을 더 포함한다.

도면의 간단한 설명

[0013]

도 1은 복수의 프로세서들을 이용한 병렬 이미지 프로세싱을 위한 시스템들 및 방법들이 구현될 수도 있는 전자 디바이스의 일 구성을 예시하는 블록도이다.

도 2는 복수의 프로세서들을 이용하여 이미지들을 병렬 프로세싱하기 위한 방법의 일 구성을 예시하는 흐름도이다.

도 3은 복수의 프로세서들을 이용한 병렬 이미지 프로세싱 방법의 보다 구체적인 구성을 예시하는 흐름도이다.

도 4는 복수의 프로세서들을 이용한 병렬 이미지 프로세싱의 일 실시형태를 예시하는 블록도이다.

도 5는 복수의 프로세서들을 이용한 병렬 이미지 프로세싱의 다른 실시형태를 예시하는 블록도이다.

도 6은 다중 프로세서 인터페이스의 일 구성에 대한 상세를 예시하는 블록도이다.

도 7은 이미지 데이터 단편화의 일 실시형태를 예시하는 도면이다.

도 8은 전자 디바이스에서 활용될 수도 있는 여러 컴포넌트들을 예시한다.

도 9는 무선 통신 디바이스에서 활용될 수도 있는 여러 컴포넌트들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0014]

상술한 바와 같이, 전자 디바이스들에 대한 향상된 성능들이 유익하며 바람직하다. 구체적으로는, 더 큰 메가픽셀 (MP) 센서들 및/또는 초당 더 많은 프레임 수의 프로세싱을 지원하는 이미지 센서 모듈들이 유익하다.

예를 들면, 더 큰 MP 센서들은 더 높은 해상도 또는 더 세세하게 이미지들을 캡처할 수 있다. 또한, 전자 디바이스에서의 더 많은 FPS 지원은 더 부드러운 비디오의 캡처를 가능하게 한다. 그러나, 더 큰 MP 센서들 및/또는 더 많은 FPS 지원은 더 큰 프로세싱 스루풋을 요구할 수도 있다. 예를 들면, 12MP 센서들에 대해 30FPS 출력을 지원하기 위해서는 이미지 신호 프로세서들 (ISPs) 에 대한 프로세싱 스루풋은 충분히 증가될 필요가 있을 수도 있다.

[0015]

프로세싱 스루풋이 충분히 증가시킨 이미지 신호 프로세서 (ISP) 를 설계하는 것은 시간 소모적이고 비용이 아주 많이 들 수도 있다. 그러나, 본원에서 개시된 시스템들 및 방법들은, 소망의 스루풋을 달성하기 위해 2 이상의 "오프 더 셸프 (off-the-shelf)" 이미지 신호 프로세서 (ISP) 모듈들의 결합이 병렬로 프로세싱하는 것을 가능하게 한다. 본원에서 개시된 시스템들 및 방법들은, 몇몇 전자 디바이스들에서 2 이상의 이미지 신호 프로세서 (ISP) 모듈들이 이미 사용되고 있을 수도 있기 때문에, 특히 유익할 수도 있다. 이들 전자 디바이스들의 몇몇은 각 카메라에 대해 이미지 신호 프로세서 (ISP) 를 구비하는 두 개의 카메라들을 포함할 수도 있는데, 이들은 메인 카메라와 보조 카메라가 포함된 영상 통화 어플리케이션들을 위해 또는 입체 (예를 들면, 3차원 (3D)) 비디오를 위해 사용된다. 본원에서 개시된 시스템들 및 방법들은 이들 상이한 카메라 모듈들을 결합하여 높은 프로세싱 스루풋을 달성하는데 사용될 수 있다. 즉, 본원에서 개시된 시스템들 및 방법들은 구현하는 전자 디바이스는 병렬 프로세싱을 위해 이미지 데이터를 동적으로 그리고 임의적으로 분할할 수도 있다. 이 접근법의 한 이점은, 더 높은 스루풋 파이프라인을 재설계하지 않고도 현존하는 이미지 신호 프로세서 (ISP) 코어들이 소망의 성능을 달성하는데 사용될 수 있다는 점이다. 일 구성에서, 예를 들면, 본원에서 개시된 시스템들 및 방법들은, M개의 센서들의 출력을 프로세싱하기 위해 N개 ($M < N$) 의 프로세서들이 사용될 수

도 있도록 적용될 수도 있다.

- [0016] 용어 "커플", "커플링", "커플링된" 또는 본원에서 사용된 바와 같은 이 용어 커플의 다른 변형들은 간접 접속 또는 직접 접속의 어느 하나를 가리킨다. 예를 들면, 제 1의 컴포넌트가 제 2의 컴포넌트에 "커플링되면", 제 1의 컴포넌트는 제 2의 컴포넌트에 간접적으로 접속될 수도 있고 또는 제 2의 컴포넌트에 직접적으로 접속될 수도 있다. 본원에서 사용된 바와 같이, 용어 "복수의"는 2 이상을 나타낸다. 예를 들면, 복수의 컴포넌트들은 2개 이상의 컴포넌트들을 가리킨다.
- [0017] 여러 구성들이 도면들을 참조하여 설명되는데, 도면에서 유사한 도면 부호는 기능적으로 유사한 엘리먼트들을 가리킬 수도 있다. 본원의 도면에서 일반적으로 설명되고 도해된 시스템들 및 방법들은 아주 많은 상이한 구성들로 배치되고 설계될 수 있을 것이다. 따라서, 도면들에서 나타낸 바와 같이, 하기의 상세한 설명의 여러 구성들은 특허청구범위에서 청구된 범위를 제한하는 것이 아니며, 시스템들 및 방법들의 단순한 표본이다.
- [0018] 도 1은 복수의 프로세서들을 이용한 병렬 이미지 프로세싱용 시스템들 및 방법들이 구현될 수도 있는 전자 디바이스 (102)의 일 구성을 예시하는 블록도이다. 전자 디바이스 (102)는 하나 이상의 이미지 센서들 (104a-n) 및 2개 이상의 프로세서들 (120a-n)을 포함한다. 전자 디바이스 (102)는 동일한 또는 상이한 수의 이미지 센서들 (104a-n) 및 프로세서들 (120a-n)을 포함할 수도 있다. 이미지 센서들 (104a-n)의 실시형태들은 CCD (Charge-Coupled Device) 센서들 및 CMOS (Complementary Metal Oxide Semiconductor) 센서들을 포함한다. 프로세서들 (120a-n)의 실시형태들은 전용 이미지 신호 프로세서들 (ISPs) 및 프로세서들의 소프트웨어 구현들을 포함한다. 예를 들면, 프로세서A (120a)는 이미지 센서A (104a)에 전용되고, 프로세서B (120b)는 이미지 센서B (104b)에 전용되며 등등이다. 즉, 이미지 센서A (104a) 및 프로세서A (120a)는 센서-프로세서 전용A (106a)를 공유하고, 이미지 센서B (104b) 및 프로세서B (120b)는 센서-프로세서 전용B (106b)를 공유하고 계속해서 센서-프로세서 전용N (106n)은 이미지 센서N (104n) 및 프로세서N (120n)에 의해 공유된다. 센서-프로세서 전용 (106a-n)은, 현재 시스템들 및 방법들이 사용되지 않을 때, 각각의 프로세서 (120a-n)가 특정 이미지 센서 (104a-n)로부터의 이미지 데이터만을 프로세싱한다는 것 또는 각각의 프로세서 (120a-n)가 특정 이미지 센서 (104a-n)로부터의 이미지 데이터를 프로세싱하도록 디자인되었음을 나타낸다. 예를 들면, 이미지 센서A (104a) 및 프로세서A (120a)는 전자 디바이스 (102)에서 사용하기 위한 단일 모듈로서 제조되고/되거나 패키징될 수도 있다. 이 결합된 이미지 센서 (104) /프로세서 (120) 모듈은 "오프 더 셸프" 패키징될 수도 있는데, 여기서 하나 이상의 프로세서들 (120a-n)이 하나 이상의 이미지 센서들 (104a-n)에 전용 (106)된다.
- [0019] 본원에서 사용된 바와 같이, "전용 프로세서" 또는 "센서-프로세서 전용"을 구비한 프로세서는 본원의 시스템들 및 방법들이 사용되지 않을 때, 프로세서가 특정 이미지 센서로부터의 이미지 데이터만을 프로세싱하는 것을 나타낼 수도 있다. 이 프로세서 전용은 상이한 형태들의 전용을 포함할 수도 있다. 하나 이상의 추가적인 프로세서들이 하나의 이미지 센서에 대해 전용될 수도 있고 그 이미지 센서로부터의 데이터를 프로세싱할 수도 있지만, 포괄적 전용은 특정 프로세서가 상기 하나의 이미지 센서로부터의 데이터만을 프로세싱하는 것을 의미한다. 이들 포괄적 전용 프로세서들은 본원에서 개시된 시스템들 및 방법들이 사용되지 않을 때 그 이미지 센서로부터의 데이터만을 프로세싱할 것이다. 예를 들면, 두 개의 프로세서들이 각각 단일의 이미지 센서에 전용될 수도 있고, 본원의 시스템들 및 방법들이 사용되지 않을 때 그 단일의 이미지 센서로부터의 데이터를 프로세싱한다. 예를 들면, 듀얼 프로세서들이 하나의 특정한 이미지 센서로부터의 데이터만을 프로세싱하도록 특별히 설계될 수도 있다. 배타적 전용은 본원의 시스템들 및 방법들이 사용되지 않을 때 프로세서가 특정 이미지 센서로부터의 이미지 데이터만을 프로세싱하고 그 특정 이미지 센서로부터의 데이터를 프로세싱하는 유일한 프로세서이라는 것을 의미한다. 본원에서 사용된 바와 같이, 용어 "전용된 프로세서", "센서-프로세서 전용" 및 다른 변형들은 포괄적 전용 및 배타적 전용 둘 다를 개시한다. 일 구성에서, 하나 이상의 프로세서들 (120)은 각각 이미지 센서 (104)에 포괄적으로 전용된다. 다른 구성에서, 하나 이상의 프로세서들 (120)은 각각 이미지 센서 (104)에 배타적으로 전용된다. 본원에서 개시된 시스템들 및 방법들은 포괄적 전용 프로세서들, 배타적 전용 프로세서들 및/또는 둘 다에 적용될 수도 있다.
- [0020] 프로세서들 (120a-n)은 이미지 프로세싱 동작들을 수행한다. 이미지 프로세싱 동작들의 실시형태들은 크롭핑 (cropping), 스케일링 (예를 들면, 상이한 해상도로), 이미지 포맷 변환, 칼라 인터폴레이션, 칼라 프로세싱, 이미지 필터링 (예를 들면, 공간 이미지 필터링), 렌즈 아티팩트 (artifact) 또는 결함 교정 등을 포함한다. 프로세서들 (120a-n) 각각은 상이한 프로세싱 성능들을 가질 수도 있다. 예를 들면, 프로세서A (120a)는 프로세서B (120b)보다 더 높은 클럭 레이트로 이미지 데이터를 프로세싱할 수도 있다. 마찬가지로, 이미지 센서들 (104a-n) 각각은 상이한 성능들을 가질 수도 있다. 예를 들면, 이미지 센서A (104a)는

이미지 센서B (104b) 보다 더 높은 프레임 레이트 및/또는 해상도로 이미지 데이터를 제공할 수도 있다.

[0021]

본원에서 개시된 시스템들 및 방법들에 따르면, 2개 이상의 프로세서들 (120a-n) 이 특정 이미지 센서들 (104a-n) 에 전용되더라도 (106a-n) 다중 프로세서 인터페이스 (108) 가 그 2개 이상의 프로세서들 (120a-n) 의 프로세싱 성능들을 결합할 수도 있다. 예를 들면, 다중 프로세서 인터페이스 (108) 는 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 하나 이상의 프로세서들 (120a-n) 에 매핑시키기 위해 인터페이싱 (118) 을 사용할 수도 있다. 몇몇 구성들에서, 다중 프로세서 인터페이스 (108) 및 인터페이싱 (118) 은 싱글 모듈이다. 다른 구성들에서, 다중 프로세서 인터페이스 (108) 및 인터페이싱 (118) 은 별개이다. 일 구성에서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 하드웨어 컴포넌트들 (예를 들면, 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 하나 이상의 프로세서들 (120a-n) 로 매핑시키기 위한 스위치들 및/또는 멀티플렉서들) 로서 구현된다. 다른 구성에서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 소프트웨어 (예를 들면, 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 하나 이상의 프로세서들 (120a-n) 로 어드레싱 또는 매핑시키기 위한 소프트웨어) 로서 구현된다. 또 다른 구성에서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은/들은 (예를 들면, 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 하나 이상의 프로세서들 (120a-n) 로 매핑시키기 위해 사용되는) 하드웨어 및 소프트웨어의 조합으로서 구현된다. 따라서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 매핑 (112) 기능을 제공할 수도 있다.

[0022]

다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 단편화 (114) 및 동기화 (116) 와 같은 다른 기능을 제공한다. 단편화 모듈 (114) 은 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 단편화한다. 각각의 이미지 데이터 단편 (segment) 은 프로세싱을 위해 프로세서 (120a-n) 로 전송된다. 동기화 모듈 (116) 은 이미지 데이터 레이트들과 프로세서 (120a-n) 클록 레이트들을 동기화하여 프로세서들 (120a-n) 이 단편화된 이미지들을 프로세싱하는 것을 가능하게 한다. 이것은 이미지 프로세싱이 병렬 및/또는 실시간으로 일어나는 것을 가능하게 한다. 프로세싱이 실시간으로 일어나기 때문에, 이미지 데이터 또는 단편들은 프로세싱 이후까지 버퍼 또는 메모리에 저장되지 않을 수도 있다. 즉, 이미지 데이터 및/또는 이미지 데이터 단편들은 프로세싱 이후까지 실시간으로 연속적으로 스트리밍될 수도 있다. 이미지 데이터 레이트들은 (예를 들면, 각각의 이미지 센서 (104a-n) 에 대해) 동일하거나 상이할 수도 있다. 마찬가지로, 프로세서 (120a-n) 클록 레이트들은 동일하거나 상이할 수도 있다.

[0023]

다중 프로세서 인터페이스 (108) 에 포함된 컨트롤러 (110) 는 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 의 동작들을 제어하기 위해 사용되는 하드웨어 및/또는 소프트웨어 모듈일 수도 있다. 일 구성에서, 컨트롤러 (110) 는 매핑 (112), 단편화 (114) 및/또는 동기화 (116) 기능을 제어하기 위한 하드웨어 모듈로서 구현된다. 다른 구성에서, 컨트롤러 (110) 는 매핑 (112), 단편화 (114) 및/또는 동기화 (116) 를 제어하기 위해 사용되는 명령들을 포함하는 소프트웨어 모듈로서 구현된다. 또 다른 구성에서, 컨트롤러 (110) 모듈은 하드웨어 및 소프트웨어의 조합으로서 구현된다.

[0024]

컨트롤러 (110) 는 매핑 (112), 단편화 (114), 및/또는 동기화 (116) 기능들을 제어한다. 예를 들면, 컨트롤러 (110) 는 하나 이상의 이미지 센서들 (104a-n) 로부터의 이미지 데이터가 하나 이상의 프로세서들 (120a-n) 에 어떻게 매핑되는지, 이미지 데이터가 어떻게 단편화 (114) 되는지 및/또는 이미지 데이터 레이트들 및 프로세서 (120a-n) 클록 레이트들이 어떻게 동기화 (116) 되는지를 결정할 수도 있다. 컨트롤러 (110) 는 단편화 (114) (예를 들면, 병렬 프로세싱) 가 특정 경우에 유익할지의 여부를 또한 결정할 수도 있다. 이 결정은 현재의 이미지 센서 (104a-n) 및 프로세서 (120a-n) 사용량, 소망하는 이미지 캡처의 해상도 및/또는 프레임 레이트, 병렬 프로세싱에 의해/의하지 않고 이미지 데이터를 프로세싱하는데 필요한 시간의 양, 이미지 센서 (104a-n) 및/또는 프로세서 (120a-n) 성능들 및/또는 소비 전력 등과 같은 고려사항들에 기초할 수도 있다.

[0025]

결합 모듈 (122) 은 프로세싱된 이미지 데이터 단편들 ("프로세싱된 이미지 단편들" 또는 "프로세싱된 단편들" 로서도 칭해진다) 을 결합한다. 결합 모듈 (122) 은 출력 인터페이스 및 출력 버퍼를 포함할 수도 있다. 일 구성에서, 결합 모듈 (122) 은 프로세싱된 이미지 단편들을 출력 버퍼로 전송하기 이전에 결합하는 출력 인터페이스를 포함한다. 다른 구성에서, 결합 모듈 (122) 은 프로세싱된 이미지 단편들을 출력 버퍼로 직접 전송하는 출력 인터페이스를 포함한다. 또 다른 구성에서, 결합 모듈 (122) 은 출력 인터페이스를 포함하지 않고, 프로세싱된 이미지 단편들이 프로세서들 (120a-n) 각각으로부터 전송되는 출력 버퍼를 포함한다.

[0026]

예를 들면, 고해상도 이미지가 이미지 센서A (104a) 에 의해 캡처되었다고 가정한다. 또한, 이미지 데이터 단편화 (114) 가 유익할 것이라고 컨트롤러 (110) 가 결정한다고 가정한다. 매핑 모듈 (112) 은 이미지 데

이터를 복수의 프로세서들 (120a-n) 에 매핑시키고, 상기 이미지 데이터는 단편화 (114) 되거나 또는 복수의 단편들로 분할되거나 나누어지고 각각의 프로세서 (120a-n) 의 클록 레이트로 동기화 (116) 된다. 각각의 프로세서 (120a-n) 는 이미지 데이터 중 자신의 각 단편들을 프로세싱하고 프로세싱된 이미지 단편을 결합 모듈 (122) 로 출력한다. 결합 모듈 (122) 은 프로세싱된 이미지 단편들을 결합하여 프로세싱된 이미지 (124) 를 생성한다. 이 프로시저는 복수의 프로세싱된 이미지들 (124) 를 생성하기 위해 후속될 수도 있다.

[0027]

병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익하지 않을 것이라고 전자 디바이스 (102) (예를 들면, 컨트롤러 (110)) 가 결정하면, 전자 디바이스 (102) 는 전용되지 않은 프로세서들 (120) 에 이미지 데이터를 매핑하지 않을 수도 있다. 그 경우, 즉, 전자 디바이스 (102) 는 이미지 센서들 (104a-n) 로부터의 이미지 데이터를 전용 프로세서들 (120) 로만 매핑할 수도 있다 (예를 들면, 통상의 동작을 수행할 수도 있다). 요약하면, 프로세서들 (120a-n) 은 개별적으로 사용될 수도 있거나 (예를 들면, 각각의 프로세서 (120a-n) 가 특정 이미지 센서 (104a-n) 에 전용된다) 또는 이미지를 프로세싱하여 더 높은 스루풋을 달성하기 위해 병렬로 사용될 수도 있다. 일반적으로, N개의 프로세서들 (120a-n) 이 사용될 수도 있는데, 여기서 $N \geq 2$ 이다. 따라서, 이미지 데이터는 프로세서들 (120a-n) 에 의한 병렬의 실시간 프로세싱을 위해 N개의 스트림들 (예를 들면, 수직 또는 수평) 또는 영역들로 분할될 수도 있다. 일 구성에서, 이미지 센서들 (104) 은 래스터 스캔 순서로 이미지 데이터를 내보낼 수도 있다. 따라서, 이미지 데이터는 수직으로 단편화될 수도 있다. 예를 들면, 이미지 데이터가 한 라인에서 수신되면, 제 1군의 픽셀들은 하나의 프로세서로 전송될 수도 있고 제 2군의 픽셀들은 제 2의 프로세서로 전송될 수도 있고, 등등이다.

[0028]

복수의 프로세서들 (120) 을 사용하는 병렬 이미지 프로세싱의 더 구체적인 실시형태가 후속한다. 이 실시형태에서, 전자 디바이스 (102) 가 두 개의 프로세서들: 프로세서A (120a) 및 프로세서B (120b) 를 구비하는 것으로 가정한다. 또한, 프로세서B (120b) 가 이미지 센서A (104a) 에 전용되지 않는다고 가정한다. 이미지 센서A (104a) 는 실시간 이미지 데이터를 전자 디바이스 (102) 로 (예를 들면, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 으로) 스트리밍한다. 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 이미지 데이터의 왼쪽 부분 (예를 들면, 수직 스트림) 을 프로세서A (120a) 로 스트리밍하면서 동시에 이미지 데이터의 오른쪽 부분을 프로세서B (120b) 로 전송한다. 본 실시형태에서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 2개의 크롭 모듈들로서 구현될 수도 있는데, 여기서 제 1의 크롭 모듈은 프로세서A (120a) 에 대한 픽셀들 (예를 들면, 제 1의 단편) 을 선택하고 동시에 제 2의 크롭 모듈은 프로세서B (120b) 에 대한 픽셀들 (예를 들면, 제 2의 단편) 을 선택한다. 프로세서A (120a) 및 프로세서B (120b) 는 이미지 데이터 단편들을 실시간으로 병렬로 프로세싱한다. 결합 모듈 (122) 은 프로세싱된 이미지 단편들을 출력 버퍼로 직접적으로 전송할 수도 있거나 또는 프로세싱된 이미지 단편들을 출력 버퍼로 전송하기 이전에 결합할 수도 있다. 다르게는, 결합 모듈 (122) 은 출력 인터페이스를 포함하지 않을 수도 있고, 이 경우 프로세서들 (120) 은 프로세싱된 이미지 단편들을 출력 버퍼에 직접 기록한다.

[0029]

도 2는 복수의 프로세서들을 이용하여 이미지들을 병렬 프로세싱하기 위한 방법 (200) 의 일 구성을 예시하는 흐름도이다. 전자 디바이스 (102) 는 하나 이상의 이미지 센서들 (104) 로부터 이미지 데이터를 획득한다 (202). 예를 들면, 하나 이상의 이미지 센서들 (104) 은 이미지 데이터를 캡처하고 제공한다. 전자 디바이스 (102) 는 이미지 데이터를 2개 이상의 프로세서들 (120) 로 매핑한다 (204). 일 구성에서, 다중 프로세서 인터페이스 (108) 및/또는 인터페이싱 (118) 은 이미지 데이터를 2개 이상의 프로세서들 (120) 로 매핑하도록 (204) 제어될 수 있는 여러 개의 멀티플렉서들을 포함한다.

[0030]

전자 디바이스 (102) 는 단편화된 이미지 데이터 또는 단편들을 생성하기 위해 이미지 데이터를 단편화한다 (206). 예를 들면, 컨트롤러 (110) 는 이미지 데이터를 분할하거나 또는 단편화하는 (206) 단편화 (114) 모듈 또는 기능을 제어할 수도 있다. 이미지 데이터는 2개 이상의 단편들로 단편화될 수도 있다 (206). 각각의 이미지 데이터는 예를 들면 다수의 픽셀들을 포함할 수도 있다. 이미지 데이터 단편들은 동일한 사이즈 또는 상이한 사이즈들일 수도 있다. 일 구성에서, 이미지 데이터 단편들은 단편들의 "이음매 (들) (seam(s))"에서의 원치 않는 아티팩트들을 피하기 위해 중첩 데이터 (예를 들면, "패드들" 또는 "패딩") 를 포함한다.

[0031]

전자 디바이스 (102) 는 이미지 데이터를 2개 이상의 프로세서들 (120) 의 클록 레이트들로 동기화시킨다 (208). 이미지 데이터가 단편화될 때 (206), 2개 이상의 이미지 데이터 스트림들로 분할될 수도 있다. 프로세싱이 실시간으로 일어나도록 하기 위해, 전자 디바이스 (102) 는 이미지 데이터 스트림들을 2개 이상의 프로세서들 (120) 의 클록 레이트들로 동기화시킬 수도 있다 (208). 이것은 프로세싱이 실시간으로 진행되는 것을 허용한다. 다시 말하면, 이미지 데이터 스트림 레이트들은 각각의 프로세서 (120) 의 것과 매치하

도록 조정될 수도 있다. 일 구성에서, 동기화는 선입선출 (FIFO) 버퍼를 이용하여 달성될 수도 있다. 이것은 소스 (예를 들면, 이미지 센서 (104) 데이터) 에 의해 하나의 레이트에서 이미지 데이터가 기록되고 싱크 (예를 들면, 프로세서들 (120)) 에 의해 상이한 레이트에서 판독되는 것을 허용할 수도 있다. FIFO 버퍼는 데이터 레이트들이 버퍼에서 오버플로우들을 유발하지 않을 정도로 충분히 크게 사이즈가 정해질 수도 있다.

[0032]

전자 디바이스 (102) 는 단편화된 이미지 데이터 ("이미지 데이터 단편들" 또는 "단편들"로도 칭해짐) 를 프로세싱하여 프로세싱된 이미지 단편들 ("프로세싱된 단편들"로도 칭해짐) 을 생성한다 (210). 예를 들면, 각각의 프로세서 (120) 는 이미지 데이터 단편을 프로세싱할 수도 있다 (210). 상기 언급한 바와 같이, 프로세싱 (210) 의 몇몇 실시형태들은 크롭핑, 스케일링, 이미지 포맷들의 변환, 칼라 인터폴레이션, 칼라 프로세싱, 이미지들 필터링 (예를 들면, 이미지들의 공간적 필터링), 렌즈 아티팩트들 또는 결함에 대한 교정들을 포함한다. 프로세싱 (210) 은 병렬 및/또는 실시간으로 일어날 수도 있다. 이미지 데이터 단편들은 하나의 이미지 센서들 (104) (이미지 데이터를 캡처한 센서들) 로부터 하나 이상의 이미지 센서들 (104) 에 전용되지 않는 하나 이상의 프로세서들 (120) 로 전송될 수도 있다. 다시 말하면, 하나 이상의 전용되지 않는 프로세서들 (120) 은 이미지 데이터 단편들을 프로세싱하기 위해 하나 이상의 전용 프로세서들 (120) 에 추가적으로 또는 그 대신 사용될 수도 있다. 단편화된 이미지 데이터의 프로세싱 (210) 은 프로세싱된 이미지 단편들을 생성한다. 전자 디바이스 (102) 는 프로세싱된 이미지 (124) 를 생성하기 위해 프로세싱된 이미지 단편들을 결합한다 (212). 프로세싱된 이미지 (124) 는, 예를 들면, 디스플레이되고, 저장되고 및/또는 전송될 수도 있다.

[0033]

도 3은 복수의 프로세서들을 이용한 병렬 이미지 프로세싱 방법 (300) 의 보다 구체적인 구성을 예시하는 흐름도이다. 전자 디바이스 (102) 는 하나 이상의 이미지 센서들 (104) 로부터 이미지 데이터를 획득한다 (302). 예를 들면, 하나 이상의 이미지 센서들 (104) 은 이미지 데이터를 캡처하고 그 이미지 데이터를 전자 디바이스 (102) 로 제공한다.

[0034]

전자 디바이스 (102) 는 병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익할 것인지의 여부를 결정할 수도 있다 (304). 상술한 바와 같이, 이 결정 (304) 은 현재의 이미지 센서 (104) 및 프로세서 (120) 사용량, 소망하는 이미지 캡처의 해상도 및/또는 프레임 레이트, 병렬 프로세싱에 의해/의하지 않고 이미지 데이터를 프로세싱에 하는데 필요한 시간의 양, 이미지 센서 (104) 및/또는 프로세서 (120) 성능들 및/또는 소비 전력 등과 같은 고려사항들에 기초할 수도 있다. 일 실시형태에서, 컨트롤러 (110) 는 (예를 들면 소정의 해상도 및/또는 프레임 레이트로) 소정의 시간의 양 내에서 전용 프로세서 (120) 단독으로 이미지 데이터를 프로세싱할 수 있을 것인지의 여부를 결정한다. 전용 프로세서 (120) 가 주어진 시간의 양 내에서 또는 요구되는 프레임 레이트로 이미지 데이터를 프로세싱할 수 없다면 (또는 프로세싱하는 것이 불가능하다면), 컨트롤러 (110) 는 병렬 프로세싱을 위해 데이터를 단편화하는 것이 유익할 것이라고 결정한다 (304). 다시 말하면, 이미지 데이터를 프로세싱하기 위해 사용되는 프로세서들 (120) 의 수는 유입하는 또는 현재의 작업부하 (예를 들면, 이미지 데이터의 양, 해상도 및/또는 프레임 레이트) 에 기초하여 동적으로 조정 (예를 들면, 추가되거나 제거) 될 수도 있다.

[0035]

다른 실시형태에서, 컨트롤러 (110) 는 자신의 판정 (304) 을 현재의 프로세서 (120) 사용량에 기초한다. 하나의 프로세서 (120) 가 특정 프레임 레이트로 비디오 이미지들을 프로세싱하느라 바쁘고 (busy) 스틸 이미지를 프로세싱하기 위한 부가적인 성능을 갖지 않는다고 가정하자. 이 경우, 컨트롤러 (110) 는 병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익하지 않을 것이라고 결정할 수도 있다 (304). 다르게는, 컨트롤러 (110) 는 이 경우 이미지 데이터를 단편화하는 것이 유익할 것이라고 결정할 수도 있다 (304). 예를 들면, 컨트롤러 (110) 는 비디오 프로세싱의 일부의 다른 프로세서 (120) 로의 매핑 및 스틸 이미지 프로세싱의 양 (both) 프로세서들 (120) 로의 매핑이 비디오 스트림을 유지할 것이고 전용 프로세서들 (120) 을 사용하는 것보다 더 빨리 스틸 이미지를 프로세싱할 것이라고 결정할 수도 있다. 따라서, 전자 디바이스 (102) 는 이미지 데이터를 단편화하는 것이 유익할 때 비디오 또는 이미지 프로세싱을 위해 프로세서들 (120) 을 동적으로 추가하거나 그룹화할 수도 있다.

[0036]

또 다른 실시형태에서, 컨트롤러 (110) 는, 파워 리소스들 (예를 들면, 배터리) 을 보존함으로써 이미지의 병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익할 것이라고 결정한다. 이 실시형태에서는, 전용 프로세서 (120) 가 수용 가능한 시간의 양에서 이미지를 프로세싱할 수 있지만, 그렇게 하는 것은 전용 프로세서 (120) 가 높은 클럭 레이트에서 동작하는 것을 요구할 것이고, 따라서 상대적으로 많은 양의 전력을 소모할 것이라고 가정한다. 컨트롤러 (110) 는, 이 경우 높은 클럭 레이트에서 전용 프로세서를 동작시키는 것보다 전체적으로 적은 전력을 사용하는 낮은 클럭 레이트들에서 두 개의 프로세서들 (120) 을 동작시킴으로써 병렬

프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익할 것이라고 판정할 수도 있다.

[0037] 병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익할 것이라고 전자 디바이스 (102) 가 결정하면, 전자 디바이스 (102) 는 그 전용 프로세서 (들) (120) 을 이용하여 각각의 이미지 센서 (104) 로부터의 이미지 데이터를 프로세싱할 수도 있다 (306). 예를 들면, 컨트롤러 (110) 는 각각의 이미지 센서 (104) 로부터의 이미지 데이터를 자신의 전용 프로세서 (들) (120) 로 매핑하고 그 이미지 데이터를 적절히 프로세싱할 수도 있다 (306).

[0038] 병렬 프로세싱을 위해 이미지 데이터를 단편화하는 것이 유익할 것이라고 전자 디바이스 (102) 가 결정하면, 전자 디바이스 (102) 는 매핑을 결정할 수도 있다 (308). 즉, 컨트롤러 (110) 는 어느 프로세서 또는 프로세서들 (120) 로 이미지 데이터를 매핑할 것인지를 결정할 수도 있다 (308). 일 구성에서, 컨트롤러 (110) 는 현재의 해상도 및/또는 프레임 레이트에서 이미지 데이터를 프로세싱하는데 어느 (및 얼마나 많은) 프로세서들 (120) 이 필요한지를 결정한다. 매핑 결정 (308) 은 현재의 이미지 센서 (104) 및 프로세서 (120) 사용량, 소망하는 이미지 캡처의 해상도 및/또는 프레임 레이트, 병렬 프로세싱에 의해/의하지 않고 이미지 데이터를 프로세싱에 하는데 필요한 시간의 양, 이미지 센서 (104) 및/또는 프로세서 (120) 성능들 및/또는 소비 전력 등과 같은 고려사항들에 기초할 수도 있다.

[0039] 예를 들면, 제 1의 프로세서 (120) 단독으로 또는 개별적으로 소망의 해상도 및/또는 프레임 레이트로 이미지 데이터를 현재 프로세싱할 수 없다면, 컨트롤러 (110) 는 그 이미지 데이터를 프로세싱하기 위한 충분한 프로세싱 파워가 이용가능할 때까지 추가적 프로세서들 (120) 로 그 이미지 데이터를 더하거나 또는 매핑할 수도 있다. 예를 들면, 이미지 데이터를 프로세싱하기 위해 사용되는 프로세서들 (120) 의 수는 유입하는 또는 현재의 작업부하 (예를 들면, 이미지 데이터의 양, 해상도 및/또는 프레임 레이트) 에 기초하여 동적으로 조정 (예를 들면, 추가되거나 제거) 될 수도 있다. 매핑을 결정 (308) 하기 위한 다른 접근법이 사용될 수도 있다. 예를 들면, 컨트롤러 (110) 는 이미지 데이터를 가능한 한 많은 프로세서들 (120) 로 또는 소비 전력 또는 평균 프로세싱 레이트를 최소화하는 프로세서들의 결합으로 매핑할 수도 있다.

[0040] 다른 구성에서, 매핑 결정 (308) 은 현재의 프로세서 (120) 사용량 또는 작업부하에 기초할 수도 있다. 하나의 프로세서 (120) 가 특정 프레임 레이트로 비디오 이미지들을 프로세싱하느라 바쁘고 (busy) 스틸 이미지를 프로세싱하기 위한 추가적인 성능을 갖지 않는다고 가정하자. 이 경우, 스틸 이미지 프로세싱을 하나 이상의 프로세서들 (120) 로 매핑하는 매핑이 결정될 수도 있다 (308). 다르게는, 비디오 스트림을 유지하고 스틸 이미지를 프로세싱하기 위해 비디오 프로세싱의 일부가 다른 프로세서 (120) 로 매핑되고 스틸 이미지 프로세싱이 양 (both) 프로세서들 (120) 로 매핑되도록 매핑이 결정될 수도 있다 (308). 따라서, 전자 디바이스 (102) 는 비디오 또는 이미지 프로세싱을 위해 프로세서들 (120) 을 매핑할 수도 있다.

[0041] 또 다른 실시형태에서, 전력 리소스들 (예를 들면, 배터리) 의 보존에 기초하여 매핑이 결정될 수도 있다 (308). 이 실시형태에서는, 전용 프로세서 (120) 가 수용 가능한 시간의 양에서 이미지를 프로세싱할 수 있지만, 그렇게 하는 것은 전용 프로세서 (120) 가 높은 클럭 레이트에서 동작하는 것을 요구할 것이고, 따라서 상대적으로 많은 양의 전력을 소모할 것이라고 가정한다. 높은 클럭 레이트에서 동작하는 전용 프로세서보다 전체적으로 더 적은 전력을 사용하는 낮은 클럭 레이트들에서 동작하는 복수의 프로세서들 (120) 로 이미지 데이터가 매핑되도록 매핑이 결정될 수도 있다 (308).

[0042] 전자 디바이스 (102) 는 이미지 데이터를 2개 이상의 프로세서들 (120) 로 매핑한다 (310). 예를 들면, 전자 디바이스 (102) 또는 컨트롤러 (110) 는, 이미지 데이터를 2개 이상의 프로세서들 (120) 로 매핑 또는 라우팅하기 위해 멀티플렉서들, 스위치들 및/또는 다른 어드레싱 체계 (scheme) 의 어레이를 사용한다.

[0043] 전자 디바이스 (102) 는 단편화를 결정할 수도 있다 (312). 예를 들면, 전자 디바이스 (102) 또는 컨트롤러 (110) 는 단편화를 프로세서 (120) 성능, 속도 (또는 프로세싱 레이트), 현재 사용량 등에 기초할 수도 있다. 단순한 일 실시형태에서, 컨트롤러 (110) 는 프로세서 (120) 용량 또는 성능에 기초하여 비례적인 단편화 (proportionate segmentation) 를 결정한다 (312). 예를 들면, 한 프로세서 (120) 가 다른 프로세서 (120) 보다 두 배의 용량 또는 성능을 갖는다고 가정하자. 컨트롤러 (110) 는 이미지 데이터를 2:1의 비율로 단편화하여, 다른 프로세서 (120) 와 비교하여 한 프로세서 (120) 에 2배의 수의 픽셀들을 제공할 수도 있다. 다른 실시형태에서, 컨트롤러 (110) 는, 이미지 데이터를 프로세싱하는데 충분한 프로세싱 용량 또는 성능이 할당될 때까지 각각의 연속적인 프로세서 (120) 의 최대 용량 또는 성능까지 사용하도록 이미지 데이터를 단편화한다. 이미지 데이터는 수직 스트림들, 수평 스트림들 및/또는 이미지 데이터의 서브셋인 다른 영역들로 단편화될 수도 있음을 주목해야만 한다. 일 구성에서, 이미지 센서들 (104) 은 래스터 스캔 순서로 이미지 데

이터를 내보낼 수도 있다. 따라서, 이미지 데이터는 수직으로 단편화될 수도 있다. 예를 들면, 이미지 데이터가 한 라인에서 수신되면, 제 1군의 픽셀들은 하나의 프로세서로 전송될 수도 있고 제 2군의 픽셀들은 제 2의 프로세서로 전송될 수도 있고, 등등이다.

[0044] 단편화 결정 (312) 은 이미지 데이터 또는 "패딩"을 중첩하는 것을 포함할 수도 있다. 보다 구체적으로는, 전자 디바이스 (102) (예를 들면, 프로세서들 (120)) 가 필터링 (예를 들면, 공간 필터링) 을 사용하면, 병렬 프로세서들 (120) 로 전송된 이미지 데이터 단편들은 이음매 또는 에지 조건들을 주의해야 할 필요가 있을 것이다. 이것은, (예를 들면, "패딩"을 갖는) 중첩하는 이미지 데이터 단편들이 병렬 프로세서들 (120) 로 전송될 수도 있음을 의미한다. 중첩의 양은 프로세싱 파이프라인에서의 공간 또는 필터링 구조들을 지지하는데 필요한 양에 의해 결정될 수도 있다. 예를 들면, 프로세서 (120) 가 수직 단편에 대해 수평 방향에서의 필터링 (예를 들면, 공간 필터링) 을 사용한다고 가정한다. 전자 디바이스 (102) 가 3x3 필터링 커널을 사용하면, 각각의 단편화 이음매를 따라, 좌측 및 우측 단편들은 각각 하나의 픽셀의 중첩을 필요로 한다. 그러나, 프로세서들 (120) 의 각각이 픽셀별로 이미지 데이터를 프로세싱하면, 중첩은 필요 없을 수도 있다.

[0045] 전자 디바이스 (102) 는 단편화된 이미지 데이터 (예를 들면, 2개 이상의 이미지 데이터 단편들) 를 생성하기 위해 이미지 데이터를 단편화한다 (314). 예를 들면, 전자 디바이스 (102) 또는 단편화 모듈 (114) 은 컨트롤러 (110) 에 의해 결정된 (312) 단편화에 따라 이미지 데이터를 단편화한다 (314). 또한, 전자 디바이스 (102) 는 단편 이음매 (들) 에서의 에지 아티팩트를 방지하기 위해 중첩하는 단편들 또는 패딩을 가지고 이미지 데이터를 단편화할 수도 있다 (314). 전자 디바이스 (102) 또는 단편화 모듈 (114) 은 특정 단편에 대응하지 않는 이미지 데이터를 버리거나 크롭함으로써 또는 (적용 가능한 패딩 또는 중첩을 갖는) 특정 단편에만 대응하는 이미지 데이터를 수용 또는 수신함으로써 이미지 데이터를 단편화할 수도 있다. 전자 디바이스 (102) 또는 단편화 모듈 (114) 은 이미지 데이터를, 예를 들면, 수직 스트림들, 수평 스트림들 또는 다른 영역들로 단편화할 수도 있다.

[0046] 프로세서들 (120) 이 픽셀별 프로세싱을 활용하거나 또는 픽셀마다에 기초하여 모든 프로세싱이 행해지면, 병렬 프로세서들 (120) 로 전송된 이미지 단편들은 중첩하지 않을 수도 있다. 이 경우, 프로세싱에 의해 이음매 또는 에지 아티팩트들이 나타나지 않을 수도 있기 때문에 중첩은 불필요할 수도 있다. 그러나, 프로세서 (120) 가 (예를 들면, 수직 단편들에 대해) 수평 방향에서 또는 (예를 들면, 수평 단편들에 대해) 수직 방향에서 필터링 (예를 들면, 공간 필터링) 을 활용하면, 병렬 프로세서들 (120) 로 전송된 이미지 단편들은 이음매 또는 에지 조건들을 적절히 프로세싱하기 위해서 (예를 들면, 아티팩트들을 방지하기 위해서) 이미지 데이터에서 중첩을 필요로 할 수도 있다.

[0047] 전자 디바이스 (102) 는 이미지 데이터를 2개 이상의 프로세서들 (120) 의 클록 레이트들로 동기화시킨다 (316). 예를 들면, 전자 디바이스 (102) 또는 동기화 모듈 (116) 은, 이미지 데이터 단편들이 매핑된 (310) 프로세서 (120) 의 클록 레이트에 매치시키기 위해 이미지 데이터 단편에 대한 이미지 데이터 스트림의 레이트를 조정한다. 일 구성에서, 이것은 상술한 바와 같이 FIFO 버퍼들을 이용하여 달성될 수도 있다.

[0048] 전자 디바이스 (102) 는 프로세싱된 이미지 단편 (예를 들면, "프로세싱된 단편") 을 생성하기 위해 2개 이상의 프로세서들 (120) 을 이용하여 단편화된 이미지 데이터를 프로세싱한다 (318). 상술한 바와 같이, 단편화된 이미지 데이터의 프로세싱 (318) 은 크롭핑, 스케일링, 이미지 포맷들의 변환, 칼라 인터플레이션, 칼라 프로세싱, 이미지들 필터링 (예를 들면, 이미지들의 공간적 필터링), 렌즈 아티팩트들 또는 결함에 대한 교정 등을 포함한다. 단편화된 이미지 데이터의 프로세싱 (318) 은 프로세싱된 이미지 단편들을 생성한다.

[0049] 전자 디바이스 (102) 또는 결합 모듈 (122) 은 출력 인터페이스 및/또는 버퍼를 이용하여 프로세싱된 이미지 단편들을 결합한다 (320). 프로세싱된 이미지 단편들의 결합 (320) 은 프로세싱된 이미지 (124) 를 생성한다. 예를 들면, 전자 디바이스 (102) 는 프로세싱된 이미지 (124) 를 출력 버퍼로 전송하기 이전에 프로세싱된 이미지 단편들을 결합하는 (320) 출력 인터페이스를 포함할 수도 있다. 다른 구성에서, 출력 인터페이스는 사용되지 않거나 또는 불필요할 수도 있다. 이 경우, 프로세서들 (120) 은 프로세싱된 이미지 단편들을 출력 버퍼에 직접 기록할 수도 있다. 각각의 파이프라인 (예를 들면, 프로세서 (120)) 은, 만약 있다면, 중첩된 부분들 또는 "패딩"을 갖는 것으로부터 여분의 픽셀들을 크롭할 수도 있다. 다르게는, 결합 모듈 (122) (예를 들면, 출력 인터페이스) 은 프로세싱된 이미지 단편들을 결합할 때 (320) 여분의 픽셀들을 제거할 수도 있다. 다른 구성에서, 결합 모듈 (122) 은 중첩하는 픽셀들을 인접한 프로세싱된 단편들의 픽셀들과 결합한다 (320).

[0050] 전자 디바이스 (102) 는 디스플레이, 저장 및/또는 전송을 위해 프로세싱된 이미지 (124) 를 출력할 수도 있다

(322). 예를 들면, 전자 디바이스 (102) 는 프로세싱된 이미지 (124) 를 메모리에 저장할 수도 있다. 다르게는 또는 부가적으로, 전자 디바이스 (102) 는 프로세싱된 이미지 (124) 를 디스플레이하고/하거나 프로세싱된 이미지 (124) 를 다른 디바이스 (예를 들면, 다른 전자 디바이스, 무선 통신 디바이스, 컴퓨터, 등) 로 전송할 수도 있다.

[0051]

도 4는 복수의 프로세서들을 이용한 병렬 이미지 프로세싱의 일 실시형태를 예시하는 블록도이다. 이 실시형태에서, 이미지 센서A (404a) 는 이미지 (426) 를 획득하거나 캡처한다. 그 후 이미지 센서A (404a) 는 이미지 데이터 (428) 를 다중 프로세서 인터페이스 (408) 로 제공한다. 다중 프로세서 인터페이스 (408) 는 이미지 데이터 (428) 를 프로세서A (420a) 및 프로세서B (420b) 로 매핑하고 이미지 데이터 (428) 를 단편A (430a) 및 단편B (430b) 로 단편화한다. 다중 프로세서 인터페이스 (408) 는 또한 단편A (430a) 및 단편B (430b) 를 각각의 프로세서A (420a) 및 프로세서B (420b) 클록 레이트들과 동기화한다. 다중 프로세서 인터페이스 (408) 는 단편A (430a) 를 프로세서A (420a) 로 제공하고 및 단편B (430b) 를 프로세서B (420b) 로 제공한다. 프로세서A (420a) 는 단편A (430a) 를 프로세싱하여 프로세싱된 단편A (432a) 를 생성하고 프로세서B (420b) 는 단편B (430b) 를 프로세싱하여 프로세싱된 단편B (432b) 를 생성한다. 프로세싱된 단편A (432a) 및 프로세싱된 단편B (432b) 는 출력 인터페이스 (422) 에 제공된다. 출력 인터페이스 (422) 는 프로세싱된 단편A (432a) 및 단편B (432b) 를 결합하여 프로세싱된 이미지 (424) 를 생성한다.

[0052]

더 구체적인 실시형태는 다음과 같다. 4000x3000 해상도의 이미지 센서 입력을 30FPS로 프로세싱하기 위해 초당 360 메가픽셀 (MP/sec) 의 스트루트 요구된다고 가정한다. 파이프라인의 필터링 동작만이 3x3 유한 임펄스 응답 (FIR; Finite Impulse Response) 공간 필터인 것으로 가정한다. 본 실시형태에서는 센서 블랭킹이 가정되지 않는다. 또한, 프로세서A (420a) 가 3504 픽셀 라인폭까지의 260 MP/sec의 성능을 갖는 이미지 신호 프로세서 (ISP) 인 것으로 가정한다. 이러한 형태의 이미지 신호 프로세서 (ISP) 는 통상 8MP의 카메라에 대해 사용될 수도 있다.

[0053]

현재의 해상도와 프레임 레이트에서 이미지 데이터 (428) 를 프로세싱하기 위해 프로세서B (420b) 가 제공해야 할 필요가 있는 성능이 결정될 수도 있다. 프로세서A (420a) 는 한 라인에서 3504 픽셀들까지 프로세싱할 수 있지만, 3504*3000*30FPS가 260 MP/sec보다 더 크기 때문에 그 프로세싱 스트루트는 제한된다. 프로세서A (420a) 는 4000 픽셀들* (260 MP/sec) / (360 MP/sec) \approx 2888 픽셀 폭만을 프로세싱할 수 있다. 3x3 공간 필터가 존재하기 때문에, 패딩의 1 여분 칼럼이 또한 필요하게 된다. 따라서, 단편A (430a) (프로세서A (420a) 로의 입력) 는 2888 픽셀들의 폭과 3000 픽셀들의 높이일 수도 있지만, 프로세싱된 단편A (432a) (프로세서A (420a) 로부터의 출력) 는 2887x3000 픽셀이다. 따라서, 프로세서B (420b) 는 라인당 1114 픽셀들 (=4000-2887+1 패딩 칼럼) 을 프로세싱할 수 있어야만 한다. 따라서, 프로세서B (420b) 의 스트루트는 적어도 1114 픽셀들*3000 픽셀들*30FPS \approx 101 MP/sec이어야만 한다. 프로세서B (420b) 가 이 성능을 가지지 못하면, 하나 이상의 프로세서들 (420) 이 추가될 수도 있다.

[0054]

2개 이상의 프로세서들을 결합함으로써, 개개의 프로세서들에 의해 프로세싱될 수 있는 것보다 더 큰 해상도의 센서들로부터의 이미지 데이터가 프로세싱될 수 있다. 본원에서 개시된 시스템들 및 방법들의 이러한 이점은 하기의 표 1에 예시된다. 예를 들면, 프로세서A (420a) 가 5.04MP의 이미지들을 프로세싱할 수 있고 프로세서B (420b) 가 3.15MP의 이미지들을 프로세싱할 수 있다고 가정한다. 표 1에 따르면, 프로세서A (420a) 및 프로세서B (420b) 는 함께 15.27MP 해상도의 센서로부터의 이미지 데이터를 프로세싱할 수 있다. 이것은, 프로세서A (420a) 가 이미지 데이터의 한 부분 (예를 들면, 왼쪽 단편) 를 프로세싱하고 프로세서B (420b) 가 이미지 데이터의 다른 부분 (예를 들면, 오른쪽 단편) 을 프로세싱하기 때문이다. 따라서, 복수의 프로세서들이 고해상도 이미지 센서들로부터의 이미지 데이터를 프로세싱할 수도 있다. 표 1에서, 편의상 "폭" (픽셀 단위) 은 "W"로 약기되고 "높이" (픽셀 단위) 는 "H"로 약기된다.

표 1

프로세서A			프로세서B											
MP	W	H	MP	W	H	MP	W	H	MP	W	H	MP	W	H
1.92	1600	1200	7.08	3072	2304	9.29	3520	2640	10.51	3744	2808	12.39	4064	3048
3.15	2048	1536	9.29	3520	2640	11.81	3968	2976	13.18	4192	3144	15.27	4512	3384
3.87	2272	1704	10.51	3744	2808	13.18	4192	3144	14.63	4416	3312	16.82	4736	3552
5.04	2592	1944	12.39	4064	3048	15.27	4512	3384	16.82	4736	3552	19.17	5056	3792
5.95	2816	2112	13.79	4288	3216	16.82	4736	3552	18.45	4960	3720	20.91	5280	3960
7.99	3264	2448	16.82	4736	3552	20.16	5184	3888	21.93	5408	4056	24.61	5728	4296
9.98	3648	2736	19.66	5120	3840	23.25	5568	4176	25.16	5792	4344	28.02	6112	4584
12.00	4000	3000	22.46	5472	4104	26.28	5920	4440	28.31	6144	4608	31.34	6464	4848
13.33	4216	3162	24.27	5688	4266	28.24	6136	4602	30.34	6360	4770	33.47	6680	5010
15.93	4608	3456	27.72	6080	4560	31.96	6528	4896	34.19	6752	5064	37.51	7072	5304
16.82	4736	3552	28.90	6208	4656	33.23	6656	4992	35.50	6880	5160	38.88	7200	5400
21.68	5376	4032	35.17	6848	5136	39.92	7296	5472	42.41	7520	5640	46.10	7840	5880

[0055]

[0056]

미지 신호 프로세서들 (예를 들면, 프로세서들 (420)) 은 그들이 프로세싱할 수 있는 이미지의 폭에 의해 제한될 수도 있음을 주목해야 한다. 예를 들면, 1600의 폭을 갖는 프로세서A (420a) 와 2048의 폭을 갖는 프로세서B (420b) 는 거의 1600+2048의 폭을 갖는 이미지를 프로세싱할 수 있는데, 이것은 대략 9MP이다. 표 1에서, 결합된 폭들은, 본 실시형태에서 128로 설정된 몇몇 패딩들 때문에 폭들의 단순 합으로서 예시되지 않는다. 보다 구체적으로는, 1600의 폭을 갖는 프로세서A (420a) 와 2048의 폭을 갖는 프로세서B (420b) 의 결합은 합계가 3648이 될 것이지만, 패딩 때문에 3520의 폭을 갖는 것으로 예시된다. 통상의 이미지 센서들에 대한 것일 수도 있는 화상 중횡비가 4:3임을 가정하여 예시된 높이들이 결정됨을 또한 주지해야 한다.

[0057]

도 5는 복수의 프로세서들을 이용한 병렬 이미지 프로세싱의 다른 실시형태를 예시하는 블록도이다. 보다 구체적으로는, 도 5는 단일 이미지 센서 (504) /복수의 이미지 센서들 (520) 의 경우를 예시한다. 이미지 센서 (504) 는 이미지 데이터 (528) 를 캡처 또는 획득한다. 본 실시형태에서, 이미지 센서 (504) 는 이미지 데이터 (528) 를 단일의 고대역폭 데이터 스트림 (534) 으로서 매핑, 단편화 및 동기화 모듈 (536) 에 제공한다. 매핑, 단편화 및 동기화 모듈 (536) 은 이미지 데이터 (528) 를 복수의 프로세서들 (520a-n) 로 매핑하고, 그 이미지 데이터 (528) 를 단편A (530a), 단편B (530b), 단편C (530c) 등등해서 단편N (530n) 까지 단편화한다. 즉, 이미지 데이터 (528) 는 2개 이상의 단편들 (530) 로 단편화된다. 각각의 단편 (530) 은 저대역폭 데이터 스트림 (538a-n) 으로서 병렬 프로세싱 이미지 신호 프로세서들 (540) 로 제공된다. 따라서, 복수의 저대역폭 데이터 스트림들 (538a-n) 은 병렬 프로세싱 이미지 신호 프로세서들 (540) 로 전송된다. 보다 구체적으로는, 단편A (530a) 는 저대역폭 데이터 스트림A (538a) 으로서 이미지 신호 프로세서A (520a) 에 제공되고, 단편B (530b) 는 저대역폭 데이터 스트림B (538b) 로서 이미지 신호 프로세서B (520b) 에 제공되고, 단편C (530c) 는 저대역폭 데이터 스트림C (538c) 로서 이미지 신호 프로세서C (520c) 에 제공되고 등등해서 단편N (530n) 은 저대역폭 데이터 스트림N (538n) 으로서 이미지 신호 프로세서N (520n) 에 제공된다. 또한, 데이터 매핑, 단편화 및 동기화 모듈 (536) 은 각각의 저대역폭 데이터 스트림 (538a-n) 을 각각의 이미지 신호 프로세서 (520a-n) 의 각각의 클록 레이트에 동기화시킨다. 도 5에 도시된 바와 같이, 본원에서 개시된 시스템들 및 방법들은 복수의 프로세서들을 이용한 병렬 프로세싱을 통해 데이터 레이트 감소를 제공한다.

[0058]

이미지 신호 프로세서들 (520a-n) 의 각각은 결합 모듈 (522) 에 프로세싱된 단편 (532a-n) 을 제공한다. 결합 모듈 (522) 은 프로세싱된 이미지 단편들A-N (532a-n) 을 프로세싱된 이미지 (524) 로 결합한다. 도 5에 도시된 실시형태에 의해 예시되는 바와 같이, 이미지 프로세싱은 본원에서 개시된 시스템들 및 방법들에 따라 병렬로 그리고 실시간으로 달성될 수도 있다.

- [0059] 도 6은 다중 프로세서 인터페이스 (608) 의 일 구성에 대한 상세를 예시하는 블록도이다. 하나 이상의 이미지 센서들 (604a-n) 은 다중 프로세서 인터페이스 (608) 에 커플링될 수도 있다. 다중 프로세서 인터페이스 (608) 는 2개 이상의 프로세서들 (620a-n) 에 커플링될 수도 있다. 다중 프로세서 인터페이스 (608) 는 하드웨어 및/또는 소프트웨어 모듈로서 구현될 수도 있다. 예를 들면, 다중 프로세서 인터페이스 (608) 는 본원에서 개시된 시스템 및 방법들을 구현하기 위해 사용되는 컴포넌트들을 포함하는 집적회로 (IC: Integrated Circuit) 로서 구현될 수도 있다. 다르게는, 다중 프로세서 인터페이스 (608) 는 본원에서 개시된 시스템 및 방법들을 구현하기 위해 사용되는 명령들 또는 코드를 포함하는 소프트웨어 모듈로서 구현될 수도 있다. 다르게는, 다중 프로세서 인터페이스 (608) 는 하드웨어 및 소프트웨어의 조합으로서 구현될 수도 있다. 따라서, 다중 프로세서 인터페이스 (608) 는 기능성의 관점에서 설명된다.
- [0060] 다중 프로세서 인터페이스 (608) 는 멀티플렉서 어레이 (644), 2개 이상의 인터페이스 모듈들 (650a-n) 및 2개 이상의 동기화기 (654a-n) 를 포함할 수도 있다. 멀티플렉서 어레이 (644) 는 매핑 (612) 기능을 제공할 수도 있다. 예를 들면, 멀티플렉서 어레이 (644) 는 하나 이상의 데이터 멀티플렉서들 (도 6에서 편의상 "Data Mux"로 명명됨) (646a-m) 및 하나 이상의 클록 멀티플렉서들 (648a-m) (도 6에서 편의상 "Clock Mux"로 명명됨) 을 포함할 수도 있다. 데이터 멀티플렉서들 (646a-m) 은 이미지 데이터 (628a-m) 를 2개 이상의 프로세서들 (620a-n) 로 매핑한다. 보다 구체적으로는, 데이터 멀티플렉서들 (646a-m) 은 하나 이상의 이미지 센서들 (604a-m) 중 임의의 것으로부터의 이미지 데이터 (628a-m) 를 2개 이상의 프로세서들 (620a-n) 중 임의의 것으로 매핑할 수도 있다.
- [0061] 클록 멀티플렉서들 (648a-m) 은 센서 클록 신호들 (642a-m) 을 인터페이스 모듈들 (650a-n) 및 동기화기 모듈들 (654a-n) 로 매핑하기 위해 사용된다. 센서 클록 신호들 (642a-m) 은 이미지 데이터 (628a-m) 가 캡처되고 있는 레이트 또는 프레임 레이트를 나타낼 수도 있다. 다시 말하면, 클록 멀티플렉서들 (648a-m) 은 센서 클록 신호들 (642a-m) 을 클록 신호들 (652a-n) 로서 인터페이스 블록들 (650a-n) 및 동기화기들 (654a-n) 로 매핑할 수도 있다. 예를 들면, 센서 클록B (642b) 는 클록 신호A (652a) 로서 인터페이스A (650a) 및 동기화기A (654a) 로 매핑될 수도 있다.
- [0062] 인터페이스 모듈들 (650a-n) 은 단편화 (614a-n) 기능을 제공한다. 예를 들면, 인터페이스들 (650a-n) 은, 이미지 센서들 (604a-m) 로부터의 이미지 데이터 (628a-m) 를 단편화하는 "크로퍼들 (croppers)"로서 구현될 수도 있다. 인터페이스 모듈들 (650a-n) 은 클록 신호들 (652a-n) 을 사용할 수도 있다. 예를 들면, 인터페이스 모듈들 (650a-n) 은, 클록 신호들 (652a-n) 이 회로들을 작동시키기 위해 사용되도록, 하드웨어로 구현될 수도 있다. 센서 클록들 (642a-m) 은 이미지 데이터 (628a-m) 와 (예를 들면, 각각) 동기화될 수도 있다. 따라서, 클록 신호들 (652a-n) 은 각 사이클이 이미지 센서들 (604) 로부터의 각각의 데이터 엘리먼트에 대응하도록 하드웨어의 시간이 맞춰지는 것을 허용할 수도 있다. 이렇게 하여, 인터페이스 모듈들 (650a-n) 은 데이터가 전달되는 때와 데이터의 타이밍을 "이해"할 수도 있다. 데이터의 타이밍은 크롭핑과 같은 동작들을 위해 사용되는 로직을 동기적으로 구동하기 위해 사용될 수도 있다. 일반적으로, 클록 신호들 (652a-n) 은, 유효 데이터가 이미지 센서들 (604a-m) 로부터 단편화 로직으로 전달되는 때를 이해하기 위해 단편화 로직에 하나 이상의 타이밍 신호들을 제공할 수도 있다.
- [0063] 인터페이스 모듈들 (650a-n) 은 단편화된 이미지 데이터를 동기화기 (654a-n) 로 제공한다. 동기화기 (654a-n) 는 동기화 (616a-n) 기능을 제공한다. 동기화기 (654a-n) 는 단편화된 이미지 데이터를 프로세서들 (620a-n) 의 클록 도메인에 동기화시키기 위해 클록 신호들 (652a-n) 및 프로세서 클록 신호들 (656a-n) 을 사용할 수도 있다. 이렇게 하여, 단편화된 이미지 데이터는 프로세서들 (620a-n) 에 의해 병렬로 그리고 실시간으로 프로세싱될 수도 있다. 일 구성에서, 각각의 프로세서 (620a-n) 는 상이한 클록 레이트에서 동작한다. 따라서, 각각의 이미지 단편의 적절한 프로세싱을 조화시키기 위해 단편화된 이미지 데이터를 각각의 프로세서 (620a-n) 의 클록 도메인에 동기화시키는 것이 필요할 수도 있다. 도 6에 예시된 바와 같이, 각각의 프로세서 (620a-n) 는 프로세싱된 이미지 데이터 (658a-n) 를 출력한다. 본원의 시스템 및 방법들에 따르면, 프로세서들 (620a-n) 과는 상이한 수의 이미지 센서들 (604a-m) 이 존재할 수도 있음을 주목해야 한다. 다르게는, 프로세서들 (620a-n) 과 동일한 수의 이미지 센서들 (604a-m) 이 존재할 수도 있다.
- [0064] 도 7은 이미지 데이터 단편화의 일 실시형태를 예시하는 도면이다. 구체적으로는, 2개의 프로세서들 (120) 을 이용하는 프로세싱을 위한 이미지 데이터의 수직 단편화가 예시된다. 액티브 픽셀들 (774) 및 블랭킹 (764) 은 이미지 센서 (104) 에 의해 제공된 이미지 데이터의 2 영역들이다. 액티브 픽셀들 (774) 은 이미지를 생성하기 위해 사용되는 이미지 데이터의 픽셀들이다. 다시 말하면, 액티브 픽셀들 (774) 은 프로세싱된 이미지 (124) 를 생성하기 위해 프로세싱될 픽셀들이다. 블랭킹 (764) 은 액티브 픽셀들 (774) 을 둘러

싸는 영역이다. 블랭킹 영역 (764) 은 액티브 픽셀 영역 (774) 의 부분이 아닌 영역을 포함할 수도 있다.

예를 들면, 이미지 센서 (104) 는 블랭킹 영역 (764) 픽셀들을 전송할 수도 있고 전송하지 않을 수도 있다.

예를 들면, 블랭킹 영역 (764) 은, 작업을 종료하고 다음 데이터의 단편을 핸들링하기 위한 다수의 사이클들을 이미지 센서 (104) 회로부에 제공하기 위해 프레임들 사이에서 및/또는 한 프레임 내의 라인들 사이에서 사용될 수도 있다. 이 시간 동안, 임의의 유효한 데이터가 제공되지 않아, 결과적으로 블랭킹 영역 (764) 으로 나타날 수도 있다.

[0065] 도 7에서, 여러 문자들이 이미지 데이터의 여러 크기들을 나타낸다. 보다 구체적으로는, m (760) 은 블랭킹 (764) 을 포함하는 제 1의 단편의 수평 치수를 나타내고, n (762) 은 블랭킹 (764) 을 포함하는 제 2의 단편의 수평 치수를 나타내고, p (776) 는 블랭킹 (764) 및 액티브 픽셀들 (774) 의 수직 치수를 나타내고, q (766) 는 액티브 픽셀들 (774) 의 제 1의 단편의 수평 치수를 나타내고, r (772) 은 액티브 픽셀들의 제 2의 단편의 수평 치수를 나타내며, s (778) 는 액티브 픽셀들 (774) 의 수직 치수를 나타낸다. 본 실시형태에서, 하나의 이미지 센서 (104) 로부터의 이미지 데이터는 두 개의 프로세서들 (120) 에서의 프로세싱을 위한 두 개의 단편들로 단편화된다. 본 실시형태에 따르면, 이미지 센서 (104) 가 식 (1) 에서 예시된 바와 같은 해상도 (예를 들면, 픽셀들 단위) 를 갖는 것으로 가정된다.

[0066]
$$\text{Sensor_Resolution} = (q+r)*s \quad (1)$$

[0067] 이미지 데이터 입력 레이트는 식 (2) 에서 예시된 바와 같이 정의될 수도 있다.

[0068]
$$\text{Input_Rate} = (m+n)*p*\text{fps} \quad (2)$$

[0069] 식 (2) 에서, fps는 프레임 레이트 (예를 들면, FPS 단위) 이다. Input_Rate는, 이미지 데이터가 이미지 센서 (104) 로부터 다중 프로세서 인터페이스 (108) 에 입력되는 레이트이다.

[0070] 본 실시형태에서, 이미지 데이터는 심 (seam; 780) 에 의해 두 개의 단편들로 단편화된다. (액티브 픽셀들 (774) 중) 제 1의 단편은 q (766) × s (778) 의 크기를 갖는다. 그러나, pad₁ (768) × s (778) 의 크기를 갖는 제 1의 패드는 제 1의 프로세서 (120) 에 의해 프로세싱될 수도 있다. 따라서, 제 1의 프로세서 (120) 의 입력 해상도는 식 (3) 에서 예시된다.

[0071]
$$\text{Input_Resolution}_1 = (q+\text{pad}_1)*s \quad (3)$$

[0072] 따라서, 제 1의 프로세서 (120) 는 식 (4) 에서 예시된 바와 같은 프로세싱 레이트를 갖는다.

[0073]
$$\text{Processing_Rate}_1 \geq (m+\text{pad}_1)*p*\text{fps} \quad (4)$$

[0074] 그리고, 제 1의 프로세서 (120) 의 출력 해상도는 식 (5) 에서 예시된다.

[0075]
$$\text{Output_Resolution}_1 = q*s \quad (5)$$

[0076] 마찬가지로, 제 2의 프로세서 (120) 의 입력 해상도, 프로세싱 레이트 및 출력 해상도는 식 (6), (7) 및 (8) 에서 각각 주어진다.

[0077]
$$\text{Input_Resolution}_2 = (r+\text{pad}_2)*s \quad (6)$$

[0078] 식 (6) 에서, Input_Resolution₂는 제 2의 프로세서 (120) 의 입력 해상도이며 pad₂ (770) 는 제 2의 패드의 수평 치수이다. pad₁ 및 pad₂의 사이즈들은 상술한 바와 같이 심 (780) 에서 아티팩트들을 방지하는데 필요한 패딩의 양에 의해 결정될 수도 있음을 주목해야만 한다.

[0079]
$$\text{Processing_Rate}_2 \geq (n+\text{pad}_2)*p*\text{fps} \quad (7)$$

[0080] 식 (7) 에서, Processing_Rate₂는 제 2의 프로세서 (120) 의 프로세싱 레이트이다. 식 (8) 은 제 2의 프로세서 (120) 의 출력 해상도 (Output_Resolution₂) 를 예시한다.

[0081]
$$\text{Output_Resolution}_2 = r*s \quad (8)$$

[0082] 도 8은 전자 디바이스 (802) 에서 활용될 수도 있는 여러 컴포넌트들을 예시한다. 예시된 컴포넌트들은 동일한 물리적 구조 내에 또는 별개의 하우징 또는 구조들에 위치될 수도 있다. 도 1과 관련하여 논의된 전자

디바이스 (102) 는 전자 디바이스 (802) 와 유사하게 구성될 수도 있다. 전자 디바이스 (802) 는 하나 이상의 이미지 센서들 (804) 을 포함한다. 하나 이상의 이미지 센서들 (804) 은 광학 신호 (예를 들면, 이미지) 를 캡처하거나 또는 전자 신호 또는 이미지 데이터로 변환하는 하나 이상의 디바이스들일 수도 있다. 이미지 센서들 (804) 의 실시형태들은 CCD (Charge-Coupled Device) 및 CMOS (Complementary Metal Oxide Semiconductor) 센서들을 포함한다.

[0083] 전자 디바이스 (802) 는 두 개 이상의 이미지 신호 프로세서들 (820) 을 포함한다. 2개 이상의 이미지 신호 프로세서들 (820) 은 하나 이상의 이미지 센서들 (804) 에 직접적으로 및/또는 간접적으로 커플링될 수도 있다.

2개 이상의 이미지 신호 프로세서들 (820) 은 범용의 단일 또는 복수 칩의 마이크로프로세서들 (예를 들면, ARM들), 특별한 목적의 마이크로프로세서들 (예를 들면, 디지털 신호 프로세서들 (DSP들)), 마이크로컨트롤러들, 프로그램 가능한 게이트 어레이들, 등등일 수도 있다. 2개 이상의 이미지 신호 프로세서들 (820) 은 이미지 프로세싱 기능들을 수행하기 위해 사용될 수도 있다. 예를 들면, 2개 이상의 이미지 신호 프로세서들은 크롭핑, (예를 들면, 상이한 해상도로의) 스케일링, 이미지 포맷 변환, 칼라 인터폴레이션, 칼라 프로세싱, 이미지 필터링 (예를 들면, 공간적 이미지 필터링), 렌즈 아티팩트 또는 결함 보정, 등등을 수행할 수도 있다.

[0084] 전자 디바이스 (802) 는 프로세서 (888) 를 포함한다. 프로세서 (888) 는 범용의 단일 칩 또는 복수 칩의 마이크로프로세서 (예를 들면, ARM), 특별한 목적의 마이크로프로세서 (예를 들면, 디지털 신호 프로세서 (DSP)), 마이크로컨트롤러, 프로그램 가능한 게이트 어레이 등일 수도 있다. 프로세서 (888) 는 중앙 처리 유닛 (CPU) 으로 칭해질 수도 있다. 도 8의 전자 디바이스 (802) 에 단일 프로세서 (888) 만이 도시되었지만, 다른 대안적인 구성에서, 프로세서들의 조합 (예를 들면, ARM 및 DSP) 이 사용될 수도 있다.

[0085] 전자 디바이스 (802) 는 프로세서 (888) 와 전자적으로 통신하는 메모리 (882) 를 또한 포함한다. 즉, 프로세서 (888) 는 메모리 (882) 로부터 정보를 판독할 수 있고/있거나 메모리 (882) 에 정보를 기록할 수 있다.

메모리 (882) 는 전자적 정보를 저장할 수 있는 임의의 전자 컴포넌트일 수 있다. 메모리 (882) 는 RAM, ROM, 자기 디스크 저장 매체, 광학 저장 매체, RAM의 플래시 메모리 디바이스들, 프로세서와 함께 포함된 온보드 메모리, PROM (programmable read-only memory), EPROM (erasable programmable read-only memory), EEPROM (electrically erasable PROM), 레지스터들, 등등, 및 이들의 조합을 포함할 수도 있다.

[0086] 데이터 (886a) 및 명령들 (884a) 은 메모리 (882) 에 저장될 수도 있다. 명령들 (884a) 은 하나 이상의 프로그램들, 루틴들, 서브루틴들, 함수들, 프로시저들 등을 포함할 수도 있다. 명령들 (884a) 은 단일의 컴퓨터 판독 가능 선언문 (statement) 또는 많은 컴퓨터 판독 가능 선언문들을 포함할 수도 있다. 명령들 (884a) 은 상기 설명된 방법들을 구현하도록 프로세서 (888) 에 의해 실행될 수도 있다. 명령들 (884a) 의 실행은 메모리 (882) 에 저장된 데이터 (886a) 의 사용을 수반할 수도 있다. 도 8은 프로세서 (888) 에 로딩된 몇몇 명령들 (884b) 및 데이터 (886b) 를 도시한다.

[0087] 전자 디바이스 (802) 는 다른 전자 디바이스들과 통신하기 위한 하나 이상의 통신 인터페이스들 (890) 을 또한 포함할 수도 있다. 통신 인터페이스들 (890) 은 유선 통신 기술, 무선 통신 기술, 또는 양자에 기초할 수도 있다. 상이한 형태들의 통신 인터페이스들 (890) 의 실시형태들은 직렬 포트, 병렬 포트, USB, 이더넷 어댑터, IEEE 1394 버스 인터페이스, 스카시 (SCSI) 버스 인터페이스, IR (infrared) 통신 포트, 블루투스 무선 통신 어댑터 등등을 포함한다.

[0088] 전자 디바이스 (802) 는 하나 이상의 입력 디바이스들 (892) 및 하나 이상의 출력 디바이스들 (894) 을 또한 포함할 수도 있다. 상이한 종류들의 입력 디바이스들 (892) 의 실시형태들은 키보드, 마우스, 마이크, 원격 제어 디바이스, 버튼, 조이스틱, 트랙볼, 터치패드, 라이트펜, 등등을 포함한다. 상이한 종류들의 출력 디바이스들 (894) 의 실시형태는 스피커, 프린터 등을 포함한다. 전자 디바이스 (802) 에 통상적으로 포함될 수도 있는 출력 디바이스의 한 특정 타입은 디스플레이 디바이스 (896) 이다. 본원에서 개시된 구성들과 함께 사용되는 디스플레이 디바이스들 (896) 은 CRT (cathode ray tube), LCD (liquid crystal display), LED (light-emitting diode), 가스 플라즈마, 전자 발광 등등과 같은, 임의의 적절한 이미지 투영 기술을 활용할 수도 있다. 메모리 (882) 에 저장된 데이터를 디스플레이 디바이스 (896) 상에 표시된 텍스트, 그래픽스 및/또는 무빙 이미지들로 (적절히) 변환하기 위해 디스플레이 컨트롤러 (도시되지 않음) 가 또한 제공될 수도 있다.

[0089] 전자 디바이스 (802) 는 전원 및/또는 인터페이스 (898) 를 또한 포함할 수도 있다. 전원 및/또는 인터페이스 (898) 는 전력을 전자 디바이스 (802) 에 제공할 수도 있다. 예를 들면, 전원/인터페이스 (898) 는 배터

리일 수도 있다. 대안으로, 전원/인터페이스는 전력이 제공될 수도 있는 포트일 수도 있다. 예를 들면, 전원/인터페이스 (898)는 AC 또는 DC 전력을 받아들이는 포트일 수도 있다. 일 구성에서, 전원/인터페이스 (898)는 전력 소켓으로 플러그되는 전력 어댑터를 수용하기 위해 사용된다. 대안으로, 전원/인터페이스 (898)는 USB 포트를 통해 전력을 받아들일 수도 있다. 또 다른 구성에서, 전원/인터페이스 (898)는 전력을 (예를 들면, 유도 또는 근접 충전 디바이스를 이용하여) 무선으로 받아들일 수도 있다.

[0090] 전자 디바이스 (802)의 여러 컴포넌트들은 하나 이상의 버스들에 의해 함께 커플링될 수도 있는데, 상기 버스들은 파워 버스, 제어 신호 버스, 상태 신호 버스, 데이터 버스 등을 포함할 수도 있다. 간략화를 위해, 여러 버스들은 도 8에서 버스 시스템 (811)으로서 예시된다. 도 8은 전자 디바이스 (802)의 단지 하나의 가능한 구성만을 예시함을 주목해야만 한다. 여러 다른 아키텍처들 및 컴포넌트들이 활용될 수도 있다.

[0091] 도 9는 무선 통신 디바이스 (901)에서 활용될 수도 있는 여러 컴포넌트들을 예시한다. 무선 통신 디바이스 (901)는 다른 전자 디바이스들과 무선으로 통신하기 위해 사용되는 전자 디바이스들 (102, 802)의 한 종류일 수도 있다. 무선 통신 디바이스들 (901)의 실시형태들은 셀룰러 텔레폰들, 스마트폰들, PDA들 (Personal Digital Assistants), e-리더들, 게이밍 시스템들, 뮤직 플레이어들, 넷북들, 무선 모뎀들, 랩탑 컴퓨터들, 태블릿 디바이스들 등을 포함한다. 도 1과 관련하여 논의된 전자 디바이스 (102)는 전자 디바이스 (901)와 유사하게 구성될 수도 있다.

[0092] 무선 통신 디바이스 (901)에 포함된 컴포넌트들 중 많은 것들은 도 8과 관련하여 설명된 컴포넌트들과 유사하게 구성되고 기능할 수도 있다. 예를 들면, 무선 통신 디바이스는 하나 이상의 이미지 센서들 (904), 두 개 이상의 이미지 신호 프로세서들 (920), 명령들 (984a) 및/또는 데이터 (986a)를 포함하는 메모리 (982), 메모리 (982)로부터의 명령들 (984b) 및/또는 데이터 (986b)를 로딩하는 프로세서 (988), 하나 이상의 통신 인터페이스들 (990), 하나 이상의 입력 디바이스들 (992), 디스플레이 디바이스 (996)와 같은 하나 이상의 출력 디바이스들 (994) 및 전원/인터페이스 (998)를 포함할 수도 있다. 무선 통신 디바이스 (901)는 송신기 (905) 및 수신기 (907)를 추가적으로 포함할 수도 있다. 송신기 (905) 및 수신기 (907)는 총체적으로 트랜스미버 (903)로 칭해질 수도 있다. 트랜스미버 (903)는 무선 신호들을 송신하고/하거나 수신하기 위한 하나 이상의 안테나들 (909)에 커플링될 수도 있다. 도 8과 관련하여 상술된 전자 디바이스 (802)와 유사하게, 무선 통신 디바이스 (901)는 도 9에서 버스 시스템 (911)으로서 예시된 하나 이상의 버스들을 포함할 수도 있다. 버스 시스템 (911)은 상술된 컴포넌트들을 함께 커플링하여, 조화된 동작을 가능하게 할 수도 있다.

[0093] 본원에서 사용된 바와 같이, 용어 "무선 통신 디바이스"는 다른 전자 디바이스 (예를 들면, 기지국)에 무선으로 접속할 수도 있는 전자 디바이스 (예를 들면, 액세스 단말, 클라이언트 디바이스, 클라이언트 스테이션 (STA) 등등)를 일반적으로 나타낸다. 무선 통신 디바이스는 대안적으로 모바일 디바이스, 모바일 스테이션, 가입자 스테이션, 유저 설비 (UE), 원격 스테이션, 액세스 단말, 모바일 단말, 단말, 유저 단말, 가입자 유닛 등으로서 칭해질 수도 있다. 무선 통신 디바이스들의 실시형태들은 랩탑 또는 데스크탑 컴퓨터들, 셀룰러폰들, 스마트폰들, 무선 모뎀들, e-리더들, 태블릿 디바이스들, 게이밍 시스템들, 등을 포함한다. 무선 통신 디바이스들은 3GPP (3rd Generation Partnership Project)와 같은 하나 이상의 산업 표준들에 따라 동작할 수도 있다. 따라서, 일반적 용어 "무선 통신 디바이스"는 산업 표준들에 따라 명명법을 달리하여 설명된 무선 통신 디바이스들 (예를 들면, 액세스 단말, 유저 설비 (UE), 원격 단말 등등)을 포함할 수도 있다.

[0094] 상기 설명에서, 도면 부호들은 가끔 여러 용어들과 연계하여 사용되었다. 한 용어가 한 도면 부호와 연계하여 사용되면, 이것은 하나 이상의 도면들에서 도시된 특정 엘리먼트를 가리키는 것을 의미할 수도 있다. 한 용어가 도면 부호 없이 사용되면, 이것은 임의의 특정 도면에 대한 제한 없이 그 용어를 일반적으로 지칭하는 것을 의미할 수도 있다.

[0095] 용어 "결정하는"은 다양한 동작들을 포괄하며, 따라서, "결정하는"은 계산하는, 컴퓨팅하는, 프로세싱하는, 유도하는, 조사하는, 찾아보는 (예를 들면, 테이블, 데이터베이스 또는 다른 데이터 구조에서 찾아 보는), 확인하는 등을 포함할 수 있다. 또한, "결정하는"은 수신하는 (예를 들면, 정보를 수신하는), 액세스하는 (메모리의 데이터에 액세스하는) 등을 포함할 수 있다. 또한, "결정하는"은 해결하는, 선택하는, 고르는, 확립하는 등을 포함할 수 있다.

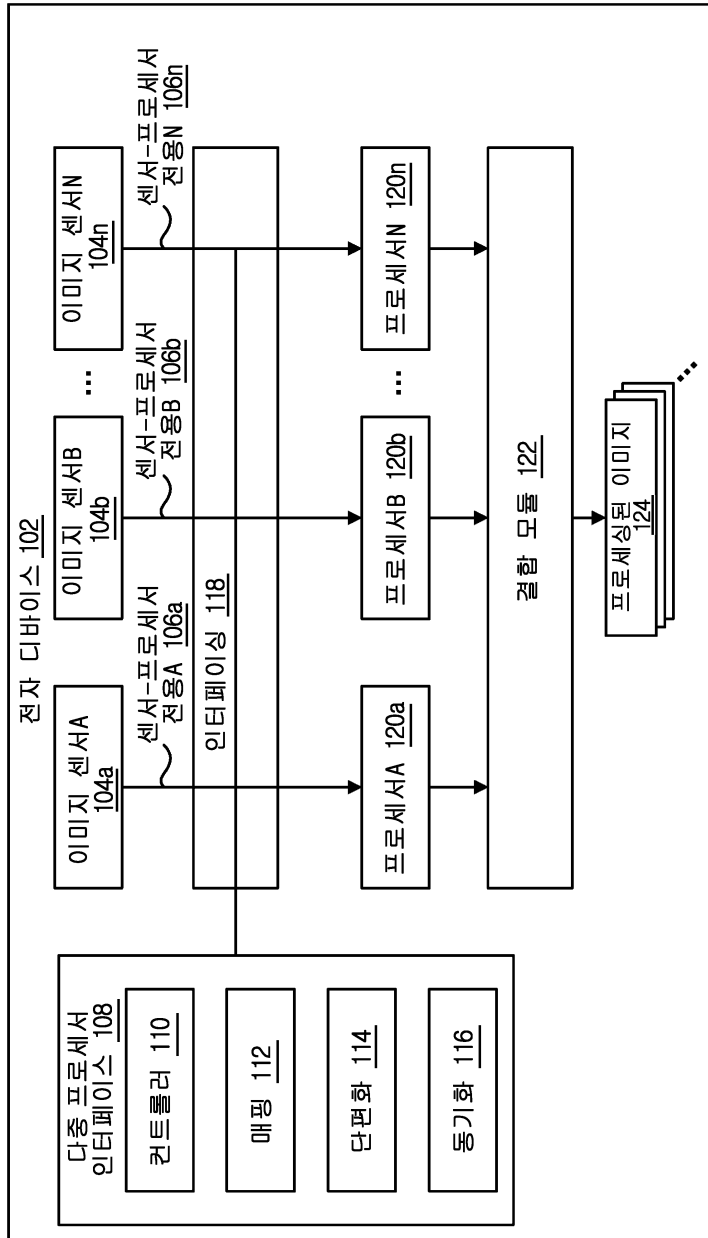
[0096] 어구 "기초하여"는, 명시적으로 특정되지 않는 한, "~에만 기초하여"를 의미하는 것이 아니다. 다시

말하면, 어구 "기초하여"는 "~에만 기초하여"와 "~에 적어도 기초하여"의 양자를 나타낸다.

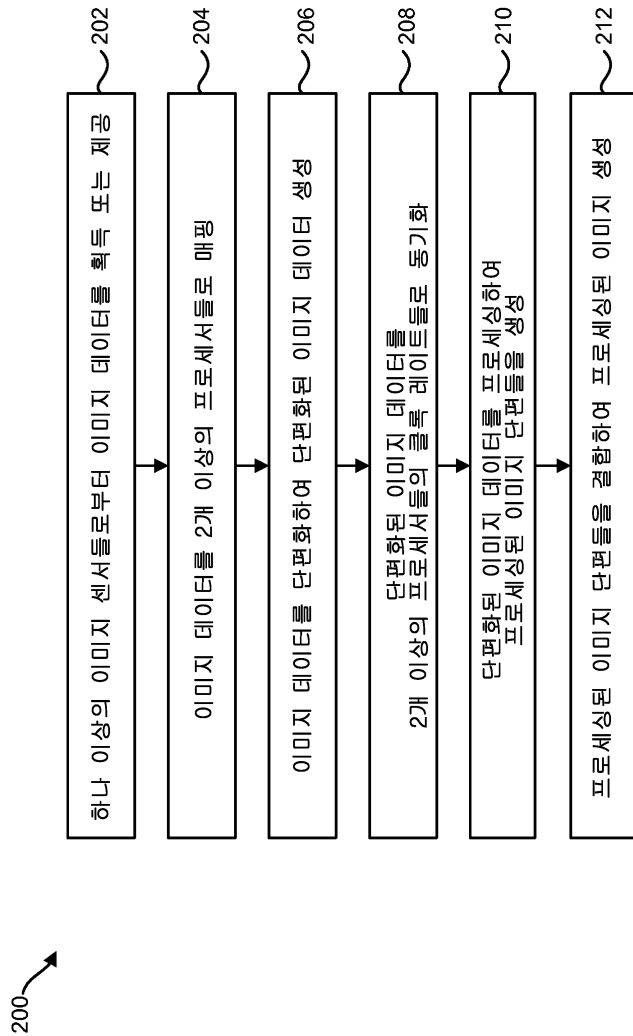
- [0097] 본원에서 설명된 기능들은 하나 이상의 명령들로서 프로세서 판독 가능 또는 컴퓨터 판독 가능 매체 상에 저장될 수도 있다. 용어 "컴퓨터 판독 가능 매체"는 컴퓨터 또는 프로세서에 의해 액세스될 수 있는 임의의 이용 가능한 매체를 지칭한다. 비제한적인 예로서, 이러한 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 요구되는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 저장하기 위해 사용될 수 있으며 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에서 사용된 디스크 (disk) 와 디스크 (disc) 는, 콤팩트 디스크 (CD), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크 (DVD), 플로피디스크 및 블루레이 디스크[®]를 포함하며, 여기서 디스크 (disk) 는 통상 자기적으로 데이터를 재생하고, 디스크 (disc) 는 레이저를 이용하여 광학적으로 데이터를 재생한다. 컴퓨터 판독 가능 매체는 유형이며 (tangible) 비일시적일 수도 있다. 용어 "컴퓨터 프로그램 제품"은 컴퓨팅 디바이스 또는 프로세서에 의해 실행, 프로세싱 또는 컴퓨팅될 수 있는 코드 또는 명령들 (예를 들면, "프로그램") 과 결합한 컴퓨팅 디바이스 또는 프로세서를 지칭한다. 본원에서 사용된 바와 같이, 용어 "코드"는 컴퓨팅 디바이스 또는 프로세서에 의해 실행될 수 있는 소프트웨어, 명령들, 코드 또는 데이터를 지칭할 수도 있다.
- [0098] 소프트웨어 또는 명령들은 또한 전송 매체를 통해 전송될 수도 있다. 예를 들면, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선, 디지털 가입자 회선, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 전송되면, 동축 케이블, 광섬유 케이블, 연선, 디지털 가입자 회선, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 매체의 정의 내에 포함된다.
- [0099] 본원에서 개시된 방법들은 상술된 방법을 달성하기 위한 하나 이상의 단계들 또는 액션들을 포함한다. 방법의 단계들 및/또는 행위들은 청구범위의 범위를 벗어나지 않으면서 상호 교환될 수도 있다. 다시 말하면, 설명되고 있는 방법의 적절한 동작에 단계 또는 행위들의 특정 순서가 필요하지 않는 한, 특정 단계들 및/또는 행위들의 순서 및/또는 사용은 청구범위의 범위를 벗어나지 않으면서 수정될 수도 있다.
- [0100] 하기의 특허청구범위는 상기 설명된 정확한 구성 및 컴포넌트들로 제한되는 것이 아님을 이해해야 한다. 특허청구범위의 범위를 벗어나지 않으면서, 본원에서 설명된 시스템들, 방법들 및 장치들의 배치, 동작 및 상세에서 여러 수정예들, 변경예들 및 변형예들이 행해질 수도 있다.

도면

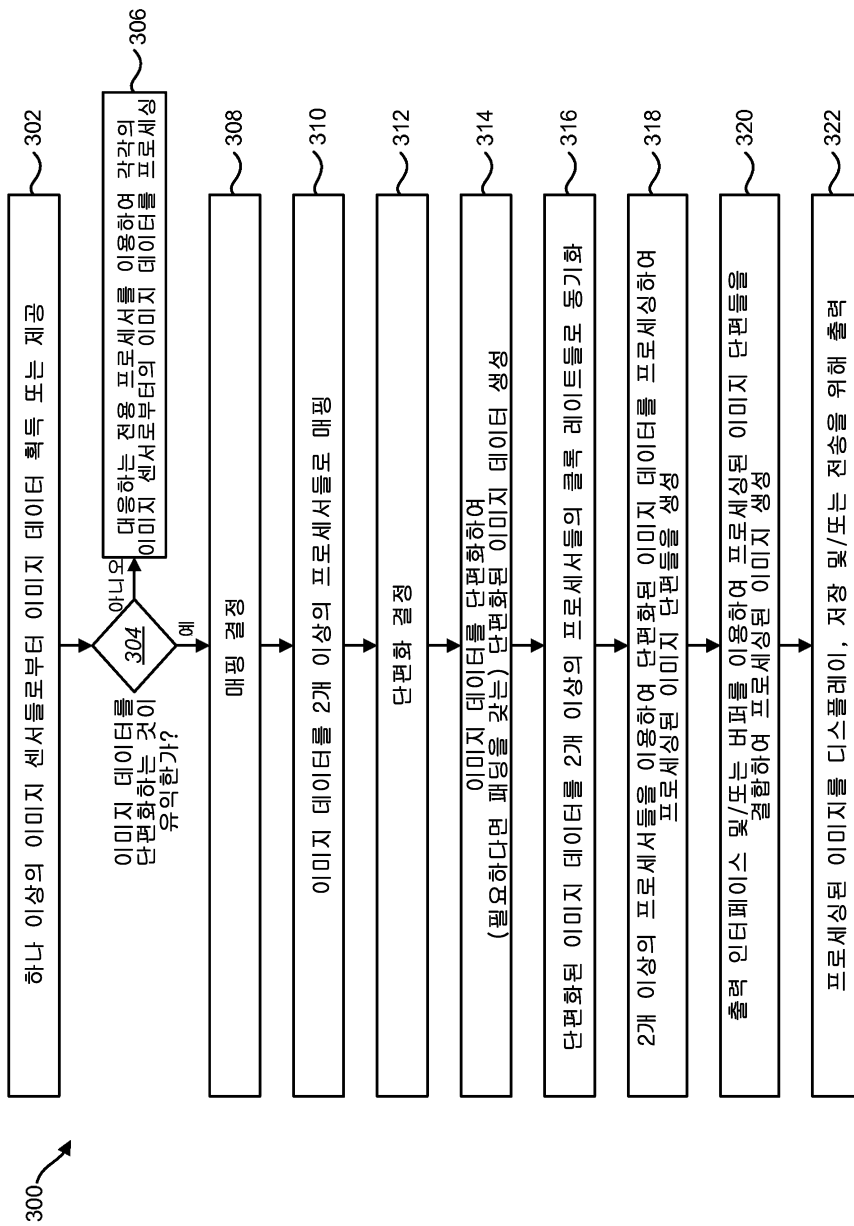
도면1



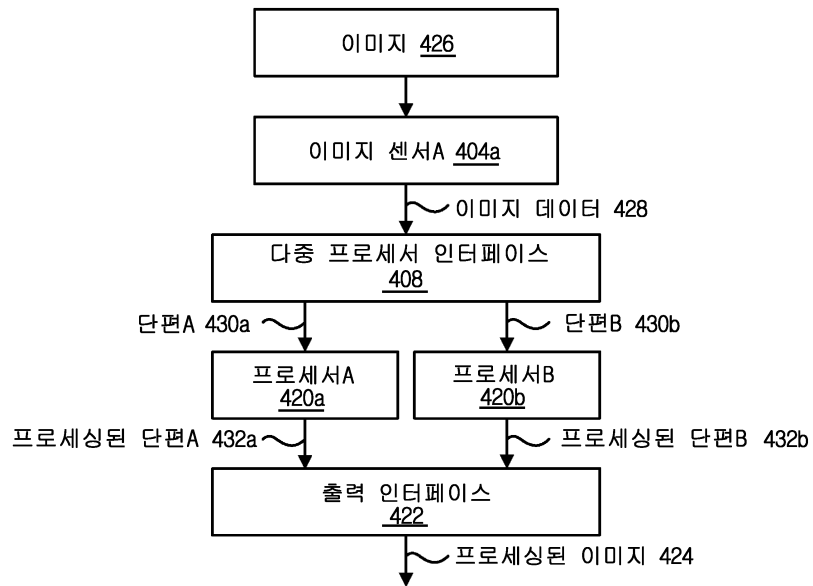
도면2



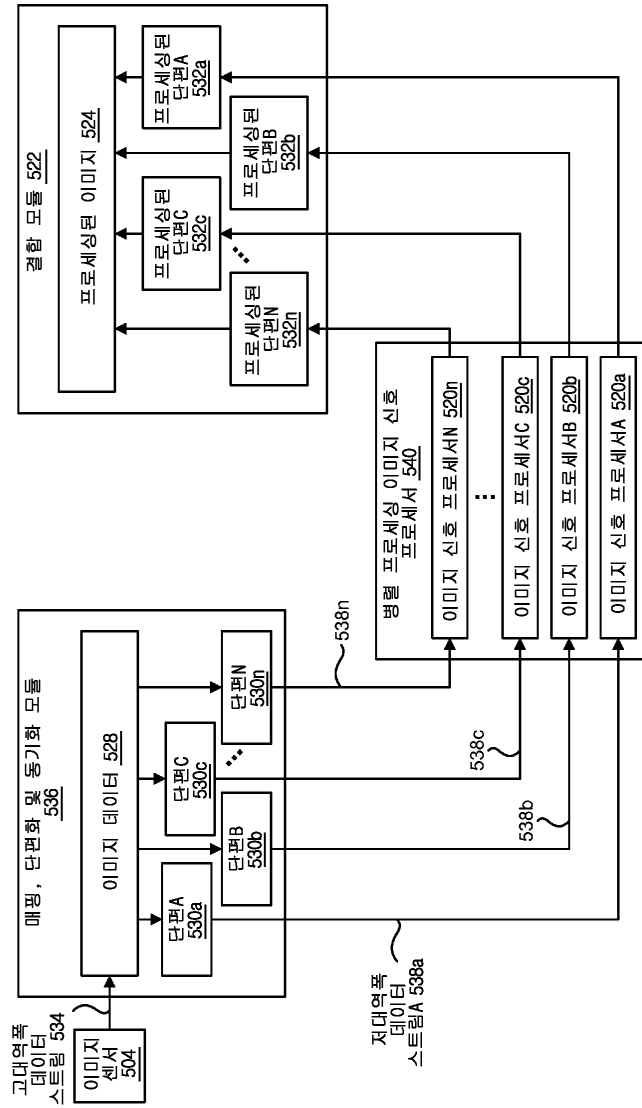
도면3



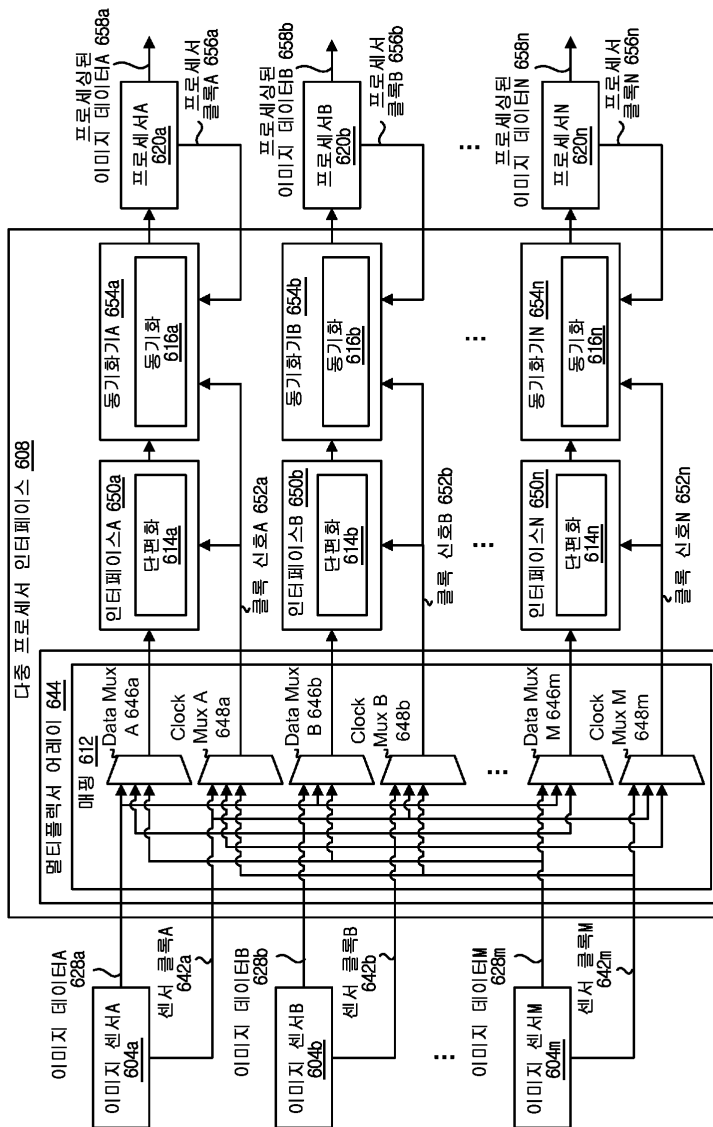
도면4



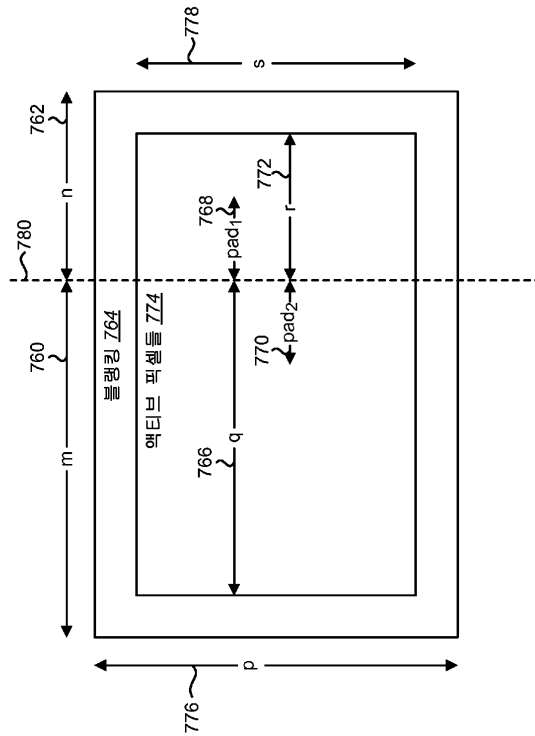
도면5



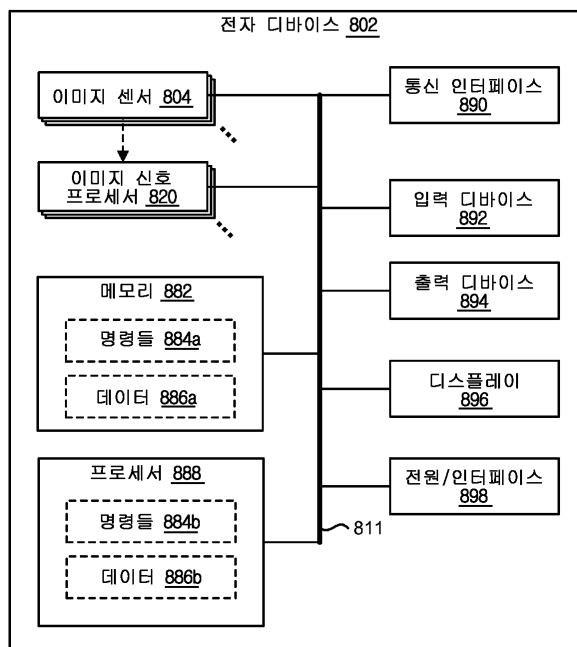
도면6



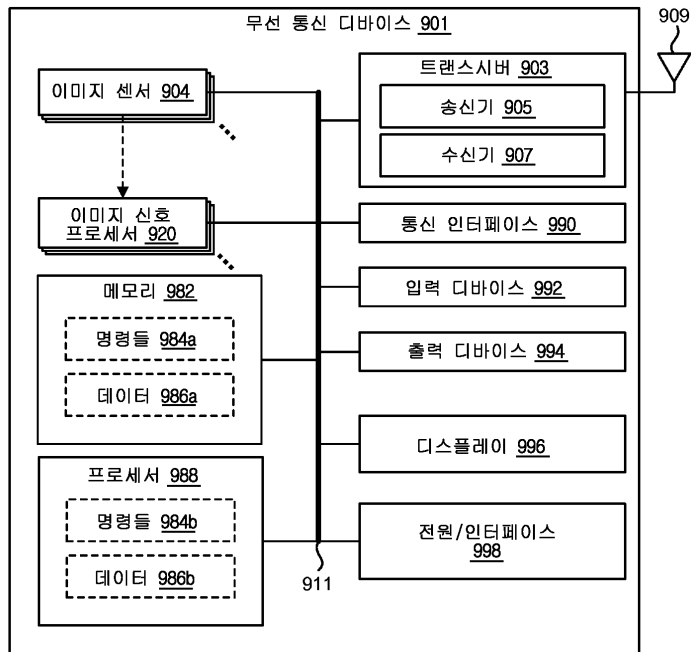
도면7



도면8



도면9



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 27

【변경진】

상기 복수의 프로세서들 중 상기 적어도 하나의 프로세서는,

【변경후】

상기 복수의 프로세서들 중 적어도 하나의 프로세서는,