

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



(10) 国際公開番号

WO 2020/100477 A1

(51) 国際特許分類:
H04N 5/378 (2011.01)

京都港区虎ノ門一丁目12番9号 スズエ
・アンド・スズエビル Tokyo (JP).

(21) 国際出願番号: PCT/JP2019/039855

(22) 国際出願日: 2019年10月9日(09.10.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-212271 2018年11月12日(12.11.2018) JP

(71) 出願人:株式会社ジャパンディスプレイ(JAPAN
DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区
西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者:芳賀 祐太(HAGA, Yuta); 〒1050003 東
京都港区西新橋三丁目7番1号 株式会社ジ
ャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人スズエ国際特許事務所
(S & S INTERNATIONAL PPC); 〒1050001 東

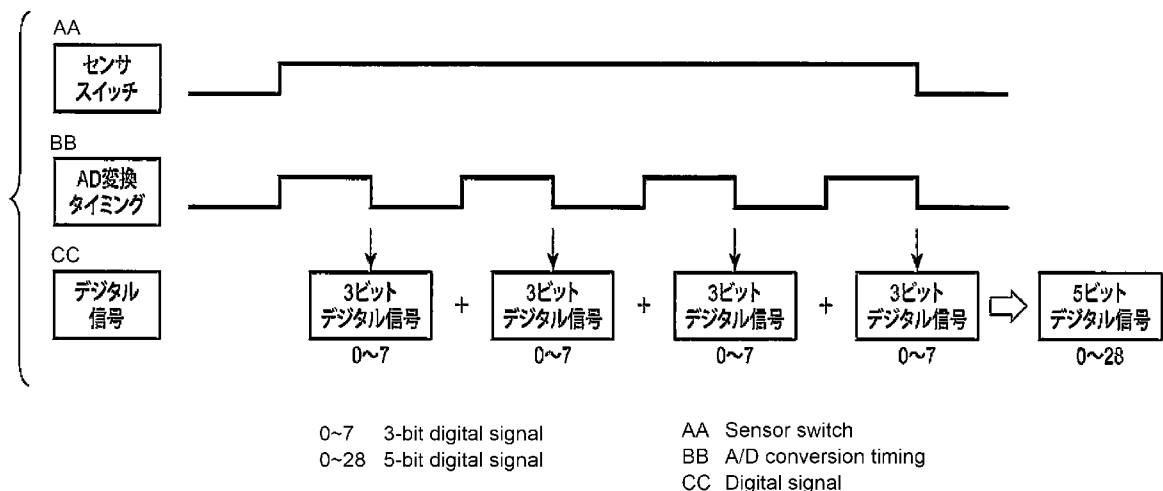
(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SENSOR DEVICE

(54) 発明の名称: センサ装置

[図7]



(57) **Abstract:** A sensor device according to this embodiment comprises a switch, a control circuit, and an A/D converter. The switch is connected to a sensor element capable of storing a charge, and is for reading, from the sensor element, the charge stored by the sensor element. The control circuit controls the switch so as to partially and sequentially read the charge stored by the sensor element. The A/D converter is connected to the switch, and for each charge partially read via the switch, outputs a digital signal in which an analog signal corresponding to the charge has been subjected to A/D conversion.

[続葉有]

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：実施形態に係るセンサ装置は、スイッチと、制御回路と、A／D変換器とを具備する。スイッチは、電荷を蓄えることが可能なセンサ素子に接続され、センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられる。制御回路は、センサ素子に蓄えられた電荷を部分的に順次読み出すようにスイッチを制御する。A／D変換器は、スイッチに接続され、当該スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA／D変換したデジタル信号を出力する。

明 細 書

発明の名称 : センサ装置

技術分野

[0001] 本発明の実施形態は、センサ駆動回路に関する。

背景技術

[0002] 一般に、例えば入射光に応じた電荷を発生する光電変換素子を含むセンサ素子にはセンサ駆動回路が接続されている。また、このようなセンサ駆動回路は、A/D変換器を備える。

[0003] 上記したセンサ素子には光電変換素子で発生した電荷が蓄えられており、センサ駆動回路は、A/D変換器により、当該電荷（アナログ信号）をデジタル信号に変換して出力することができる。このようにセンサ駆動回路（A/D変換器）から出力されたデジタル信号は、各種処理に用いることができる。

[0004] ここで、上記したセンサ素子に蓄えられている電荷に対する分解能はA/D変換器に備えられる演算増幅器のビット幅に制限されるが、当該分解能を向上させることが望まれている。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-112077号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、本発明が解決しようとする課題は、センサ素子に蓄えられている電荷に対する分解能を向上させることが可能なセンサ駆動回路を提供することにある。

課題を解決するための手段

[0007] 実施形態に係るセンサ駆動回路は、スイッチと、制御回路と、A/D変換器とを具備する。前記スイッチは、電荷を蓄えることが可能なセンサ素子に

接続され、前記センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられる。前記制御回路は、前記センサ素子に蓄えられた電荷を部分的に順次読み出すように前記スイッチを制御する。前記A／D変換器は、前記スイッチに接続され、当該スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA／D変換したデジタル信号を出力する。

図面の簡単な説明

[0008] [図1]図1は、第1実施形態に係るセンサモジュールの概略構成を示す図である。

[図2]図2は、センサパネルの回路構成の一例を示す図である。

[図3]図3は、センサ駆動回路に備えられる信号読み出し回路の構成の一例を示す図である。

[図4]図4は、本実施形態の比較例におけるセンサ駆動回路の動作の一例について説明するための図である。

[図5]図5は、本実施形態におけるセンサ駆動回路の動作の一例について説明するための図である。

[図6]図6は、本実施形態の比較例におけるA／D分解能について説明するための図である。

[図7]図7は、本実施形態におけるA／D分解能について説明するための図である。

[図8]図8は、本実施形態の比較例において得ることが可能なデジタル信号を概念的に示す図である。

[図9]図9は、本実施形態において得ることが可能なデジタル信号を概念的に示す図である。

[図10]図10は、第2実施形態におけるセンサ駆動回路の動作の一例について説明するための図である。

[図11]図11は、帰還容量及びリセットスイッチと並列に接続された抵抗を備える信号読み出し回路の構成の一例を示す図である。

[図12]図 1 2 は、第 3 実施形態におけるセンサ駆動回路の動作の一例について説明するための図である。

発明を実施するための形態

[0009] 以下、図面を参照して、各実施形態について説明する。

なお、開示はあくまで一例に過ぎず、当業者において、発明の趣旨を保つての定義変更について容易に想到するものについては、当然に本発明の範囲に含有される。また、図面は、説明をより明確にするため、実際の態様に比べて模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。各図において、連続して配置される同一または類似の要素については符号を省略することがある。また、本明細書と各図において、既出の図に関して前述したものと同一または類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を省略することがある。

[0010] (第 1 実施形態)

まず、第 1 実施形態について説明する。図 1 は、本実施形態に係るセンサモジュール（センサ装置）の概略構成を示す。

[0011] 図 1 に示すセンサモジュール 1 0 は、センサパネル 1 1 及びセンサ駆動回路 1 2 を備える。

[0012] センサパネル 1 1 には、例えば画面（パネル）に照射された光（入射光）に応じた電荷を発生する光電変換素子を有する複数のセンサ素子が例えばマトリクス状に配置されている。なお、センサパネル 1 1 に配置されている複数のセンサ素子の各々は、当該センサ素子が有する光電変換素子で発生した電荷を蓄えることが可能なように構成されている。

[0013] センサパネル 1 1（当該センサパネル 1 1 に配置されている複数のセンサ素子の各々）は、ゲート線 1 3 及び信号線 1 4 を介してセンサ駆動回路 1 2 と電氣的に接続されている。

[0014] センサ駆動回路 1 2 は、上記したセンサ素子に蓄えられた電荷を当該センサ素子から読み出して、当該読み出された電荷に応じた電気信号を出力する

ための回路である。センサ駆動回路 1 2 は、ゲート駆動回路 1 2 1、信号読み出し回路 1 2 2 及び制御回路 1 2 3 を備える。

[0015] ゲート駆動回路 1 2 1 は、センサパネル 1 1 に配置されている複数のセンサ素子の各々とゲート線 1 3 を介して接続される。ゲート駆動回路 1 2 1 は、当該センサ素子に蓄えられた電荷を読み出すために当該センサ素子に備えられるセンサスイッチを駆動するための回路である。

[0016] 信号読み出し回路 1 2 2 は、センサパネル 1 1 に配置されている複数のセンサ素子の各々から電荷を読み出し、当該電荷に応じたアナログ信号を A/D 変換したデジタル信号を出力するための回路である。

[0017] 制御回路 1 2 3 は、信号読み出し回路 1 2 2 によるセンサ素子からの電荷の読み出しを制御するための回路である。

[0018] 図 2 は、図 1 に示すセンサパネル 1 1 の回路構成の一例を示す。センサパネル 1 1 には、上記したように複数のセンサ素子がマトリクス状に配置されている。なお、図 2 においては、便宜的に、4 つのセンサ素子 1 1 1 ~ 1 1 4 のみが示されている。

[0019] 以下、図 2 に示す 4 つのセンサ素子 1 1 1 ~ 1 1 4 のうちのセンサ素子 1 1 1 の構成について説明する。

[0020] センサ素子 1 1 1 は、光電変換素子 1 1 1 a、電荷保持容量（センサ画素容量） 1 1 1 b 及びセンサスイッチ 1 1 1 c を備える。

[0021] 光電変換素子 1 1 1 a は、上記したようにセンサパネル 1 1 に照射された光に応じた電荷を発生する素子である。光電変換素子 1 1 1 a としては例えばフォトダイオード等が用いられるが、当該光電変換素子 1 1 1 a は、入射光に応じて電荷を発生するものであれば他のものであってもよい。また、光電変換素子 1 1 1 a は単独である必要はなく、例えば複数の光電変換素子を束ねてひとつのセンサ素子としてもよい。

[0022] 電荷保持容量 1 1 1 b は、光電変換素子 1 1 1 a で発生した電荷を蓄えるためのキャパシタ（コンデンサ）であり、当該光電変換素子 1 1 1 a と電氣的に接続されている。

- [0023] センサスイッチ 111c は、薄膜トランジスタ（TFT：Thin Film Transistor）を含む。センサスイッチ 111c は、例えば、複数のセンサ素子が配列する列に沿って延びるゲート線 13（センサゲート線）と当該複数のセンサ素子が配列する行に沿って延びる信号線 14（センサ信号線）とが交差する位置近傍に配置されている。
- [0024] センサスイッチ 111c のゲート電極は、対応するゲート線 13 と電氣的に接続されている。センサスイッチ 111c のソース電極は、対応する信号線 14 と電氣的に接続されている。センサスイッチ 111c のドレイン電極は、電荷保持容量 111b と電氣的に接続されている。なお、センサスイッチ 111c のドレイン電極が信号線と 13 と接続され、当該センサスイッチ 111c のソース電極が電荷保持容量 111b と接続される構成であってもよい。
- [0025] ここで、上記したようにゲート線 13 は、センサ駆動回路 12 に備えられるゲート駆動回路 121 と接続されている。また、信号線 14 は、センサ駆動回路 12 に備えられる信号読み出し回路 122 と接続されている。
- [0026] ゲート駆動回路 121 は、ゲート線 13 にオン電圧を順次印加して、当該ゲート線 13 に電氣的に接続されたセンサスイッチ 111c のゲート電極にオン電圧を供給する。センサスイッチ 111c のゲート電極にオン電圧が供給された場合、当該センサスイッチ 111c のソース電極ードレイン電極間が導通する。
- [0027] これにより、電荷保持容量 111b に蓄えられている電荷（つまり、光電変換素子 111a で発生した電荷）が信号線 14 を介して出力され、当該信号線 14 と接続されている信号読み出し回路 122 は、当該電荷を読み出すことができる。
- [0028] ここでは、センサ素子 111 の構成についてのみ説明したが、他のセンサ素子（センサ素子 112～114）についても同様の構成を有する。
- [0029] 図 3 は、センサ駆動回路 12 に備えられる信号読み出し回路 122 の構成の一例を示す。信号読み出し回路 122 は、読み出しスイッチ 122a、演

算増幅器 1 2 2 b、帰還容量 1 2 2 c、リセットスイッチ 1 2 2 d、比較器 1 2 2 e 及び積算器 1 2 2 f を備える。

[0030] 読み出しスイッチ 1 2 2 a は、センサパネル 1 1 に配置されているセンサ素子の各々に接続され、当該センサ素子（電荷保持容量）に蓄えられた電荷を当該センサ素子から読み出すために設けられている。

[0031] 読み出しスイッチ 1 2 2 a は、センサ駆動回路 1 2 に備えられる制御回路 1 2 3 による制御に基づいて、センサ素子から電荷を読み出すことが可能な状態（オン状態）及び当該センサ素子からの電荷の読み出しを停止した状態（オフ状態）を切り替える。

[0032] なお、センサパネル 1 1 には複数のセンサ素子が配置されているが、読み出しスイッチ 1 2 2 a を介して信号読み出し回路 1 2 2 によって電荷が読み出されるセンサ素子は、上記したゲート駆動回路 1 2 1 によってゲート電極にオン電圧が供給されているセンサスイッチを備えるセンサ素子である。換言すれば、信号読み出し回路 1 2 2 によって電荷が読み出されるセンサ素子は、ゲート線にオン電圧を印加するゲート駆動回路 1 2 1 によって順次選択される。

[0033] 演算増幅器 1 2 2 b は、非反転入力端子（+）、反転入力端子（-）及び出力端子を有する。非反転入力端子には基準電圧が入力され、反転入力端子には読み出しスイッチ 1 2 2 a が電氣的に接続されている。

[0034] また、演算増幅器 1 2 2 b の反転入力端子及び出力端子間には帰還容量 1 2 2 c が接続され、負帰還回路が構成されている。なお、上記した演算増幅器 1 2 2 b 及び帰還容量 1 2 2 c は、積分器（積分回路）に相当する。

[0035] リセットスイッチ 1 2 2 d は、帰還容量 1 2 2 c に並列に接続されている。信号読み出し回路 1 2 2 においては、リセットスイッチ 1 2 2 d をオン状態とすることによって、上記した積分器をリセットすることができる。

[0036] 比較器 1 2 2 e は、演算増幅器 1 2 2 b の出力端子と電氣的に接続されており、当該演算増幅器 1 2 2 b の出力信号と比較信号とを比較する。

[0037] 本実施形態において、上記した演算増幅器 1 2 2 b、帰還容量 1 2 2 c、

リセットスイッチ 122d 及び比較器 122e は、アナログ信号を A/D 変換してデジタル信号を出力するための A/D 変換器を構成する。

[0038] ここで、信号読み出し回路 122 が演算増幅器 122b、帰還容量 122c、リセットスイッチ 122d 及び比較器 122e を備える（つまり、積算器 122f を備えない）構成のセンサ駆動回路を本実施形態の比較例とし、図 4 を参照して、当該比較例に係るセンサ駆動回路の動作の一例について説明する。

[0039] ここでは、センサパネル 11 に配置されている複数のセンサ素子のうち、センサスイッチ 1 を備えるセンサ素子（以下、第 1 センサ素子と表記）及びセンサスイッチ 2 を備えるセンサ素子（以下、第 2 センサ素子と表記）から順次電荷を読み出す場合の動作について説明する。

[0040] まず、第 1 センサ素子から電荷を読み出す場合、図 4 に示す時刻 t_{11} において、ゲート駆動回路 121 からセンサスイッチ 1 のゲート電極にオン電圧が供給されることによって、センサスイッチ 1 のソース電極－ドレイン電極間が導通する。また、時刻 t_{11} においては、読み出しスイッチ 122a をオン状態とする。

[0041] これにより、第 1 センサ素子（第 1 センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ 1 及び読み出しスイッチ 122a を介して信号読み出し回路 122 に入力可能となり、当該電荷の読み出しが開始される。

[0042] ここで、時刻 t_{12} に到達した場合、第 1 センサ素子からの電荷の読み出しを終了する。この場合、センサスイッチ 1 のゲート電極に対するオン電圧の供給を停止するとともに、読み出しスイッチ 122a をオフ状態とする（つまり、第 1 センサ素子からの電荷の読み出しを停止する）。時刻 t_{12} は、時刻 t_{11} に対して、第 1 センサ素子から全ての電荷を読み出すことが可能な時間が加算された時刻であるものとする。

[0043] なお、第 1 センサ素子から読み出された電荷は、A/D 変換器によってデジタル信号に変換される。これによれば、第 1 センサ素子から読み出された

電荷に応じたアナログ信号をA/D変換したデジタル信号がA/D変換器から出力される。

[0044] 上記したA/D変換が完了した場合、リセットスイッチ122dをオン状態とすることによって積分器がリセットされる。積分器のリセットが完了すると、リセットスイッチ122dをオフ状態とする。

[0045] 次に、第2センサ素子から電荷を読み出す場合、時刻t13において、ゲート駆動回路121からセンサスイッチ2のゲート電極にオン電圧が供給されることによって、センサスイッチ2のソース電極ードレイン電極間が導通する。また、時刻t13においては、読み出しスイッチ122aをオン状態とする。

[0046] これにより、第2センサ素子（第2センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ2及び読み出しスイッチ122aを介して信号読み出し回路122に入力可能となり、当該電荷の読み出しが開始される。

[0047] ここで、時刻t14に到達した場合、第2センサ素子からの電荷の読み出しを終了する。この場合、センサスイッチ2のゲート電極に対するオン電圧の供給を停止するとともに、読み出しスイッチ122aをオフ状態とする（つまり、第2センサ素子からの電荷の読み出しを停止する）。時刻t14は、時刻t13に対して、第2センサ素子から全ての電荷を読み出すことが可能な時間が加算された時刻であるものとする。

[0048] なお、第2センサ素子から読み出された電荷は、A/D変換器によってデジタル信号に変換される。これによれば、第2センサ素子から読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号がA/D変換器から出力される。

[0049] 上記したA/D変換が完了した場合、リセットスイッチ122dをオン状態とすることによって積分器がリセットされる。積分器のリセットが完了すると、リセットスイッチ122dをオフ状態とする。

[0050] ここでは第1センサ素子及び第2センサ素子から電荷を読み出す場合につ

いて説明したが、他のセンサ素子からも同様に電荷が読み出される。

[0051] ここで、本実施形態の比較例においては、例えば第1センサ素子に蓄えられている電荷を全て読み出し、A/D変換器によって当該読み出された電荷（アナログ信号）がA/D変換されるが、この電荷に対する分解能（以下、A/D分解能と表記）は、当該A/D変換器を構成する演算増幅器のビット幅に制限される。

[0052] しかしながら、センサ素子に蓄えられている電荷に対して精度の高いデジタル信号を出力するためには、上記したA/D分解能を向上させる必要がある。

[0053] そこで、本実施形態においては、制御回路123がセンサ素子に蓄えられている電荷を部分的に順次読み出すように読み出しスイッチ122aを制御する構成を有する。

[0054] このような構成の場合、A/D変換器は、制御回路123の読み出しスイッチ122aに対する制御によって部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA/D変換したデジタル信号を出力する。

[0055] ここで、本実施形態において、信号読み出し回路122は、図3に示すようにA/D変換器（比較器）と電氣的に接続された積算器122fを備える。

[0056] 積算器122fは、上記したように部分的に読み出された電荷毎にA/D変換器から出力されるデジタル信号の各々を積算して出力する。

[0057] 以下、図5を参照して、本実施形態におけるセンサ駆動回路の動作（センサ素子からの電荷の読み出し動作）の一例について説明する。ここでは、上記した図4と同様に、センサパネル11に配置されている複数のセンサ素子のうち、センサスイッチ1を備える第1センサ素子及びセンサスイッチ2を備える第2センサ素子から順次電荷を読み出す場合の動作について説明する。

[0058] まず、第1センサ素子から電荷を読み出す場合、図5に示す時刻t21において、ゲート駆動回路121からセンサスイッチ1のゲート電極にオン電

圧が供給されることによって、センサスイッチ 1 のソース電極ードレイン電極間が導通する。また、時刻 t_{21} においては、読み出しスイッチ 122a をオン状態とする。

[0059] これにより、第 1 センサ素子（第 1 センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ 1 及び読み出しスイッチ 122a を介して信号読み出し回路 122 に入力可能となり、当該電荷の読み出しが開始される。

[0060] ここで、上記した本実施形態の比較例においては、第 1 センサ素子に蓄えられている電荷の読み出しが開始された場合、当該電荷を全て読み出すまで読み出しスイッチ 122a のオン状態が維持されるが、本実施形態において、制御回路 123 は、当該電荷の一部が読み出された時点で読み出しスイッチ 122a を一旦オフ状態とする。なお、制御回路 123 は、読み出しスイッチ 122a がオン状態にされた後、例えば第 1 センサ素子に蓄えられている電荷の全てが読み出される時間よりも短い時間間隔で読み出しスイッチ 122a をオフ状態とする。

[0061] このように読み出された第 1 センサ素子に蓄えられている電荷の一部（つまり、部分的に読み出された電荷）は、A/D 変換器によってデジタル信号に変換される。これによれば、第 1 センサ素子から部分的に読み出された電荷に応じたアナログ信号を A/D 変換したデジタル信号が A/D 変換器から出力される。

[0062] 上記した A/D 変換が完了した場合、リセットスイッチ 122d をオン状態とすることによって積分器がリセットされる。積分器のリセットが完了すると、リセットスイッチ 122d をオフ状態とする。

[0063] 次に、制御回路 123 は、読み出しスイッチ 122a を再度オン状態とし、上記した時間間隔で当該読み出しスイッチ 122a を再度オフ状態とする。これにより、第 1 センサ素子に蓄えられている（残存している）電荷の一部が再度読み出される。

[0064] 本実施形態においては、このような第 1 センサ素子からの部分的な電荷の

読み出し、当該電荷に対するA/D変換及び積分器のリセットを含む一連の動作が第1センサ素子に蓄えられている電荷を全て読み出すことが可能な時間が経過するまで繰り返される。

[0065] 具体的には、図5に示す例では、時刻 t_{22} に到達した際に第1センサ素子からの読み出しを終了し、当該第1センサ素子から最後に読み出された電荷をA/D変換し、積分器をリセットする。これにより、第1センサ素子からの電荷の読み出し動作が完了する。

[0066] なお、この第1センサ素子からの電荷の読み出し動作の間にA/D変換器から出力されたデジタル信号（つまり、第1センサ素子から部分的に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号の各々）は、積算器122fによって積算される。本実施形態においては、このように積算器122fによって積算された結果が第1センサ素子に蓄えられている電荷に対するA/D変換の結果として出力される。

[0067] 次に、第2センサ素子から電荷を読み出す場合、時刻 t_{23} において、ゲート駆動回路121からセンサスイッチ2のゲート電極にオン電圧が供給されることによって、センサスイッチ2のソース電極ードレイン電極間が導通する。また、時刻 t_{23} においては、読み出しスイッチ122aをオン状態とする。

[0068] これにより、第2センサ素子（第2センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ2及び読み出しスイッチ122aを介して信号読み出し回路122に入力可能となり、当該電荷の読み出しが開始される。

[0069] なお、第2センサ素子からの電荷の読み出しが開始された後の動作は、上記した第1センサ素子からの電荷の読み出しが開始された後の動作と同様である。すなわち、第2センサ素子からの部分的な電荷の読み出し、当該電荷に対するA/D変換及び積分器のリセットを含む一連の動作が第2センサ素子に蓄えられている電荷を全て読み出すことが可能な時間が経過するまで繰り返される。

[0070] 具体的には、図5に示すように、時刻 t_{24} に到達した際に第2センサ素子からの読み出しを終了し、当該第2センサ素子から最後に読み出された電荷をA/D変換し、積分器をリセットする。これにより、第2センサ素子からの電荷の読み出し動作が完了する。

[0071] なお、この第2センサ素子からの電荷の読み出し動作の間にA/D変換器から出力されたデジタル信号（つまり、第2センサ素子から部分的に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号の各々）は、積算器122fによって積算される。本実施形態においては、このように積算器122fによって積算された結果が第2センサ素子に蓄えられている電荷に対するA/D変換の結果として出力される。

[0072] ここでは第1センサ素子及び第2センサ素子から電荷を読み出す場合について説明したが、他のセンサ素子からも同様に電荷が読み出される。

[0073] また、図5に示す時刻 t_{21} ～時刻 t_{24} における時間間隔は、図4に示す時刻 t_{11} ～ t_{14} における時間間隔と同一であってもよいし、異なってもよい。

[0074] 上記したように本実施形態においては、センサ素子に蓄えられた電荷を部分的に順次読み出すように読み出しスイッチ122aを制御し、当該読み出しスイッチ122aを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA/D変換したデジタル信号を出力する構成により、センサ素子に蓄えられている電荷に対する分解能（A/D分解能）を向上させることが可能となる。

[0075] 以下、本実施形態に係る構成により上記したA/D分解能を向上させることができる原理について簡単に説明する。ここでは、説明の便宜上、A/D変換器に備えられる演算増幅器122bのビット幅が3ビットであるものとして説明する。

[0076] まず、図6を参照して、本実施形態の比較例に係るセンサ駆動回路におけるA/D分解能について説明する。図6は、本実施形態の比較例においてセンサスイッチのゲート電極にオン電圧が供給されるタイミング（ゲートクロ

ック)、当該センサスイッチを備えるセンサ素子から読み出された電荷に応じたアナログ信号をA/D変換するタイミング及び当該A/D変換の結果として出力されるデジタル信号の関係性を示している。

[0077] 図6に示すように、本実施形態の比較例においては、センサ素子から読み出された電荷に対するA/D変換の回数は1回であり、A/D分解能はA/D変換器に備えられる演算増幅器のビット幅に制限される。すなわち、本実施形態の比較例においては、センサ素子に蓄えられている電荷を0から7までで表すことが可能な3ビットのデジタル信号を得ることができる。

[0078] 次に、図7を参照して、本実施形態におけるA/D分解能について説明する。図7は、本実施形態におけるセンサスイッチのゲート電極にオン電圧が供給されるタイミング(ゲートクロック)、当該センサスイッチを備えるセンサ素子から読み出された電荷に応じたアナログ信号をA/D変換するタイミング及び当該A/D変換の結果として出力されるデジタル信号の関係性を示している。

[0079] 図7に示すように、本実施形態においては、センサ素子から部分的に読み出された電荷毎にA/D変換する。また、本実施形態において、部分的に読み出された電荷毎にA/D変換された結果(3ビットのデジタル信号)は、積算器122fによって積算される。

[0080] 図7に示す例では、センサ素子から読み出された電荷に対するA/D変換の回数は4回であり、当該A/D変換の結果の各々が積算されている。これによれば、センサ素子に蓄えられた電荷に対するA/D変換の結果として、当該電荷を0から28までで表すことが可能な5bitのデジタル信号を得ることができる。

[0081] ここで、図8は、本実施形態の比較例において得ることが可能なデジタル信号(つまり、本実施形態の比較例におけるA/D分解能)を概念的に示す図である。一方、図9は、本実施形態において得ることが可能なデジタル信号(つまり、本実施形態におけるA/D分解能)を概念的に示す図である。

[0082] 図8に示すように本実施形態の比較例においてはセンサスイッチに蓄えら

れている電荷に対して3ビットのデジタル信号を得ることができるのに対し、図9に示すように本実施形態においては当該電荷に対して実質的に5ビットのデジタル信号を得ることができる。

[0083] すなわち、本実施形態においては、本実施形態の比較例に対してより高いA/D分解能を実現することが可能である。

[0084] ここで、本実施形態の比較例におけるA/D分解能が演算増幅器のビット幅に制限されるのに対して、本実施形態におけるA/D分解能は、実効的に「演算増幅器のビット幅 + $\log_2$ (A/D変換の回数)」に増加する。上記したように演算増幅器122bのビット幅が3ビットであり、A/D変換の回数(積算回数)が4回である場合には、A/D分解能は、図7において説明したように5ビット($3 + \log_2(4) = 5$ ビット)となる。

[0085] また、例えば演算増幅器122bのビット幅が10ビットであり、A/D変換の回数(積算回数)が64回である場合を想定する。この場合、本実施形態の比較例におけるA/D分解能は10ビットであるのに対し、本実施形態におけるA/D分解能は実効的に16ビット($10 + \log_2(64) = 16$ ビット)となる。

[0086] 上記したように本実施形態においては、センサ素子に蓄えられている電荷に対する分解能を向上させることが可能となる。

[0087] なお、本実施形態においてはセンサ素子が光電変換素子を有するものとして説明したが、本実施形態は、電荷を蓄えることが可能なセンサ素子から当該電荷を読み出すものであれば適用可能である。すなわち、本実施形態におけるセンサ素子は、光電変換素子を備えるセンサ素子以外のものであってもよい。

[0088] (第2実施形態)

次に、第2実施形態について説明する。本実施形態に係るセンサモジュール、センサパネル及びセンサ駆動回路の構成等については、前述した第1実施形態と同様であるため、適宜、図1～図3等を用いて説明する。ここでは、前述した第1実施形態と異なる点について主に述べる。

- [0089] 本実施形態においては、センサ素子からの電荷の読み出し動作において行われるA/D変換の回数（つまり、積算回数）が当該センサ素子に蓄えられている電荷（電荷量）に応じて変えることができる点で、前述した第1実施形態とは異なる。
- [0090] 以下、図10を参照して、本実施形態におけるセンサ駆動回路12の動作（センサ素子からの電荷の読み出し動作）の一例について説明する。ここでは、センサパネル11に配置されている複数のセンサ素子のうち、センサスイッチ1を備える第1センサ素子及びセンサスイッチ2を備える第2センサ素子から順次電荷を読み出す場合の動作について説明する。
- [0091] まず、第1センサ素子から電荷を読み出す場合、図10に示す時刻 t_{31} において、ゲート駆動回路121からセンサスイッチ1のゲート電極にオン電圧が供給されることによって、センサスイッチ1のソース電極－ドレイン電極間が導通する。また、時刻 t_{31} においては、読み出しスイッチ122aをオン状態とする。
- [0092] これにより、第1センサ素子（第1センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ1及び読み出しスイッチ122aを介して信号読み出し回路122に入力可能となり、当該電荷の読み出しが開始される。
- [0093] 本実施形態において、制御回路123は、前述した第1実施形態と同様に、例えば読み出しスイッチ122aがオン状態にされた後、第1センサ素子に蓄えられている電荷の全てが読み出される時間よりも短い時間間隔で読み出しスイッチ122aをオフ状態とする。
- [0094] このように読み出された第1センサ素子に蓄えられている電荷の一部（つまり、部分的に読み出された電荷）は、A/D変換器によってデジタル信号に変換される。
- [0095] 上記したA/D変換が完了した場合、リセットスイッチ122dをオン状態とすることによって、積分器がリセットされる。積分器のリセットが完了すると、リセットスイッチ122dをオフ状態とする。

[0096] ここで、本実施形態における制御回路 1 2 3 は、上記した A/D 変換が行われた場合に A/D 変換器から出力されたデジタル信号（つまり、第 1 センサ素子から部分的に読み出された電荷に応じたアナログ信号を A/D 変換したデジタル信号）に基づいて、第 1 センサ素子からの電荷の読み出し動作を継続するか否かを判定する。

[0097] 具体的には、例えば A/D 変換器から出力されたデジタル信号の値が予め定められた値以下でない場合、制御回路 1 2 3 は、第 1 センサ素子には読み出すべき電荷が残存しているものとして、当該第 1 センサ素子からの電荷の読み出し動作を継続すると判定する。制御回路 1 2 3 によって第 1 センサ素子からの電荷の読み出し動作を継続すると判定された場合、制御回路 1 2 3 は読み出しスイッチ 1 2 2 a を再度オン状態とし、当該読み出し動作が継続される。

[0098] 一方、例えば A/D 変換の結果としてのデジタル信号の値が予め定められた値以下である場合、制御回路 1 2 3 は、第 1 センサ素子には読み出すべき電荷が残存していないものとして、当該第 1 センサ素子からの電荷の読み出し動作を継続しない（つまり、終了する）と判定する。制御回路 1 2 3 によって第 1 センサ素子からの電荷の読み出し動作を継続しないと判定された場合、当該第 1 センサ素子からの電荷の読み出しを完了し、第 2 センサ素子からの電荷の読み出し動作に移行する。この場合、制御回路 1 2 3 は、例えば第 2 センサ素子からの電荷の読み出し動作に移行する旨をゲート駆動回路 1 2 1 に通知することによって第 2 センサ素子に備えられるセンサスイッチ 2 のソース電極ードレイン電極間を導通させるとともに、読み出しスイッチ 1 2 2 a をオン状態とする制御を実行する。

[0099] 本実施形態においては、上記した第 1 センサ素子からの部分的な電荷の読み出し、当該電荷に対する A/D 変換、積分器のリセット及び読み出し動作を継続するか否かの判定を含む一連の動作が当該読み出し動作を継続しないと判定されるまで繰り返される。

[0100] 図 1 0 においては、時刻 t_{32} に到達した時点で第 1 センサ素子から読み

出された電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいて、第1センサ素子からの電荷の読み出し動作を継続しないと判定された場合について示している。

[0101] なお、第1センサ素子からの電荷の読み出し動作の間にA/D変換器から出力されたデジタル信号が積算器122fによって積算される点については、前述した第1実施形態と同様である。

[0102] 第1センサ素子からの電荷の読み出し動作が完了した場合には、第2センサ素子からの電荷の読み出し動作が開始されるが、当該第2センサ素子からの電荷の読み出し動作については、第1センサ素子からの電荷の読み出し動作と同様であるため、ここではその詳しい説明を省略する。なお、第2センサ素子からの電荷の読み出し動作における図10に示す時刻t33及び時刻t34は、第1センサ素子からの電荷の読み出し動作における時刻t31及び時刻t32に対応している。

[0103] なお、図10に示す例では、第1センサ素子からの電荷の読み出し動作においてはA/D変換が5回行われているのに対し、第2センサ素子からの電荷の読み出し動作においてはA/D変換が7回行われている。このように本実施形態においては、第1センサ素子に蓄えられている電荷（電荷量）及び第2センサ素子に蓄えられている電荷（電荷量）に応じてA/D変換の回数（つまり、積算回数）を変えることが可能である。

[0104] すなわち、上記したように本実施形態においては、部分的に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいて読み出しスイッチ122aを制御する構成を有する。

[0105] ここで、図10に示す時刻t31から時刻t32までの時間（第1センサ素子からの電荷の読み出しが完了する時間）は、前述した第1実施形態において説明した図5に示す時刻t21から時刻t22までの時間よりも短い。

[0106] すなわち、本実施形態においては、上記した構成により、例えばセンサ素子に読み出すべき電荷が残存していないにもかかわらず当該センサ素子からの電荷の読み出し動作を継続するような事態を回避し、当該動作時間を短縮

することが可能となる。

[0107] また、本実施形態においては、A/D変換の回数（つまり、積算回数）を低減することができるため、当該A/D変換によって生じる可能性のあるノイズ成分を抑制することも期待できる。

[0108] ここで、本実施形態における信号読み出し回路122は、例えば図11に示すように、発振防止や低周波成分除去のために、帰還容量122c及びリセットスイッチ122dと並列に接続された抵抗122gを備えていてもよい。

[0109] なお、図11に示すように抵抗122gを備える構成において、一度のサンプリングによるセンサ素子からの電荷の読み出し動作時間（つまり、読み出しスイッチ122aをオフ状態とすることによる電荷の読み出し時間）が長い場合、抵抗と容量の応答特性の違いから、当該抵抗122gに流れる電流量の比率が大きくなり、デジタル信号に変換すべき電荷量に誤差が生じる。

[0110] これに対して、本実施形態においてはセンサ素子からの電荷の読み出し動作時間を短縮することが可能となるため、図11に示す構成であっても、高い精度のデジタル信号（つまり、誤差の少ないデジタル信号）を得ることが可能となる。

[0111] なお、本実施形態においては、部分的に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいて読み出しスイッチ122aを制御する（つまり、センサ素子からの電荷の読み出し動作を継続するか否かを判定する）ものとして説明したが、当該読み出しスイッチ122aは、当該部分的に読み出された電荷（つまり、アナログ信号）に基づいて制御されてもよい。

[0112] （第3実施形態）

次に、第3実施形態について説明する。本実施形態に係るセンサモジュール、センサパネル及びセンサ駆動回路の構成等については、前述した第1実施形態と土曜であるため、適宜、図1～図3等を用いて説明する。ここでは

、前述した第1実施形態と異なる点について主に述べる。

[0113] 本実施形態においては、センサ素子からの電荷の読み出し動作における電荷の読み出し時間（つまり、積算間隔）が一定でない点で、前述した第1実施形態とは異なる。

[0114] ここで、例えば前述した第1実施形態においてはセンサ素子に蓄えられている電荷を部分的に複数回読み出す構成であるため、信号読み出し回路122に備えられる帰還容量122cは前述した第1実施形態の比較例と比べて小さくすることが可能である。

[0115] このように帰還容量122cを小さくする構成とした場合には、センサ駆動回路12（信号読み出し回路）の小型化及び低コスト化を実現することが可能となる。

[0116] しかしながら、帰還容量122cを小さくした場合、センサ素子から読み出される電荷によって当該帰還容量122c（演算増幅器122b）が飽和する可能性がある。更に、センサ素子からの電荷の読み出し動作の開始時は、当該読み出し動作の完了時と比べて当該電荷の読み出し効率が高い。

[0117] このため、本実施形態においては、例えばセンサ素子からの電荷の読み出し動作の開始から完了までの間で、当該電荷の読み出し時間（つまり、読み出しスイッチ122aをオフ状態とする時間）を段階的に長くする構成を採用する。

[0118] 以下、図12を参照して、本実施形態におけるセンサ駆動回路12の動作（センサ素子からの電荷の読み出し動作）の一例について説明する。ここでは、センサパネル11に配置されている複数のセンサ素子のうち、センサスイッチ1を備える第1センサ素子及びセンサスイッチ2を備える第2センサ素子から順に電荷を読み出す場合の動作について説明する。

[0119] まず、第1センサ素子から電荷を読み出す場合、図12に示す時刻t41において、ゲート駆動回路121からセンサスイッチ1のゲート電極にオン電圧が供給されることによって、センサスイッチ1のソース電極－ドレイン電極間が導通する。また、時刻t41においては、読み出しスイッチ122

aをオン状態とする。

[0120] これにより、第1センサ素子（第1センサ素子に備えられる電荷保持容量）に蓄えられている電荷がセンサスイッチ1及び読み出しスイッチ122aを介して信号読み出し回路122に入力可能となり、当該電荷の読み出しが開始される。

[0121] 本実施形態において、制御回路123は、前述した第1実施形態と同様に、例えば読み出しスイッチ122aがオン状態にされた後、第1センサ素子に蓄えられている電荷の全てが読み出される時間よりも短い時間間隔で読み出しスイッチ122aをオフ状態とする。

[0122] このように読み出された第1センサ素子に蓄えられている電荷の一部（つまり、部分的に読み出された電荷）は、A/D変換器によってデジタル信号に変換される。

[0123] 上記したA/D変換が完了した場合、リセットスイッチ122dをオン状態とすることによって、積分器がリセットされる。積分器のリセットが完了すると、リセットスイッチ122dをオフ状態とする。

[0124] なお、本実施形態においては、上記した第1センサ素子からの部分的な電荷の読み出し、当該電荷に対するA/D変換及び積分器のリセットを含む一連の動作が第1センサ素子に蓄えられている電荷を全て読み出すことが可能な時間が経過するまで繰り返される。この動作については前述した第1実施形態と同様であるため、ここではその詳しい説明を省略する。

[0125] ここで、本実施形態において、制御回路123は、第1センサ素子からの電荷の読み出し時間を制御する。なお、第1センサ素子からの電荷の読み出し時間とは、第1センサ素子から電荷を読み出すために読み出しスイッチ122aのオン状態が継続される時間をいう。

[0126] 例えば図12に示す第1センサ素子からの電荷の読み出し動作において、第1センサ素子からの部分的な電荷の読み出し、当該電荷に対するA/D変換及び積分器のリセット動作は、4回繰り返されている。

[0127] この場合、制御回路123は、例えば2回目の読み出し時間が1回目の読

み出し時間以上となるように読み出しスイッチ 1 2 2 a を制御する。同様に、制御回路 1 2 3 は、例えば 3 回目の読み出し時間が 2 回目の読み出し時間以上となるように読み出しスイッチ 1 2 2 a を制御する。更に、制御回路 1 2 3 は、例えば 4 回目の読み出し時間が 3 回目の読み出し時間以上となるように読み出しスイッチ 1 2 2 a を制御する。図 1 2 に示す例では、2 回目の読み出し時間及び 3 回目の読み出し時間は同一である。

[0128] 上記したように第 1 センサ素子から電荷が読み出される回数及び各読み出し時間は、予め定められているものとする。この場合、図 1 2 に示す時刻 t_{41} から時刻 t_{42} までの時間（第 1 センサ素子からの電荷の読み出しが完了する時間）は、上記した第 1 センサ素子から電荷が読み出される回数及び各読み出し時間に基づいて判別することができる。

[0129] なお、第 1 センサ素子からの電荷に読み出し動作の間に A/D 変換器から出力されたデジタル信号が積算器 1 2 2 f によって積算される点については、前述した第 1 実施形態と同様である。

[0130] 第 1 センサ素子からの電荷の読み出し動作が完了した場合には、第 2 センサ素子からの電荷の読み出し動作が開始されるが、当該第 2 センサ素子からの電荷の読み出し動作については、第 1 センサ素子からの電荷に読み出し動作と同様であるため、ここでは、その詳しい説明を省略する。なお、第 2 センサ素子から電荷の読み出し動作における図 1 0 に示す時刻 t_{43} 及び時刻 t_{44} は、第 1 センサ素子からの電荷の読み出し動作における時刻 t_{41} 及び時刻 t_{42} に対応している。

[0131] 上記したように本実施形態においては、センサ素子に蓄えられた電荷の一部（第 1 電荷）を読み出すように読み出しスイッチ 1 2 2 a を制御し、当該電荷が読み出された後に当該センサ素子に残存している電荷の一部（第 2 電荷）を読み出すように読み出しスイッチ 1 2 2 a を制御するが、当該第 2 電荷が読み出される時間（第 2 時間）は、当該第 1 電荷が読み出される時間（第 1 時間）以上とする。

[0132] すなわち、本実施形態におけるセンサ素子からの電荷の読み出し動作にお

いては、最初は短時間で電荷をサンプリングし、後半ほど長時間で電荷をサンプリングするように読み出しスイッチ 1 2 2 a が制御される。

[0133] 本実施形態においては、このような構成により、上記したように帰還容量 1 2 2 c を小さくした構成であっても当該帰還容量 1 2 2 c が飽和することを回避し、センサ素子からの電荷の読み出し動作を効率的に行うことが可能となる。

[0134] 更に、本実施形態においては、A/D変換の回数（つまり、積算回数）を低減することができるため、当該A/D変換によって生じる可能性のあるノイズ成分を抑制することが可能となる。

[0135] なお、本実施形態においては、センサ素子からの電荷の読み出し動作における各読み出し時間が予め定められているものとして説明したが、当該読み出し時間は、直前にA/D変換器から出力されたデジタル信号に基づいて動的に決定されても構わない。具体的には、例えば図12に示す2回目の読み出し時間は、1回目の読み出し時間に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいて決定されてもよい。3回目以降の読み出し時間についても同様である。

[0136] また、本実施形態において、前述した第2実施形態において説明した構成（つまり、部分的に読み出された電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいてセンサ素子からの電荷の読み出し動作を継続するか否かを判定する構成）を組み合わせても構わない。

[0137] 以下、各実施形態に係る発明を付記する。

[C1]

電荷を蓄えることが可能なセンサ素子に接続され、前記センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられたスイッチと、

前記センサ素子に蓄えられた電荷を部分的に順次読み出すように前記スイッチを制御する制御回路と、

前記スイッチに接続され、当該スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA/D変換したデジタル信号を出

力する A/D 変換器と

を具備するセンサ装置。

[C 2]

前記部分的に読み出された電荷毎に前記 A/D 変換器から出力されたデジタル信号を積算する積算器を更に具備する [C 1] 記載のセンサ装置。

[C 3]

前記制御回路は、前記 A/D 変換器から出力されたデジタル信号に基づいて前記スイッチを制御する [C 1] 記載のセンサ装置。

[C 4]

前記制御回路は、

前記 A/D 変換器から出力されたデジタル信号の値が予め定められた値以下でない場合、前記センサ素子から更に電荷を読み出すように前記スイッチを制御し、

前記 A/D 変換器から出力されたデジタル信号の値が前記予め定められた値以下である場合、前記センサ素子とは異なるセンサ素子からの電荷の読み出しを開始するように前記スイッチを制御する

[C 3] 記載のセンサ装置。

[C 5]

前記 A/D 変換器は、

前記センサ素子と接続される第 1 入力端子と所定電位が印加される第 2 入力端子とを有する演算増幅器と、

前記第 1 入力端子と前記演算増幅器の出力端子との間に並列に接続される帰還容量、リセットスイッチ及び抵抗と、

前記演算増幅器の出力端子と接続される比較器と

を含む

[C 4] 記載のセンサ装置。

[C 6]

前記制御回路は、前記センサ素子に蓄えられた電荷の一部である第 1 電荷

を読み出すように前記スイッチを制御し、当該第 1 電荷が読み出された後に当該センサ素子に残存している電荷の一部である第 2 電荷を読み出すように前記スイッチを更に制御し、

前記スイッチを制御することによって前記第 2 電荷が読み出される第 2 時間は、前記スイッチを制御することによって前記第 1 電荷が読み出される第 1 時間以上である

[C 1] 記載のセンサ装置。

[C 7]

前記第 1 時間及び前記第 2 時間は、それぞれ予め定められた時間である [C 6] 記載のセンサ装置。

[C 8]

前記第 2 時間は、前記第 1 電荷に応じたアナログ信号を A/D 変換したデジタル信号に基づいて決定される [C 6] 記載のセンサ装置。

[C 9]

電荷を蓄えることが可能なセンサ素子に接続され、前記センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられたスイッチを備えるセンサ装置が実行する A/D 変換方法であって、

前記センサ素子に蓄えられた電荷を部分的に順次読み出すように前記スイッチを制御することと、

前記スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号を A/D 変換したデジタル信号を出力することと

を具備する A/D 変換方法。

[C 10]

前記部分的に読み出された電荷毎に出力されたデジタル信号を積算するステップを更に具備する [C 9] 記載の A/D 変換方法。

[C 11]

前記制御することは、前記出力されたデジタル信号に基づいて前記スイッチを制御することを含む [C 9] 記載の A/D 変換方法。

[C 1 2]

前記制御することは、

前記出力されたデジタル信号の値が予め定められた値以下でない場合、前記センサ素子から更に電荷を読み出すように前記スイッチを制御することと、

前記出力されたデジタル信号の値が前記予め定められた値以下である場合、前記センサ素子とは異なるセンサ素子からの電荷の読み出しを開始するように前記スイッチを制御することと

を含む

[C 1 1] 記載の A / D 変換方法。

[C 1 3]

前記出力することは、A / D 変換器によって実行され、

前記 A / D 変換器は、

前記センサ素子と接続される第 1 入力端子と所定電位が印加される第 2 入力端子とを有する演算増幅器と、

前記第 1 入力端子と前記演算増幅器の出力端子との間に並列に接続される帰還容量、リセットスイッチ及び抵抗と、

前記演算増幅器の出力端子と接続される比較器と

を含む

[C 1 2] 記載の A / D 変換方法。

[C 1 4]

前記制御することは、前記センサ素子に蓄えられた電荷の一部である第 1 電荷を読み出すように前記スイッチを制御し、当該第 1 電荷が読み出された後に当該センサ素子に残存している電荷の一部である第 2 電荷を読み出すように前記スイッチを更に制御することを含み、

前記スイッチを制御することによって前記第 2 電荷が読み出される第 2 時間は、前記スイッチを制御することによって前記第 1 電荷が読み出される第 1 時間以上である

[C 9] 記載の A / D 変換方法。

[C 1 5]

前記第 1 時間及び前記第 2 時間は、それぞれ予め定められた時間である [C 1 4] 記載の A / D 変換方法。

[C 1 6]

前記第 2 時間は、前記第 1 電荷に応じたアナログ信号を A / D 変換したデジタル信号に基づいて決定される [C 1 4] 記載の A / D 変換方法。

[0138] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれると同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

符号の説明

[0139] 1 0…センサモジュール（センサ装置）、1 1…センサパネル、1 2…センサ駆動回路、1 3…ゲート線、1 4…信号線、1 2 1…ゲート駆動回路、1 2 2…信号読み出し回路、1 2 3…制御回路、1 1 1～1 1 4…センサ素子、1 1 1 a…光電変換素子、1 1 1 b…電荷保持容量、1 1 1 c…センサスイッチ、1 2 2 a…読み出しスイッチ、1 2 2 b…演算増幅器、1 2 2 c…帰還容量、1 2 2 d…リセットスイッチ、1 2 2 e…比較器、1 2 2 f…積算器、1 2 2 g…抵抗。

請求の範囲

- [請求項1] 電荷を蓄えることが可能なセンサ素子に接続され、前記センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられたスイッチと、
- 前記センサ素子に蓄えられた電荷を部分的に順次読み出すように前記スイッチを制御する制御回路と、
- 前記スイッチに接続され、当該スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA/D変換したデジタル信号を出力するA/D変換器と
- を具備するセンサ装置。
- [請求項2] 前記部分的に読み出された電荷毎に前記A/D変換器から出力されたデジタル信号を積算する積算器を更に具備する請求項1記載のセンサ装置。
- [請求項3] 前記制御回路は、前記A/D変換器から出力されたデジタル信号に基づいて前記スイッチを制御する請求項1記載のセンサ装置。
- [請求項4] 前記制御回路は、
- 前記A/D変換器から出力されたデジタル信号の値が予め定められた値以下でない場合、前記センサ素子から更に電荷を読み出すように前記スイッチを制御し、
- 前記A/D変換器から出力されたデジタル信号の値が前記予め定められた値以下である場合、前記センサ素子とは異なるセンサ素子からの電荷の読み出しを開始するように前記スイッチを制御する
- 請求項3記載のセンサ装置。
- [請求項5] 前記A/D変換器は、
- 前記センサ素子と接続される第1入力端子と所定電位が印加される第2入力端子とを有する演算増幅器と、
- 前記第1入力端子と前記演算増幅器の出力端子との間に並列に接続される帰還容量、リセットスイッチ及び抵抗と、

前記演算増幅器の出力端子と接続される比較器と
を含む

請求項4記載のセンサ装置。

[請求項6] 前記制御回路は、前記センサ素子に蓄えられた電荷の一部である第1電荷を読み出すように前記スイッチを制御し、当該第1電荷が読み出された後に当該センサ素子に残存している電荷の一部である第2電荷を読み出すように前記スイッチを更に制御し、

前記スイッチを制御することによって前記第2電荷が読み出される第2時間は、前記スイッチを制御することによって前記第1電荷が読み出される第1時間以上である

請求項1記載のセンサ装置。

[請求項7] 前記第1時間及び前記第2時間は、それぞれ予め定められた時間である請求項6記載のセンサ装置。

[請求項8] 前記第2時間は、前記第1電荷に応じたアナログ信号をA/D変換したデジタル信号に基づいて決定される請求項6記載のセンサ装置。

[請求項9] 電荷を蓄えることが可能なセンサ素子に接続され、前記センサ素子に蓄えられた電荷を当該センサ素子から読み出すために設けられたスイッチを備えるセンサ装置が実行するA/D変換方法であって、

前記センサ素子に蓄えられた電荷を部分的に順次読み出すように前記スイッチを制御することと、

前記スイッチを介して部分的に読み出された電荷毎に、当該電荷に応じたアナログ信号をA/D変換したデジタル信号を出力することとを具備するA/D変換方法。

[請求項10] 前記部分的に読み出された電荷毎に出力されたデジタル信号を積算することを更に具備する請求項9記載のA/D変換方法。

[請求項11] 前記制御することは、前記出力されたデジタル信号に基づいて前記スイッチを制御することを含む請求項9記載のA/D変換方法。

[請求項12] 前記制御することは、

前記出力されたデジタル信号の値が予め定められた値以下でない場合、前記センサ素子から更に電荷を読み出すように前記スイッチを制御することと、

前記出力されたデジタル信号の値が前記予め定められた値以下である場合、前記センサ素子とは異なるセンサ素子からの電荷の読み出しを開始するように前記スイッチを制御することと

を含む

請求項 1 1 記載の A/D 変換方法。

[請求項13]

前記出力することは、A/D 変換器によって実行され、

前記 A/D 変換器は、

前記センサ素子と接続される第 1 入力端子と所定電位が印加される第 2 入力端子とを有する演算増幅器と、

前記第 1 入力端子と前記演算増幅器の出力端子との間に並列に接続される帰還容量、リセットスイッチ及び抵抗と、

前記演算増幅器の出力端子と接続される比較器と

を含む

請求項 1 2 記載の A/D 変換方法。

[請求項14]

前記制御することは、前記センサ素子に蓄えられた電荷の一部である第 1 電荷を読み出すように前記スイッチを制御し、当該第 1 電荷が読み出された後に当該センサ素子に残存している電荷の一部である第 2 電荷を読み出すように前記スイッチを更に制御することを含み、

前記スイッチを制御することによって前記第 2 電荷が読み出される第 2 時間は、前記スイッチを制御することによって前記第 1 電荷が読み出される第 1 時間以上である

請求項 9 記載の A/D 変換方法。

[請求項15]

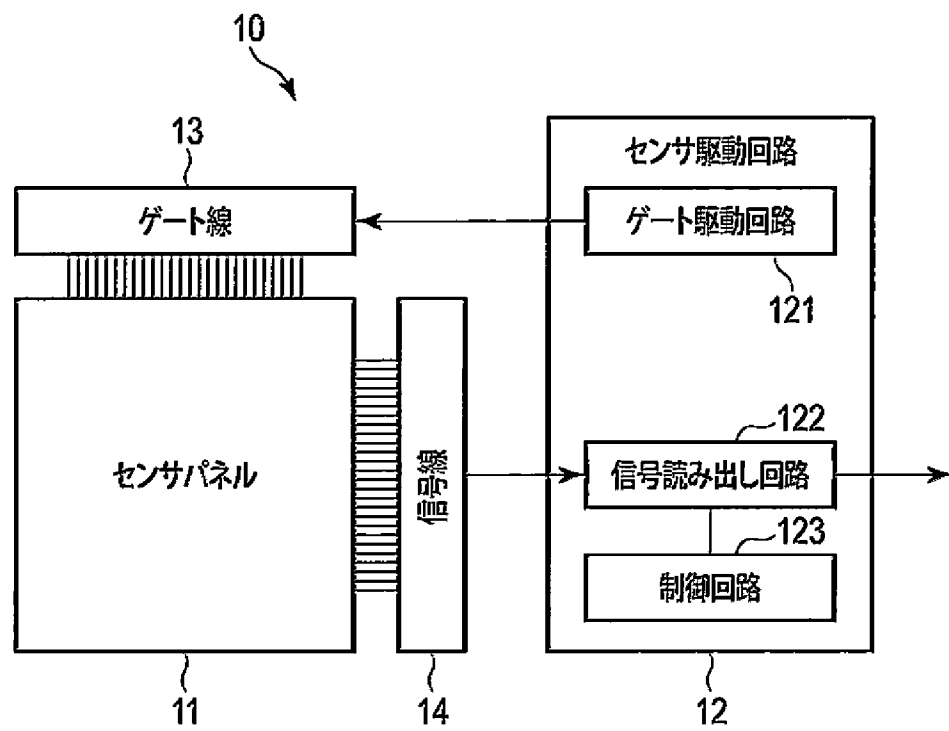
前記第 1 時間及び前記第 2 時間は、それぞれ予め定められた時間である請求項 1 4 記載の A/D 変換方法。

[請求項16]

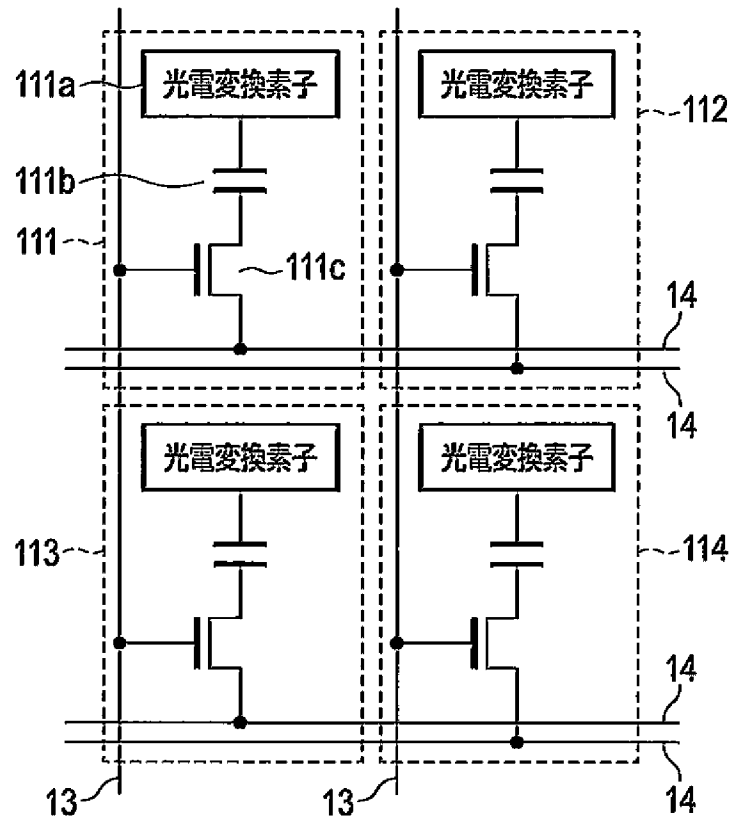
前記第 2 時間は、前記第 1 電荷に応じたアナログ信号を A/D 変換

したデジタル信号に基づいて決定される請求項 1 4 記載の A / D 変換方法。

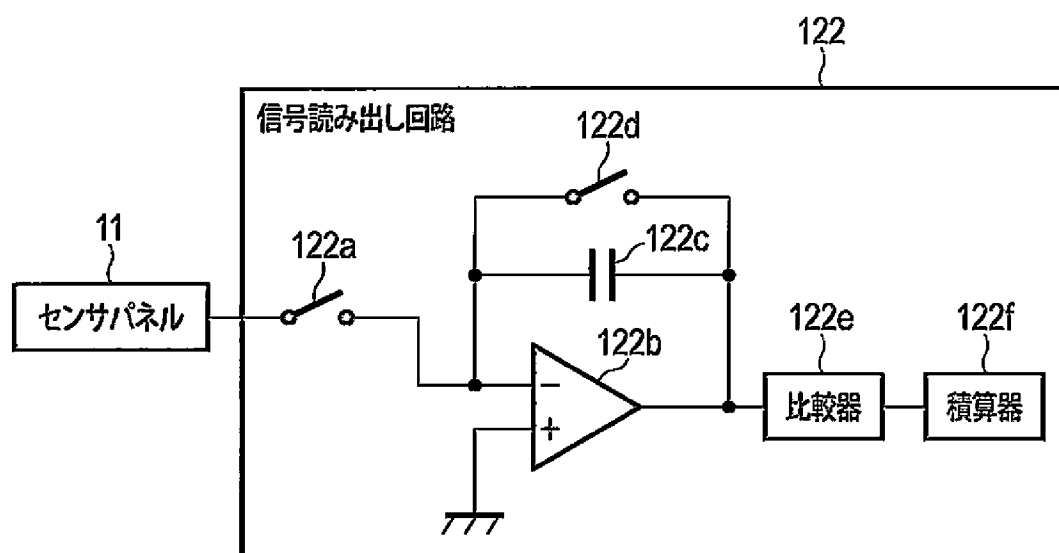
[図1]



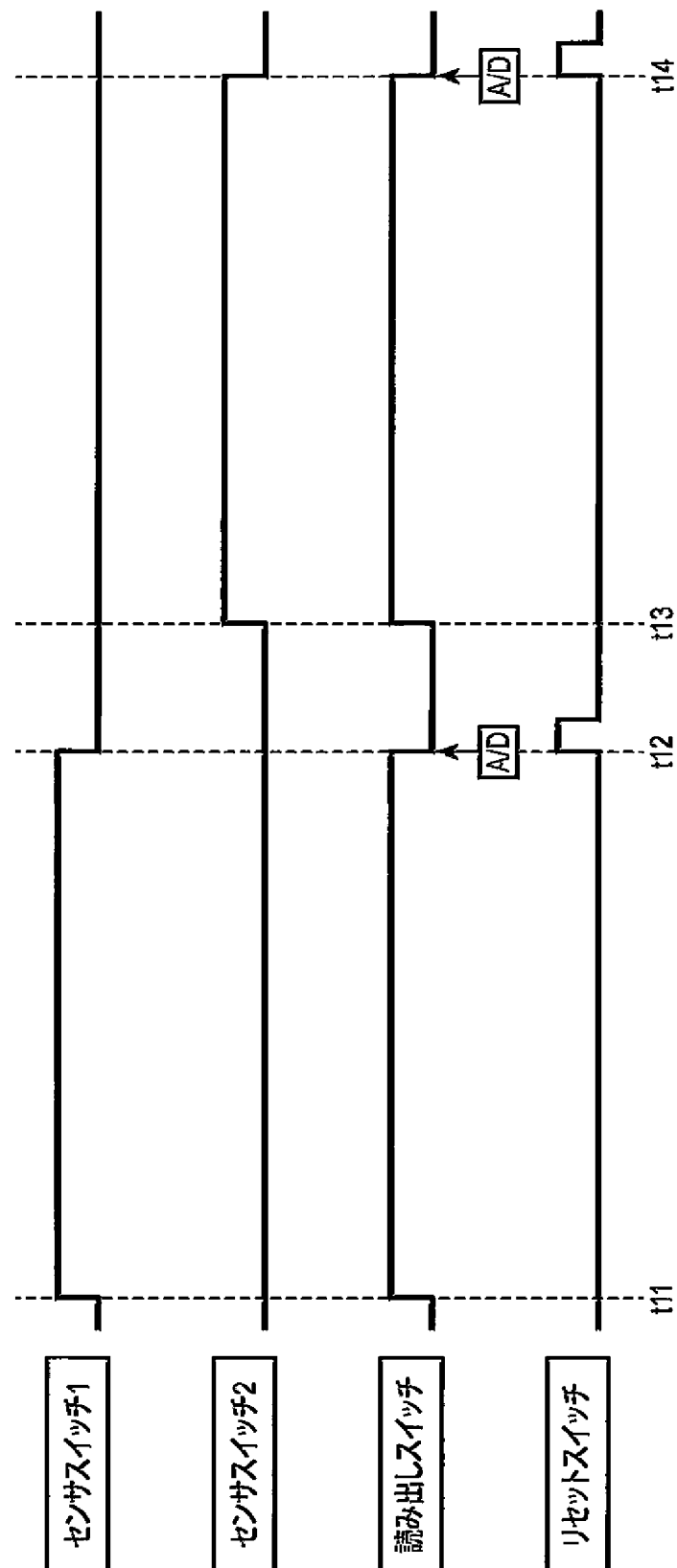
[図2]



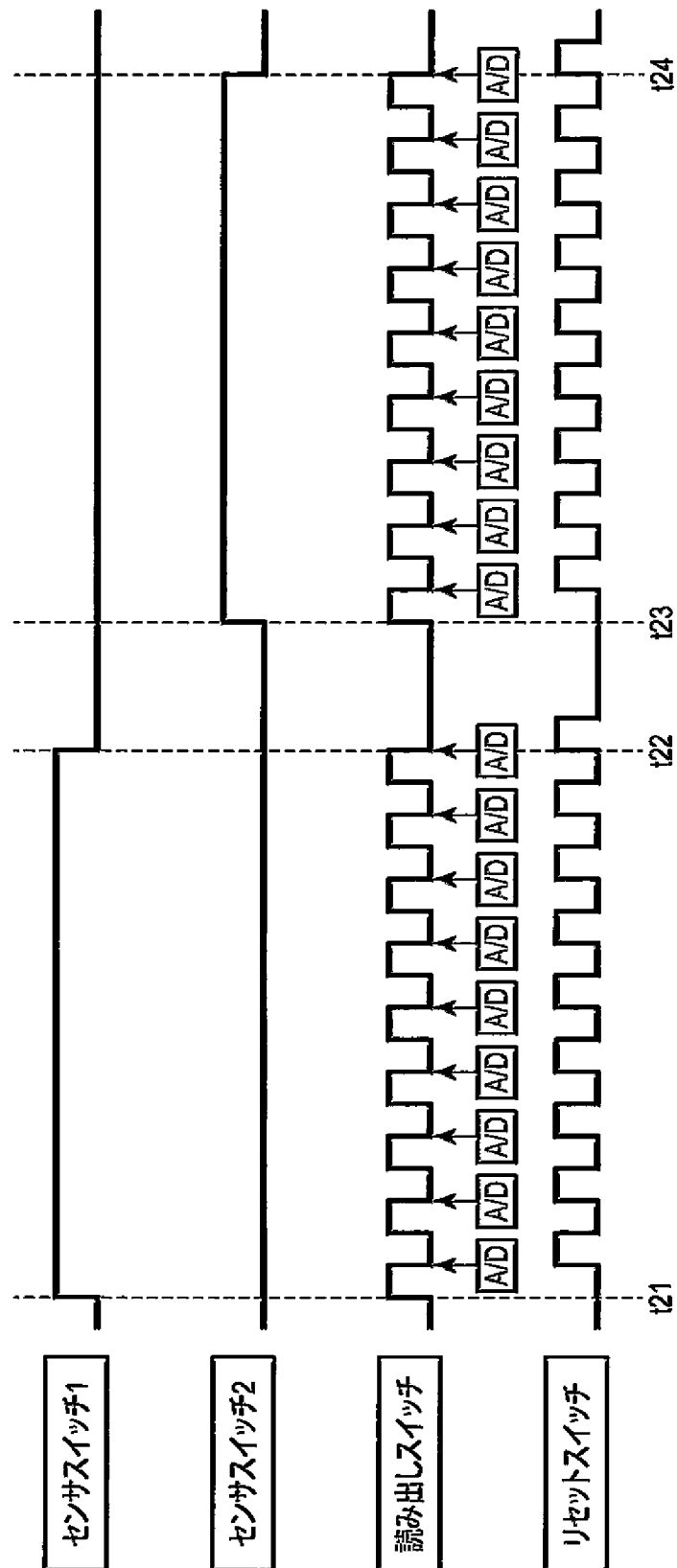
[図3]



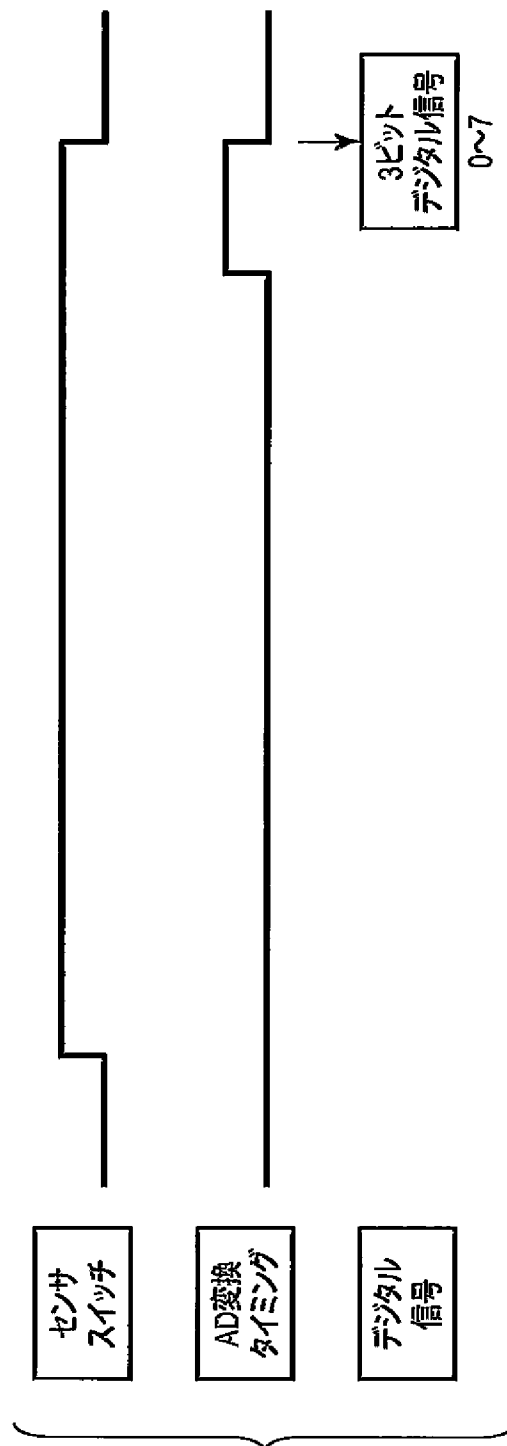
[図4]



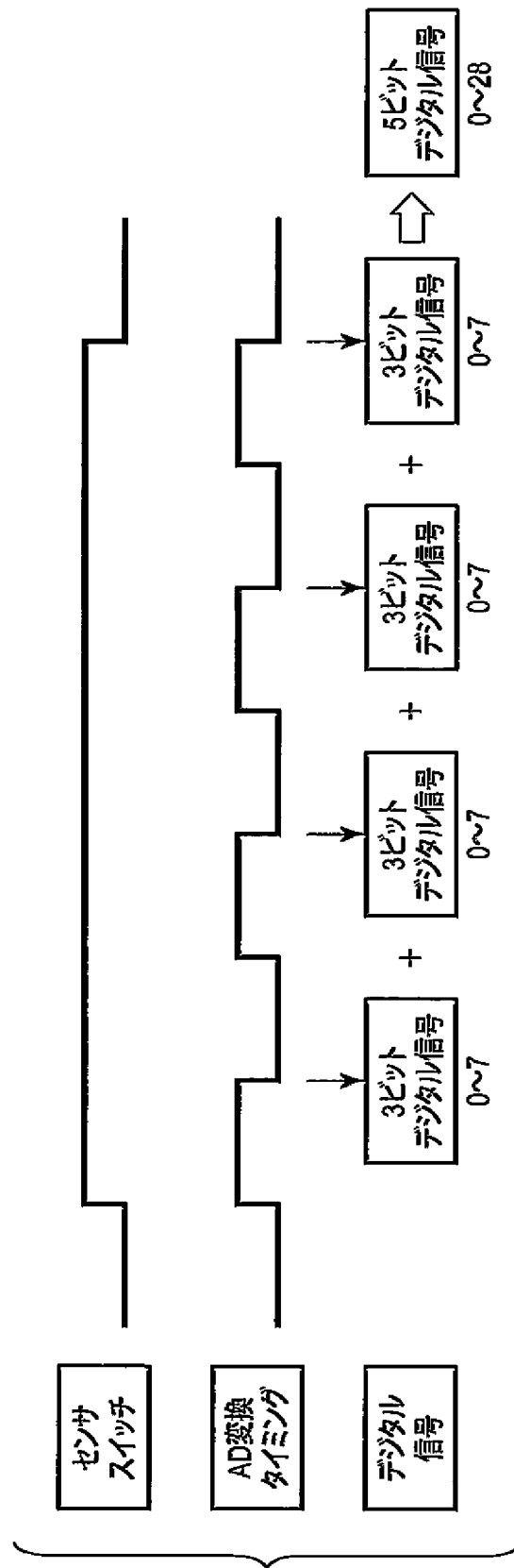
[図5]



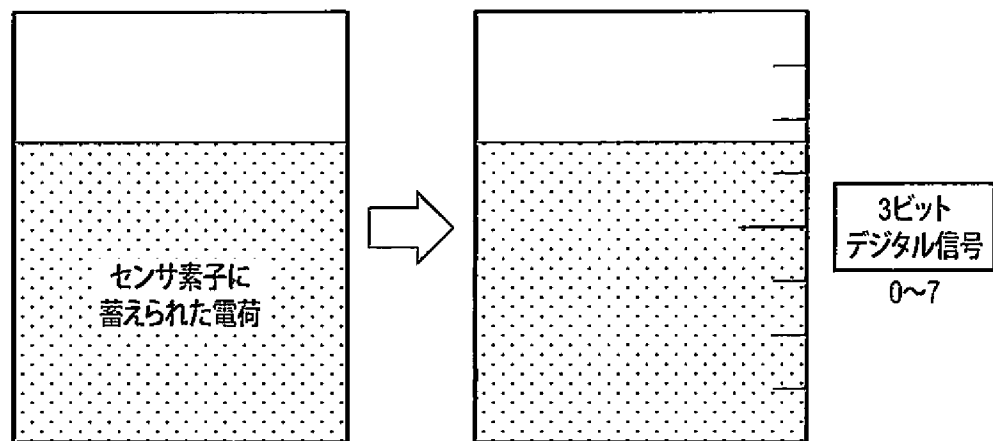
[図6]



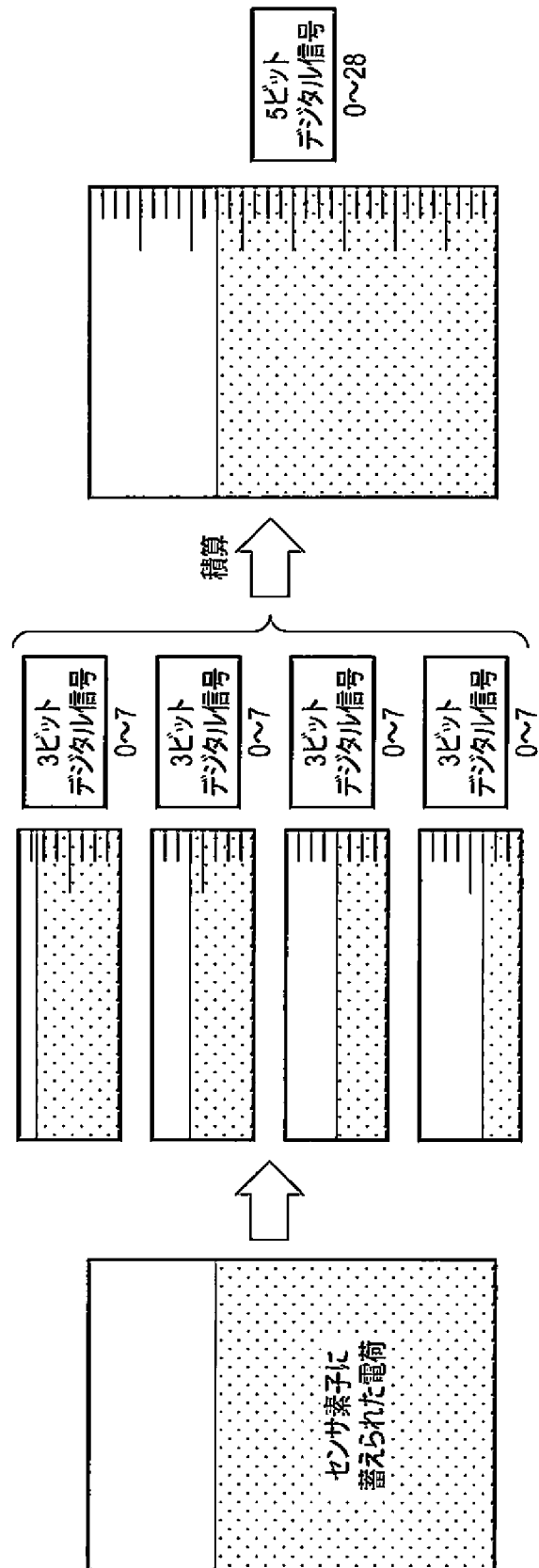
[図7]



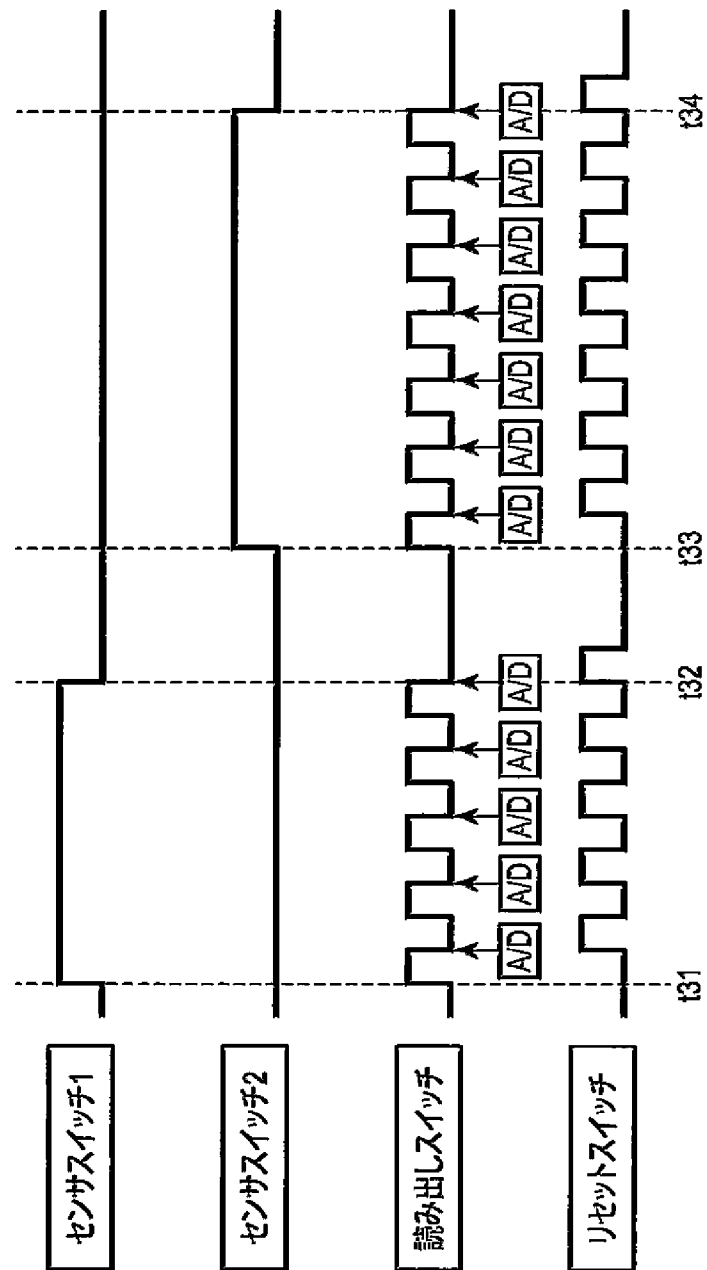
[図8]



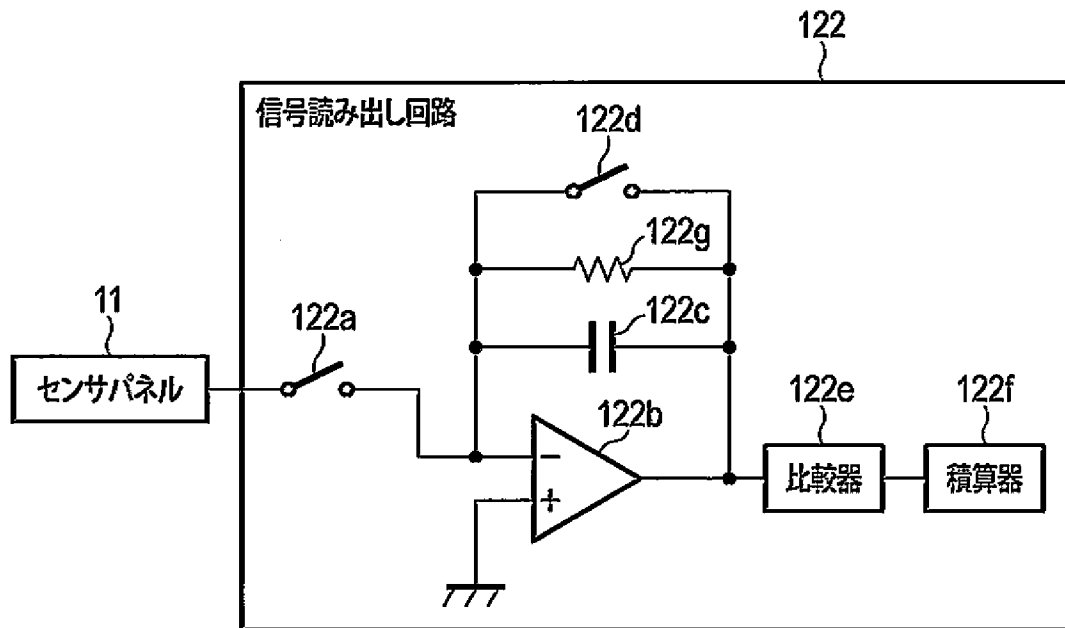
[図9]



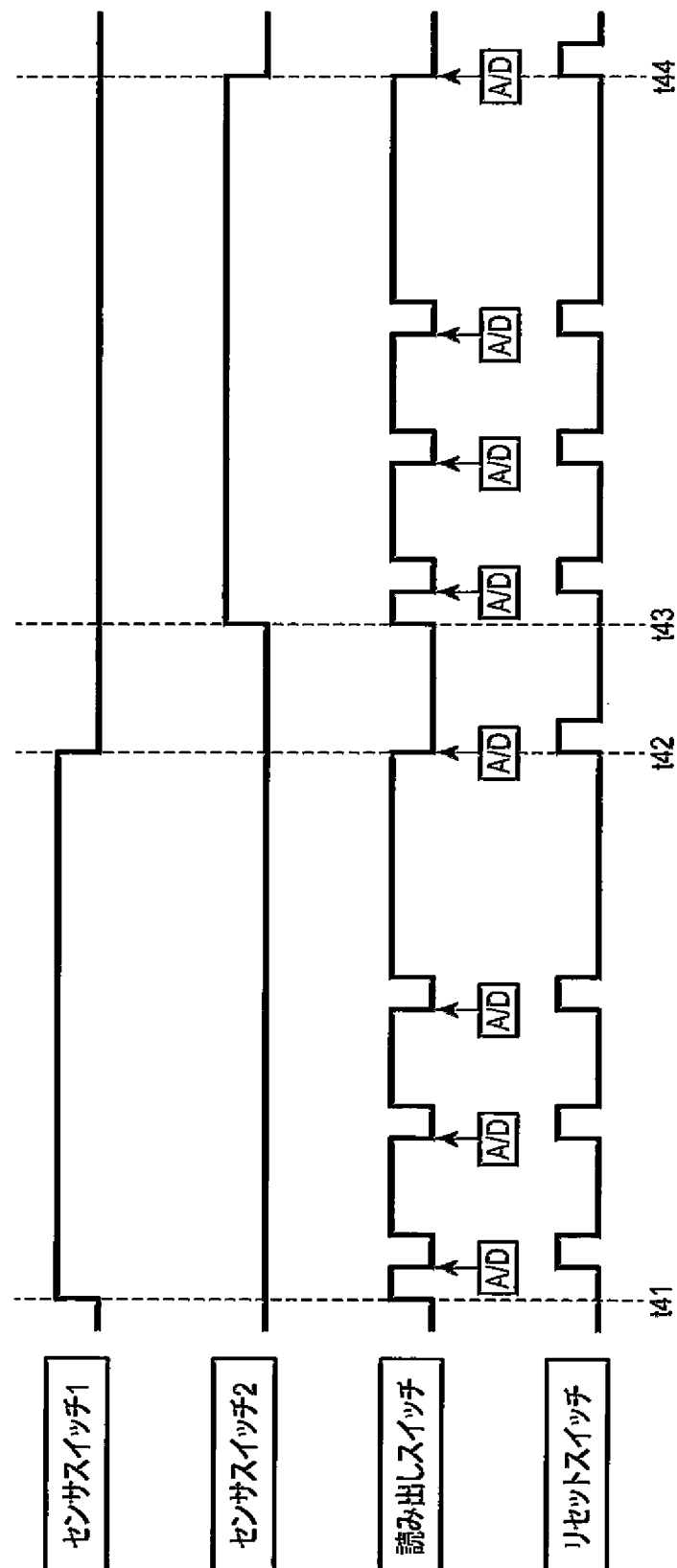
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/039855

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-112077 A (SHARP CORP.) 08 April 2004, entire text, all drawings	1-16
A	JP 2012-151812 A (FUJIFILM CORP.) 09 August 2012, entire text & US 2012/0187303 A1, entire text	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
10 December 2019 (10.12.2019)

Date of mailing of the international search report
24 December 2019 (24.12.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/039855

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-50776 A (DENSO CORP.) 09 March 2017, entire text & US 2018/0212616 A1, entire text & CN 107925415 A	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-112077 A (シャープ株式会社) 2004.04.08, 全文 (ファミリーなし)	1-16
A	JP 2012-151812 A (富士フイルム株式会社) 2012.08.09, 全文 & US 2012/0187303 A1, 全文	1-16

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

10.12.2019

国際調査報告の発送日

24.12.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

橘 高志

5 V

8391

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-50776 A (株式会社デンソー) 2017.03.09, 全文 & US 2018/0212616 A1, 全文 & CN 107925415 A	1-16