



(12) 发明专利申请

(10) 申请公布号 CN 104576596 A

(43) 申请公布日 2015. 04. 29

(21) 申请号 201310512035. 9

(22) 申请日 2013. 10. 25

(71) 申请人 日月光半导体制造股份有限公司
地址 中国台湾高雄市楠梓加工出口区经三路 26 号

(72) 发明人 苏洵漳 李俊哲 陈天赐 李志成 颜尤龙

(74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 张振军

(51) Int. Cl.

H01L 23/522(2006. 01)

H01L 21/768(2006. 01)

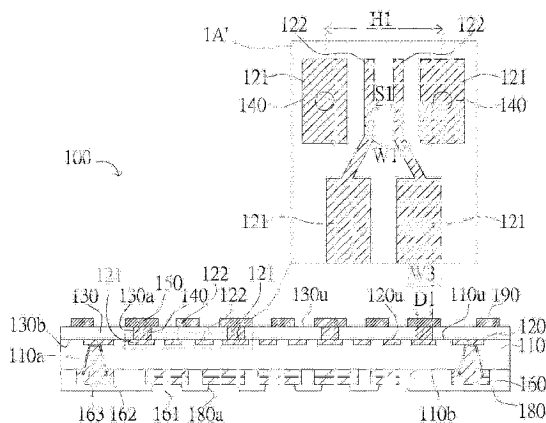
权利要求书2页 说明书10页 附图12页

(54) 发明名称

半导体基板及其制造方法

(57) 摘要

本发明提供了一种半导体基板及其制造方法, 半导体基板包括介电层、线路层、第一保护层、数个第一导电柱、输出接垫、电性接点层及第二保护层。介电层具有相对的第一表面与第二表面。线路层内埋于介电层并从第一表面露出。第一保护层覆盖第一线路层的一部分并具有数个露出该第一线路层的其余部分的开孔。第一导电柱形成于开孔内, 第一导电柱与第一保护层重叠于整个第一线路层。输出接垫对应地形成于第一导电柱上。电性接点层突出于第二表面形成。第二保护层覆盖介电层的第二表面并露出部分电性接点层。其中, 第一保护层的体积与第二保护层的体积的差异介于 30% 至 50% 之间。



1. 一种半导体基板,包括:
 - 一介电层,具有相对的一第一表面与一第二表面;
 - 一第一线路层,内埋于该介电层并从该第一表面露出;
 - 一第一保护层,覆盖该第一线路层的一部分并具有多个露出该第一线路层的其余部分的第一开孔;
 - 一第一导电柱,形成于该第一开孔内;
 - 一电性接点层形成于该第二表面上;
 - 一第二保护层,覆盖该介电层的该第二表面并露出部分该电性接点层;其中,该第一保护层的体积与该第二保护层的体积的差异介于 30% 至 50% 之间。
2. 如权利要求 1 所述的半导体基板,其特征在于,更包括一输出接垫,形成于该第一导电柱上。
3. 如权利要求 1 所述的半导体基板,其特征在于,该第一线路层包括:
 - 多个接垫;以及
 - 多条走线,各该走线连接对应的该接垫;其中,所述多条走线的一些位于所述多个接垫的相邻二者之间。
4. 如权利要求 1 所述的半导体基板,其特征在于,整个该第一线路层被该第一保护层与该第一导电柱覆盖。
5. 如权利要求 1 所述的半导体基板,其特征在于,该第一保护层具有相对的一第一表面与一第二表面,该第一保护层的该第一表面朝向该介电层的该第一表面,该半导体基板更包括:
 - 一第二线路层,形成于该第一保护层的该第二表面上。
6. 如权利要求 5 所述的半导体基板,其特征在于,该第二线路层包括:
 - 多个输出接垫;以及
 - 多条走线,各该走线连接对应的该输出接垫;其中,各该输出接垫透过对应的该第一导电柱连接该第一线路层。
7. 如权利要求 6 所述的半导体基板,其特征在于,该输出接垫的厚度大于各该走线的厚度。
8. 如权利要求 6 所述的半导体基板,其特征在于,该第一线路层包括:
 - 多个接垫;及
 - 多条走线,各该走线连接对应的该接垫;其中,该输出接垫与邻近的该第二走线层的该走线的间距大于该第一走线层的该接垫与邻近的该第一走线层的该走线的间距。
9. 如权利要求 5 所述的半导体基板,其特征在于,该第一走线层及该第二走线层各包括一走线,该第二走线层的该走线的宽度大于该第一走线层的该走线的宽度。
10. 一种半导体基板的制造方法,包括:
 - 提供一载板;
 - 形成一第一导电柱于该载板上;
 - 形成一第一保护层包覆该第一导电柱的侧面,该第一保护层具有一第一开孔,该第一导电柱从该第一开孔露出;

形成一第一线层于该第一保护层上；

形成一介电层于该第一保护层上并覆盖该第一线层，使该第一线层内埋于该介电层，该介电层具有相对的一第一表面与一第二表面，该介电层以该第一表面形成于该第一保护层上；

形成一电性接点层于该介电层的该第二表面上；以及

形成一第二保护层覆盖该介电层的该第二表面及该电性接点层，该第二保护层露出部分该电性接点层，该第一保护层的体积与该第二保护层的体积的差异介于 30% 至 50% 之间。

11. 如权利要求 10 所述的制造方法，其特征在于，该载板上形成有一输出接垫材料；该制造方法更包括：

分离该第一保护层与该载板以露出该输出接垫材料；以及

图案化该输出接垫材料，使该输出接垫材料形成一输出接垫。

12. 如权利要求 11 所述的制造方法，其特征在于，于图案化该输出接垫材料的步骤中，该输出接垫材料更形成一第二线路层，该第二线路层通过该第一导电柱电性连接该第一线层。

13. 一种半导体结构，包括：

一半导体基板，包括：

一介电层，具有相对的一第一表面与一第二表面；

一第一线层，内埋于该介电层并从该第一表面露出；

一第一保护层，覆盖该第一线层的一部分并具有多个露出该第一线层的其余部分的第一开孔；

一第一导电柱，形成于该第一开孔内；

一电性接点层形成于该第二表面上；及

一第二保护层，覆盖该介电层的该第二表面并露出部分该电性接点层；

其中，该第一保护层的体积与该第二保护层的体积的差异介于 30% 至 50% 之间；以及

一半导体元件，包括一电性连接元件，该半导体元件透过该电性连接元件对接于该半导体基板的该第一导电柱上。

半导体基板及其制造方法

技术领域

[0001] 本发明是有关于一种半导体基板及其制造方法,且特别是有关于一种具有内埋式线路层的半导体基板及其制造方法。

背景技术

[0002] 传统的半导体基板通过接垫电性连接于外部电路元件的电性接点(如焊球),为此,其接垫都会外露,以承接芯片。然而,这样会导致半导体基板的相邻二接垫容易因为外部电路元件的焊球而桥接(bridge)短路。特别是对符合细间距(fine pitch)的半导体基板而言,桥接问题特别严重。

发明内容

[0003] 本发明有關於一种半导体基板及其制造方法,可改善半导体基板的桥接短路的问题。

[0004] 根据本发明,提出一种半导体基板。半导体基板包括一介电层、一第一线路层、一第一保护层、一第一导电柱、一电性接点层及一第二保护层。介电层具有相对的一第一表面与一第二表面。第一线路层内埋于介电层并从第一表面露出。第一保护层覆盖第一线路层的一部分并具有数个露出第一线路层的其余部分的第一开孔。数个第一导电柱形成于第一开孔内。电性接点层形成于第二表面上。第二保护层覆盖介电层的第二表面并露出部分电性接点层。其中,第一保护层的体积与第二保护层的体积的差异介于 30% 至 50% 之间。

[0005] 根据本发明,提出一种半导体基板的制造方法。制造方法包括以下步骤。提供一载板;形成一第一导电柱于载板上;形成一第一保护层包覆第一导电柱的侧面,第一保护层具有一第一开孔,第一导电柱从第一开孔露出;形成一第一线路层于第一保护层上;形成一介电层于第一保护层上并覆盖第一线路层,使第一线路层内埋于介电层,介电层具有相对的一第一表面与一第二表面,介电层以第一表面形成于第一保护层上;形成一电性接点层于介电层的第二表面上;形成一第二保护层覆盖介电层的第二表面及电性接点层,第二保护层露出部分电性接点层,第一保护层的体积与第二保护层的体积的差异介于 30% 至 50% 之间。

[0006] 根据本发明,提出一种半导体结构。半导体结构包括一半导体基板及一半导体元件。半导体基板包括一介电层、一第一线路层、一第一保护层、一第一导电柱、一电性接点层及一第二保护层。介电层具有相对的一第一表面与一第二表面。第一线路层内埋于介电层并从第一表面露出。第一保护层覆盖第一线路层的一部分并具有数个露出第一线路层的其余部分的第一开孔。数个第一导电柱形成于第一开孔内。电性接点层形成于第二表面上。第二保护层覆盖介电层的第二表面并露出部分电性接点层。其中,第一保护层的体积与第二保护层的体积的差异介于 30% 至 50% 之间。半导体元件包括一电性连接元件,半导体元件透过电性连接元件对接于半导体基板的第一导电柱上。

[0007] 为了让本发明的上述内容能更明显易懂,下文特举实施例,并配合所附附图,作详细

说明如下：

附图说明

- [0008] 图 1A 绘示依照本发明一实施例的半导体基板的剖视图。
- [0009] 图 1B 绘示图 1A 的俯视图。
- [0010] 图 2 绘示依照本发明另一实施例的半导体基板的剖视图。
- [0011] 图 3 绘示依照本发明另一实施例的半导体基板的剖视图。
- [0012] 图 4 绘示依照本发明另一实施例的半导体基板的剖视图。
- [0013] 图 5 绘示依照本发明另一实施例的半导体封装件的剖视图。
- [0014] 图 6 绘示依照本发明另一实施例的半导体封装件的剖视图。
- [0015] 图 7 绘示依照本发明另一实施例的半导体封装件的剖视图。
- [0016] 图 8 绘示依照本发明另一实施例的半导体封装件的剖视图。
- [0017] 图 9A 至 9Q 绘示图 1A 的半导体基板的制造过程图。
- [0018] 图 10A 至 10F 绘示图 2 的半导体基板的制造过程图。
- [0019] **【主要元件符号说明】**
- [0020] 10 :载板
- [0021] 10u :第一面
- [0022] 10b :第二面
- [0023] 12、14、15、16 :图案化光阻层
- [0024] 12a、16a :开孔
- [0025] 100、200、300、400、500、800 :半导体基板
- [0026] 600、700 :半导体结构 110 :介电层
- [0027] 110' :介电层材料
- [0028] 110u、130b、330u、335u :第一表面
- [0029] 110b、130u :第二表面
- [0030] 110a :贯孔
- [0031] 111 :电性压板
- [0032] 120 :第一线路层
- [0033] 120u、140u、150u :端面
- [0034] 121 :接垫
- [0035] 122、221 :走线
- [0036] 130 :第一保护层
- [0037] 130' :第一保护层材料
- [0038] 130a :第一开孔
- [0039] 140 :第一导电柱
- [0040] 150、222、345 :输出入接垫
- [0041] 150' :输出入接垫材料
- [0042] 160 :电性接点层
- [0043] 160' :电性接点层板

- [0044] 161 : 输出输入接点
- [0045] 162 : 导电迹线
- [0046] 163 : 导电通孔
- [0047] 165 : 种子层
- [0048] 180 : 第二保护层
- [0049] 180a : 第二开孔
- [0050] 190 : 强化层
- [0051] 191 : 强化结构
- [0052] 220 : 第二线路层
- [0053] 320 : 第三线路层
- [0054] 330 : 第三保护层
- [0055] 335 : 第四保护层
- [0056] 340 : 第二导电柱
- [0057] 610 : 半导体元件
- [0058] 611 : 电性连接元件
- [0059] 612 : 焊料
- [0060] D1 : 外径
- [0061] H1、H2、H3 : 间距
- [0062] S1 : 线距
- [0063] T1、T2 : 厚度
- [0064] W1、W2 : 线宽
- [0065] W3 : 宽度

具体实施方式

[0066] 请参照图 1A, 其绘示依照本发明一实施例的半导体基板的剖视图。半导体基板 100 包括介电层 110、第一线路层 120、第一保护层 130、数个第一导电柱 140、数个输出输入接垫 150、电性接点层 160、第二保护层 180 及强化层 190。

[0067] 介电层 110 例如是由聚酰亚胺 (PI)、环氧玻纤布半固化片 (Prepreg, PP) 或 ABF (Ajinomoto Build-up Film) 树脂制成。介电层 110 具有相对的第一表面 110u 与第二表面 110b。

[0068] 第一线路层 120 内埋于介电层 110 内, 且从第一表面 110u 露出, 以电性连接第一导电柱 140。具体而言, 第一线路层 120 的端面 120u 从介电层 110 的第一表面 110u 露出。在工艺中, 由于第一线路层 120 与介电层 110 形成于第一保护层 130 的一共平面 (例如是第一表面 130b) 上, 故第一线路层 120 的端面 120u 与介电层 110 的第一表面 110u 大致上对齐, 如齐平。上述第一保护层 130 的第一表面 130b 朝向介电层 110 的第一表面 110u。此外, 整个第一线路层 120 被第一导电柱 140 与第一保护层 130 共同覆盖而未外露。

[0069] 第一保护层 130 例如是防焊层 (Solder resist layer) 或具有防焊层功能的树脂 (Resin) 制成。第一保护层 130 覆盖第一线路层 120 的一部分并具有数个露出第一线路层 120 的其余部分的第一开孔 130a。由于第一导电柱 140 填满第一开孔 130a, 使第一线路层

120 被第一导电柱 140 与第一保护层 130 共同覆盖 ;或者说,第一导电柱 140 与第一保护层 130 共同重叠于整个第一线路层 120。

[0070] 第一导电柱 140 例如是由铜、其合金或其它导电性佳的材料制成。第一导电柱 140 通过第一开孔 130a 电性连接于第一线路层 120。本实施例中,第一导电柱 140 填满第一开孔 130a,而形成柱状结构。由于第一线路层 120 通过大间隔的数个第一导电柱 140 对外电性连接,因此当第一导电柱 140 结合于另一基板(未绘示)或另一芯片的电性接点时可避免桥接问题发生。此外,第一导电柱 140 的剖面形状例如是圆形、椭圆形或多边形,其设计将视与外部电子元件(例如芯片或另一基板)的接垫型态而可相应配合。

[0071] 如上述,由于第一导电柱 140 与邻近的走线 122 藉由第一保护层 130 隔绝,因而而在进行后段封装工艺时不会有桥接的风险,因此在第一线路层 120 的设计上而有较佳的弹性设计空间,如下说明。

[0072] 如图 1A 的局部 1A' 的放大俯视图所示,第一线路层 120 包括数个接垫 121 及数条走线 122,其中各接垫 121 连接对应的走线 122,且形成于对应的第一导电柱 140 于上。一些走线 122 位于二接垫 121 之间,本实施例以二条走线 122 位于二接垫 121 之间为例说明,然此非用以限制本发明实施例。虽然本实施例的接垫 121 以矩形为例,然亦可为圆形、椭圆形或其它多边形。

[0073] 第一线路层 120 的二接垫 121 的间距 H1 及 / 或二走线 122 的线距 S1 可符合细间距 (fine pitch) 或更小的规格,但却不受到细间距工艺的限制。此处的细间距的定义指的是:间距 H1 小于或等于 150 微米,以及线距 S1/ 线宽 W1 小于或等于 20 微米。详细而言,由于第一线路层 120 不直接对外电性连接,故可在维持二接垫 121 的间距 H1 不变的情况下,扩大走线 122 的线宽 W1 及 / 或线距 S1,以降低细间距工艺在设计及工艺上的复杂度,此有助于提升第一线路层 120 的可靠度。此外,由于第一线路层 120 不直接对外电性连接,故可在维持走线 122 的线宽 W1 及线距 S1 的情况下,缩小二接垫 121 的间距 H1,如此可缩小半导体基板 100 的尺寸 ;或者,可同时扩大走线 122 的线宽 W1 及线距 S1 与缩小二接垫 121 的间距 H1,如此可获得兼具二者的技术效果。

[0074] 电性接点层 160 包括数个输出输入接点 161、导电迹线 162 及导电通孔 163。可采用例如是电镀方式形成导电材料于介电层 110 内的贯孔 110a 内,而形成导电通孔 163。导电通孔 163 例如是铜、其合金或其它导电性佳的材料。此外,导电通孔 163 可以是薄层,其形成于贯孔 110a 的内侧壁上 ;或者,导电通孔 163 可以是实心导电柱,其填满整个贯孔 110a。

[0075] 导电通孔 163 从介电层 110 的第二表面 110b 延伸至内埋的第一线路层 120,以电性连接第一线路层 120。如此,位于半导体基板 100 的一侧的输出输入接垫 150 可通过第一导电柱 140、第一线路层 120 与导电通孔 163 电性连接于位于半导体基板 100 的相对另一侧的电性接点层 160。

[0076] 第二保护层 180 例如是防焊层 (Solder resist layer) 或具有防焊层功能的树脂 (Resin) 制成,其覆盖介电层 110 的第二表面 110b 并具有至少一第二开孔 180a。第二开孔 180a 露出电性接点层 160 的一部分,但覆盖电性接点层 160 的另一部分。具体而言,第二开孔 180a 露出输出输入接点 161,但覆盖导电迹线 162。由于第二开孔 180a 露出输出输入接点 161,使一外部电路元件(未绘示)可通过第二开孔 180a 电性连接于电性接点层 160。由于导电迹线 162 不作为输出输入接垫,因此可被第二保护层 180 覆盖,以受到第二保护层 180 的

保护,然另一实施例中,第二保护层 180 可露出导电迹线 162。

[0077] 另外一提的是,电性接点层 160 突出于介电层 110 的第二表面 110b,而第一线路层 120 内埋于介电层 110 的第一表面 110u 内,如此使半导体基板 100 的相对二侧的几何结构及/或金属体积(或金属覆盖密度)不对称,如此将增加半导体基板 100 的翘曲量。因此当本发明实施例的第一保护层 130 与第二保护层 180 的体积差异介于 30% 与 50% 之间时,可缩小半导体基板 100 的翘曲量。进一步地说,若第一保护层 130 未覆盖第一线路层 120 或仅覆盖介电层 110 的第一表面 110u 的周围时(例如芯片尺寸覆晶基板),则第二保护层 180 的体积与第一保护层 130 的差异将扩大,甚至超过 30% 或超过 50%,如此将增加半导体基板 100 的相对二侧的保护层(第一保护层 130 与第二保护层 180)的内聚力差异,进而增加导致半导体基板 100 的翘曲量。反观本实施例,由于第一保护层 130 覆盖第一线路层 120,因而增加了第一保护层 130 的体积,进而减少了与第二保护层 180 的体积差异,因此可降低半导体基板 100 的翘曲量。

[0078] 输出接垫 150 对应地形成于第一导电柱 140 上,以通过第一导电柱 140 电性连接第一线路层 120。本实施例中,半导体基板 100 可通过输出接垫 150 以覆晶方式堆叠于另一基板(未绘示)或另一芯片上。输出接垫 150 可以是矩形、圆形、椭圆形或其它多边形,其设计将视与外部电子元件(例如芯片或另一基板)的接垫型态而可相应配合。此外,输出接垫 150 的宽度 W_3 大于第一导电柱 140 的外径 D_1 以补偿后续与另一芯片或另一基板行电性连接时的对准的误差。

[0079] 强化层 190 形成于第一保护层 130 的第二表面 130u,其中第二表面 130u 朝向远离介电层 110 的第一表面 110u 的方向。强化层 190 与输出接垫 150 可于同一工艺中形成,因此其厚度可大致上相同,然亦可相异,如强化层 190 的厚度厚于或薄于输出接垫 150 的厚度。强化层 190 与输出接垫 150 彼此电性隔离,使强化层 190 不具备任何电路功能,然另一实施例中,若有必要,则强化层 190 亦可电性连接输出接垫 150 以提供电路功能或信号传输功能。

[0080] 强化层 190 可强化半导体基板 100 的介电层 110 的第一表面 110u 之侧的结构强度(刚性),以减少半导体基板 100 的翘曲量。进一步地说,若第一保护层 130 的体积小于第二保护层 180 的体积,图 1A 的介电层 110 的第一表面 110u 之侧会因为内聚力较小而往上突出翘曲(介电层 110 呈哭脸)。然而,藉由强化层 190 的设计,可增加第一表面 110u 之侧的强度,进而减少介电层 110 的第一表面 110u 之侧的突出量,使半导体基板 100 的翘曲量可减少。强化层 190 不限于形成第一保护层 130 之侧,其可形成于半导体基板 100 中内聚力较小之侧,藉由强化层 190 的强度来减少半导体基板 100 的翘曲量。另一实施例中,若半导体基板 100 的翘曲量符合预期,亦可选择性省略强化层 190。

[0081] 请参照图 1B,其绘示图 1A 的俯视图。数个输出接垫 150 排列成 $m \times n$ 的阵列型,其中 n 与 m 为相同或相异的正整数。强化层 190 包括至少一强化结构 191,强化结构的形状可以是例如是圆形、椭圆形或多边形。此外,强化结构 191 可以沿任意路径延伸,例如是 L 形路径、开放环形路径或封闭环形路径,其中环形路径例如是圆形、椭圆形或多边形。当强化结构 191 沿封闭环形路径延伸时,强化结构 191 可形成于半导体基板 100 的边缘,而环绕所有输出接垫 150。

[0082] 请参照图 2,其绘示依照本发明另一实施例的半导体基板的剖视图。半导体基板

200 包括介电层 110、第一线路层 120、第一保护层 130、数个第一导电柱 140、电性接点层 160、第二保护层 180 及第二线路层 220。

[0083] 第二线路层 220 形成于第一保护层 130 的第二表面 130u 上并通过第一导电柱 140 电性连接第一线路层 120。第二线路层 220 包括数条走线 221 及数个输出接垫 222，其中各输出接垫 222 连接对应的走线 221。第二线路层 220 的输出接垫 222 通过第一导电柱 140 电性连接于第一线路层 120 的接垫 121。

[0084] 如图 2 的局部 2' 的放大俯视图所示，相较于图 1A 的半导体基板 100，本实施例的二接垫 121 之间的走线 122 的数量较少，不足的走线 122 的数量及 / 或功能可由第二线路层 220 提供。进一步地说，相较于图 1A 的单层的第一线路层 120 所提供的电路功能，本实施例以上下二层线路层（第二线路层 220 与第一线路层 120）来实现。另一实施例中，第二线路层 220 可提供独立于第一线路层 120 的另一种电路功能，如图 8 所示，此容后描述。

[0085] 由于二接垫 121 之间的走线 122 的数量可减少，因此走线 122 的线宽可设计得更宽，如此可不受细间距工艺的限制。相较于图 1B 的半导体基板 100，本实施例的半导体基板 200 的第二线路层 220 提供一相似于强化层 190 的技术效果，因此可降低半导体基板 100 的翘曲量。另一实施例中，若第二线路层 220 不足以满足所欲减少的半导体基板 100 的翘曲量，则半导体基板 200 可更包括强化层 190。

[0086] 请参照图 3，其绘示依照本发明另一实施例的半导体基板的剖视图。半导体基板 300 包括介电层 110、第一线路层 120、第一保护层 130、数个第一导电柱 140、数个输出接垫 150、电性接点层 160、第二保护层 180、第二线路层 220、第三保护层 330、第四保护层 335、数个第二导电柱 340、数个输出接垫 345 及第三线路层 320。

[0087] 相较于图 2 的半导体基板 200，本实施例的半导体基板 300 更包括一组由第三保护层 330、第四保护层 335、数个第二导电柱 340、数个输出接垫 345 及第三线路层 320 组成的复合结构层，以提供更多电路功能。此外，另一实施例中，半导体基板 300 的复合结构层的组数可以是二组或超过二组。

[0088] 第三保护层 330 包覆输出接垫 150 的侧面，输出接垫 150 的端面 150u 从第三保护层 330 的第一表面 330u 露出，其中第三保护层 330 的第一表面 330u 朝向远离介电层 110 的第一表面 110u 的方向。输出接垫 150 的端面 150u 与第一表面 330u 大致上对齐，如齐平。第二导电柱 340 形成于输出接垫 150 的露出的端面 150u 上，以电性连接于输出接垫 150。

[0089] 第四保护层 335 包覆第二导电柱 340 的侧面，第二导电柱 340 的端面 340u 从第四保护层 335 的第一表面 335u 露出，其中第四保护层 335 的第一表面 335u 朝向远离介电层 110 的第一表面 110u 的方向。第二导电柱 340 的端面 340u 与第四保护层 335 的第一表面 335u 大致上对齐，如齐平。输出接垫 345 形成于第二导电柱 340 的露出的端面 150u 上，以电性连接于第二导电柱 340。

[0090] 第三线路层 320 形成于第四保护层 335 的第一表面 335u 上并通过第二导电柱 340（图 3 未剖到，因此未绘示）电性连接第二线路层 220。第三线路层 320 与输出接垫 345 可于同一工艺中形成。此外，第三线路层 320 的厚度与输出接垫 345 的厚度可相同，然亦可相异。

[0091] 第三线路层 320、第四保护层 335、第二导电柱 340 及输出接垫 345 的材料可分

别相似于上述第二线路层 220、第一保护层 130、第一导电柱 140 及输出接垫 150，容此不再赘述。

[0092] 另一实施例中，半导体基板 300 可更包括强化层 190，其形成于第三保护层 330 的第一表面 330u 及 / 或第四保护层 335 的第一表面 335u。

[0093] 请参照图 4，其绘示依照本发明另一实施例的半导体基板的剖视图。半导体基板 400 包括介电层 110、第一线路层 120、第一保护层 130、至少一第一导电柱 140、数个输出接垫 150、电性接点层 160、第二保护层 180 及第二线路层 220。本实施例中，第二线路层 220 的厚度 T1 比输出接垫 150 的厚度 T2 薄，藉此厚度差异可调整半导体基板 400 的第一保护层 130 的侧的强度，进而调整半导体基板 400 的翘曲量。此外，较厚的输出接垫 150 亦可避免后续与芯片端的锡球电性连接时会有桥接的风险。

[0094] 请参照图 5，其绘示依照本发明另一实施例的半导体封装件的剖视图。半导体基板 500 包括介电层 110、第一线路层 120、第一保护层 130、至少一第一导电柱 140、电性接点层 160 及第二保护层 180。与图 1A 的半导体基板 100 不同的是，本实施例的半导体封装件 500 省略输出接垫 150 及强化层 190。

[0095] 第一导电柱 140 的端面 140u 与第一保护层 130 的第二表面 130u 大致上对齐，例如是齐平。第一导电柱 140 的端面 140u 从第一保护层 130 的第二表面 130u 露出，可使一半导体元件（图 5 未绘示）通过露出的端面 140u 电性连接于半导体基板 500。

[0096] 请参照图 6，其绘示依照本发明另一实施例的半导体封装件的剖视图。半导体结构 600 包括半导体元件 610 及半导体基板 500，其中半导体元件 610 包括数个电性连接元件 611，电性连接元件 611 例如是导电柱，其通过焊料 612 电性连接于露出的第一导电柱 140 的端面 140u。半导体元件 610 例如是半导体芯片、半导体封装件、被动元件或基板。

[0097] 由于第一线路层 120 被第一保护层 130 覆盖，因此当第一导电柱 140 结合于另一基板（未绘示）或另一芯片的电性接点时可避免与邻近走线 122 电性连接而有桥接问题发生。

[0098] 请参照图 7，其绘示依照本发明另一实施例的半导体封装件的剖视图。半导体结构 700 包括半导体元件 610 及半导体基板 100，其中半导体元件 610 包括数个电性连接元件 611，半导体元件 610 通过电性连接元件 611 对接于半导体基板 100，且电性连接元件 611 通过焊料 612 电性连接于半导体基板 100 的露出的输出接垫 150。

[0099] 请参照图 8，其绘示依照本发明另一实施例的半导体封装件的剖视图。半导体基板 800 包括介电层 110、第一线路层 120、第一保护层 130、至少一第一导电柱 140、电性接点层 160、第二保护层 180 及第二线路层 220。与图 1A 的半导体基板 100 不同的是，半导体基板 800 省略强化层 190，但包括第二线路层 220。然而，另一实施例中，半导体基板 800 可同时包括第二线路层 220 与强化层 190。

[0100] 本实施例中，二输出接垫 222 之间的走线密度疏于二接垫 121 之间的走线密度，使输出接垫 222 与邻近的走线 221 的间距 H2 大于第一走线层 120 的接垫 121 与邻近的走线 122 的间距 H3。此外，虽然图未标示，由于上下二层走线疏密的设计，第二走线层 220 的走线 221 的宽度可大于第一走线层 120 的走线 122 的宽度。另一实施例中，走线 221 的宽度亦可小于或等于走线 122 的宽度。透过第一线路层 120 及第二线路层 220 的设计，可扩充半导体基板 800 的电路功能。

[0101] 请参照图 9A 至 9Q,其绘示图 1A 的半导体基板的制造过程图。

[0102] 如图 9A 所示,提供载板 10。载板 10 包括输出接垫材料 150'。输出接垫材料 150' 可采用例如是材料形成技术或贴附方法预形成于载板 10 的相对的第一面 10u 与第二面 10b 上。输出接垫材料 150' 例如是由铜、其合金或其它导电材料所制成,具体而言,输出接垫材料 150' 为铜箔 (Cu foil) 或铜层 (Cu layer)。此外,输出接垫材料 150' 的厚度介于 20 微米至 50 微米之间。

[0103] 上述材料形成技术例如是化学气相沉积、无电镀法 (electroless plating)、电解电镀 (electrolytic plating)、印刷、旋涂、喷涂、溅镀 (sputtering) 或真空沉积法 (vacuum deposition)。

[0104] 以下各步骤同时形成相同结构于载板 10 的第一面 10u 与第二面 10b,以提升产量。

[0105] 如图 9B 所示,可采用例如是涂布技术搭配图案化技术,形成图案化光阻层 12 覆盖输出接垫材料 150',其中图案化光阻层 12 具有数个开孔 12a,其定义第一导电柱 140 (图 9C) 的区域。此外,图案化光阻层 12 例如是干膜 (dryfilm)。

[0106] 上述涂布技术例如是印刷 (printing)、旋涂 (spinning) 或喷涂 (spraying)。上述的图案化技术例如是光刻工艺 (photolithography)、化学蚀刻 (chemical etching)、激光钻孔 (laser drilling) 或机械钻孔 (mechanical drilling)。

[0107] 如图 9C 所示,可采用例如是上述材料形成技术,形成数个第一导电柱 140 于开孔 12a 内,其中第一导电柱 140 通过开孔 12a 电性连接输出接垫材料 150'。第一导电柱 140 填满整个开孔 12a,而构成实心柱状结构。此外,第一导电柱 140 的高度介于 20 微米至 30 微米之间。

[0108] 如图 9D 所示,可采用例如是剥膜技术,移除图案化光阻层 12,以露出第一导电柱 140 的侧面 140s 及输出接垫材料 150'。

[0109] 如图 9E 所示,可采用例如是涂布技术,形成第一保护层材料 130' 覆盖第一导电柱 140 的端面 140u 及侧面 140s 与输出接垫材料 150'。

[0110] 如图 9F 所示,可采用例如是磨削技术,移除第一保护层材料 130' (图 9E) 的部分材料直到露出第一导电柱 140 的端面 140u,而形成第一保护层 130。第一保护层 130 与第一导电柱 140 共同覆盖输出接垫材料 150' 的整个第一表面 150u。第一保护层 130 与第一导电柱 140 构成互补结构;换句话说,未形成第一导电柱 140 的区域即第一保护层 130 的区域。此外,磨削后,第一保护层 130 形成第一表面 130b,其与第一导电柱 140 的磨削后的端面 140u 大致上对齐,如齐平。

[0111] 如图 9G 所示,可采用上述材料形成技术搭配图案化技术,形成第一线层 120 于露出的第一导电柱 140 的端面 140u 及第一保护层 130 的第一表面 130b 上。详细而言,在本实施例中,先溅镀一层种子层于第一保护层 130 上,再形成一图案化光阻层 (例如是干膜) 以定义出第一线层 120 的区域,接着再采用例如是电镀工艺形成第一线层 120。由于第一线层 120 是采用图案化光阻层定义并采用电镀方式形成,因此可形成较小的线宽。

[0112] 第一线层 120 包括数个接垫 121 及数条走线 122,其中接垫 121 形成于第一导电柱 140 的端面 140u 上,以电性连接第一导电柱 140,而走线 122 延伸于第一保护层 130 的第一表面 130b 上 (从图 9G 的俯视方向看去)。

[0113] 由于接垫 121 的宽度 W2 大于第一导电柱 140 的外径 D1,故即使接垫 121 稍微偏

位,仍可覆盖第一导电柱 140 的整个或大部分的端面 140u,以确保接垫 121 与第一导电柱 140 之间的电性品质。

[0114] 如图 9H 所示,可采用例如是层压技术(Lamination),形成介电层材料 110'覆盖第一线路层 120。详细来说,可采用例如是上述涂布技术,形成介电层材料 110'覆盖第一线路层 120 及第一保护层 130;然后,在贴合电性压板 111 于介电层材料 110' 上后,透过电性压板 111 对介电层材料 110' 施压且同时进行加热,使介电层材料 110' 紧密地固定于第一保护层 130 上。

[0115] 如图 9I 所示,可采用例如是图案化技术,形成至少一贯孔 110a 贯穿电性压板 111 与介电层材料 110',以露出第一线路层 120。图案化后,介电层材料 110' 形成具有贯孔 110a 的一部分的介电层 110。

[0116] 如图 9J 所示,可采用例如是无电镀法,形成种子层 165 覆盖整个电性压板 111 及贯孔 110a 的内侧壁。

[0117] 如图 9K 所示,形成图案化光阻层 16 于种子层 165 上,其中图案化光阻层 16 具有数个开孔 16a,其定义出电性接点层 160(图 9L) 的区域。如图 9L 所示,可采用例如是电镀工艺,透过图案化光阻层 16 的开孔 16a 形成电性接点层 160 于种子层 165 上。

[0118] 如图 9M 所示,剥除图案化光阻层 16,然后再通过例如是光刻蚀刻移除未被电性接点层 160 覆盖的种子层 165 及电性压板 111。

[0119] 如图 9N 所示,可采用例如是涂布技术搭配图案化技术,形成第二保护层 180 覆盖介电层 110 的第二表面 110b,第二保护层 180 露出部分电性接点层 160。具体而言,第二保护层 180 具有数个第二开孔 180a,其中第二开孔 180a 露出输出入接点 161,但覆盖导电迹线 162。由于第二开孔 180a 露出输出入接点 161,使一外部电路元件(未绘示)可通过第二开孔 180a 电性连接于电性接点层 160。此外,由于导电迹线 162 不作为输出入接垫,因此可被第二保护层 180 覆盖,以受到第二保护层 180 的保护。

[0120] 如图 9O 所示,分离输出入接垫材料 150' 与载板 10,以露出输出入接垫材料 150'。

[0121] 如图 9P 所示,可采用例如是涂布技术搭配图案化技术,形成图案化光阻层 14 覆盖输出入接垫材料 150',其中图案化光阻层 14 的覆盖区域定义输出入接垫 150 的区域。此外,可采用例如是涂布技术形成光阻层 15 覆盖第二保护层 180,其中光阻层 15 为一无镂空图案的完整光阻层,其覆盖整个第二保护层 180,如此可避免第二保护层 180 受到后续材料图案化工艺的破坏。

[0122] 如图 9Q 所示,可采用上述图案化技术(包含蚀刻),图案化输出入接垫材料 150',使输出入接垫材料 150' 形成数个输出入接垫 150。然后,剥除图案化光阻层 14,以露出输出入接垫 150。

[0123] 然后,可形成图 1A 的强化层 190 于第一保护层 130 上。在单一化工艺后,如此完成至少一如图 1A 所示的半导体基板 100。单一化工艺例如是以刀具或雷射完成。

[0124] 请参照图 10A 至 10F,其绘示图 2 的半导体基板的制造过程图。

[0125] 如图 10A 所示,可采用上述材料形成技术搭配图案化技术,形成第一线路层 120 于露出的第一导电柱 140 的端面 140u 及第一保护层 130 的第一表面 130b 上。详细而言,在本实施例中,先以全板电镀(Panel Plating)方式形成一导电层于第一保护层 130 上,再形成一图案化光阻层(未绘示)于导电层上以定义出第一线路层 120 的区域。然后再采用上

述图案化技术,图案化导电层,以形成第一线路层 120。

[0126] 第一线路层 120 包括数个接垫 121 及数条走线 122,其中接垫 121 形成于第一导电柱 140 的端面 140u 上,而走线 122 延伸于第一保护层 130 的第一表面 130b 上。相较于图 5G 的步骤,本实施例的二接垫 121 的的走线 122 数量较少,其余不足的走线 122 的数量及/或功能可由后续形成的第二线路层 220 来提供。

[0127] 如图 10B 所示,可采用例如是层压技术搭配图案化技术,形成具有至少一贯孔 110a 的介电层 110,其中介电层 110 覆盖第一保护层 130 及第一线路层 120,而贯孔 110a 贯穿电性压板 111 与介电层 110,以露出第一线路层 120。

[0128] 如图 10C 所示,可采用相似上述图 x 至 x 的步骤,形成图案化且叠合的电性压板 111、种子层 165 与电性接点层 160。

[0129] 如图 10D 所示,可采用例如是涂布技术搭配图案化技术,形成第二保护层 180 覆盖介电层 110 的第二表面 110b,第二保护层 180 露出部分电性接点层 160。

[0130] 如图 10E 所示,在分离输出接垫材料 150' 与载板 10 后,可采用例如是涂布技术搭配图案化技术,形成图案化光阻层 14 覆盖输出接垫材料 150' 以及光阻层 15 覆盖第二保护层 180,其中图案化光阻层 14 的覆盖区域定义第二线路层 220 的区域,而光阻层 14 完整地覆盖整个第二保护层 180。

[0131] 如图 10F 所示,可采用上述图案化技术(例如蚀刻),图案化输出接垫材料 150',使输出接垫材料 150' 形成第二线路层 220。然后,再移除图案化光阻层 14,以露出第二线路层 220。在单一化工艺后,可形成至少一如图 2 所示的半导体基板 200。

[0132] 在图 3 的半导体基板 300 的制造过程相似于图 2 的半导体基板 200 的制造过程,容此不再赘述。

[0133] 在图 4 的半导体基板 400 的制造过程中,于图 10F 的步骤中,输出接垫材料 150' 可不形成第二线路层 220;然后,于输出接垫 150 形成后再另外采用材料形成技术搭配图案化技术形成第二线路层 220,以形成厚度较输出接垫 150 的厚度薄的第二线路层 220。

[0134] 图 5 的半导体基板 500 的制造过程相似于图 1A 的半导体基板 100 的制造过程,不同之处在于,于图省略输出接垫材料 150' 的形成。

[0135] 图 6 的半导体结构 600 的制造过程包括:堆叠半导体元件 610 于半导体基板 500 上,半导体元件 610 的电性连接元件 611 通过焊料 612 连接于半导体基板 500 的露出的导电柱 140。

[0136] 图 7 的半导体结构 700 的制造过程包括:堆叠半导体元件 610 于半导体基板 100 上,半导体元件 610 的电性连接元件 611 通过焊料 612 连接于半导体基板 100 的输出接垫。

[0137] 图 8 的半导体基板 800 的制造过程相似于半导体基板 200,差异之处在于:在图 10A 的步骤中,二导电柱 140 之间形成有二条走线 122。

[0138] 综上所述,虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明。本发明所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作各种更动与润饰。因此,本发明的保护范围当视后附的权利要求所界定者为准。

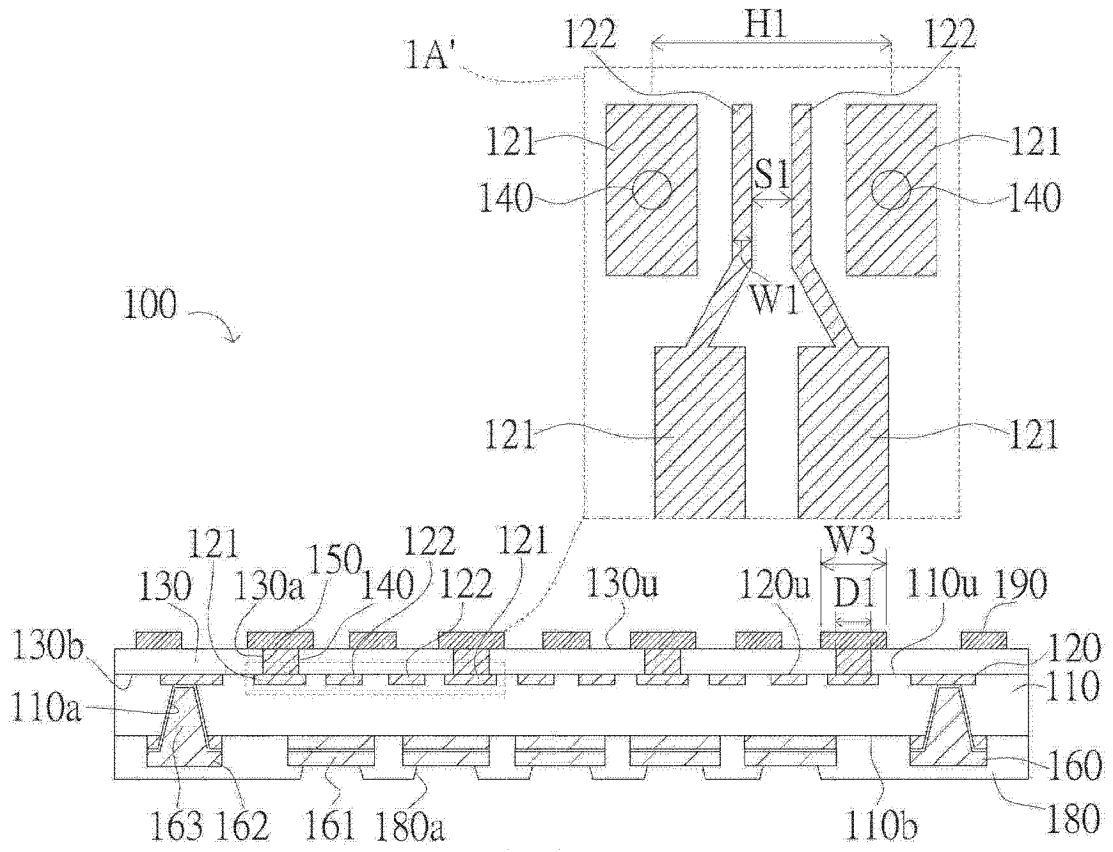


图 1A

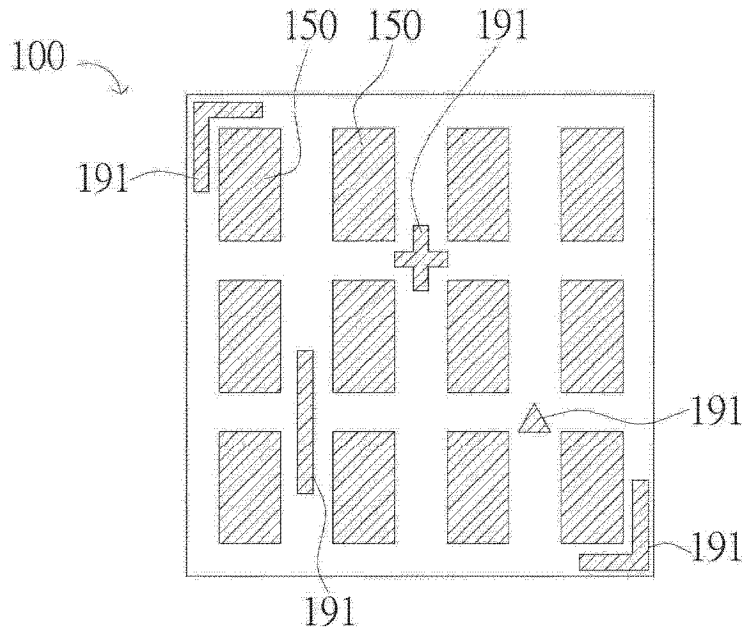


图 1B

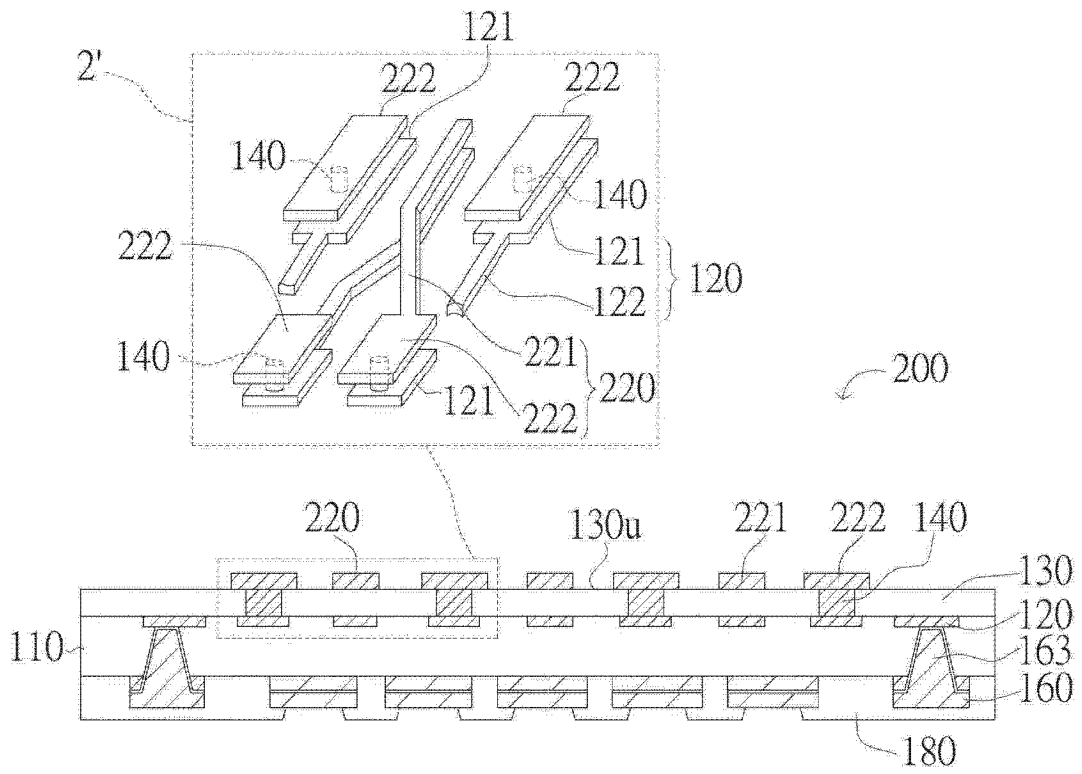


图 2

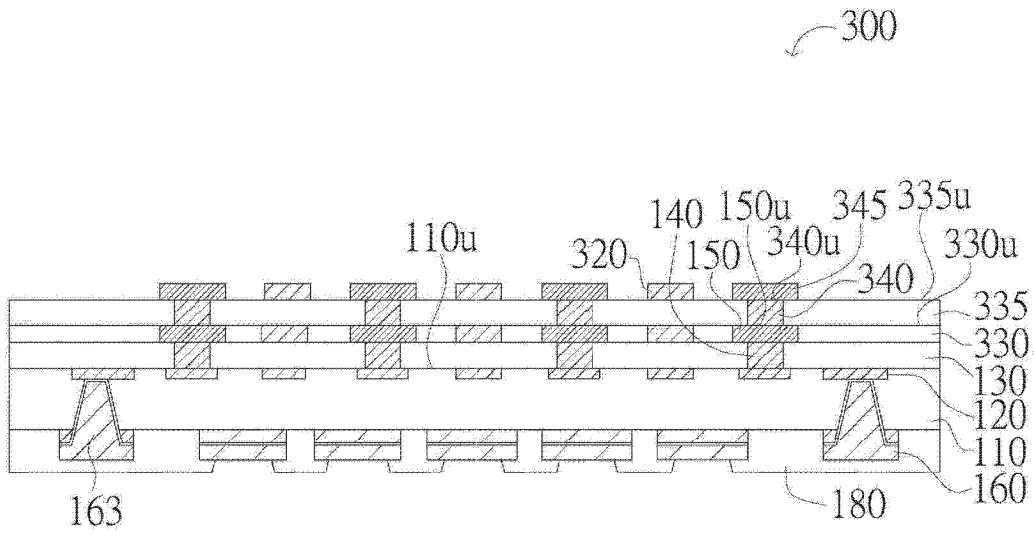


图 3

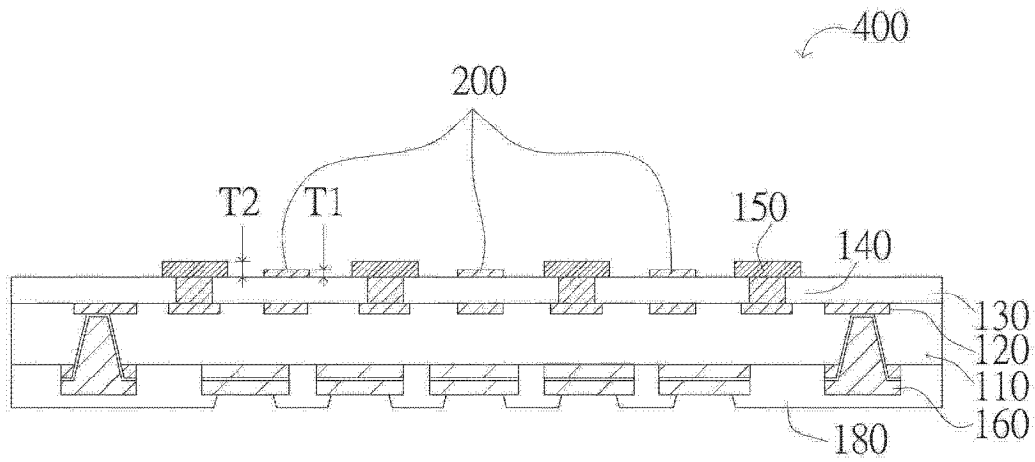


图 4

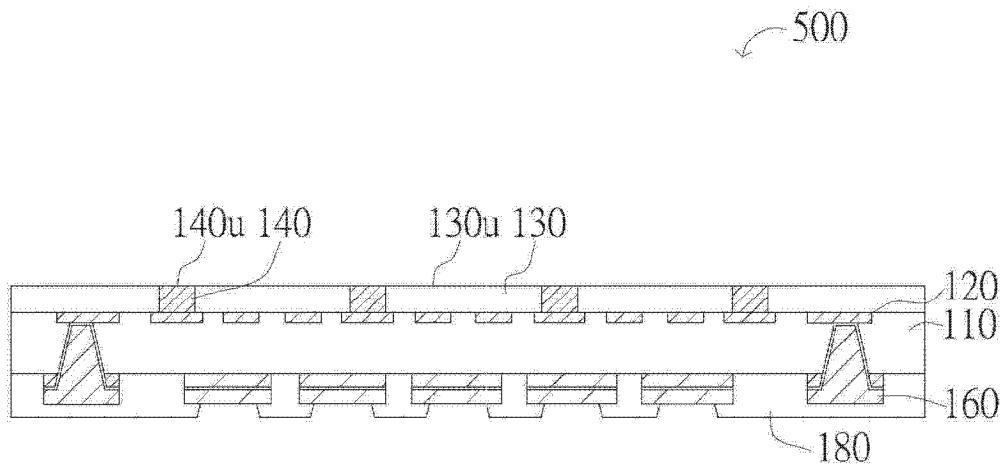


图 5

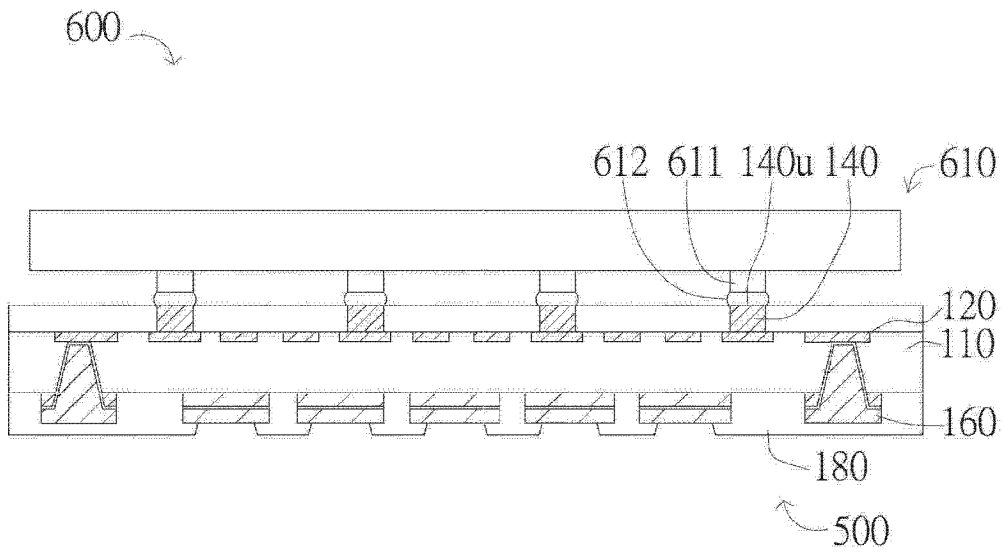


图 6

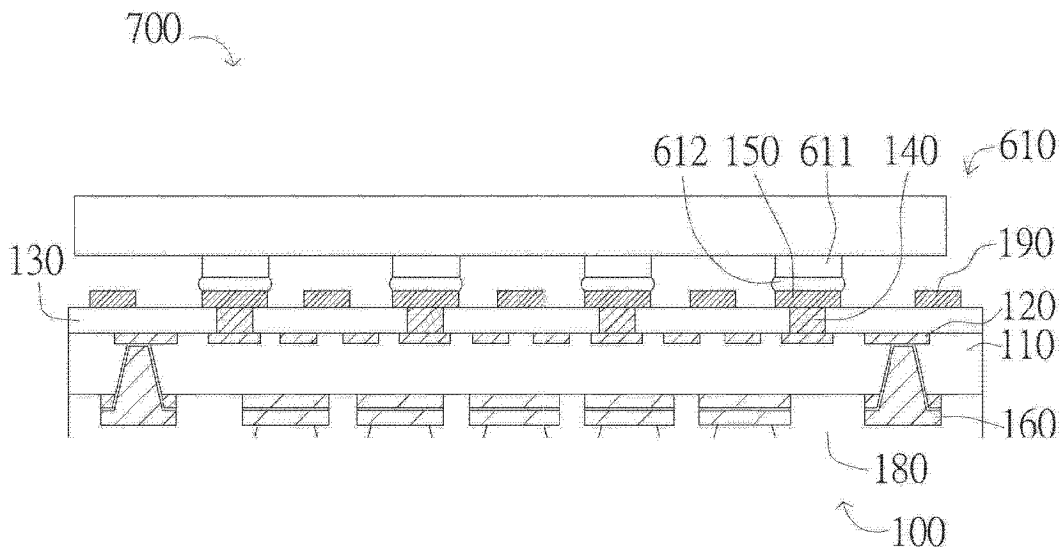


图 7

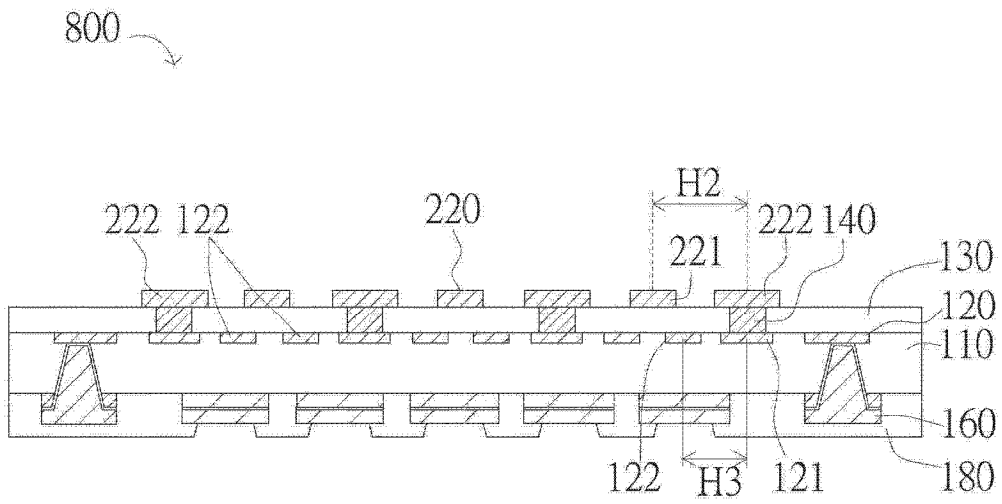


图 8

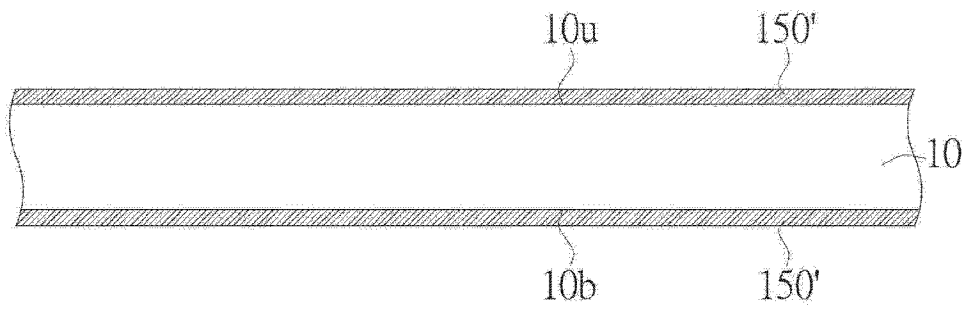


图 9A

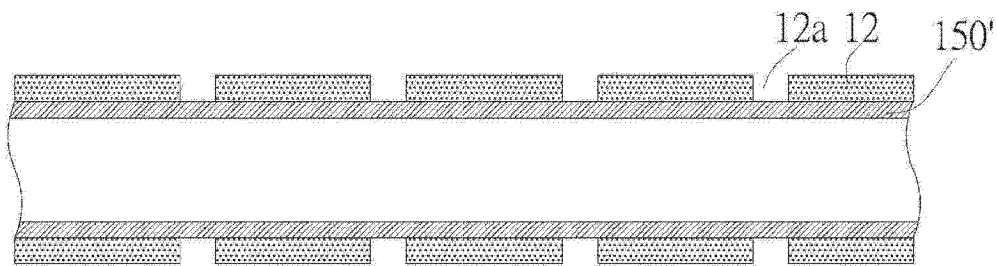


图 9B

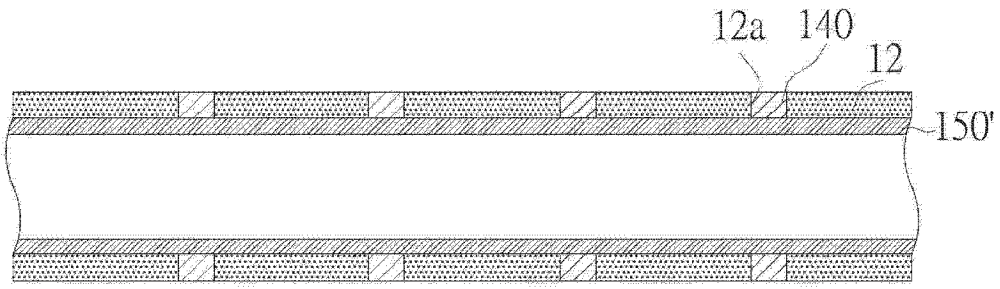


图 9C

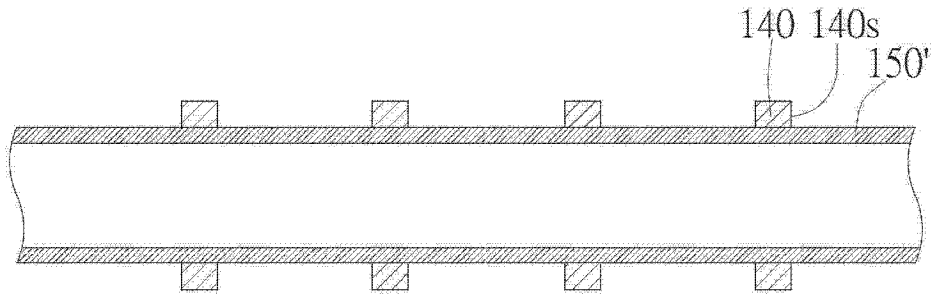


图 9D

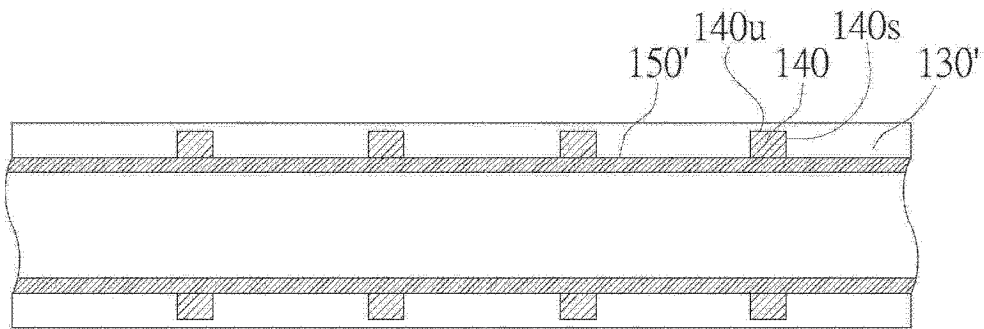


图 9E

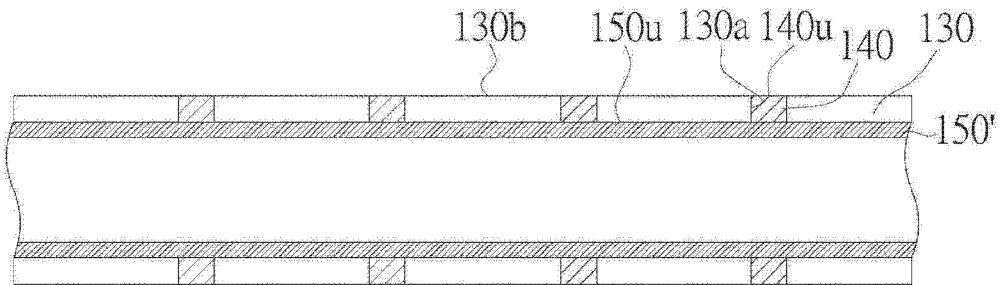


图 9F

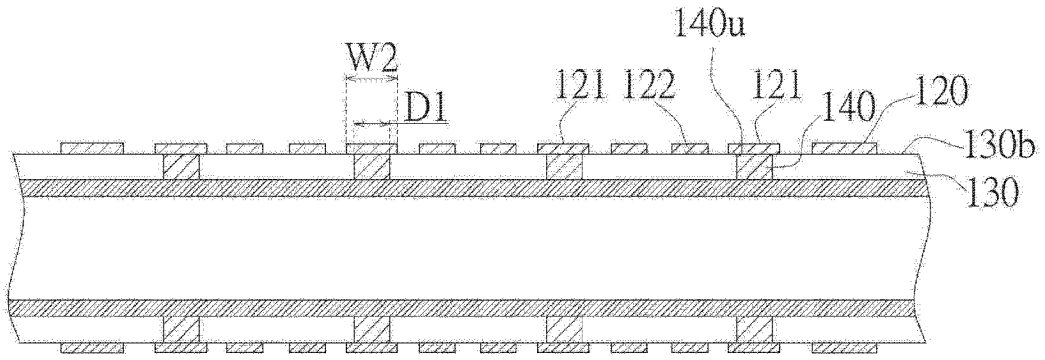


图 9G

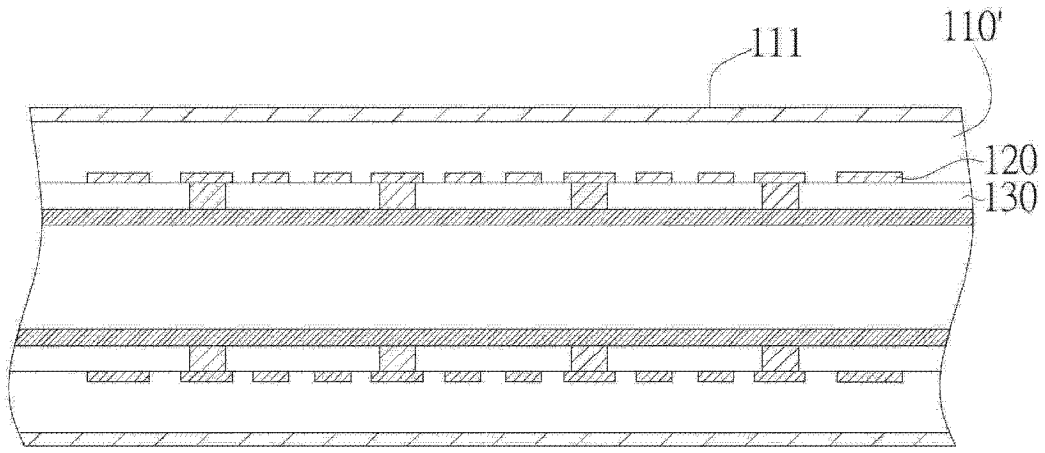


图 9H

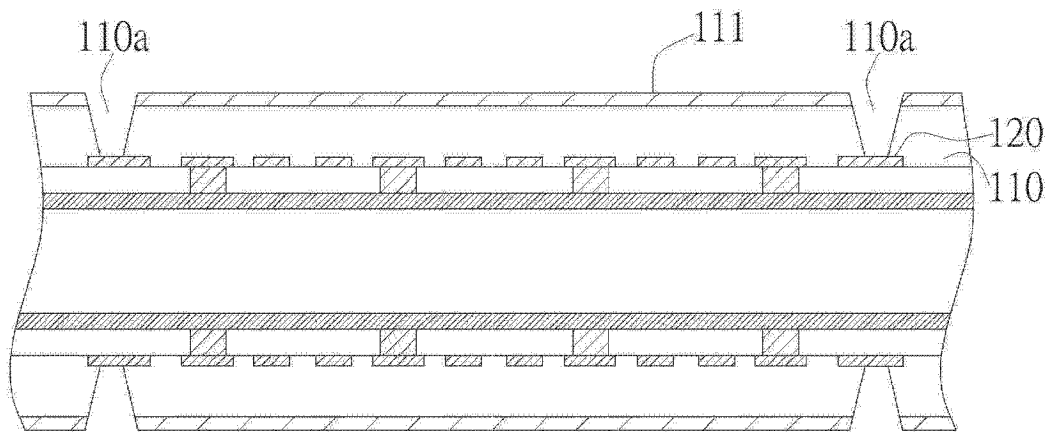


图 9I

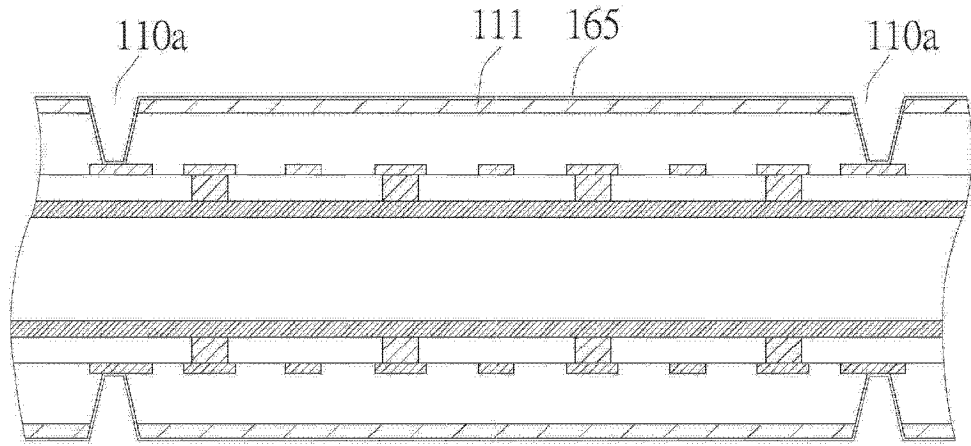


图 9J

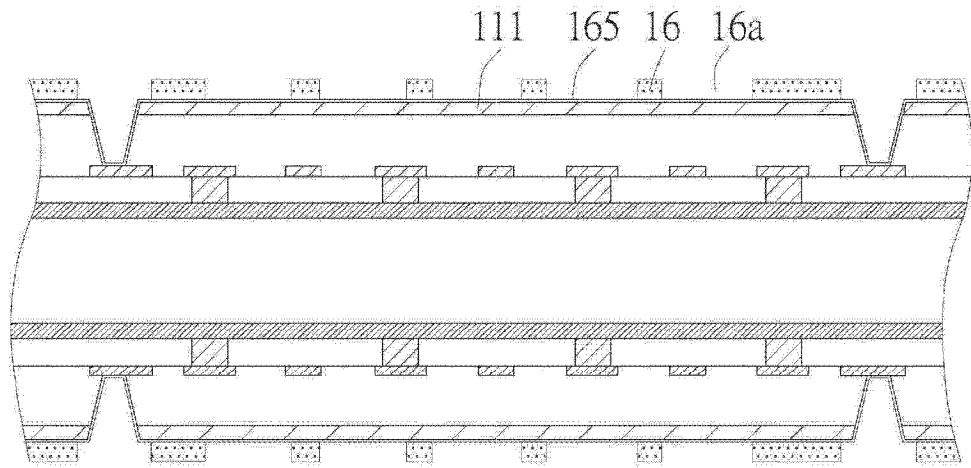


图 9K

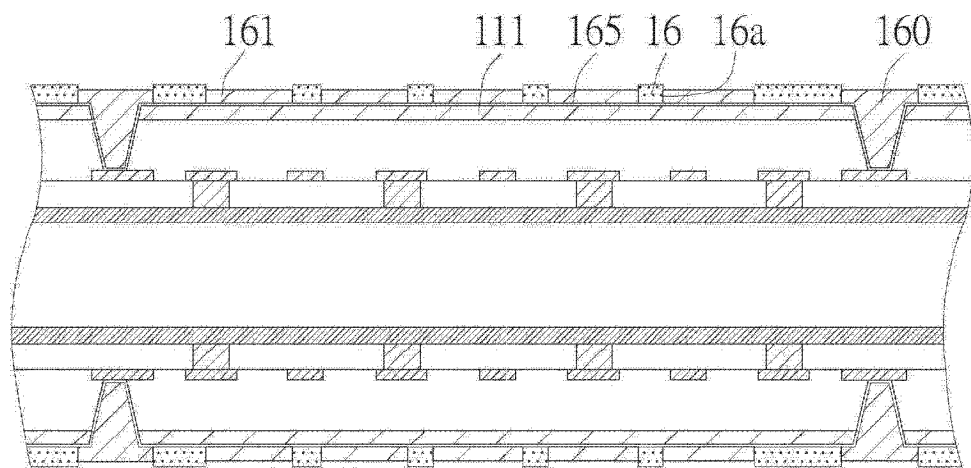


图 9L

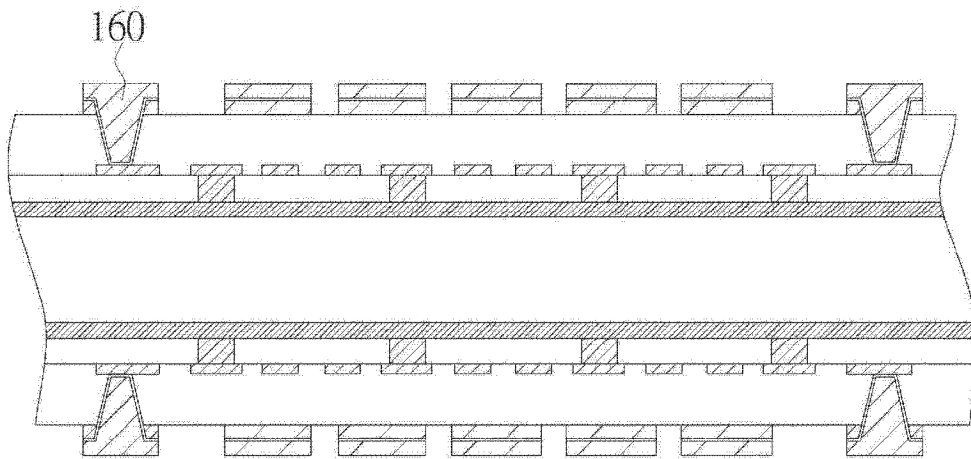


图 9M

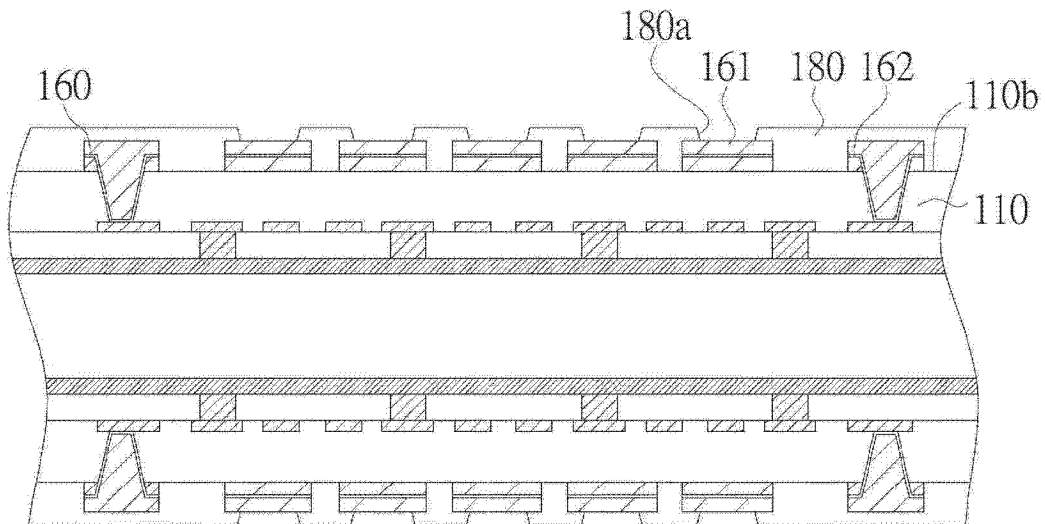


图 9N

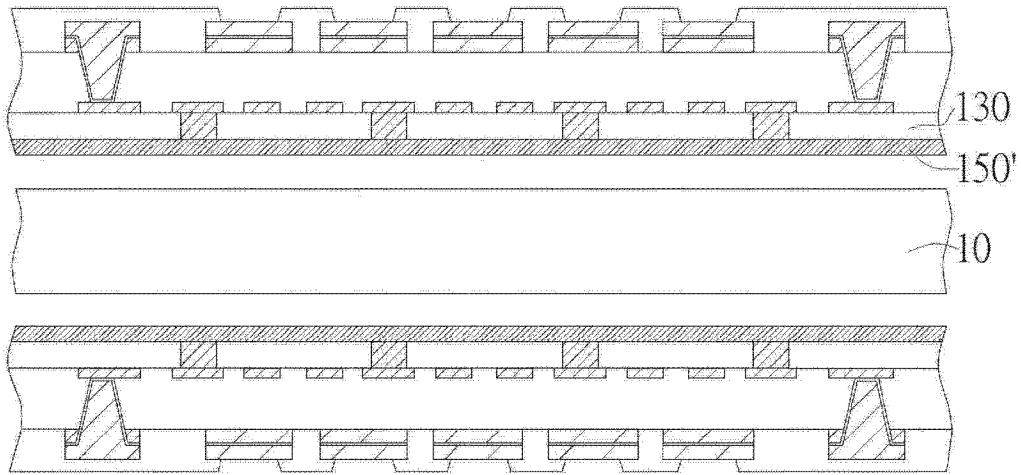


图 90

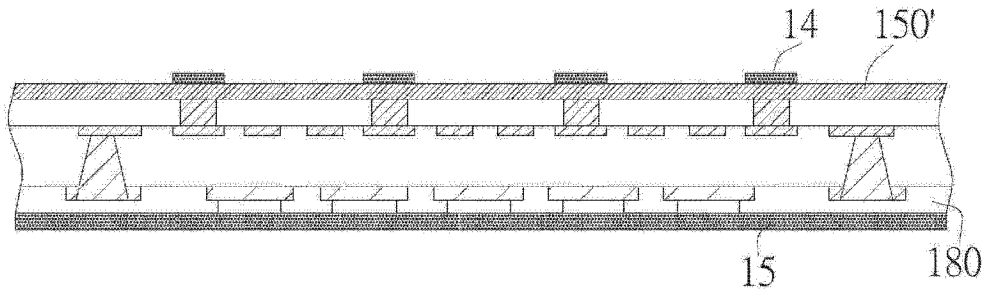


图 9P

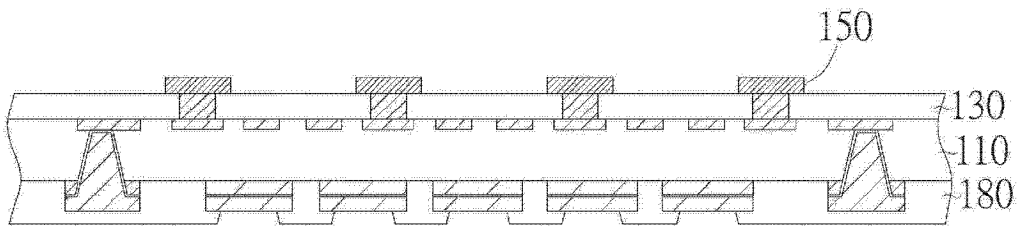


图 9Q

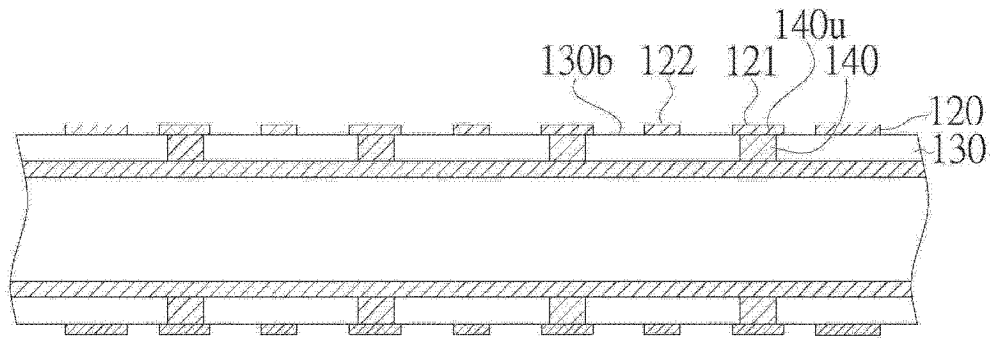


图 10A

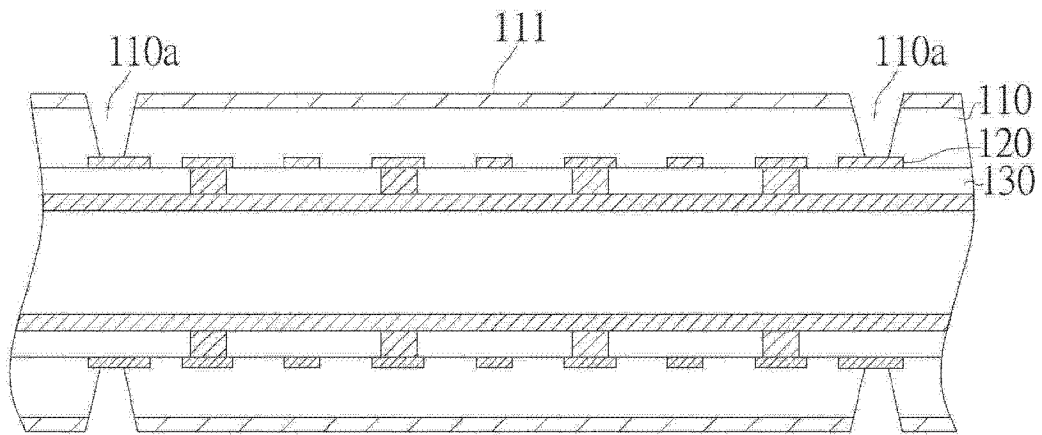


图 10B

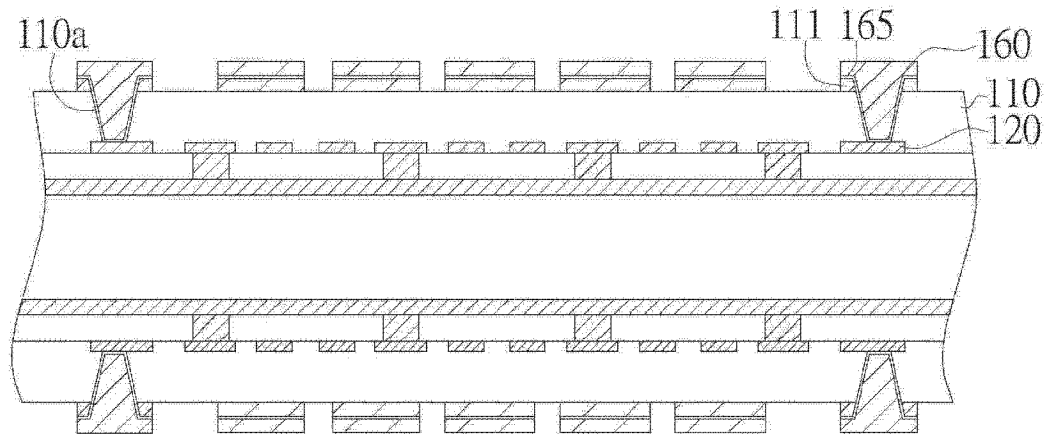


图 10C

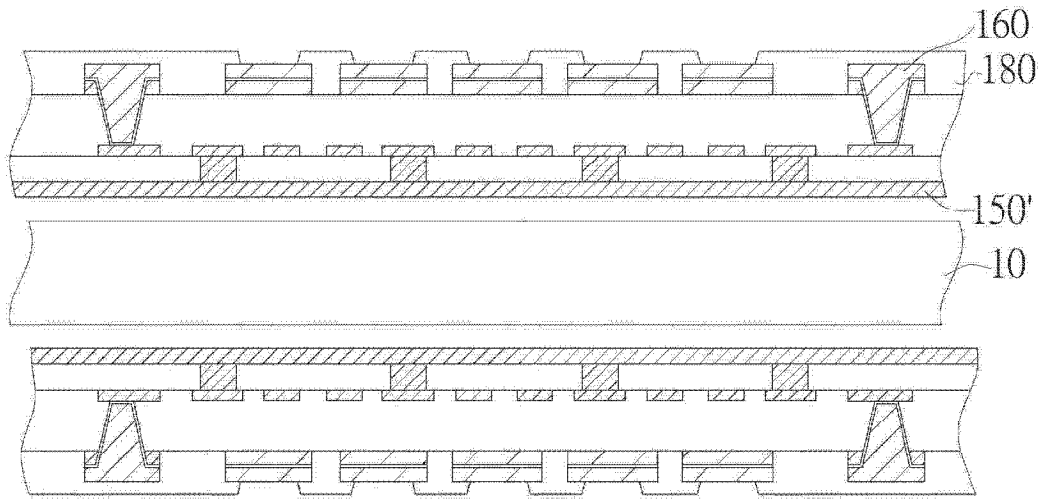


图 10D

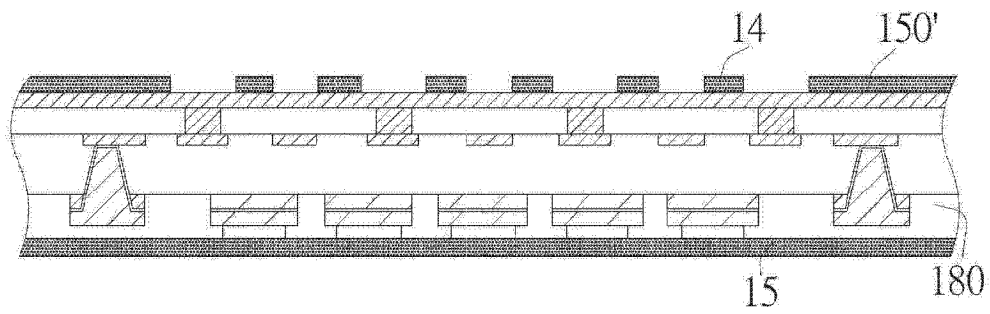


图 10E

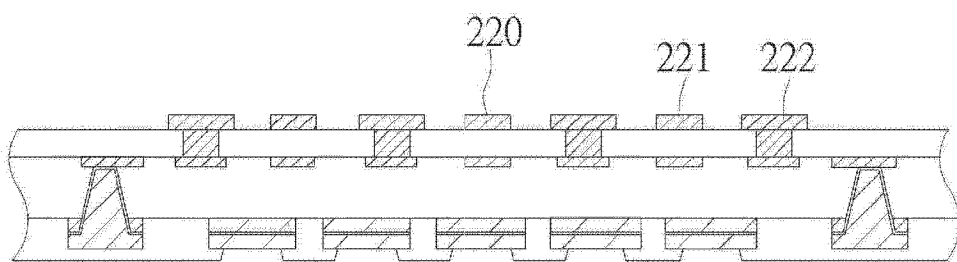


图 10F