



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I605489 B

(45) 公告日：中華民國 106 (2017) 年 11 月 11 日

(21) 申請案號：103106691

(22) 申請日：中華民國 103 (2014) 年 02 月 27 日

(51) Int. Cl. : H01L21/027 (2006.01)

H01L21/768 (2006.01)

(30) 優先權：2013/02/27 美國

61/770,214

2013/11/19 美國

14/084,569

(71) 申請人：應美盛股份有限公司 (美國) INVENSENSE INC. (US)

美國

(72) 發明人：丹尼曼 麥克 朱利安 DANEMAN, MICHAEL JULIAN (US)；陳 美霖 CHAN,

MEI-LIN (SG)；連恩 馬丁 LIM, MARTIN (US)；阿薩德蘭琪 法利波茲

ASSADERAGHI, FARIBOZ (US)；阿塔 艾爾翰 波蘭特肯 ATA, ERHAN

POLATKAN (TR)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US 2010/0052082A1

US 2012/0001276A1

US 2012/0061776A1

US 2012/0326248A1

US 2013/0001710A1

審查人員：徐孝倫

申請專利範圍項數：49 項 圖式數：7 共 60 頁

(54) 名稱

用於具有雙位準結構層和聲學埠的微機電的方法

METHOD FOR MEMS STRUCTURE WITH DUAL-LEVEL STRUCTURAL LAYER AND ACOUSTIC PORT

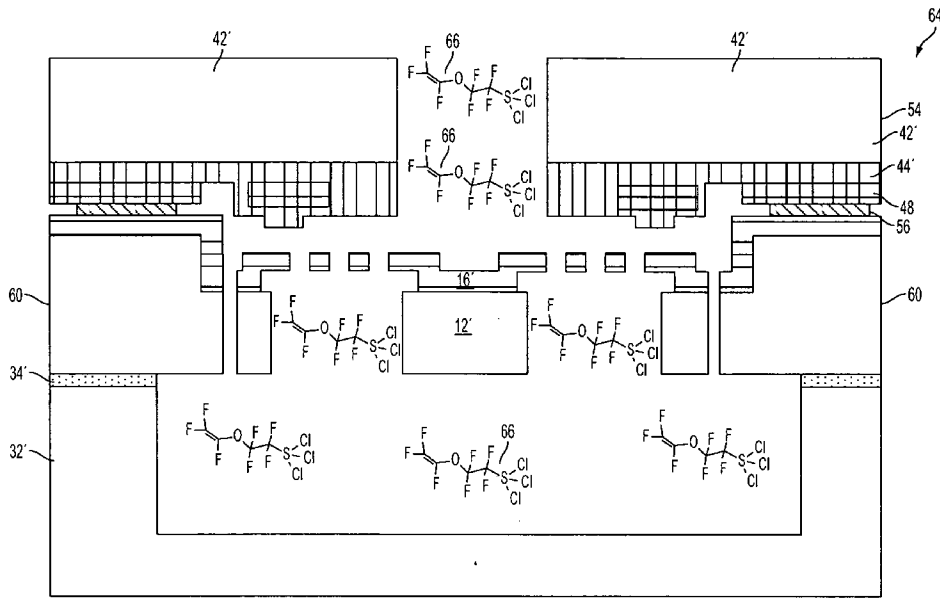
(57) 摘要

一種用於製造一 MEMS 裝置之方法，其係包含沉積及圖案化一第一犧牲層到一矽基板之上，該第一犧牲層係部分地被移除，此係留下一第一剩餘的氧化物。再者，該方法係包含沉積一導電結構層到該矽基板之上，該導電結構層係和該矽基板的至少一部分實體接觸。再者，一第二犧牲層係形成在該導電結構層的頂端上。該矽基板的圖案化及蝕刻係被執行，此係停止在該第二犧牲層之處。此外，該 MEMS 基板係被接合到一 CMOS 晶圓，該 CMOS 晶圓係具有一形成在其上的金屬層。一電連接係形成在該 MEMS 基板以及該金屬層之間。

A method for fabricating a MEMS device includes depositing and patterning a first sacrificial layer onto a silicon substrate, the first sacrificial layer being partially removed leaving a first remaining oxide. Further, the method includes depositing a conductive structure layer onto the silicon substrate, the conductive structure layer making physical contact with at least a portion of the silicon substrate. Further, a second sacrificial layer is formed on top of the conductive structure layer. Patterning and etching of the silicon substrate is performed stopping at the second sacrificial layer. Additionally, the MEMS substrate is bonded to a CMOS wafer, the CMOS wafer having formed thereupon a metal layer. An electrical connection is formed between the MEMS substrate and the metal layer.

指定代表圖：

符號簡單說明：



12' . . . 矽晶圓

16' . . . 多晶矽

32' . . . 處理晶圓

42' . . . CMOS 基板

44' . . . CMOS 氧化
物

48 . . . 金屬層

54 . . . CMOS 晶圓

60 . . . MEMS 基板

64 . . . MEMS 裝置

圖1S

發明摘要

※ 申請案號：103106691

※ 申請日：103/02/27

※IPC 分類：H01L 21/027 (2006.01)
H01L 21/768 (2006.01)

【發明名稱】(中文/英文)

用於具有雙位準結構層和聲學埠的微機電的方法

METHOD FOR MEMS STRUCTURE WITH DUAL-LEVEL STRUCTURAL
LAYER AND ACOUSTIC PORT

【中文】

一種用於製造一 MEMS 裝置之方法，其係包含沉積及圖案化一第一犧牲層到一矽基板之上，該第一犧牲層係部分地被移除，此係留下一第一剩餘的氧化物。再者，該方法係包含沉積一導電結構層到該矽基板之上，該導電結構層係和該矽基板的至少一部分實體接觸。再者，一第二犧牲層係形成在該導電結構層的頂端上。該矽基板的圖案化及蝕刻係被執行，此係停止在該第二犧牲層之處。此外，該 MEMS 基板係被接合到一 CMOS 晶圓，該 CMOS 晶圓係具有一形成在其上的金屬層。一電連接係形成在該 MEMS 基板以及該金屬層之間。

【英文】

A method for fabricating a MEMS device includes depositing and patterning a first sacrificial layer onto a silicon substrate, the first sacrificial layer being partially removed leaving a first remaining oxide. Further, the method includes depositing a conductive structure layer onto the silicon substrate, the conductive structure layer

making physical contact with at least a portion of the silicon substrate. Further, a second sacrificial layer is formed on top of the conductive structure layer. Patterning and etching of the silicon substrate is performed stopping at the second sacrificial layer. Additionally, the MEMS substrate is bonded to a CMOS wafer, the CMOS wafer having formed thereupon a metal layer. An electrical connection is formed between the MEMS substrate and the metal layer.

【代表圖】

【本案指定代表圖】：第（ 1S ）圖。

【本代表圖之符號簡單說明】：

12'：矽晶圓

16'：多晶矽

32'：處理晶圓

42'：CMOS 基板

44'：CMOS 氧化物

48：金屬層

54：CMOS 晶圓

60：MEMS 基板

64：MEMS 裝置

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於具有雙位準結構層和聲學埠的微機電的方法

METHOD FOR MEMS STRUCTURE WITH DUAL-LEVEL STRUCTURAL
LAYER AND ACOUSTIC PORT

【相關申請案的交互參照】

【0001】 此申請案係主張由 Daneman 等人在 2013 年 2 月 27 日申請的名稱為"用於具有雙位準結構層和聲學埠的微機電系統結構的方法"的美國臨時申請案號 61/770,214 的優先權，該申請案的揭露內容係如同完整闡述地被納入在此作為參考。

【技術領域】

【0002】 本發明的各種實施例係大致有關於一種 MEMS 裝置並且尤其是有關於一種用於製造其之方法。

【先前技術】

【0003】 一種製造一 MEMS 聲學裝置之典型的方式是以兩個個別的晶片來製作 MEMS 基板以及 CMOS 基板，該兩個基板係構成該 MEMS 裝置。此係造成該 MEMS 裝置是大的，其具有由該 MEMS 至 CMOS 的互連所引起之非所要的高寄生電容。

【0004】 所要的是一種小型的 CMOS-MEMS 整合的聲學裝置，其具有受到密切控制的 MEMS 結構厚度容限以及一可靠的製造流程。

【發明內容】

【0005】 概略來說，一種用於製造一 MEMS 裝置之方法係包含沉積及圖案化一第一犧牲層到一矽基板之上，該第一犧牲層係部分地被移除，

此係留下一第一剩餘的氧化物。再者，該方法係包含沉積一導電結構層到該矽基板之上，該導電結構層係和該矽基板的至少一部分實體接觸。再者，一第二犧牲層係形成在該導電結構層的頂端上。該矽基板的圖案化及蝕刻係被執行，此係停止在該第二犧牲層之處。此外，該 MEMS 基板係被接合到一 CMOS 晶圓，該 CMOS 晶圓係具有一金屬層形成在其上。一電連接係形成在該 MEMS 基板以及該金屬層之間。

【0006】 在此揭露的特定實施例之本質及優點的進一步理解可藉由參考說明書的剩餘部分以及所附的圖式而被實現。

【圖式簡單說明】

【0007】

圖 1A-1S 係展示根據本發明的一種方法之一製造一 MEMS 裝置的製程。

圖 2A-2L 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。

圖 3A - 3O 係展示根據本發明的又一種方法之一製造一 MEMS 裝置的製程。

圖 4A - 4I 係展示根據本發明的又一種方法之一製造一 MEMS 裝置的製程。

圖 5A-5H 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。

圖 6A-6J 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。

圖 7A-7K 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。

程。

【實施方式】

【0008】 在所述的實施例中，微機電系統(MEMS)係指一種類型的利用類似半導體的製程而被製造並且呈現例如是移動或變形的能力之機械特徵的結構或裝置。MEMS 通常是和電性信號互動，但並非總是如此。MEMS 裝置係包含但不限於致動器、陀螺儀、加速度計、磁力儀(magnetometer)、壓力感測器、麥克風以及射頻構件。包含 MEMS 結構的矽晶圓係被稱為 MEMS 晶圓。

【0009】 在所述的實施例中，MEMS 裝置可以指稱一實施為一微機電系統的半導體裝置。MEMS 結構可以指稱可能是一較大的 MEMS 裝置的部分之任何特點。一改造的(engineered)絕緣體上矽(ESOI)晶圓可以指稱一種在該矽元件層或基板之下具有凹腔(cavity)的 SOI 晶圓。處理晶圓(handle wafer)通常是指一較厚的基板，其係被使用作為一用於在絕緣體上矽晶圓中的較薄的矽元件基板的載體。處理基板以及處理晶圓可以互換。

【0010】 在所述的實施例中，一凹腔可以指稱一在基板晶圓中的開口或凹陷，並且外殼可以指稱一完全圍入的空間。柱可以是一種在 MEMS 裝置的凹腔中用於機械式支撐之垂直的結構。支座(standoff)可以是一提供電性接觸之垂直的結構。

【0011】 在所述的實施例中，背面凹腔可以指稱一經由壓力平衡通道(PEC)而與環境壓力平衡之部分被圍起的凹腔。在某些實施例中，背面凹腔亦被稱為背面腔室。一形成在該 CMOS-MEMS 裝置中的背面凹腔可被稱為整合的背面凹腔。亦被稱為洩漏通道/路徑的壓力平衡通道是用於低頻的聲

學通道或是背面凹腔至環境壓力的靜態壓力平衡。

【0012】 在所述的實施例中，在一 MEMS 裝置內之一受到力時會移動的剛性結構係可被稱爲一板。一背板可以是一被使用作爲一電極的多孔板。

【0013】 在所述的實施例中，穿孔係指稱用於降低在移動板上的空氣阻尼之聲學開口。聲學埠可以是一用於感測聲壓的開口。聲學阻障可以是一種避免或延遲聲壓到達該裝置的某些部分之結構。鏈結是一種透過錨狀物來提供柔性的安裝到基板之結構。擴大的聲學間隙可以藉由柱的階段性蝕刻並且在 PEC 之上產生一部分的柱重疊而被產生。平面內凸塊止擋(stop)是該板接觸該裝置密封的延伸，以限制在該板的平面內的移動範圍。旋轉的凸塊止擋是該板的延伸，以限制旋轉範圍。

【0014】 現在參照圖 1A-1S，根據本發明的一種方法之一製造一 MEMS 裝置的製程係被展示。在圖 1A 中，該 MEMS 裝置 10 係被展示包含一矽晶圓 12，在該矽晶圓 12 的頂端上係被展示有支座 13。該些支座 13 係部分地被蝕刻到該矽晶圓 12 中。在圖 1B 中，氧化物沉積及蝕刻係被執行以形成薄的部分薄膜 14 之遮罩。此遮罩係由氧化物所做成的，並且形成在該些支座 13 之間的矽晶圓 12 的頂端上。在圖 1C 中，多晶矽 16 係沉積在該矽晶圓 12、支座 13 以及遮罩 14 的頂端上。在所述的實施例中，多晶的矽係被稱爲多晶矽。該多晶矽 16 的厚度係實質界定該 MEMS 裝置 10 的薄的區域的厚度。

【0015】 在圖 1D 中，矽氧化物 18 係被展示爲被沉積的，並且化學機械拋光(CMP)係被執行以平坦化該矽氧化物 18 的表面。如同相關圖 1E 而

將會明顯的是，該矽氧化物 18 係有助於接合至一暫時的處理晶圓。

【0016】 在圖 1E 中，一暫時的處理晶圓 20 係被接合至該矽氧化物 18。在本發明的一範例的方法中，矽氧化物熔融接合(fusion bonding)係被用來接合該暫時的處理晶圓 20 至該矽氧化物 18。在另一實施例中，一暫時的聚合物接合係被使用。在圖 1F 中，該矽晶圓 12 的底表面係被研磨及拋光以形成在圖 1G 中所示的結構。因此，在圖 1G，該矽晶圓 12 是比在圖 1F 或是在該研磨前的薄。在圖 1G 中的矽晶圓的厚度係實質界定該 MEMS 裝置 10 的厚的結構的厚度。如同在圖 1G 中所示，光阻 22 係在該矽晶圓 12 的底表面之選擇區域中被圖案化。根據所需的，此種光阻的圖案化係實質保護該矽晶圓 12 免於在一後續步驟中被蝕刻。

【0017】 在圖 1H 中，乾式蝕刻係被執行在該光阻 22 上，即如同藉由在圖 1H 中的箭頭所展示者。在本發明的一範例的方法中，深反應性離子蝕刻(DRIE)係被選擇作為用於蝕刻的方法，並且對於矽以及多晶矽具有一比對於矽氧化物高的蝕刻速率。該矽晶圓 12 的選擇區域係被蝕刻穿過該多晶矽 16 而停止在矽氧化物 18，藉此形成該矽晶圓 12'以及該多晶矽 16'。在蝕刻之後，該矽氧化物 18 係在其中沒有光阻且/或當被該氧化物遮罩 14 保護的區域中連接至該多晶矽 16'。圖 1H 係展示在此蝕刻步驟的完成後之 MEMS 基板 24。

【0018】 圖 1I 係展示一處理晶圓 30，矽係部分地被蝕刻到其中以界定該凹腔 33，接著是氧化。該處理晶圓 30 係被展示為包含一矽(或是"覆蓋")層 32，而二氧化矽層 34 係被形成到其上，該凹腔 33 係被形成在其中。在圖 1J 中，該 MEMS 基板 24 係被展示接合至該處理晶圓 30。在一範例的方

法中，熔融接合係被使用於此製程。

【0019】 在圖 1K 中，該暫時的處理晶圓 20 係藉由機械式研磨、蝕刻、或是其之一組合來加以移除。在一其中一聚合物的暫時接合被用來附接暫時的處理晶圓 20 的替代實施例中，該暫時的處理晶圓 20 係利用一聚合物溶劑、熱或是其之一組合而被移除。在被移除之前，該暫時的處理晶圓 20 係在處理期間保護矽晶圓 12 時支援先前的薄化製程。

【0020】 在圖 1L 中，該矽氧化物 18 係利用微影而部分地被蝕刻，以露出該多晶矽 16'。該露出的多晶矽 16' 以及在其正下方的矽晶圓 12' 的部分係構成該些支座。應注意的是，矽氧化物 18' 並未完全被蝕刻，其中形成在該薄膜 14 的頂端上以及部分在該多晶矽 16' 的頂端上的部分係在圖 1L 的蝕刻步驟之後保留下來。

【0021】 在圖 1M 中，一導電層 36 係被展示沉積在該露出的多晶矽 16' 的頂端上。在一範例實施例中，該導電層 36 係由鍍所做成的，儘管其它適當的材料亦可被採用，例如但不限於金、鋁以及錫。矽氧化物 18' 的氣相或液相氫氟酸(HF)蝕刻係被執行，並且圖 1N 的 MEMS 基板 60 係被鬆開。

【0022】 圖 1O 係展示一包含 CMOS 基板 42 的 CMOS 晶圓 40，圖案係在其上選配地被蝕刻在 CMOS 氧化物 44 上以形成凸塊止擋 46。在其它實施例中，任何的半導體晶圓都可被利用。一金屬層 48 係被分散在該 CMOS 氧化物 44 中，以用於最終將該 CMOS 晶圓電連接至該 MEMS 基板。凸塊止擋 46 係最小化在該 MEMS 薄膜以及該 CMOS 晶圓之間的接觸，且最小化在製程中以及在操作中的黏滯(stiction)。

【0023】 在圖 1P 中，一埠 52 係被蝕刻到該 CMOS 基板 42 中而穿過

該 CMOS 氧化物 44' 以分別形成該 CMOS 基板 42' 以及該 CMOS 氧化物 44'。圖 1P 的 CMOS 晶圓 54 係選配地在該處理晶圓 32 進一步被蝕刻以形成該處理晶圓 32'，此係產生該埠 58。該些埠 52 及 58 分別是用於其中該 MEMS 裝置 10 是一麥克風的實施例之個別的凹腔或聲學埠。或者是，該埠 58 並未被蝕刻或產生，而是只有該埠 52 被形成，即如同在圖 1R 中所示者。圖 1R 的實施例係整合該背面凹腔到該裝置中，並且因此是更小型的而且相較於圖 1Q 的裝置產生一更小的裝置。然而，相對於圖 1Q 的聲學效能，圖 1R 的實施例的聲學效能通常是被降低的，因為前者的背面凹腔係小於圖 1Q 的實施例的背面凹腔。在圖 1Q 的實施例中，該裝置相對於圖 1R 的實施例是較大的，但效能是最佳的，因為在圖 1R 中的裝置的封裝係被使用作為該背面凹腔。

【0024】 在圖 1S 中，該 MEMS 裝置 64 係被展示為利用一疏水性低表面能量的塗層而被抗黏滯的塗覆，例如像是全氟癸基三氯矽烷(FDTS)的長鏈氟碳。該塗層通常是被沉積為一自組裝單分子薄膜(SAM)、或是利用原子層沉積(ALD)來加以沉積的。一個此種 ALD 層是鋁氧化物 Al_2O_3 。除了其它益處之外，此塗層係作用以降低該表面能量，並且有撥水作用，藉此防止該 CMOS 晶圓以及該 MEMS 薄膜的表面彼此粘附。該塗層亦可避免腐蝕。

【0025】 圖 2A-2L 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。此製程係類似於經由圖 1H 的步驟之圖 1A-1S 的製程。在形成圖 2A 中的處理晶圓上，並沒有在圖 2A 的處理晶圓 200 中蝕刻出凹腔。該處理晶圓 200 係被展示為包含一矽晶圓 202，該矽晶圓 202 並未部分地被蝕刻，而是具有圖案化在該矽晶圓 202 的頂端上的氧化物 204。換言之，

氧化物 204 係被沉積到該矽晶圓 202 之上，並且選擇性地從該矽晶圓 202 被移除。

【0026】 在圖 2B 中，該 MEMS 基板 206 係被展示在該氧化物層 204 之處和該處理晶圓 200 接合。在圖 2B 中，熔融接合是一種範例的接合方法。類似於圖 1J 及 1K，該暫時的處理晶圓 20 係在圖 2C 中被移除。在圖 2D 中，圖案化係被執行。換言之，一毯式(blanket)氧化物蝕刻係被執行以形成氧化物 210'，該氧化物 210'係作用為一用於該 MEMS 裝置的支撐結構。

【0027】 在圖 2E 中，一導電層 214 係形成在其中不存在該氧化物 210' 的多晶矽 16'的頂端上。除了其它適當的材料外，此導電層的例子係包含鍍、錫、金、及鋁。接著，如同在圖 2F 中所示，氧化物蝕刻係被執行以穿過該多晶矽以及矽晶圓，其係停止在氧化物之處。在一範例的方法中，反應性離子蝕刻(RIE)係被使用作為該蝕刻製程。

【0028】 圖 2G 係展示該 CMOS 晶圓 54。在圖 2H 中，該 MEMS 基板 260 係利用一適當的接合技術而被接合至該 CMOS 晶圓 54。如同所有在此揭露且被思及的方法，範例的接合技術係包含熔融接合或是共晶接合。圖 2H 的結構係被研磨，並且在圖 2I 中，該處理晶圓係被圖案化而且蝕刻停止在該氧化物 204 之處，以形成該埠 212。在圖 2J 中，蝕刻係被執行以移除該矽氧化物 14，以形成該 MEMS 裝置 270。範例的蝕刻製程係包含 RIE 或是 HF。

【0029】 在圖 2K 中，當該 MEMS 裝置的兩側(頂端及底部)係受到膠帶保護時，膠帶切割係被執行。在圖 2L 中，類似於圖 1S 的裝置，一塗層係被施加至該 MEMS 裝置 272。

【0030】 圖 3A - 3O 係展示根據本發明的又一種方法之一製造一 MEMS 裝置的製程。在此製程中，沒有暫時的晶圓處理需要被採用，並且該 CMOS 晶圓是直接被接合至該 MEMS 基板。

【0031】 圖 3A 係展示一矽晶圓 300，其中該矽晶圓 312 係具有被蝕刻於其中的支座 311。在圖 3B 中，氧化物 314 係如圖所示地加以沉積並且部分地被蝕刻。在圖 3C 中，多晶矽 316 係沉積的在該些支座 311、氧化物 314 以及矽晶圓 312 之上。接著，在圖 3D 中，一導電層 336 係在該些支座 311 上方的區域中形成在該多晶矽 316 的頂端上。此係一和該些以上所展示及敘述的方法之差異，其在於沒有暫時的處理晶圓被形成。在圖 3E 中，該多晶矽 316 係被圖案化，此係留下空間區域 302。該 MEMS 基板 306 係因此而被形成。

【0032】 圖 3F 係展示一類似於圖 1O 的 CMOS 晶圓 340，其中凸塊止擋 346 係被展示從該 CMOS 介電質 344 突出。在某些實施例中，本發明的各種實施例的凸塊止擋是由矽氮化物、矽氧化物、或是兩者的一組合所做成的。其它例如是氮化鈦及鋁之 CMOS 相容的材料亦可以獨立地或是結合該矽氮化物及矽氧化物而被使用。該 CMOS 晶圓 340 亦被展示為具有一 CMOS 基板 342 以及一設置在該 CMOS 介電質 344 中的金屬層 348。

【0033】 在圖 3G 中，該 CMOS 晶圓 340 係被展示為接合至該 MEMS 基板 306，並且該 MEMS 基板 306 係被研磨及拋光。在一範例的方法中，共晶鋁鍍的接合係被採用。於是，該 MEMS 基板係被接合至該 CMOS 晶圓，並且該 CMOS 晶圓係作用為該支撐層。換言之，該 CMOS 晶圓是該背面支撐層。

【0034】 在圖 3H 中，一光阻層 352 係利用微影而被加入，並且在圖 3I，蝕刻係被執行，並且其係蝕刻穿過該矽晶圓 312 並且停止在氧化物 314 之處，即如同先前相關於其它圖所論述者。一種範例的蝕刻方法是 DRIE。在圖 3J 中，該光阻 352 以及多晶矽 316 係在一由該些箭頭所示的方向上被蝕刻，以形成該 MEMS 基板 317。在一範例的方法中，RIE 係被採用作為蝕刻的方法。從此步驟到 SAM 塗層被施加時，該 MEMS 裝置可以利用兩個選項而被形成。一種選項是形成一開放的凹腔或埠，其係適合用於麥克風的應用，而另一選項是建立一閉合的凹腔之 MEMS 裝置。圖 3K 及 3L 係展示該開放的凹腔選項，而圖 3M - 3O 係展示該閉合的凹腔選項。

【0035】 在圖 3K 中，該 CMOS 晶圓係被研磨並且一例如是聲學埠的埠 388 係被蝕刻，並且在圖 3L 中，SAM 塗層係被施加。或者是，步驟 3K 係在圖 3G 的接合步驟之前被執行。

【0036】 在圖 3M 中，一覆蓋層 354 係被展示，其在此亦被稱為一處理晶圓。在圖 3N 中，該處理晶圓 354 係被接合至該 MEMS 基板 317。在一範例的方法中，鈦係沉積在處理晶圓 354 上，以形成一鈦矽接合 334。

【0037】 在圖 3O 中，該 CMOS 晶圓係被研磨，一埠 377 係被蝕刻，並且膠帶切割及 SAM 塗層係被執行，即如同在以上相關於先前的圖所論述者。

【0038】 圖 4A - 4I 係展示根據本發明的又一種方法之一製造一 MEMS 裝置的製程。在圖 4A 中，該處理晶圓 400 係被展示為包含一矽晶圓 402，在該矽晶圓 402 的頂端上係沉積矽氧化物 404，而一凹腔 406 係部分地被蝕刻到其中。圖 4B 係展示一具有一矽晶圓 408 的裝置晶圓(或是 MEMS

基板)401，而一凹腔 410 係部分地被蝕刻到其中。在圖 4C 中，該處理晶圓 400 係和該裝置晶圓 401 對準並且接合，使得該些凹腔 406 及 410 對齊。在一範例的方法中，熔融接合或是共晶接合係被採用。

【0039】 在圖 4D 中，薄化係藉由研磨及拋光該晶圓 408 來加以執行，以薄化該矽晶圓 408 而形成矽晶圓 408'。在圖 4E 中，支座 412 係被蝕刻到該矽晶圓 408'中。接著，如同在圖 4F 中所示，一例如但不限於鎳的導電層 414 係沉積在該些支座 412 的頂端上，並且被圖案化及蝕刻。在圖 4G 中，該 MEMS 結構係藉由蝕刻圖 4G 中所示的結構而被圖案化，以形成該圖案化的 MEMS 結構 408"以及該 MEMS 基板 452。以上所揭露的範例蝕刻技術可被利用。

【0040】 在圖 4H 中，該 MEMS 基板 452 係被接合到一 CMOS 晶圓 450，即如同相關於先前的圖所論述者。在一實施例中，CMOS 晶圓 450 係類似於 CMOS 晶圓 340。在圖 4I 中，爲了麥克風的應用，一埠 454 係被蝕刻穿過 CMOS 晶圓 450。

【0041】 圖 5A-5H 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。在圖 5A 中，一絕緣體上矽(SOI)晶圓 500 係被展示爲包含單晶矽 506、矽氧化物 504 以及矽基板 502。該矽基板 502 以及矽氧化物 504 實質是該處理晶圓。在圖 5B 中，一凹腔 508 係被蝕刻到該單晶矽 506 中，以形成該單晶矽 506'。接著，在圖 5C 中，該晶圓 500 係被接合到一包含矽氧化物 510 及矽基板 512 的 MEMS 基板，該矽基板 512 係具有一凹腔 509。根據本發明之一範例的方法，熔融接合係被採用。

【0042】 接著，在圖 5D 中，該處理晶圓係利用研磨、蝕刻、或是剝

離的任意組合而被移除，此係留下該單晶矽 506'。在圖 5E 中，支座 514 係在兩個邊緣處被形成在該單晶矽 506' 上，並且如同在圖 5F 中所示，一例如是銻的導電層 516 係沉積在該些支座 514 上。在圖 5G 中，一類似於圖 10 的 CMOS 晶圓 40 之 CMOS 晶圓 518 係被接合至圖 5F 的結構 500F，此係產生結構 500G。一埠 520 係被展示為被蝕刻在該 CMOS 晶圓 518 中，以用於聲學的應用。圖 5A 至 5H 的方法的一優點是該單晶矽 506 具有一明確界定的厚度，其中該厚度的變化是低的並且受到良好控制的。

【0043】 圖 6A-6J 係展示根據本發明的另一種方法之一製造一 MEMS 裝置的製程。除了沒有凹腔被產生在該 SOI 晶圓 600 的單晶矽 602 中之外，圖 6A 及 6B 的製程係類似於圖 5A-5C 的製程。如同在圖 5A-5H 的方法中，該單晶矽 602 的厚度係有利地被明確界定。如同在圖 6B 中所示，該處理晶圓 600 係和包含矽氧化物 610 及矽基板 612 的 MEMS 基板接合，其中一凹腔 XXX 係形成在矽基板 612 中。在圖 6C 中，該矽基板 606 係被展示為被移除的，並且在圖 6D 中，該矽氧化物 604 係利用微影而被蝕刻，此係產生該矽氧化物 614。在圖 6E 中，磊晶矽或是多晶矽 616 係被展示沉積在該氧化物 614 以及該單晶矽 602 的頂端上。在圖 6F 中，CMP 係被執行，其係停止在該氧化物 614 之處，以形成該多晶矽 616'。在圖 6G 中，該氧化物 614 係被蝕刻。在圖 6H 中，例如是銻的導電層 618 係被展示形成在該多晶矽 616' 的頂端上。在圖 6I 中，該 CMOS 晶圓 620 係被展示和圖 6H 中所示的結構 600H 接合，並且在圖 6J 中，該埠 622 係被展示形成在該 CMOS 晶圓 620 中並且是穿過該 CMOS 晶圓 620 的。

【0044】 圖 7A-7K 係展示根據本發明的另一種方法之一製造一

MEMS 裝置的製程。圖 7A 係展示一種包含一具有一薄的緩衝氧化物的 SOI 結構之 MEMS 基板 700。該 MEMS 基板 700 係被展示為包含單晶矽 702，在該單晶矽 702 的頂端上係形成矽氧化物 704，在該矽氧化物 704 的頂端上係形成一第二單晶矽 706，在該第二單晶矽 706 的頂端上係形成一薄的氧化物層 708。該氧化物層 708 係作用為一薄的緩衝氧化物。在本發明的一實施例中，該層 708 大約是 100 奈米(nm)。

【0045】 在圖 7B 中，該氧化物 708 係被圖案化及蝕刻，以形成該氧化物 708'。在圖 7C 中，一層多晶矽 705 係沉積在該氧化物層 708'之上。一導電層 710 係形成在多晶矽 705 的頂端上。在本發明的一實施例中，該導電層 710 係由鍺或是相關圖 1A-1S 的實施例所指出的其它材料所做成的。

【0046】 在圖 7D 中，支座 712 係被圖案化，並且該結構係被蝕刻穿過至該矽氧化物 704，以形成圖案化的第二單晶矽 706'以及圖案化的導電層 710'。在圖 7E 中，部分的氧化物蝕刻係被執行以蝕刻該氧化物 708'。於是，該 MEMS 基板 714 係被形成。在圖 7F 中，類似於 CMOS 晶圓 340 的 CMOS 晶圓 716 係被接合至該 MEMS 基板 714。在一範例的方法中是共晶接合。

【0047】 在圖 7G 中，研磨及拋光係被執行，此係使得該單晶矽 702 變薄，以形成該單晶矽 702'。在圖 7H 中，該單晶矽 702'係被蝕刻，此係形成一擴大的壓力平衡通道以及凸塊止擋 718。在圖 7I 中，該矽氧化物 704 係部分地被蝕刻，以形成被蝕刻的矽氧化物 704'。在一範例的方法中，該部分的蝕刻係藉由氣相氫氟酸蝕刻來加以執行的。選配的是，圖 7I 的步驟可以在該埠被蝕刻之後加以執行。在圖 7J 中，一類似於 354 的處理晶圓 720 係根據具體情況而被接合至圖 7I 或 7H 的結構。一些選項係被呈現，一種

選項是接合至該具有一凹腔的處理晶圓，而另一種選項是爲了使用外部的背面凹腔而接合至一未被圖案化的暫時的處理晶圓。在圖 7K 中，該 CMOS 基板 716 的研磨及拋光係被執行。此外，一埠 722 係被蝕刻，並且在擴大的背面凹腔的情形中，該暫時的處理晶圓係被移除。

【0048】 在此所展示及敘述的各種實施例及方法的應用係包含但不限於麥克風、壓力感測器、共振器、開關以及其它可應用的裝置。

【0049】 儘管該說明已經相關其特定實施例加以敘述，但是這些特定實施例僅是舉例說明的，而非限制性的。

【0050】 如同在此的說明以及以下整個申請專利範圍所用的，除非上下文另有清楚地指出，否則"一"、"一個"以及"該"係包含複數的參照。再者，如同在此的說明以及以下整個申請專利範圍所用的，除非上下文另有清楚地指出，"之中"的意義係包含"之中"以及"之上"。

【0051】 因此，儘管特定實施例已經在此敘述，大量的修改、各種的改變以及替代係欲在先前的揭露內容中，並且將會體認到的是，在某些實例中，特定實施例的某些特點將會在無對應的其它特點的使用下被採用，而不脫離如同所闡述的範疇及精神。因此，在基本的範疇及精神下可以做成許多修改以適配一特定的情況或是材料。

【符號說明】

【0052】

10：MEMS 裝置

12：矽晶圓

12'：矽晶圓

- 13： 支座
- 14： 薄膜(遮罩)
- 16： 多晶矽
- 16'： 多晶矽
- 16"： 多晶矽
- 18： 矽氧化物
- 18'： 矽氧化物
- 20： 暫時的處理晶圓
- 22： 光阻
- 24： MEMS 基板
- 30： 處理晶圓
- 32： 矽(覆蓋)層
- 32'： 處理晶圓
- 33： 凹腔
- 34： 二氧化矽層
- 36： 導電層
- 40： CMOS 晶圓
- 42： CMOS 基板
- 42'： CMOS 基板
- 44： CMOS 氧化物
- 44'： CMOS 氧化物
- 46： 凸塊止擋

- 48 : 金屬層
- 52 : 埠
- 54 : CMOS 晶圓
- 58 : 埠
- 60 : MEMS 基板
- 64 : MEMS 裝置
- 200 : 處理晶圓
- 202 : 矽晶圓
- 204 : 氧化物
- 206 : MEMS 基板
- 210 : 氧化物
- 212 : 埠
- 214 : 導電層
- 260 : MEMS 基板
- 270 : MEMS 裝置
- 272 : MEMS 裝置
- 300 : 矽晶圓
- 302 : 空間區域
- 306 : MEMS 基板
- 311 : 支座
- 312 : 矽晶圓
- 314 : 氧化物

- 316：多晶矽
- 317：MEMS 基板
- 334：鈦矽接合
- 336：導電層
- 340：CMOS 晶圓
- 342：CMOS 基板
- 344：CMOS 介電質
- 346：凸塊止擋
- 348：金屬層
- 352：光阻層
- 354：覆蓋層(處理晶圓)
- 377：埠
- 388：埠
- 400：處理晶圓
- 401：裝置晶圓
- 402：矽晶圓
- 404：矽氧化物
- 406：凹腔
- 408：矽晶圓
- 408'：矽晶圓
- 408"：MEMS 結構
- 410：凹腔

- 412：支座
- 414：導電層
- 450：CMOS 晶圓
- 452：MEMS 基板
- 454：埠
- 500：絕緣體上矽(SOI)晶圓
- 500F：結構
- 500G：結構
- 502：矽基板
- 504：矽氧化物
- 506：單晶矽
- 506'：單晶矽
- 508：凹腔
- 509：凹腔
- 510：矽氧化物
- 512：矽基板
- 514：支座
- 516：導電層
- 518：CMOS 晶圓
- 520：埠
- 600：SOI 晶圓(處理晶圓)
- 600H：結構

- 602：單晶矽
- 604：矽氧化物
- 606：矽基板
- 610：矽氧化物
- 612：矽基板
- 614：矽氧化物
- 616：磊晶矽(多晶矽)
- 616'：多晶矽
- 618：導電層
- 620：CMOS 晶圓
- 622：埠
- 700：MEMS 基板
- 702：單晶矽
- 702'：單晶矽
- 704：矽氧化物
- 704'：矽氧化物
- 705：多晶矽
- 706：第二單晶矽
- 706'：第二單晶矽
- 708：氧化物層
- 708'：氧化物層
- 710：導電層

710' : 導電層

712 : 支座

714 : MEMS 基板

716 : CMOS 晶圓

718 : 凸塊止擋

720 : 處理晶圓

722 : 埠



申請專利範圍

1.一種用於製造一 MEMS 裝置之方法，其係包括：

沉積及圖案化一第一犧牲層到一矽基板之上，該第一犧牲層係部分地被移除，而留下一第一剩餘氧化物；

沉積一導電結構層到該矽基板之上，該導電結構層係和該矽基板的至少一部分實體接觸；

在該導電結構層的頂端上形成一第二犧牲層；

圖案化及蝕刻該矽基板並且停止在該第二犧牲層之處；

接合該矽基板至一 CMOS 晶圓，該 CMOS 晶圓係具有一形成在其上的金屬層；以及

在該矽基板以及該金屬層之間形成一電連接，

其中在形成該第二犧牲層之後，薄化該矽基板至一所要的厚度，且

其中薄化該矽基板係包含接合該矽基板至一暫時的處理晶圓。

2.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含形成一穿過該 CMOS 晶圓的第一埠。

3.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合該矽基板至一暫時的處理晶圓係包含平坦化該第二犧牲層的步驟。

4.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該薄化步驟係包含研磨或拋光、或是蝕刻步驟的一組合。

5.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含，

圖案化該第二犧牲層以容許接達(access)該導電結構層；以及

在該導電結構層上沉積一接合層。

6.如申請專利範圍第 5 項之用於製造一 MEMS 裝置之方法，其中該圖案化該第二犧牲層的步驟係利用一乾式蝕刻方法來加以執行。

7.如申請專利範圍第 5 項之用於製造一 MEMS 裝置之方法，其中該圖案化該第二犧牲層的步驟係利用一濕式蝕刻方法來加以執行。

8.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含藉由利用化學機械拋光來平坦化該第二犧牲層。

9.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含另外接合該矽基板與一矽處理晶圓，以形成該矽基板。

10.如申請專利範圍第 9 項之用於製造一 MEMS 裝置之方法，其進一步包含在該矽處理晶圓中形成一凹腔。

11.如申請專利範圍第 9 項之用於製造一 MEMS 裝置之方法，其進一步包含形成一穿過該矽處理晶圓的第二埠。

12.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包含在該 CMOS 晶圓以及該矽基板之間利用熔融接合，該電連接係藉由穿過該矽處理晶圓的導電貫孔來加以形成。

13.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該圖案化及蝕刻該矽基板係在該接合該矽基板至一 CMOS 晶圓之後加以執行。

14.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該圖案化及蝕刻該矽基板係在該接合該矽基板至一 CMOS 晶圓之前加以執行。

15.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包含矽氧化物的熔融接合。

16.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包含形成一在該 CMOS 晶圓以及該矽基板之間的共晶接合，該電連接係藉由該共晶接觸來加以形成。

17.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包含聚合物接合。

18.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包含陽極接合。

19.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該矽基板的圖案化及蝕刻的蝕刻步驟係包含一深反應性離子蝕刻(DRIE)、一標準的反應性離子蝕刻(RIE)、濕式化學蝕刻、或是離子研磨。

20.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中移除該矽處理晶圓係藉由以下步驟的一組合：研磨及蝕刻、或是蝕刻。

21.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該矽基板以及該 CMOS 晶圓的接合係包括：焊料接合、熔融接合、玻璃料接合、熱壓縮接合、或是陽極接合。

22.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟以及該形成一電連接係包括利用一具有一鋁-鍍體系之共晶焊料接合。

23.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含移除該第一犧牲層以及該第二犧牲層。

24.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該移除的步驟係包括利用一等向性氧化物蝕刻劑、具有液體或蒸氣形式的氫氟

酸、或是一電漿蝕刻。

25.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中在該接合步驟之前，該 CMOS 晶圓係利用其表面上的凸塊而被圖案化，以降低接觸及黏滯到該 MEMS 裝置。

26.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含圖案化及部分地蝕刻該矽基板以界定一支座。

27.如申請專利範圍第 26 項之用於製造一 MEMS 裝置之方法，其中該支座係在沉積該第一犧牲層之前加以形成。

28.如申請專利範圍第 26 項之用於製造一 MEMS 裝置之方法，其中該第二犧牲層係具有一厚度大於該支座的高度。

29.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其進一步包含沉積及圖案化一第二導電層以形成一支座。

30.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該導電結構層是一多晶矽層。

31.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該第一犧牲層係由矽氧化物所做成的。

32.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該第二犧牲層係由矽氧化物所做成的。

33.如申請專利範圍第 1 項之用於製造一 MEMS 裝置之方法，其中該接合步驟係包括對準該矽基板與該 CMOS 晶圓。

34.一種用於製造一 MEMS 裝置之方法，其係包括：

形成一具有一第一凹腔的第一矽晶圓；

形成一具有一第二凹腔的第二矽晶圓；

接合該第一矽晶圓及第二矽晶圓，使得該第一凹腔及第二凹腔彼此面對；

在介於該第一矽晶圓及該第二矽晶圓之間形成一氧化物層；

對該第一矽晶圓及該第二矽晶圓加以第一接合；

薄化該第二矽晶圓至一所要的厚度，其中具有該第二凹腔的區域係具有一被薄化的部分；

藉由部分移除該第二矽晶圓的矽來形成支座；以及

第二接合至該第一矽晶圓，藉此形成一電連接，

其中該第一接合係包括熔融接合。

35.如申請專利範圍第 34 項之用於製造一 MEMS 裝置之方法，其中該第二矽晶圓係包括一處理層、一元件層以及一氧化物層，其中該氧化物層係被設置在該處理層以及該元件層之間，並且其中一第二凹腔係形成在該元件層中。

36.如申請專利範圍第 35 項之用於製造一 MEMS 裝置之方法，其中該第二矽晶圓的該薄化係包括移除該處理層。

37.如申請專利範圍第 34 項之用於製造一 MEMS 裝置之方法，其進一步包含圖案化及蝕刻該第二矽晶圓，並且其中該圖案化及蝕刻該第二晶圓的步驟的該蝕刻係穿過該第二矽晶圓。

38.如申請專利範圍第 34 項之用於製造一 MEMS 裝置之方法，其進一步包含在該支座上沉積一導電層。

39.如申請專利範圍第 34 項之用於製造一 MEMS 裝置之方法，其進一

步包含在該第一矽晶圓中形成一埠。

40.如申請專利範圍第 34 項之用於製造一 MEMS 裝置之方法，其中將矽部分移除係藉由蝕刻來加以執行。

41.一種用於製造一 MEMS 裝置之方法，其係包括：

形成一具有一第一凹腔的第一矽晶圓；

形成一第二矽晶圓，該第二矽晶圓係包括一處理晶圓、一裝置晶圓、以及設置在該第二矽晶圓以及該處理晶圓之間的氧化物；

接合該第一矽晶圓至該第二矽晶圓；

移除該第二矽晶圓的該處理晶圓，而留下該氧化物層在該第二矽晶圓上；

圖案化該氧化物層；

在該圖案化的氧化物層上沉積一多晶矽層；

平坦化該多晶矽層，並且將該平坦化停止在該氧化物層之處；

移除該氧化物層；

沉積及圖案化一導電層；以及

利用一電連接以接合該第二矽晶圓。

42.如申請專利範圍第 41 項之用於製造一 MEMS 裝置之方法，其進一步包含在該第二矽晶圓中打開一埠。

43.如申請專利範圍第 41 項之用於製造一 MEMS 裝置之方法，其進一步包含在該第一矽晶圓中打開一埠。

44.如申請專利範圍第 41 項之用於製造一 MEMS 裝置之方法，其中該第二矽晶圓包含一介電層，並且在該介電層中形成凹腔。

45.如申請專利範圍第 41 項之用於製造一 MEMS 裝置之方法，其中該第二矽晶圓是一 CMOS 層。

46.一種用於製造一 MEMS 裝置之方法，其係包括：

形成一絕緣體上矽(SOI)晶圓，該 SOI 晶圓係包括一處理層、一元件層以及形成在該處理層以及該元件層之間的氧化物；

在該 SOI 晶圓上沉積一氧化物層，並且圖案化經沉積的該氧化物層；

在經圖案化的該氧化物層上沉積多晶矽；

在該多晶矽上沉積一導電層；

圖案化及蝕刻該多晶矽以及該導電層；

進一步蝕刻該元件層；

移除經圖案化的該氧化物層，藉此形成一 MEMS 基板；

接合該 MEMS 基板至該 CMOS 晶圓，該 CMOS 晶圓係具有至少一金屬層；

在該 MEMS 基板以及該至少一金屬層之間形成一電連接；

薄化該處理層；

圖案化該處理層；

移除沉積在該 SOI 晶圓上的該氧化物層，

薄化該 MEMS 基板至一所要的厚度，

其中薄化該 MEMS 基板係包含接合該 MEMS 基板至一暫時的處理晶圓。

47.如申請專利範圍第 46 項之用於製造一 MEMS 裝置之方法，其進一步包含接合該 MEMS 基板至一具有凹腔的矽覆蓋晶圓。

48.如申請專利範圍第 47 項之用於製造一 MEMS 裝置之方法，其進一步包含一在該矽覆蓋晶圓中的開口埠。

49.如申請專利範圍第 46 項之用於製造一 MEMS 裝置之方法，其進一步包含在該 CMOS 晶圓中打開一埠。

圖式

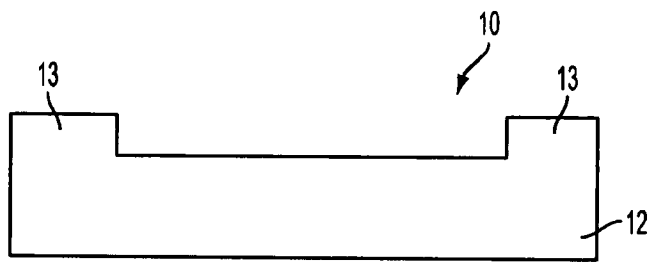


圖1A

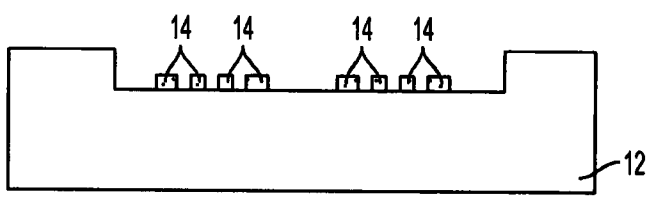


圖1B

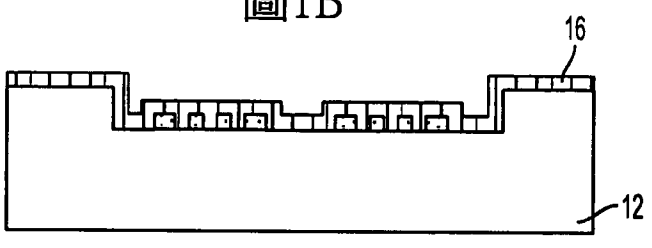


圖1C

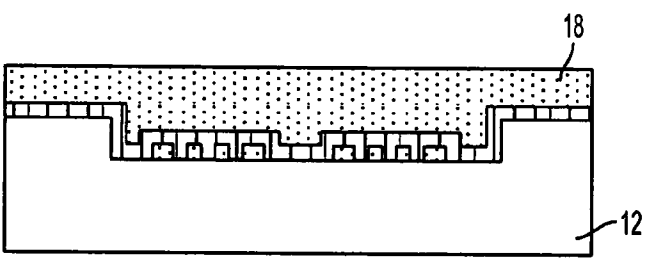


圖1D

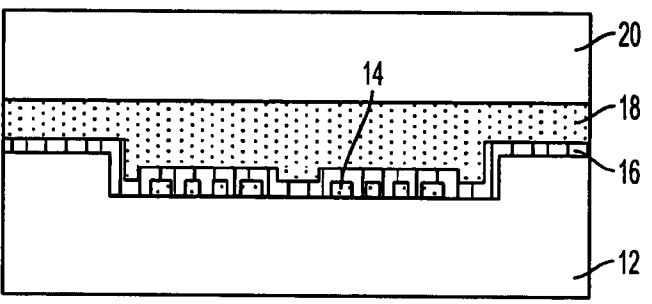


圖1E

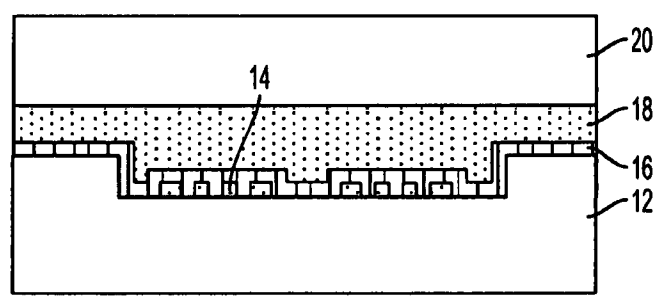


圖1F

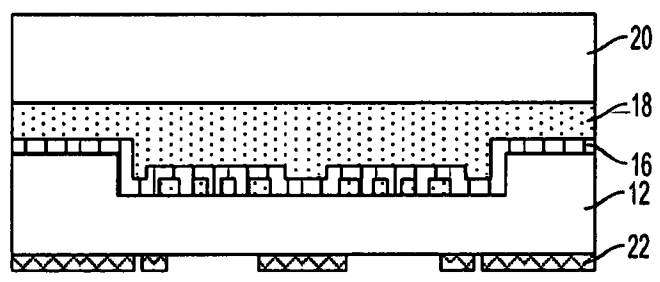


圖1G

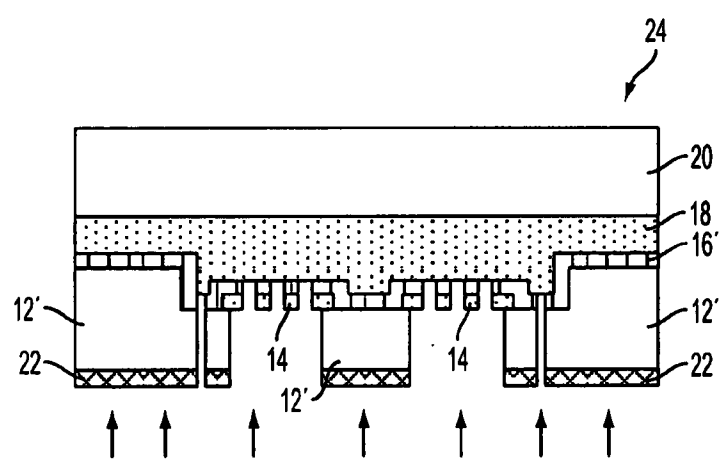


圖1H

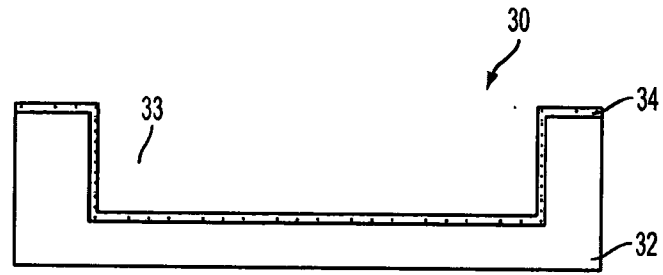


圖1I

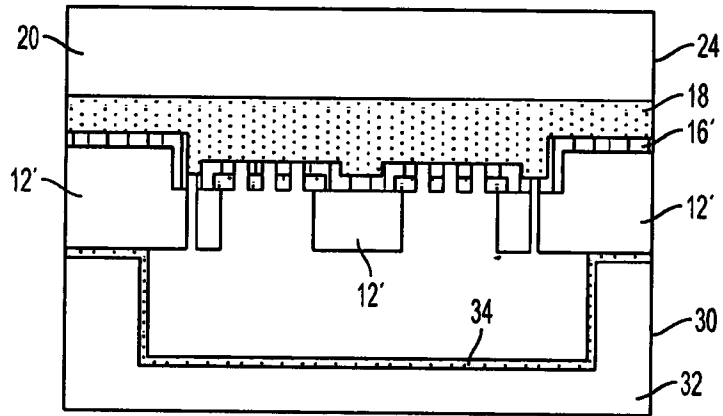


圖1J

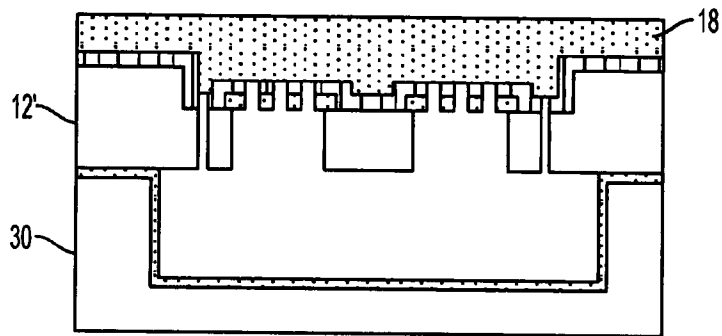


圖1K

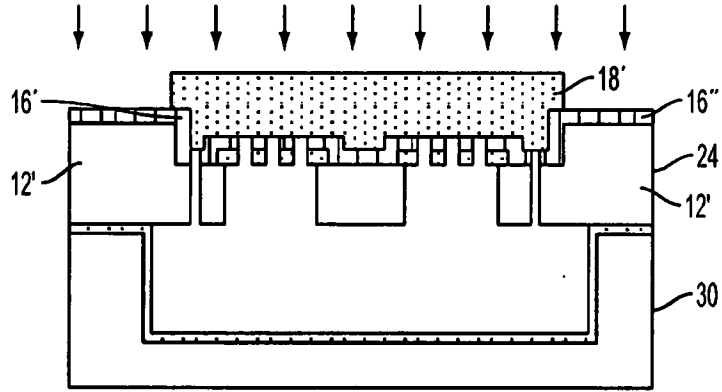


圖1L

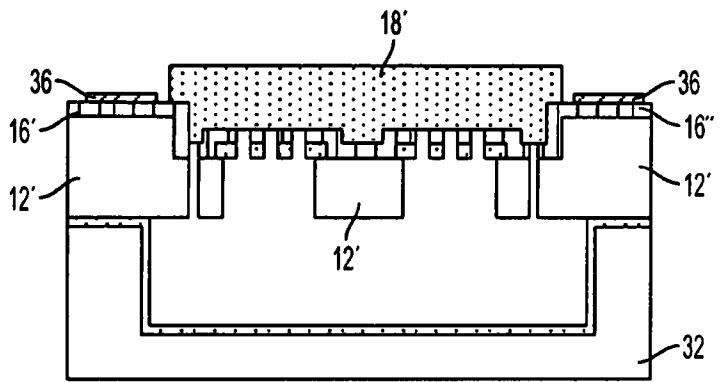


圖1M

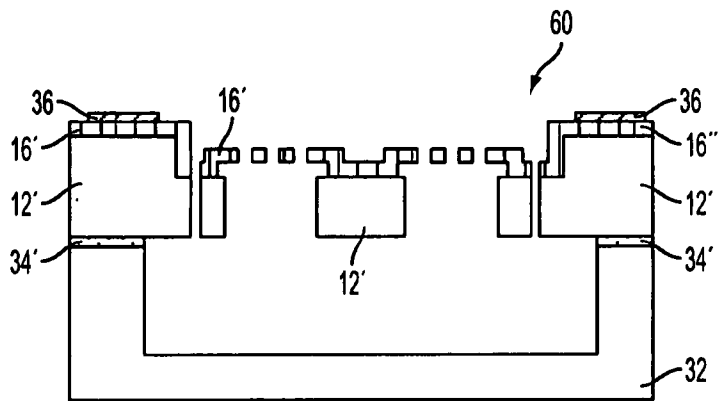


圖1N

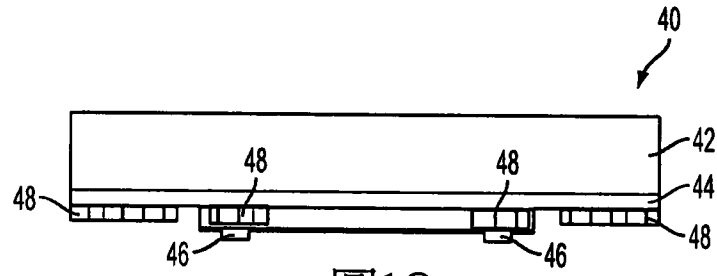


圖10

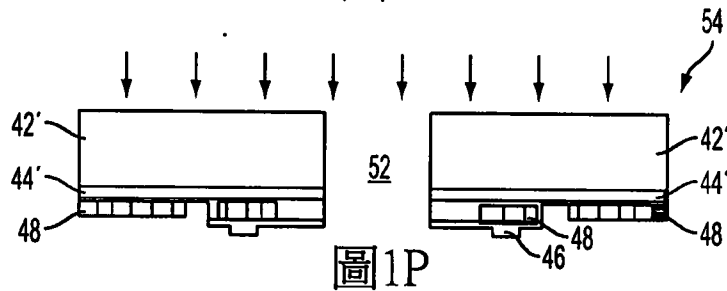


圖1P

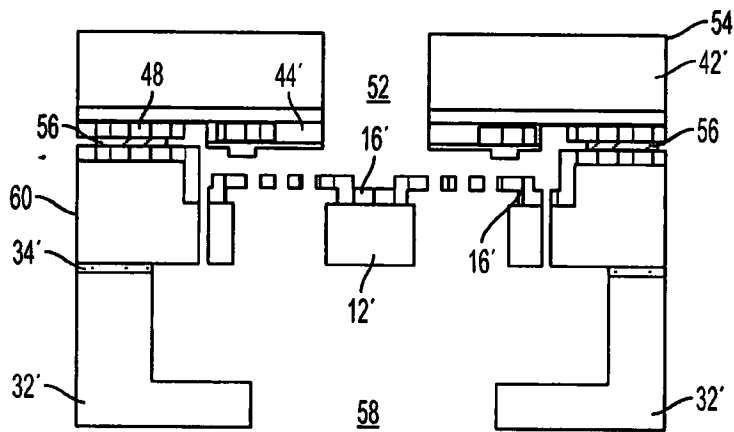


圖1Q

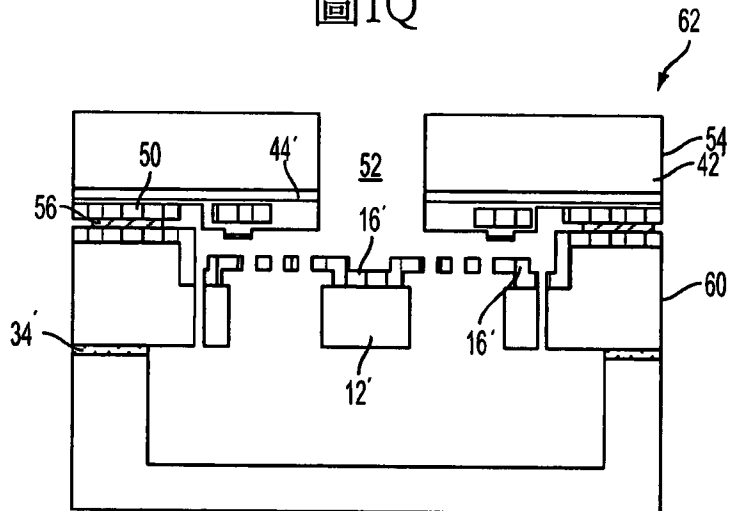


圖1R

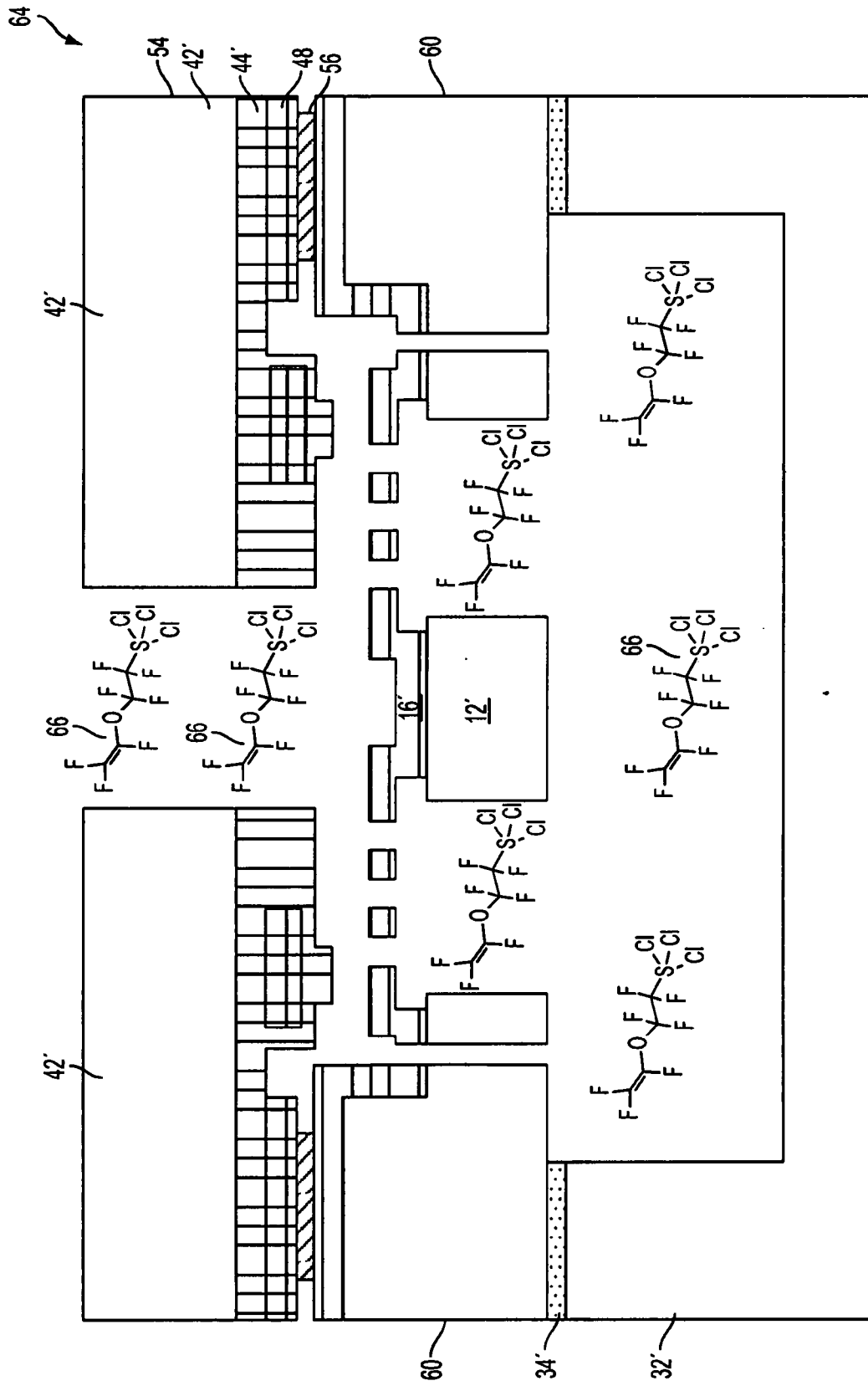


圖1S

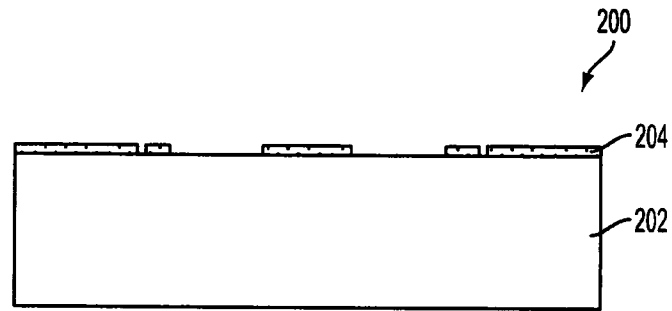


圖2A

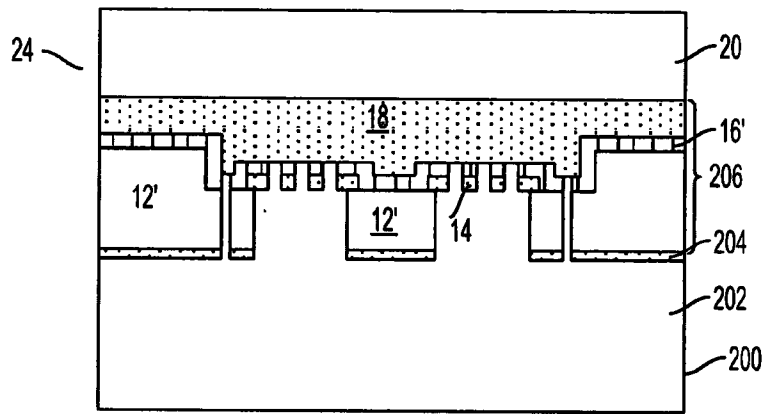


圖2B

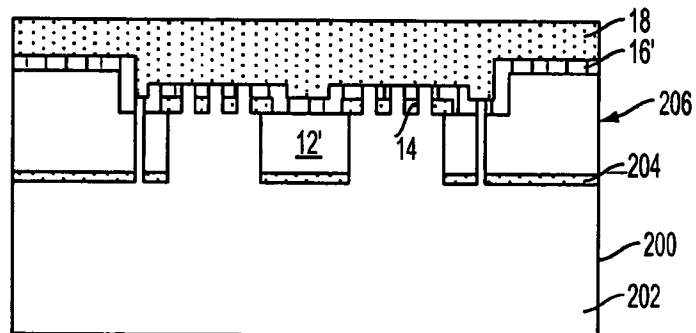


圖2C

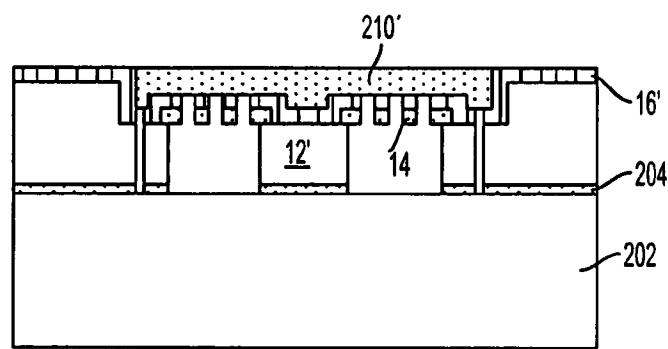


圖2D

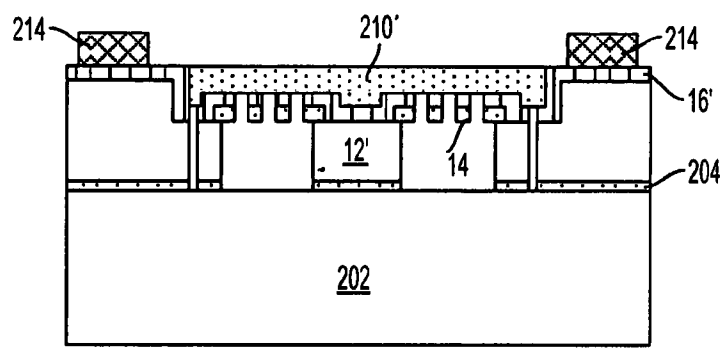


圖2E

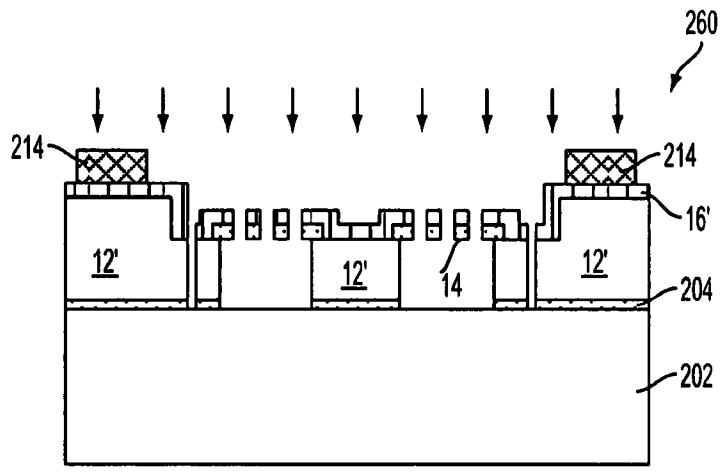


圖2F

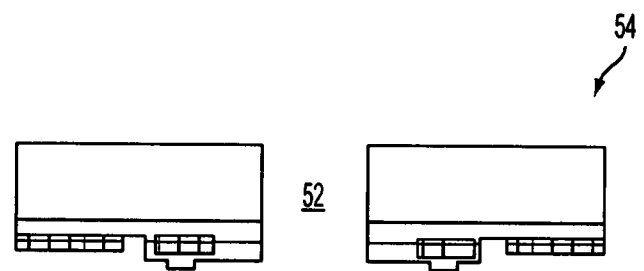


圖2G

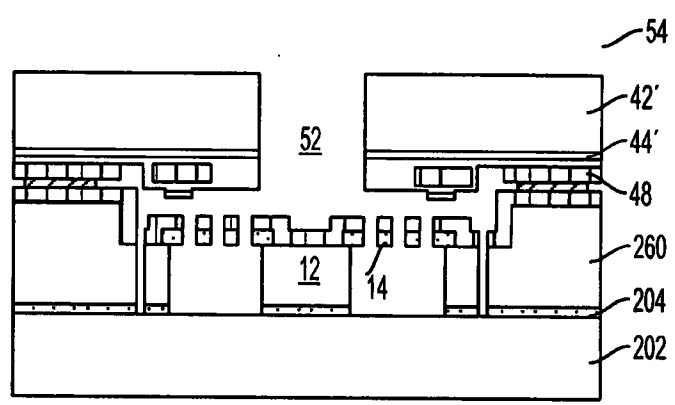


圖2H

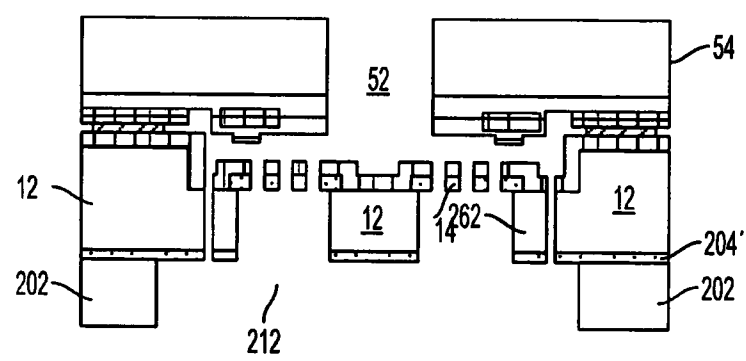


圖2I

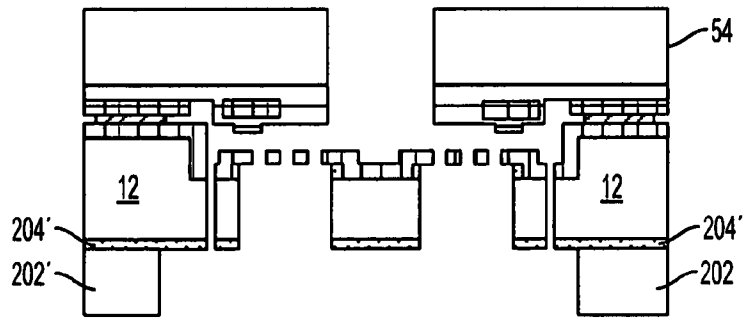


圖2J

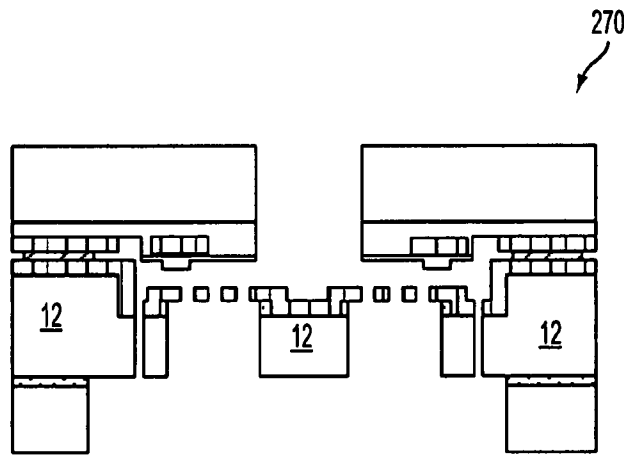


圖2K

272 ↘

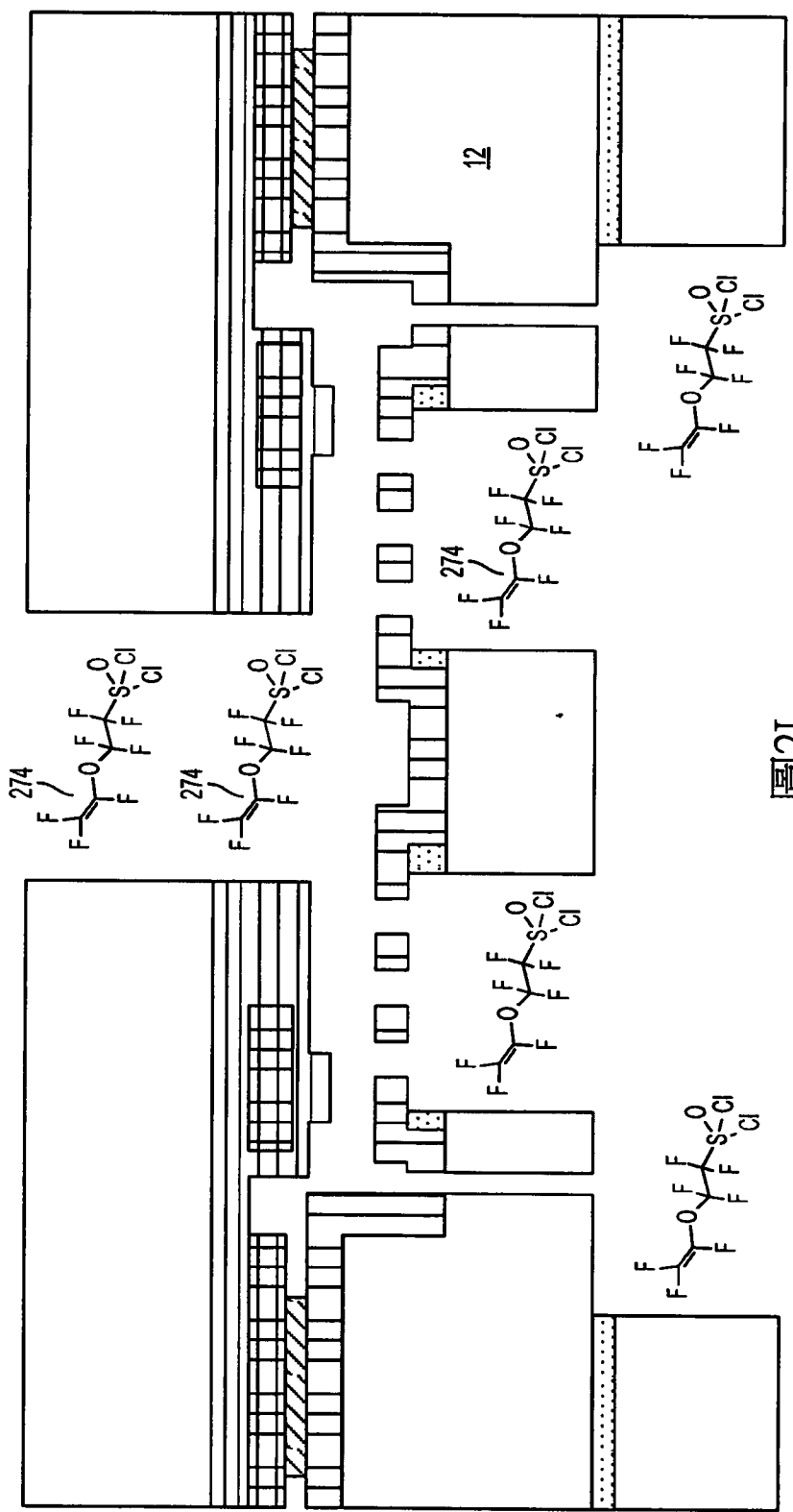


圖2L

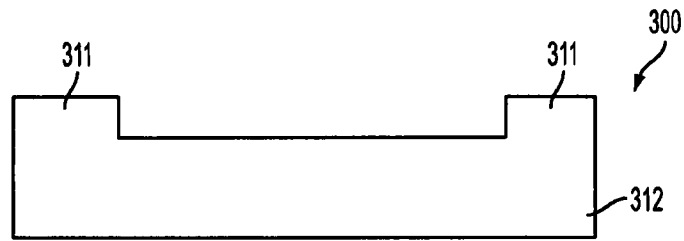


圖3A

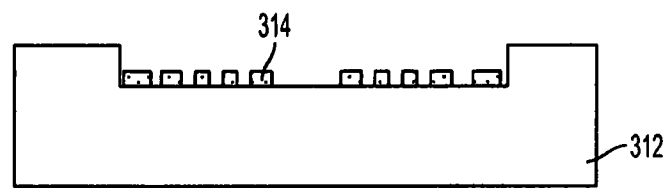


圖3B

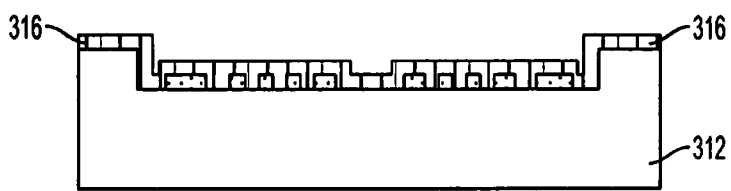


圖3C

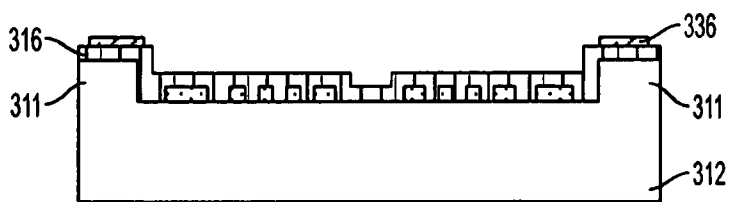


圖3D

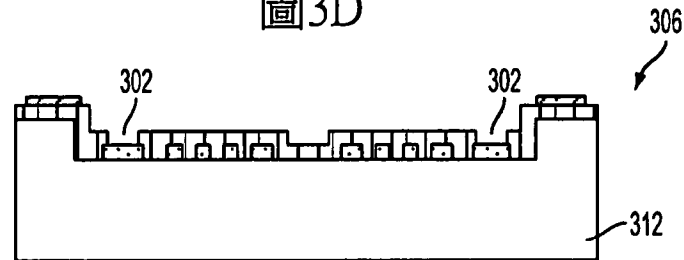


圖3E

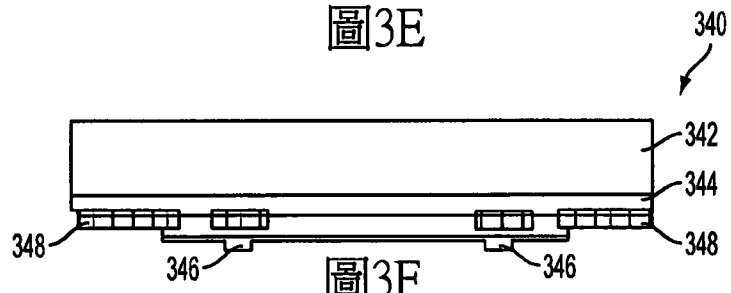


圖3F

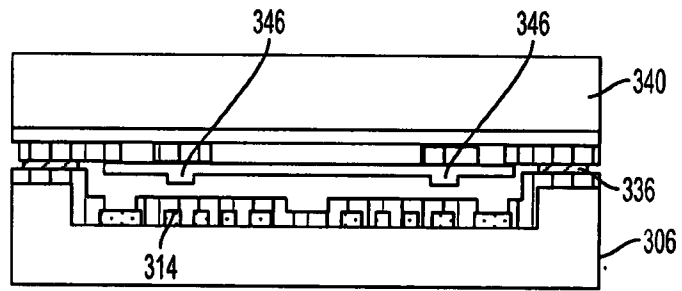


圖3G

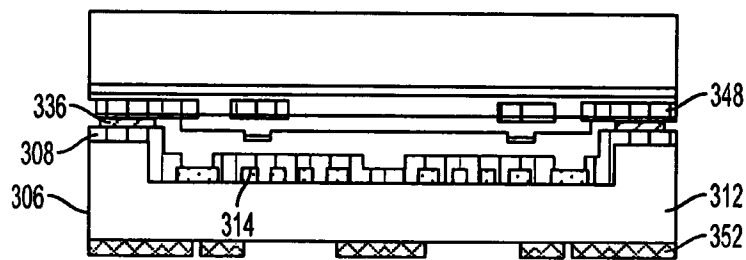


圖3H

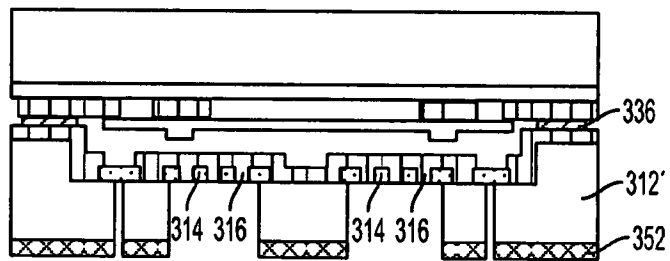


圖3I

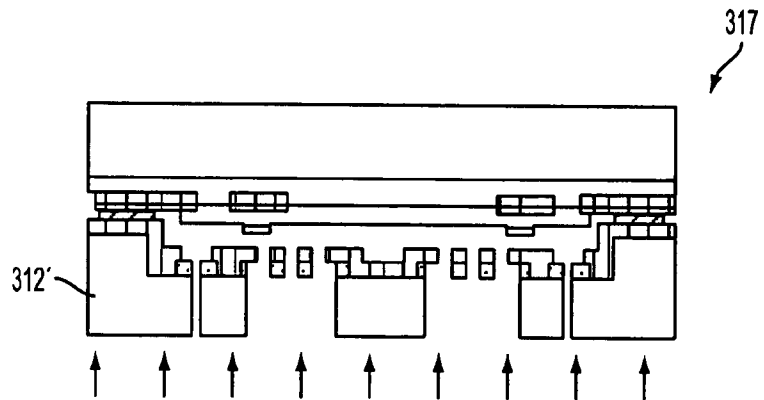


圖3J

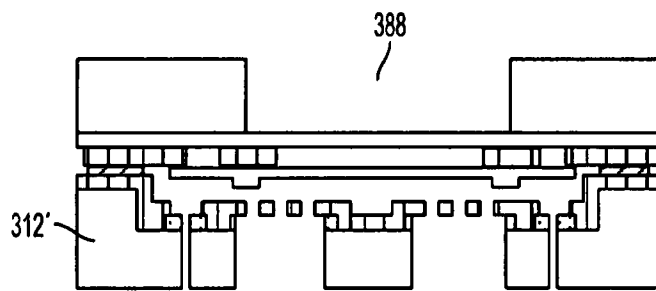


圖3K

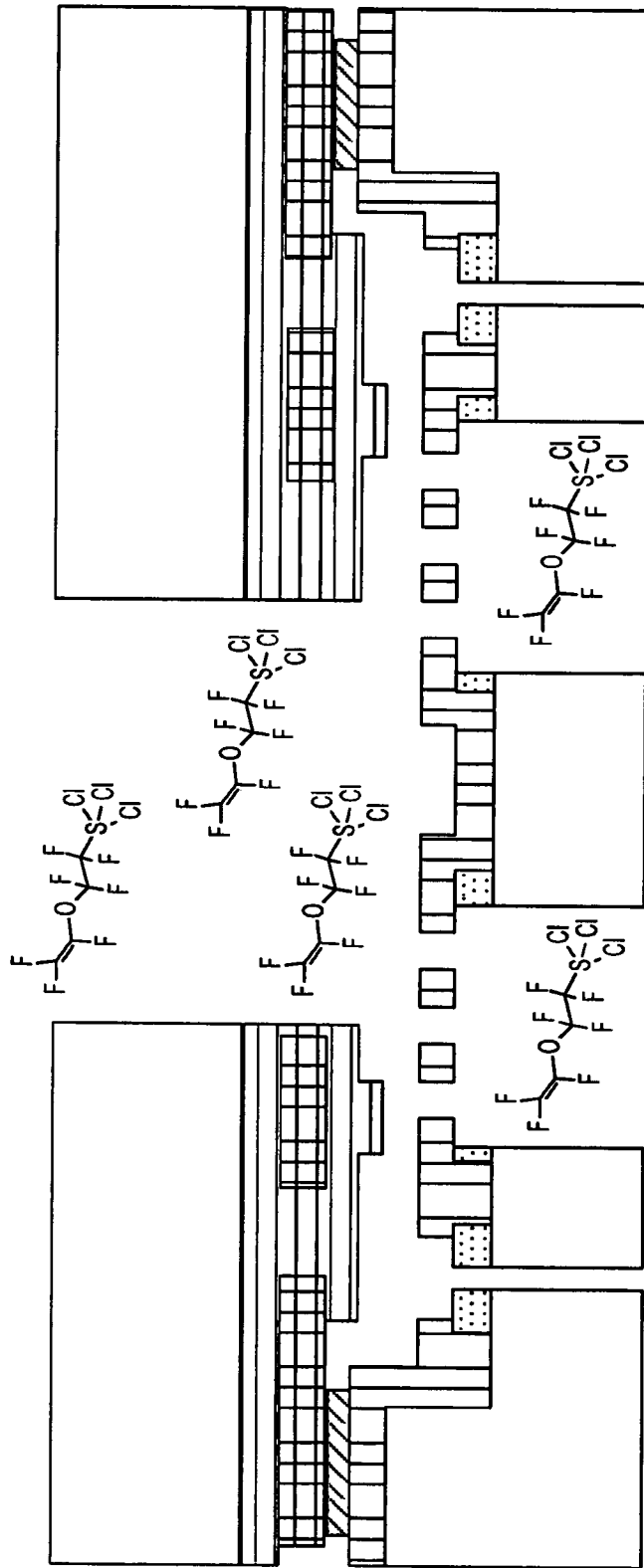


圖3L

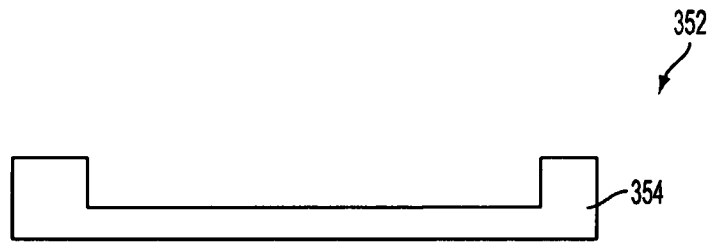


圖3M

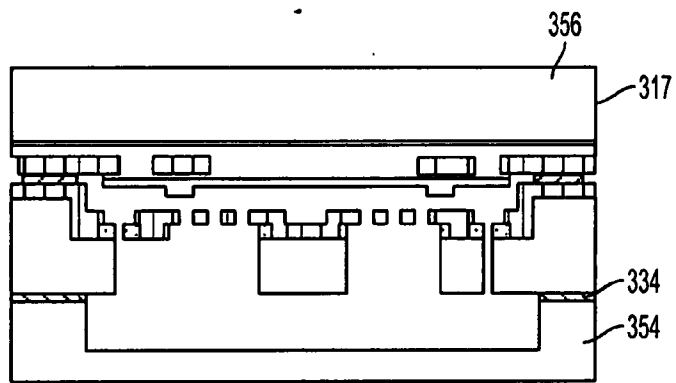


圖3N

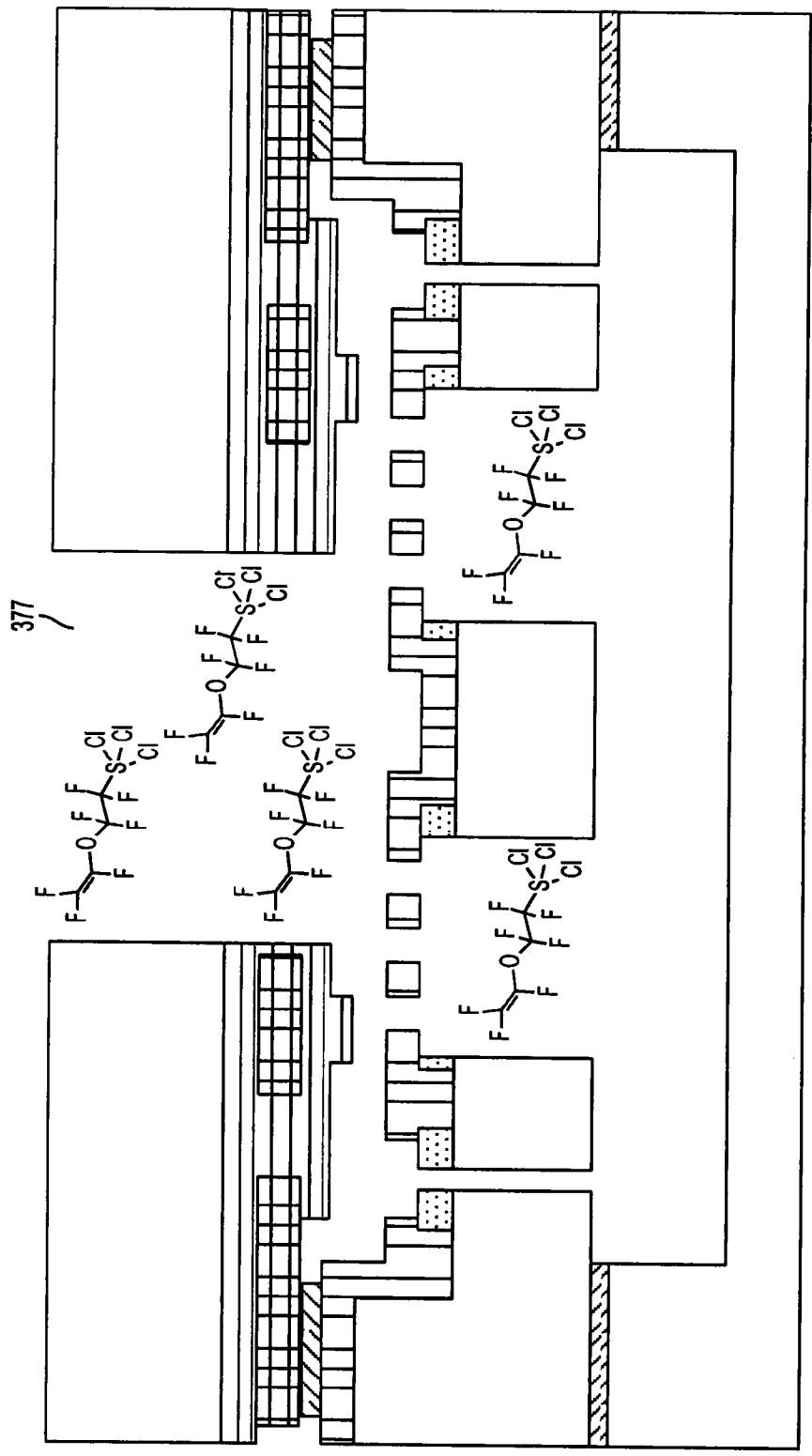


圖30

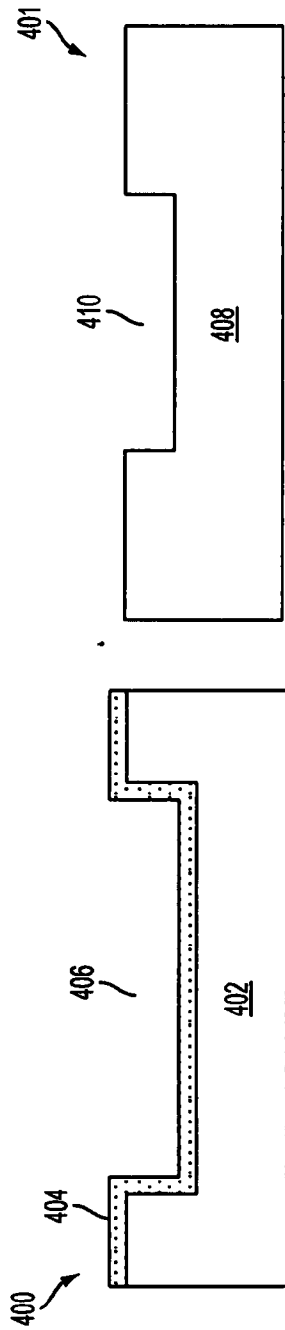


圖4A

圖4B

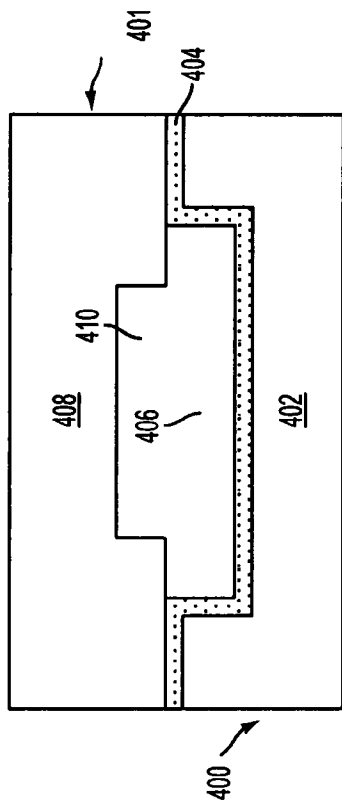


圖4C

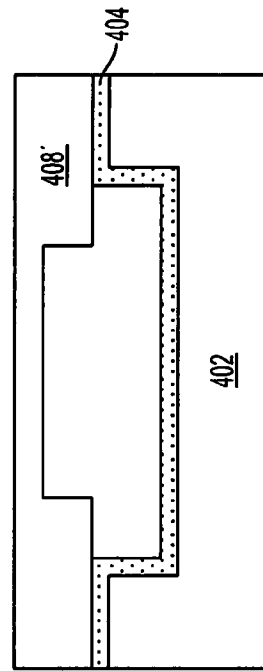


圖4D

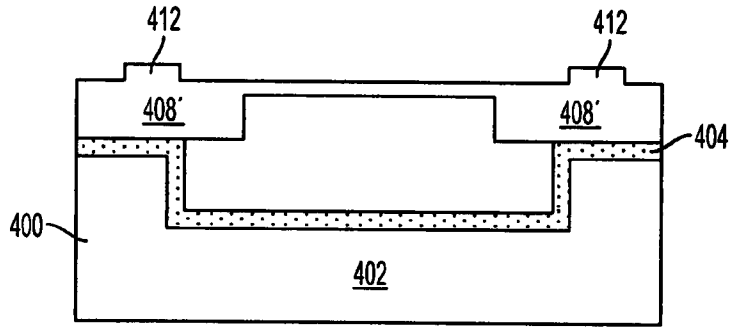


圖4E

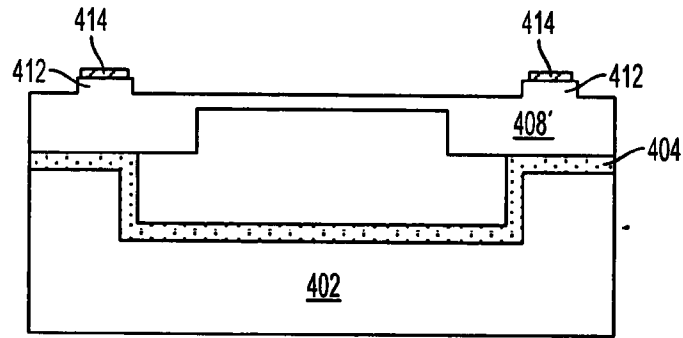


圖4F

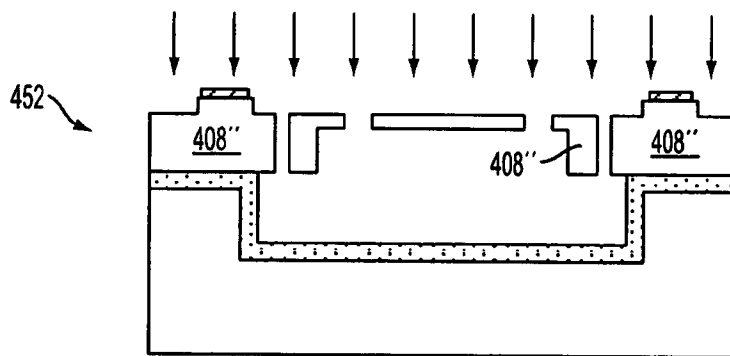


圖4G

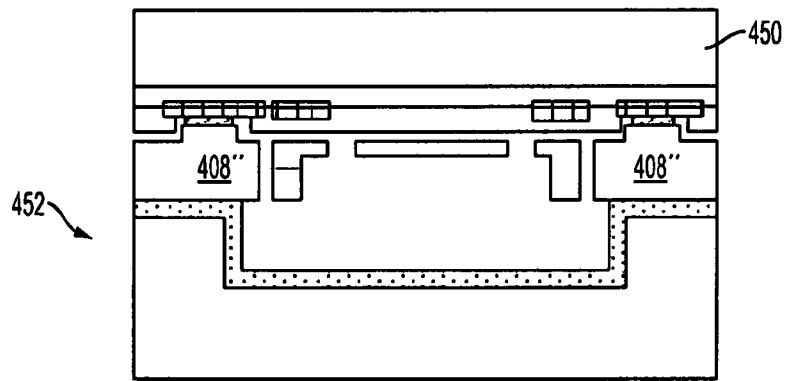


圖4H

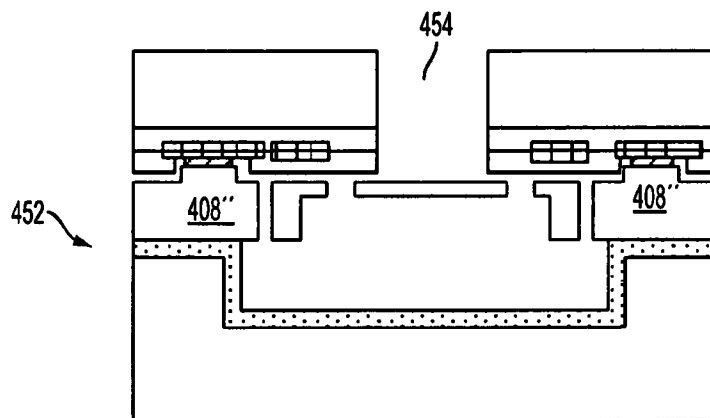


圖4I

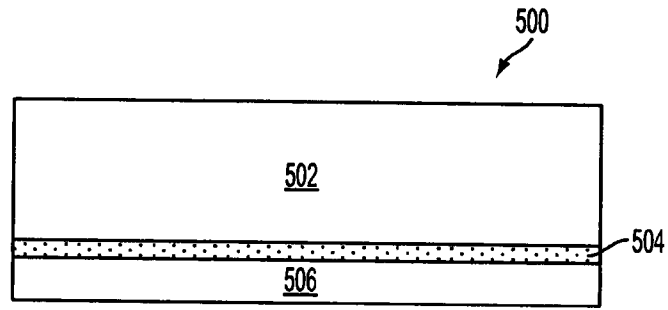


圖5A

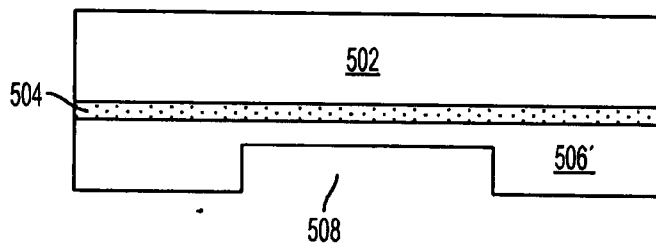


圖5B

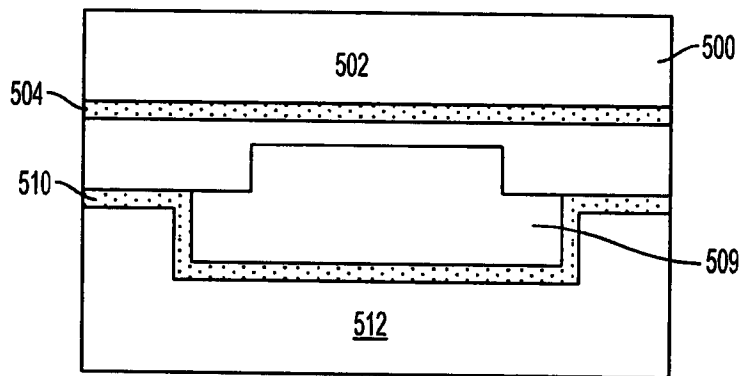


圖5C

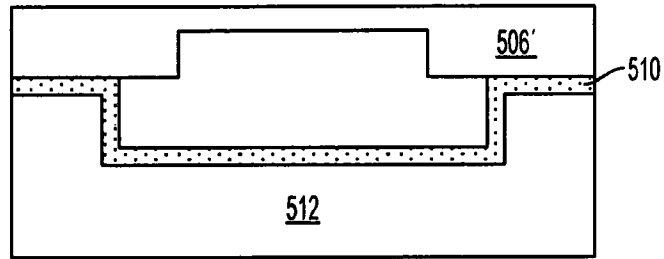


圖5D

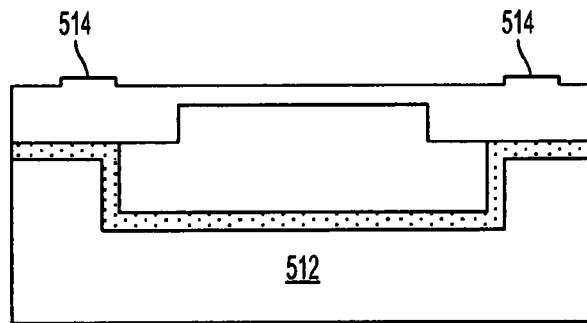


圖5E

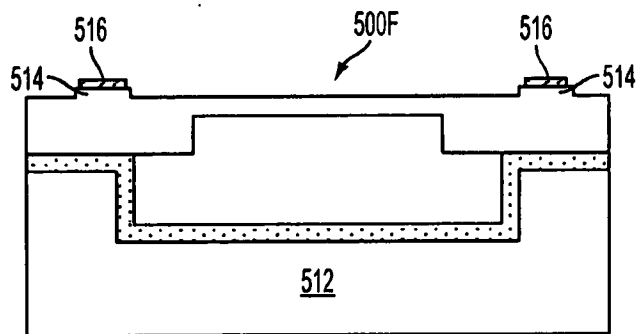


圖5F

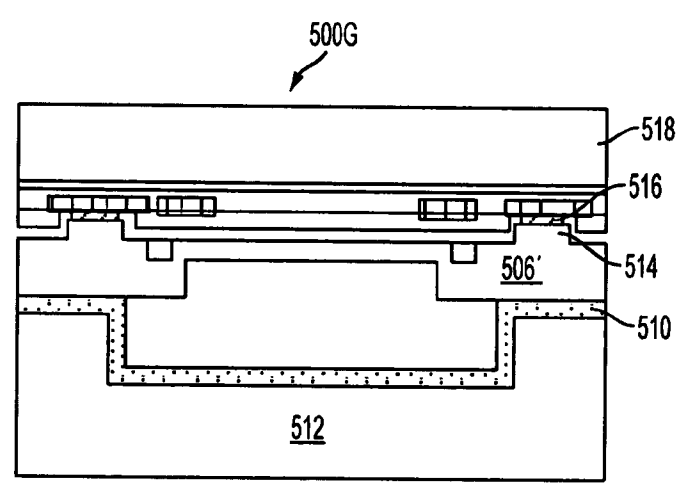


圖5G

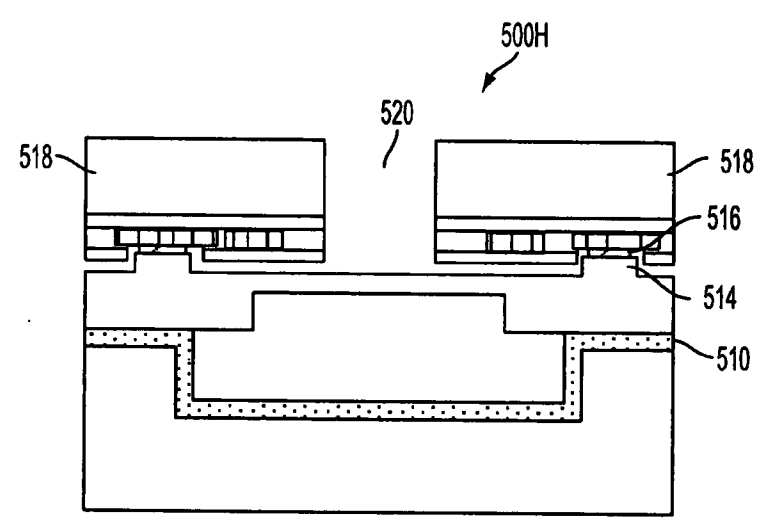


圖5H

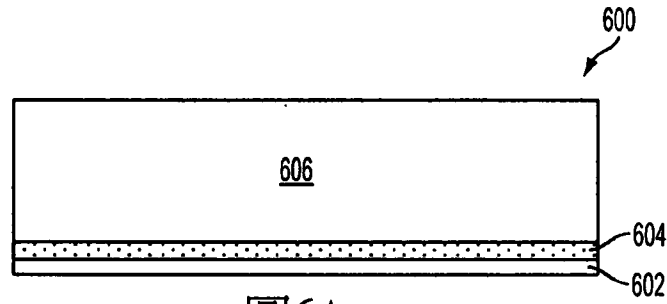


圖6A

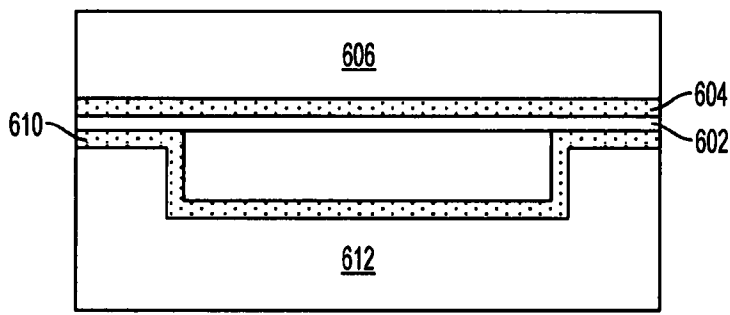


圖6B

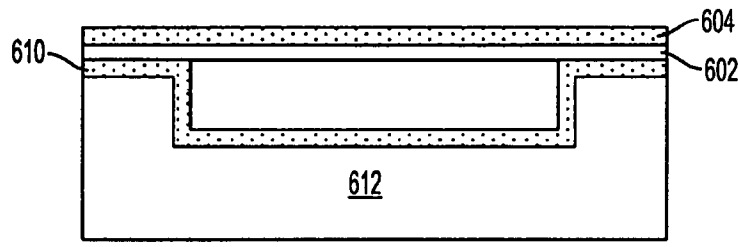


圖6C

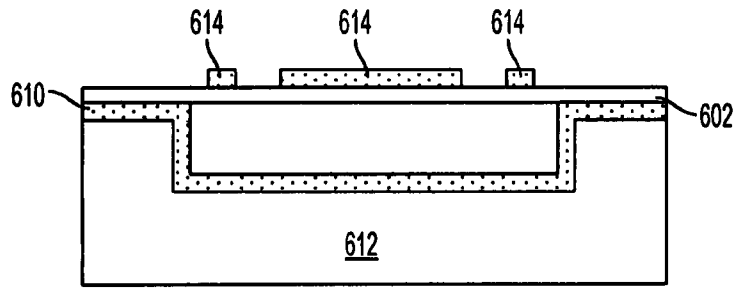


圖6D

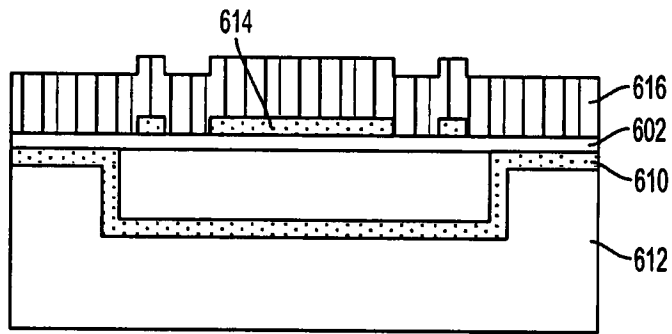


圖6E

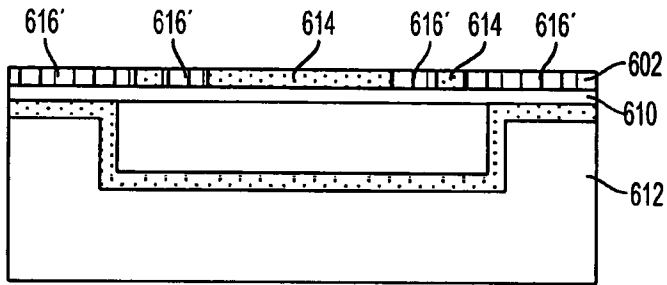


圖6F

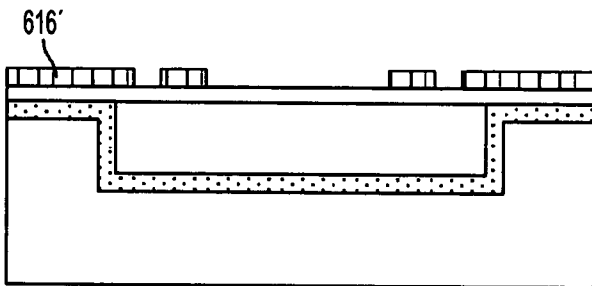


圖6G

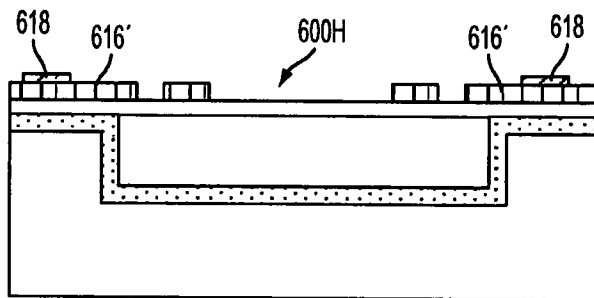


圖6H

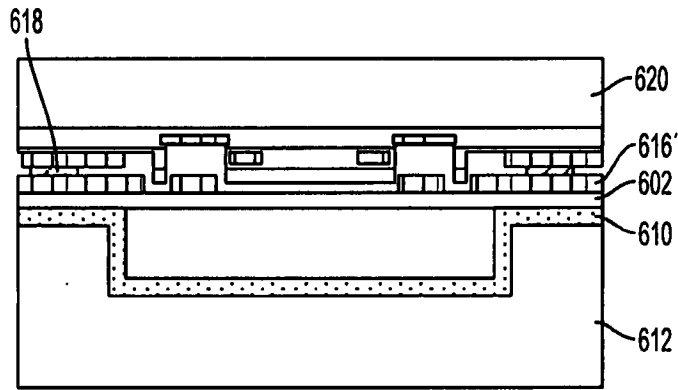


圖6I

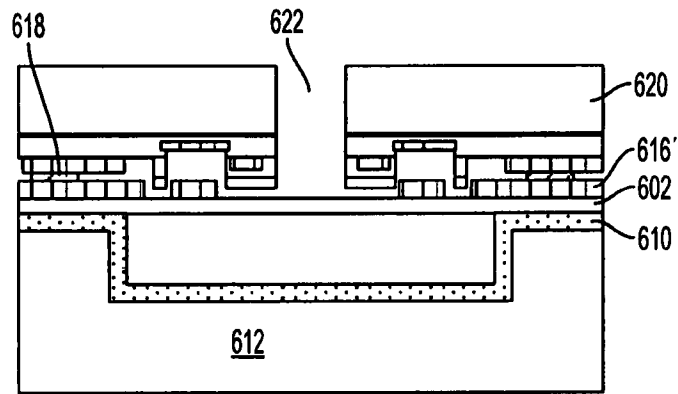


圖6J

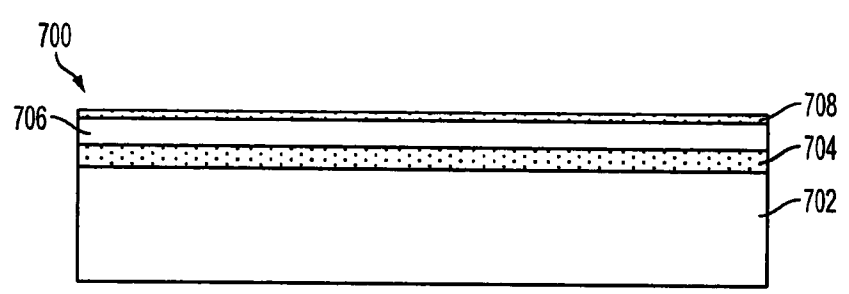


圖7A

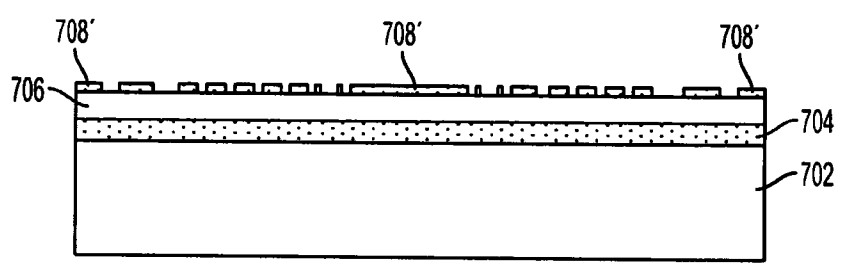


圖7B

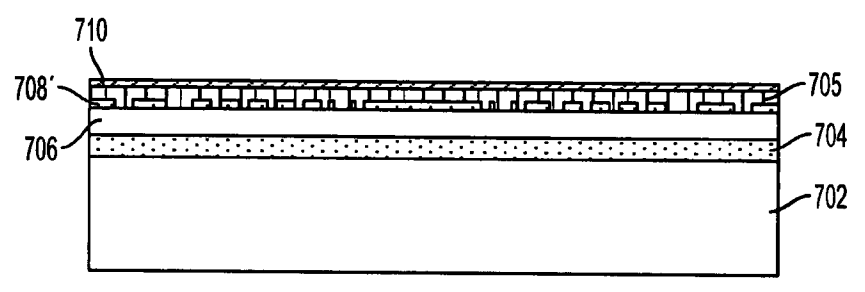


圖7C

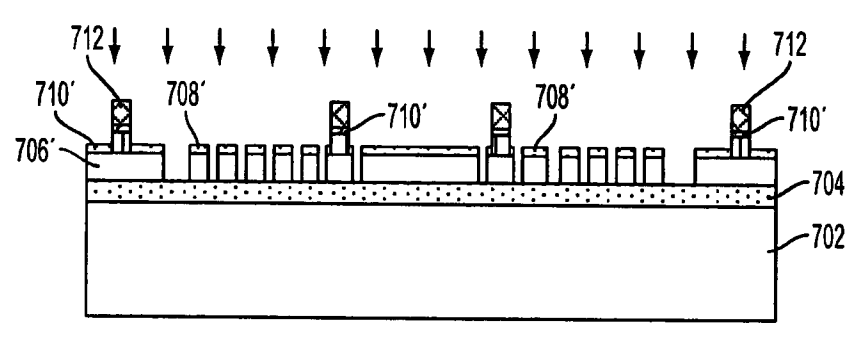


圖7D

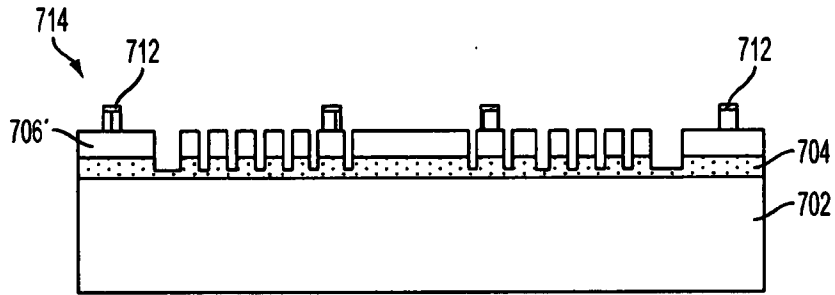


圖7E

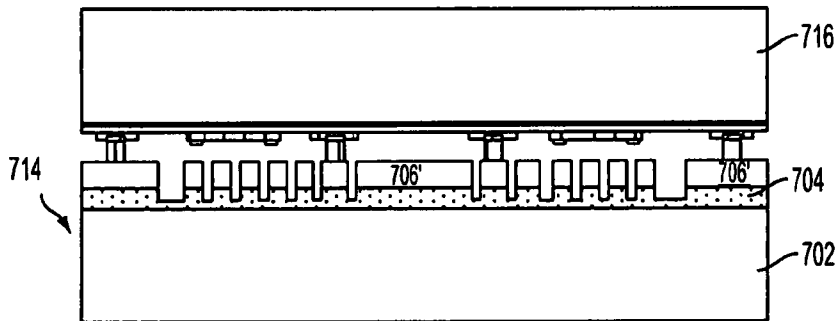


圖7F

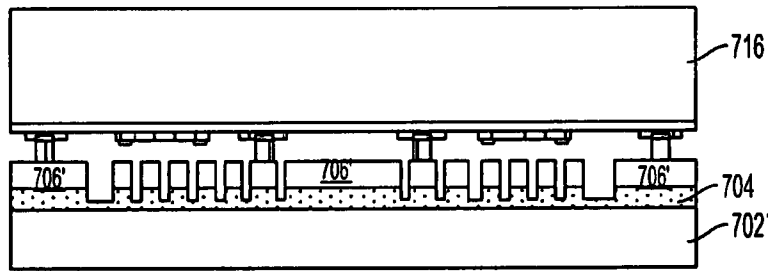


圖7G

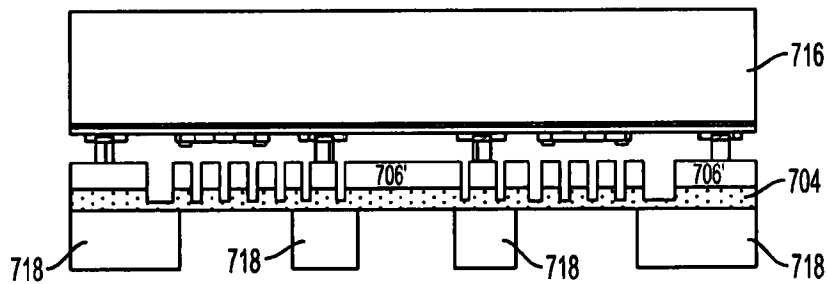


圖7H

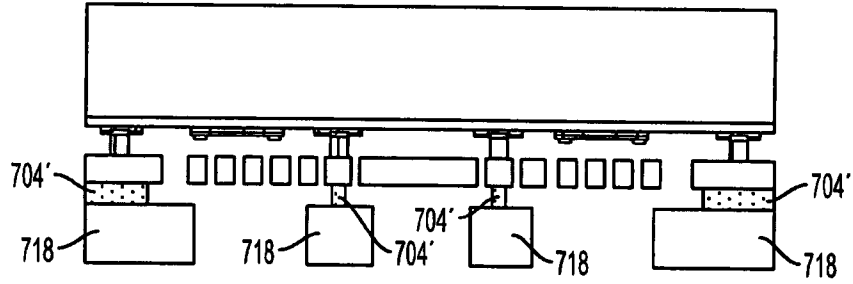


圖7I

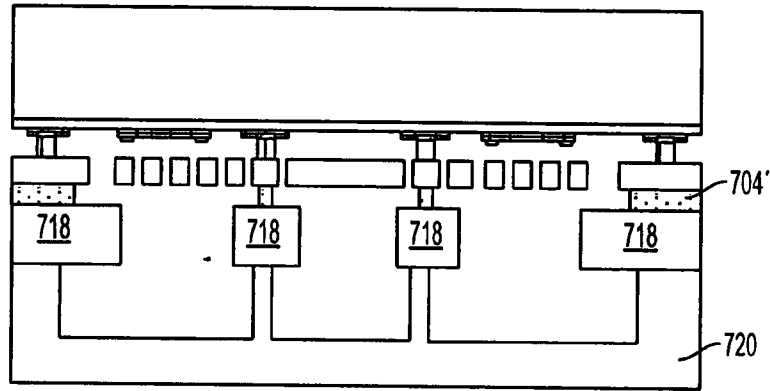


圖7J

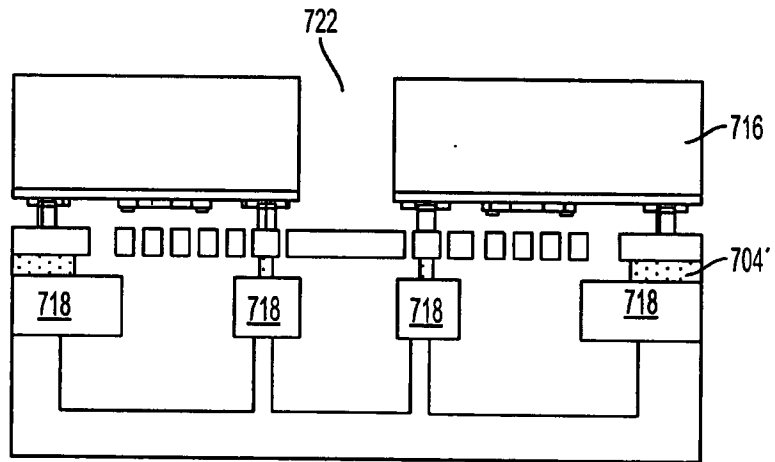


圖7K