

(12) 发明专利申请

(10) 申请公布号 CN 102481139 A

(43) 申请公布日 2012. 05. 30

(21) 申请号 201080040565. 2

G01N 29/26(2006. 01)

(22) 申请日 2010. 07. 15

(30) 优先权数据

12/503, 438 2009. 07. 15 US

(85) PCT申请进入国家阶段日

2012. 03. 13

(86) PCT申请的申请数据

PCT/US2010/042066 2010. 07. 15

(87) PCT申请的公布数据

W02011/008914 EN 2011. 01. 20

(71) 申请人 美国国家半导体公司

地址 美国加利福尼亚州

(72) 发明人 W·马 Z·张 J-Y·吴

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

A61B 8/00(2006. 01)

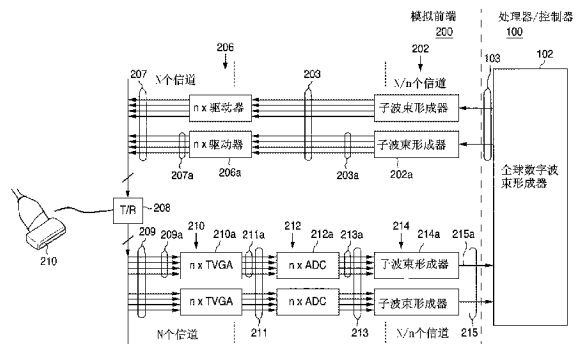
权利要求书 3 页 说明书 6 页 附图 5 页

(54) 发明名称

用于超声波系统的子波束形成发射机电路

(57) 摘要

本发明涉及一种用于超声波系统的子波束形成发射机的多信道脉冲器驱动器电路, 其中通过根据子波束脉冲延迟数据和多个时钟信号延迟子波束脉冲模式数据而形成子波束信号。



1. 一种包括用于超声波系统的子波束形成发射机的多信道脉冲器驱动器电路的设备，所述设备包括：

脉冲控制电路，用于提供包括多个子波束脉冲模式数据、多个子波束脉冲延迟数据和多个时钟信号的多个子波束脉冲控制信号；和

信号脉冲生成电路，其耦合到所述脉冲控制电路并通过提供多个串行子波束信号脉冲而响应于所述多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信号，其中所述多个子波束串行信号脉冲中的一个或多个各自的信号脉冲相应于所述多个子波束脉冲模式数据的至少一部分，并且关于所述多个子波束脉冲延迟数据和时钟信号时延。

2. 根据权利要求 1 所述的设备，其中所述多个时钟信号具有共同的频率和相互不同的相位。

3. 根据权利要求 1 所述的设备，其中所述脉冲控制电路包括有限状态机 FSM 电路，从而提供所述多个子波束脉冲控制信号中包括所述多个子波束脉冲模式数据和子波束脉冲延迟数据的部分。

4. 根据权利要求 1 所述的设备，其中所述脉冲控制电路包括锁相环 PLL 电路，从而提供所述多个子波束脉冲控制信号中包括所述多个时钟信号的部分。

5. 根据权利要求 4 所述的设备，其中所述多个时钟信号具有共同的频率和相互不同的相位。

6. 根据权利要求 1 所述的设备，其中所述脉冲控制电路包括：

有限状态机 FSM 电路，从而提供所述多个子波束脉冲控制信号中包括所述多个子波束脉冲模式数据和子波束脉冲延迟数据的部分以及提供时钟控制信号；以及

锁相环 PLL 电路，其耦合到所述 FSM 电路并通过提供所述多个子波束脉冲控制信号中包括所述多个时钟信号的另一部分而响应于所述时钟控制信号。

7. 根据权利要求 6 所述的设备，其中所述多个时钟信号具有共同的频率和相互不同的相位。

8. 根据权利要求 1 所述的设备，其中所述信号脉冲生成电路包括：

时钟选择电路，其通过提供所述多个时钟信号中选择一个时钟信号而响应于所述多个子波束脉冲延迟数据的第一部分和所述多个时钟信号；

延迟电路，其耦合到所述时钟选择电路并通过提供延迟的时钟信号而响应于所述多个子波束脉冲延迟数据的第二部分和所述多个时钟信号中所述选择一个时钟信号，所述延迟的时钟信号相应于所述多个时钟信号中所述选择一个时钟信号并且关于所述多个时钟信号中所述选择一个时钟信号而在时间上延迟；和

数据存储电路，其耦合到所述延迟电路并且通过根据所述延迟的时钟信号存储所述多个子波束脉冲模式数据并检索存储的所述多个子波束脉冲模式数据的各个部分而响应于所述多个子波束脉冲模式数据和所述延迟的时钟信号。

9. 根据权利要求 8 所述的设备，其中所述延迟的时钟信号根据第一延迟和第二延迟关于所述多个时钟信号中所述选择一个时钟信号而在时间上延迟，其中：

所述第一延迟与所述多个子波束脉冲延迟数据的所述第一部分相关；

所述第二延迟与所述多个子波束脉冲延迟数据的第二部分相关。

10. 根据权利要求 8 所述的设备，其中所述第一延迟小于所述第二延迟。

11. 根据权利要求 8 所述的设备,其中所述时钟选择电路包括多路复用器电路。

12. 根据权利要求 8 所述的设备,其中所述延迟电路包括计数器电路。

13. 根据权利要求 8 所述的设备,其中:

所述数据存储电路包括:

第一移位寄存器电路,其通过根据所述延迟的时钟信号检索存储的所述多个子波束脉冲模式数据的各自的第一部分而响应于所述延迟的时钟信号;和

第二移位寄存器电路,其通过根据所述延迟的时钟信号检索存储的所述多个子波束脉冲模式数据的各自的第二部分而响应于所述延迟的时钟信号;和

存储的所述多个子波束脉冲模式数据的检索的所述各自的第一部分和第二部分根据所述延迟的时钟信号提供两位数据信号的序列。

14. 一种包括用于超声波系统的子波束形成发射机的多信道脉冲器驱动器电路的设备,所述设备包括:

时钟选择电路,其通过提供多个时钟信号中选择的一个时钟信号而响应于多个子波束脉冲延迟数据的第一部分和所述多个时钟信号;

延迟电路,其耦合到所述时钟选择电路并通过提供延迟的时钟信号而响应于所述多个子波束脉冲延迟数据的第二部分和所述多个时钟信号中所述选择的一个时钟信号,所述延迟的时钟信号相应于所述多个时钟信号中所述选择的一个时钟信号并且关于所述多个时钟信号中所述选择的一个时钟信号而在时间上延迟;和

数据存储电路,其耦合到所述延迟电路并且通过根据所述延迟的时钟信号存储多个子波束脉冲模式数据并检索存储的所述多个子波束脉冲模式数据的各个部分而响应于所述多个子波束脉冲模式数据和所述延迟的时钟信号。

15. 根据权利要求 14 所述的设备,其中所述多个时钟信号具有共同的频率和相互不同的相位。

16. 根据权利要求 14 所述的设备,其中所述延迟的时钟信号根据第一延迟和第二延迟关于所述多个时钟信号中所述选择的一个时钟信号而在时间上延迟:

所述第一延迟与所述多个子波束脉冲延迟数据的所述第一部分相关;和

所述第二延迟与所述多个子波束脉冲延迟数据的所述第二部分相关。

17. 根据权利要求 14 所述的设备,其中所述第一延迟小于所述第二延迟。

18. 根据权利要求 14 所述的设备,其中所述时钟选择电路包括多路复用器电路。

19. 根据权利要求 14 所述的设备,其中所述延迟电路包括计数器电路。

20. 根据权利要求 14 所述的设备,其中:

所述数据存储电路包括:

第一移位寄存器电路,其通过根据所述延迟的时钟信号检索存储的所述多个子波束脉冲模式数据的各自的第一部分而响应于所述延迟的时钟信号;和

第二移位寄存器电路,其通过根据所述延迟的时钟信号检索存储的所述多个子波束脉冲模式数据的各自的第二部分而响应于所述延迟的时钟信号;和

存储的所述多个子波束脉冲模式数据的检索的所述各自的第一部分和第二部分根据所述延迟的时钟信号提供两位数据信号的序列。

21. 一种包括用于超声波系统的子波束形成发射机的多信道脉冲器驱动器电路的设

备,所述设备包括:

脉冲控制器装置,其用于提供多个子波束脉冲控制信号,该子波束脉冲控制信号包括多个子波束脉冲模式数据、多个子波束脉冲延迟数据和多个时钟信号;和

信号脉冲发生器装置,其用于接收所述多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信号,并且响应于所述多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信号而提供多个串行子波束信号脉冲,其中所述多个子波束串行信号脉冲中的一个或多个各自的信号脉冲相应于所述多个子波束脉冲模式数据的至少一部分,并且关于所述多个子波束脉冲延迟数据和时钟信号时延。

22. 根据权利要求 21 所述的设备,其中所述多个时钟信号具有共同的频率和相互不同的相位。

23. 一种包括用于超声波系统的子波束形成发射机的多信道脉冲器驱动器电路的设备,所述设备包括:

时钟选择器装置,其用于接收多个子波束脉冲延迟数据的第一部分,并且响应于所述多个子波束脉冲延迟数据的第一部分而在多个时钟信号中进行选择,从而提供所述多个时钟信号中选择一个时钟信号;

延迟装置,其用于接收所述多个子波束脉冲延迟数据的第二部分,并且响应于所述多个子波束脉冲延迟数据的第二部分而延迟所述多个时钟信号中选择一个时钟信号,从而提供延迟的时钟信号,该延迟的时钟信号相应于所述多个时钟信号中选择一个时钟信号并且关于所述多个时钟信号中选择一个时钟信号而在时间上延迟;和

数据存储装置,其用于接收多个子波束脉冲模式数据和所述延迟的时钟信号,并且响应于所述多个子波束脉冲模式数据和延迟的时钟信号而根据所述延迟的时钟信号来存储所述多个子波束脉冲模式数据并检索存储的所述多个子波束脉冲模式数据的各个部分。

24. 根据权利要求 23 所述的设备,其中所述多个时钟信号具有共同的频率和相互不同的相位。

用于超声波系统的子波束形成发射机电路

技术领域

[0001] 本发明涉及用于超声波系统的发射机电路,并且具体地涉及提供用于超声波系统的子波束形成的发射信号的电路。

背景技术

[0002] 参考图 1,传统的超声波系统包括处理器/控制器 10 和模拟前端 (AFE) 20、以及用户接口(未示出),例如视频显示器、计算机键盘和鼠标。包括在处理器/控制器 10 内的是数字波束形成器 12,该数字波束形成器 12 提供限定发射的波束分布(profile)的多个数字发射数据信号 13,并且反过来接收表示接收到的能量分布的多个数字接收数据信号 33。在波束形成器电路 12 内执行任意期望的波束形成。

[0003] AFE 20 的传输路径包括多个信道的数字模拟转换(DAC)电路 22 和多个换能放大器驱动器电路 24。发射数据信号 13 被转换为相应的模拟信号 23,以用于驱动所述驱动器电路 24。每个产生的驱动器输出信号 25 驱动换能器阵列 28 内的各个换能器,并根据公知的原理通过发射/接收开关 26 传送所述每个产生的驱动器输出信号 25。

[0004] 进一步根据公知的原理,将由换能器阵列 28 接收的经反射的超声波能量转换为相应的模拟电信号 27,该模拟电信号 27 通过发射/接收开关 26 被传送至各个时变增益放大器(TVGA)电路 30。通过多个信道的模拟数字转换(ADC)电路 32 转换产生的放大的信号 31,从而产生接收数据信号 33。

[0005] 这种超声波成像系统以这种方式工作,从而提供期望的图像分辨率和质量必需的波束形成。如上所述,波束形成功能通常在数字域实施,从而实现期望的灵活性和可编程性。然而,这种数字域电路消耗的功率随着处理的速度和复杂度的增加而增大。这种功率消耗和特别是功率消耗中的任何增量是特别成问题的,因为更多的系统设计为便携的,并且在电池电源控制下工作。此外,随着开发出更复杂的换能器阵列,在处理器/控制器 10 和 AFE 20 之间的接口中的信号 13、33 的数量增加。因此,理想的是实施改进的子波束形成,以便于降低功率消耗和减少处理器/控制器 10 和 AFE 20 之间的信号连接数。

发明内容

[0006] 提供了用于超声波系统的子波束形成发射机的多信道脉冲发生器驱动器电路,其中根据子波束脉冲延迟数据和多个时钟信号通过延迟子波束脉冲模式数据而形成子波束信号。

[0007] 根据目前要求保护的本发明的一个实施例,用于超声波系统的子波束形成发射机的多信道脉冲发生器驱动器电路包括:

[0008] 脉冲控制电路,其用于提供包括多个子波束脉冲模式数据、多个子波束脉冲延迟数据和多个时钟信号的多个子波束脉冲控制信号;和

[0009] 耦合到脉冲控制电路的信号脉冲生成电路,并且该信号脉冲生成电路通过提供多个串行子波束信号脉冲而响应于多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信

号,其中多个子波束串行信号脉冲中的一个或更多个各自的子波束串行信号脉冲相应于多个子波束脉冲模式数据的至少一部分,并且关于多个子波束脉冲延迟数据和时钟信号时延。

[0010] 根据目前要求保护的发明的另一个实施例,用于超声波系统的子波束形成发射机的多信道脉冲发生器驱动器电路包括:

[0011] 时钟选择电路,其通过提供多个时钟信号中选择的一个时钟信号而响应于多个子波束脉冲延迟数据的第一部分和多个时钟信号;

[0012] 耦合到时钟选择电路的延迟电路,并且该延迟电路通过提供延迟的时钟信号而响应于多个子波束脉冲延迟数据的第二部分和多个时钟信号中选择一个时钟信号,所述延迟的时钟信号相应于多个时钟信号中选择一个时钟信号并且关于多个时钟信号中选择一个时钟信号而在时间上延迟;和

[0013] 耦合到延迟电路的数据存储电路,并且该数据存储电路通过根据延迟的时钟信号存储多个子波束脉冲模式数据并检索存储的多个子波束脉冲模式数据的各个部分而响应于多个子波束脉冲模式数据和延迟的时钟信号。

[0014] 根据目前要求保护的发明的另一个实施例,用于超声波系统的子波束形成发射机的多信道脉冲发生器驱动器电路包括:

[0015] 脉冲控制器装置,其用于提供包括多个子波束脉冲模式数据、多个子波束脉冲延迟数据和多个时钟信号的多个子波束脉冲控制信号;和

[0016] 信号脉冲发生器装置,其用于接收多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信号,并且响应于所述多个子波束脉冲模式数据、子波束脉冲延迟数据和时钟信号而提供多个串行子波束信号脉冲,其中多个子波束串行信号脉冲中的一个或更多个各自的信号脉冲相应于多个子波束脉冲模式数据的至少一部分,并且关于多个子波束脉冲延迟数据和时钟信号时延。

[0017] 根据目前要求保护的发明的另一个实施例,用于超声波系统的子波束形成发射机的多信道脉冲发生器驱动器电路包括:

[0018] 时钟选择器装置,其用于接收多个子波束脉冲延迟数据的第一部分,并且响应于所述多个子波束脉冲延迟数据的第一部分而在多个时钟信号中进行选择,从而提供多个时钟信号中选择一个时钟信号;

[0019] 延迟装置,其用于接收多个子波束脉冲延迟数据的第二部分,并且响应于所述多个子波束脉冲延迟数据的第二部分而延迟多个时钟信号中选择一个时钟信号,从而提供延迟的时钟信号,该延迟的时钟信号相应于所述多个时钟信号中选择一个时钟信号并且关于所述多个时钟信号中选择一个时钟信号而在时间上延迟;和

[0020] 数据存储装置,其用于接收多个子波束脉冲模式数据和延迟的时钟信号,并且响应于所述多个子波束脉冲模式数据和延迟的时钟信号而根据延迟的时钟信号来存储多个子波束脉冲模式数据并检索存储的多个子波束脉冲模式数据的各个部分。

附图说明

[0021] 图 1 是传统的波束形成超声波系统的发射信道和接收信道的功能方框图。

[0022] 图 2 是实施根据目前要求保护的发明的一个或更多个实施例的子波束形成的

超声波系统的发射信道和接收信道的功能方框图。

[0023] 图 3 是具有根据目前要求保护的本发明的一个或更多个实施例的子波束形成发射机的超声波系统的八个信道的功能方框图。

[0024] 图 4 是用于信号脉冲发生器的驱动器电路的功能方框图,所述脉冲器用于驱动根据目前要求保护的本发明的一个或更多个实施例的超声波换能器。

[0025] 图 5 是图 4 中的电路的多个脉冲驱动器信道中的一个驱动器信道的一个示例性实施例的功能方框图。

具体实施方式

[0026] 下面的具体实施方式是参考附图的目前要求保护的本发明的示例性实施例。这些说明是为了示例性说明而非限制本发明的范围。充分详细地描述了这些实施例,从而使本领域的一个普通技术人员能实践本发明的主题,并且将理解的是,在不偏离本发明的主题的精神或范围的情况下,可以对实施的其他实施例做出一些改变。

[0027] 贯穿本公开,在没有来自上下文的相反的清晰指示的情况下,将理解的是,所描述的各电路元件的数量可以是单数或复数。例如,术语“电路”和“所述电路”可以包括单个组件或多个组件,所述组件是有源和/或无源的,并连接或耦合在一起(例如,作为一个或更多个集成电路芯片),从而提供所述功能。此外,术语“信号”可以指一个或更多个电流、一个或更多个电压或数据信号。在附图中,相似或相关的元件将具有相似或相关的字母、数字或字母数字指示符。进一步地,虽然已经在实施方式的背景中利用分立的电子电路(优选地,以一个或更多个集成电路芯片的形式)讨论了本发明,但是可以可替换地利用一个或更多个适当编程的处理器来实施这种电路的任何零件的功能,这取决于要处理的信号频率或数据传输率。而且,就附图示出各种实施例的功能方框图而言,功能方框不一定表示硬件电路之间的划分。因此,例如,一个或更多个功能方框(例如,处理器、存储器等)可以在单个硬件(例如,通用信号处理器、随机存取存储器、硬盘驱动器等等)中实施。相似地,所描述的任何程序可以是独立程序、可以是并入操作系统中的子程序、可以是安装的软件包中的功能元件等。

[0028] 参考图 2,使用根据目前要求保护的本发明的一个或更多个实施例的子波束形成的超声波系统简化了处理器/控制器 100 的全球数字波束形成器电路和 AFE 200 之间的信号接口。全球数字波束形成器 102 将总信道数 N 划分为多个较小的 n 个信道的组或“子波束”,其提供多个子波束的发射数据信号 103 并且接收多个子波束的接收数据信号 215。在发射路径中,这些 N/n 个数据信号 103 用于由 N/n 个子波束形成器电路 202a 提供 N 个子波束信号 203。(例如,如果由 $N = 256$ 个信号驱动换能器阵列 210,并且每个子波束形成器电路 202 提供 $n = 8$ 个子波束信号,那么全球数字波束形成器 102 只需要提供 $N/n = 32$ 个发射数据信号 103。)子波束信号 203 用作驱动器电路 206 的模拟驱动信号,所述驱动器电路 206 提供用于换能器阵列的驱动信号 207。

[0029] 通过时变增益放大器 210 放大来自换能器阵列 210 的接收信号 209,并且由 ADC 电路 212 转换产生的放大信号 211,从而产生相应的数字信号 213。由子波束形成接收器电路 214 处理这些数字信号 213(在共同未决的专利申请中公开了其主题并且要求保护其一个或更多个实施例),从而提供 N/n 个接收数据信号 215。

[0030] 根据目前要求保护的本发明的一个或多个实施例的这种子波束形成降低了整个系统复杂性和功率消耗。例如,在数字域中例如利用现场可编程门阵列(FPGA)实施传统的波束形成,所述FPGA例如作为全球数字波束形成器102的部件,具有消耗大量功率的大量的内插计算,而在模拟域和混合信号域中执行根据目前要求保护的本发明的一个或多个实施例的子波束形成,从而实现高精度度,同时消耗较小的功率。

[0031] 参考图3,根据目前要求保护的本发明的一个或多个实施例,在发射信号路径中执行子波束形成。AFE 200(图2)的发射信号路径中的每个子波束形成器电路202a接收发射波束形成控制信号103a、103b,包括子波束形成分布数据、全球波束偏移数据、校正补偿数据、稀疏选择数据和发射起动、或“触发”、控制数据以及时钟信号103c。时钟信号103c驱动锁相环(PLL)电路222,该锁相环电路提供所需的具有不同频率和相位的各种时钟信号。

[0032] 子波束形成器电路202a接收由子波束形成分布数据信号 B_{tx} 103a限定的波束形成需求,并将其转换为具有可编程的信号振幅和时间延迟的多个波形 t_0 、 t_1 、...、 t_7 203a。例如,具有200ns的信号持续时间的波形可以预先存储在子波束形成器电路202a中,并且子波束形成分布数据指定所述波形被连续延迟1ns并且其振幅降低百分之一。因此,在使触发信号 B_{st} 103b有效之后,子波束形成器电路202a将提供八个信号203a,使得 $t_1(n) = 0.99 * t_0(n-1ns)$, $t_2(n) = 0.98 * t_0(n-2ns)$, ..., $t_7(n) = 0.93 * t_0(n-7ns)$ 。可替换地,可以在驱动器电路206a中进行信号振幅的修改,例如,根据可编程的正217p和负217n电源电压(下面将更详细地讨论)。

[0033] 如上所述,子波束形成的信号203a驱动所述驱动器电路206a,该驱动器电路提供用于其各自的换能器(如上所述)的驱动信号207a。子波束形成器电路202a向驱动器电路206a的电源管理电路216提供一个或多个控制信号217c。根据这些一个或多个控制信号217c,电源管理电路216控制用于驱动器电路206a的正217p和负217n电源电压。例如,根据一个优选的实施例,驱动器电路206a使用电源电压217p、217n由电源管理电路216控制的G类放大器,因而为换能器驱动信号207a提供振幅控制。可替换地,驱动器电路206a可以通过简单的脉冲发生器、多电平脉冲发生器或其他类型的放大器(例如,A/B类)的形式实施。

[0034] 形成精确的波束形状所需的精细的相位控制需要比脉冲速度更精细或是在每个周期中具有更多相位的时序。例如,如果40Ms/s(每秒钟百万样本)用于生成脉冲波形,则采样时间分辨率是25ns(纳秒),这一般是不足够的。因此,需要40MHz来同步更高的频率,例如160MHz,从而产生6.25ns的更精细的时钟周期移位。如下面更详细的讨论,粗糙的延迟控制可以用于以6.25ns的增量延迟信号203a。对于精细的延迟,可以使用多相位时钟信号。例如,对于 $m = 8$ 个相位,精细的时间分辨率将是一个时钟周期的1/8,或是0.78125ns。

[0035] 通过子波束形成器202a在充分高的频率下工作,可以进行操作以提供多个脉冲,以实施脉宽调制(PWM)功能,从而生成任意的波形,或是提供代码激励的脉冲,从而向超声波目标提供更多的能量。

[0036] 可以在子波束形成器202a中提供校准,从而提高控制效率和顾及信号通过至换能器的信号路径的损失。这种校准可以包括针对时间延迟和振幅变化的校准。例如,在各种换能器、驱动器放大器和其他电路元件(有源的和无源的)中,在某种程度上将总是存在操作差异。校准过程(例如,作为生产测试的部分)可以包括捕获这些差异并将其转换为

偏移数据,以便存储在子波束形成器 202a 中,因而允许基于这些偏移数据对波束分布进行调整,以便提供更加精确的波束形成性能。

[0037] 此外,通过驱动换能器的子集(例如偶数的或奇数的或单独选择的换能器)可以提供稀疏波束形成。例如,作为波束分布形成的一部分,生成的各种波形中选择的波形的振幅可以被限定为零(或是其他一些预定的低数值)。

[0038] 参考图 4,根据目前要求保护的本发明的一个或更多个实施例,可以利用双电平驱动器或脉冲发生器(脉冲器)实施驱动器电路 206aa,大致如图所示。根据发射使能信号 103c 的触发控制电路 242 提供了起始控制信号 243a,从而通过八对移位寄存器信道 250 提供脉冲信号,以及提供了用于有限状态机(FSM)248 的加载控制信号 243b,所述有限状态机提供控制并将输入的数据转换为合适的格式。串行接口电路 244 接收脉冲和控制数据以及相应的时钟信号 103d,并将串行数据转换为并行数据 245,以便加载到 FSM 248 中。FSM 248 为数据信道 250 提供脉冲模式数据 249a(例如,128 位)和延迟分布数据 249b(例如,17 位),并为 PLL 电路 246 提供控制信号 249c。

[0039] PLL 电路 246 接收基准和偏置信号 103e,并在过采样频率 f_c 下生成多相位时钟信号 247(在示例性的实施例中为 160MHz 并具有八个相位)。

[0040] 数据信道 250 接收脉冲模式数据 249a 和延迟分布数据 249b,并由触发控制信号 243a 和多相位时钟信号 247 的选定相位控制(在下面更加详细地讨论)。每个数据信道 250 为脉冲器驱动器电路提供两个输出位 P(P0、P1、P2、...、P7),N(N0、N1、N2、...、N7)以驱动脉冲器驱动器电路各自的换能器。这两个位允许四电平的脉冲器控制,当驱动双极脉冲器时,使用其中的三个电平。例如,这四个电平可以定义如下:Pn = 0 和 Nn = 0 用于零输出电压;Pn = 1 和 Nn = 0 用于大多数正脉冲电压;Pn = 0 和 Nn = 1 用于大多数负脉冲电压;以及 Pn = 1 和 Nn = 1 用于阻尼脉冲回波。可以通过相等的时序延迟每对信号 Pn、Nn;然而,八个信号对 P0/N0、P1/N1、...、P7/N7 一般是根据以上所述的波束形成需求延迟不同的时序间隔(例如,信号对 P1/N1 相对于信号对 P0/N0 延迟 1.5ns)。

[0041] 根据一个优选的实施例,每个数据信道 250 为每个控制位 P、N 提供多达 64 个脉冲,因而允许 PWM 或代码激励的多脉冲信号。PLL 电路 246 在过采样频率 $f_c = 160\text{MHz}$ 下提供多相位时钟信号 247。在八个相位的情况下,提供了 0.7825ns 的精细延迟。串行接口 244 允许接收不同的延迟分布数据并将其加载到 FSM 248 用于不同波束模式。发射使能信号 103c 允许同时触发所有的数据信道 250。通过将校准数据存储在 FSM 248 内或专用存储器(未示出)内,可以提供校准。

[0042] 参考图 5,数据信道 250 中的一个数据信道的一个示例性实施例 250aa 包括多路复用器 262、移位寄存器 264p、264n、计数器 266 和逻辑电路 268、270、272,基本上如所示地进行互连。脉冲模式数据 249a 在移位寄存器 264p、264n 之间分离并加载到移位寄存器 264p、264n。延迟分布数据 249b 向多路复用器 262 提供控制位,以用于选择多相位时钟信号 247 中的一个相位(例如,三个位用于在八个相位中选择),延迟分布数据 249b 还提供用于加载计数器 266 的位(例如,14)。因此,计数器 266 控制粗糙的延迟,而多相位时钟信号 247 控制精细的延迟。所选择的时钟信号相位 263 驱动计数器 266 和可编程分频器 265。分频器 265 将时钟 263 按比例调节为由预先加载的比例因子控制的更低频率的时钟 265a,以用于可编程脉冲触发频率。计数器 266 输出 267 在每次触发之前保持为逻辑“0”,并由“触发”

控制信号 243a 控制。在使“触发”控制信号 243a 有效之后,计数器 266 开始计数。在由加载的计数器数据确定的粗糙延迟间隔已经逝去之后,有效的终端计数输出 267 使分频后的时钟 265a 能经由与 (AND) 门 272 穿过,以作为移位寄存器 264p、264n 的时钟信号 273。(当计数器 266 达到粗糙延迟值时,输入 AND 门 268 和反馈反相器 270 禁用计数器时钟 269,保持计数器 266 输出终端有效,直到“触发”控制信号 243a 被无效)。因此,在由粗糙延迟和精细延迟限定的延迟间隔的末尾,用于脉冲器的控制位 251ap、251an 根据加载到移位寄存器 264p、264n 的位模式由使能时钟信号 273 按时钟输出。另一个计数器 274 计数触发的脉冲。当计数达到预定的长度时,使计数器 274 的终端计数输出 274a 有效,因而通过反相器 275 和 AND 门 272 禁用时钟信号 273。(其控制策略与第一计数器 266 的控制策略相似)。终端计数输出 274a 在每次触发之前保持无效 (de-asserted),并由“触发”控制信号 243a 控制。在每次触发之后,移位寄存器 264p、264n 将自动设定为其预先加载的值,以便为下一次的触发做准备。

[0043] 在不偏离本发明的范围和精神的情况下,本发明的结构和操作方法中的各种其他的修改和替换对本领域技术人员将是显然的。尽管已经关于具体的优选实施例描述了本发明,但是应当理解,所要求保护的本发明不应当不适当地限于这些具体的实施例。意图是权利要求限定本发明的范围,因而覆盖这些权利要求及其等价物的范围内的结构和方法。

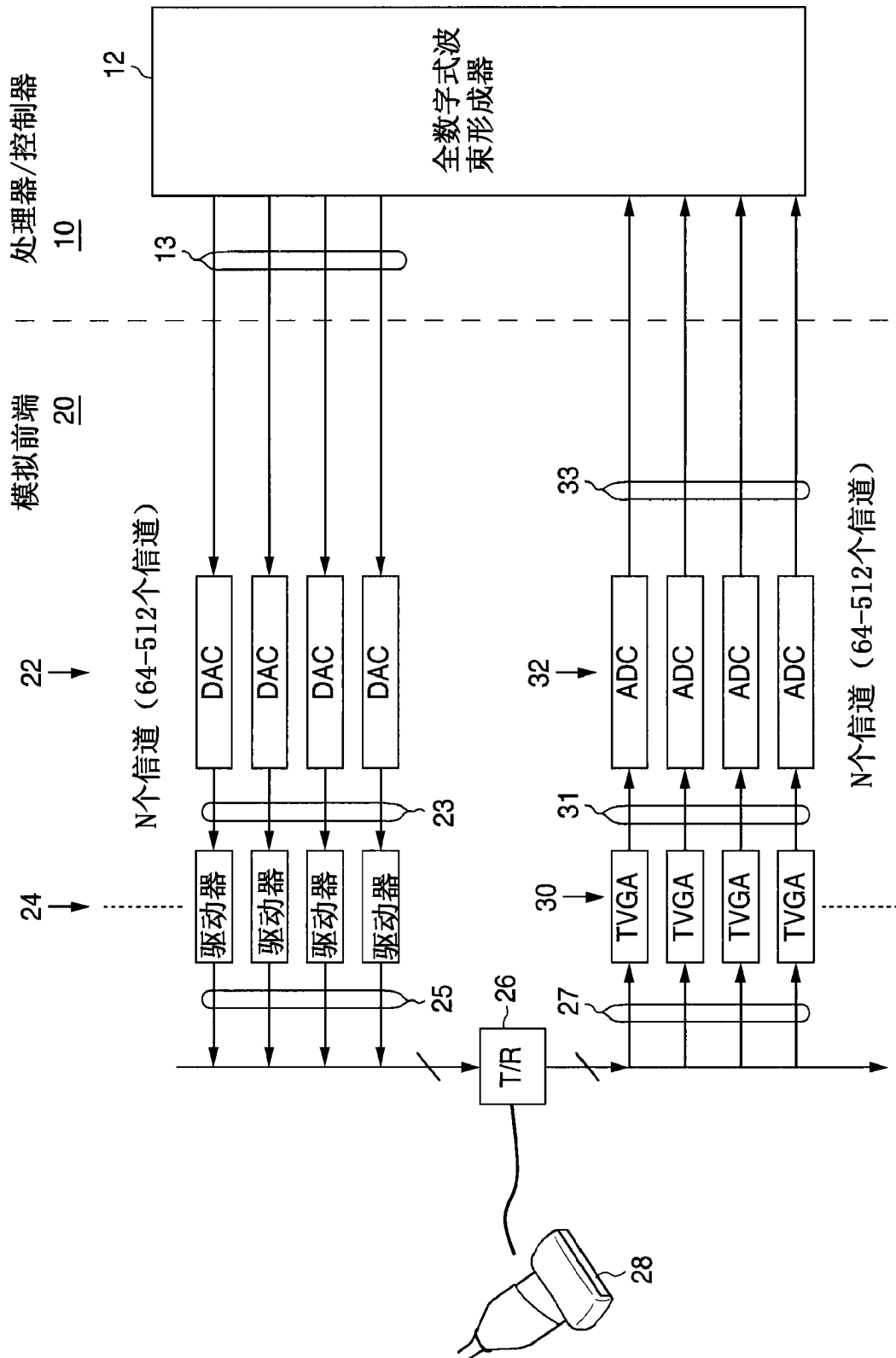


图 1(现有技术)

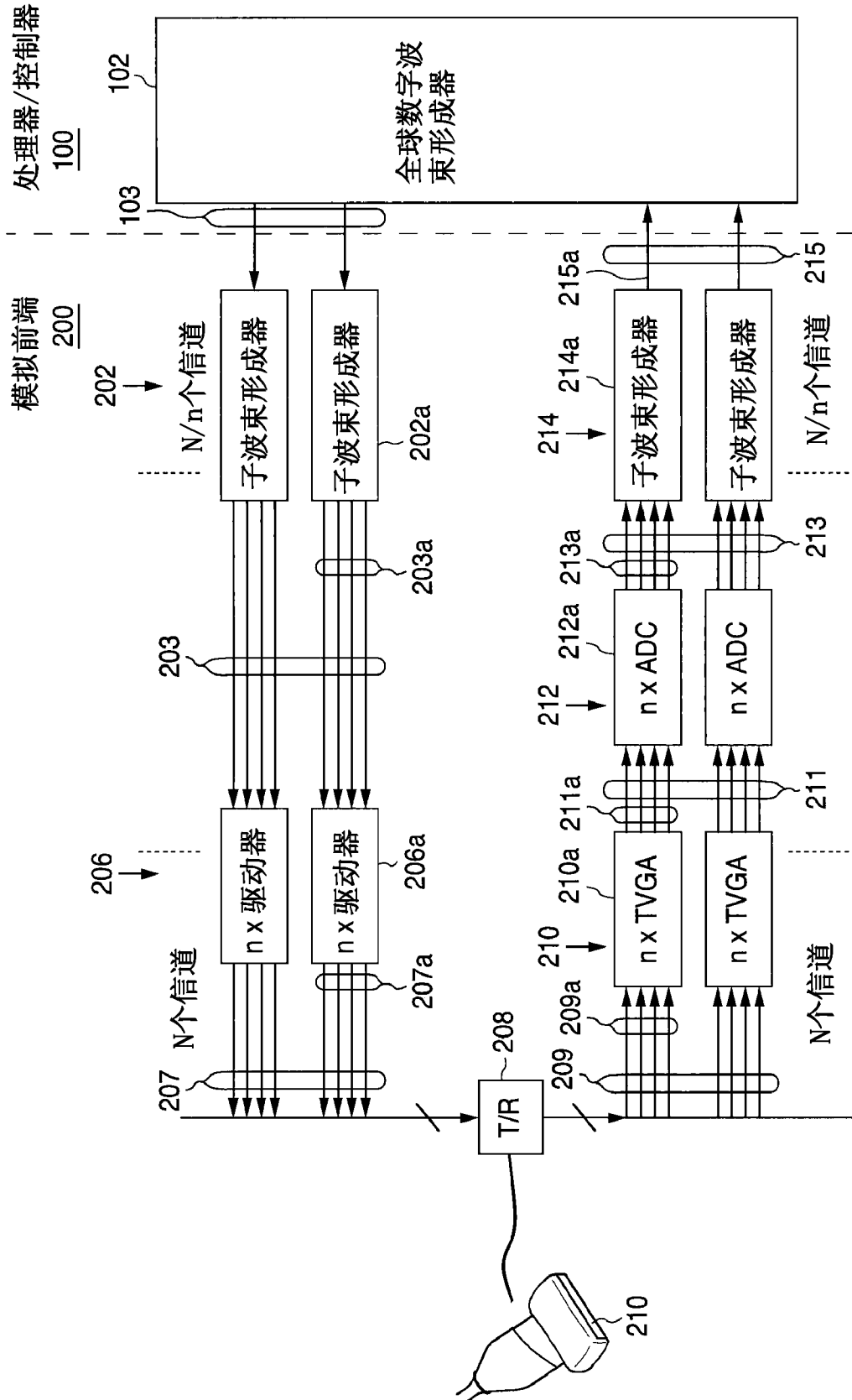


图 2

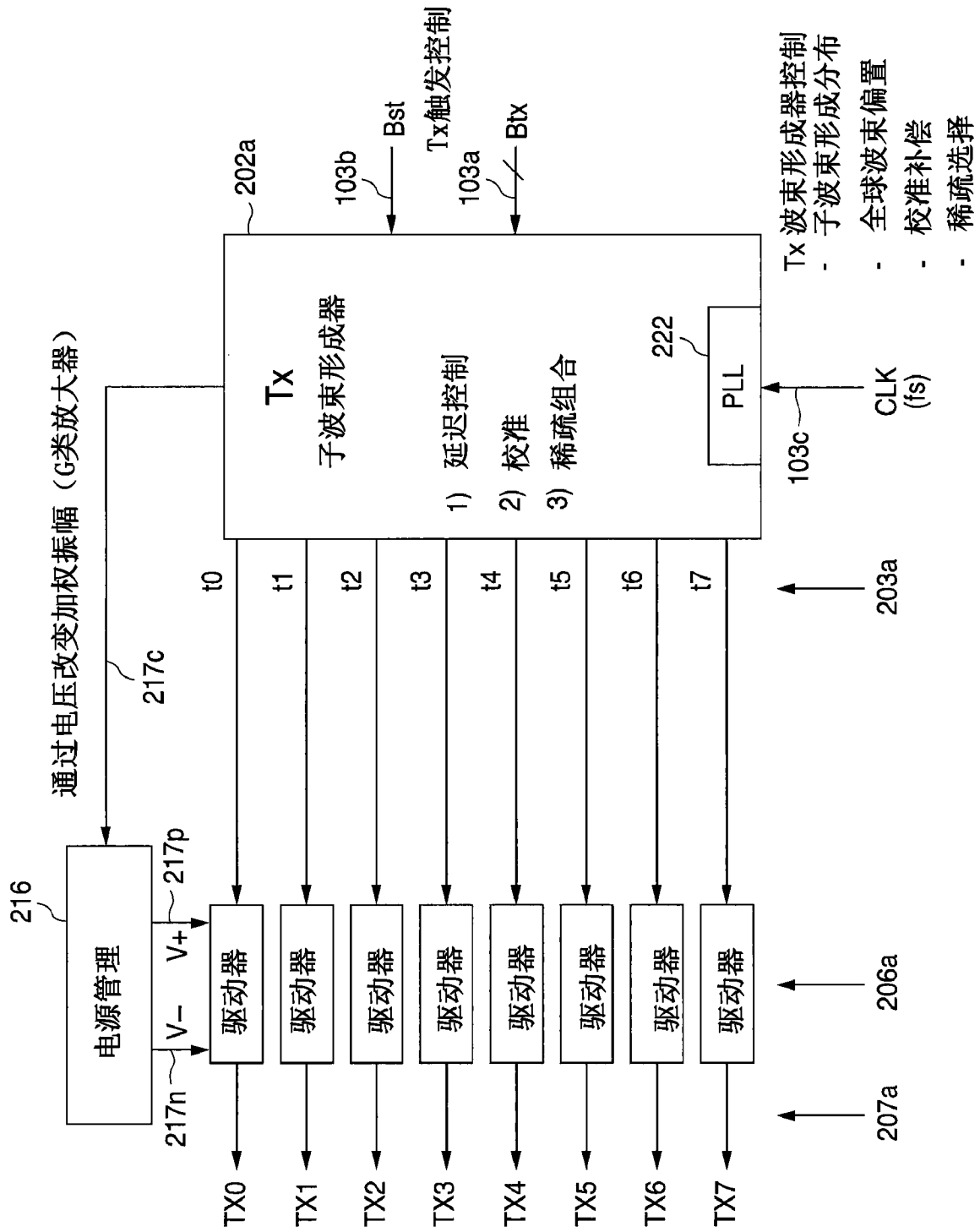


图 3

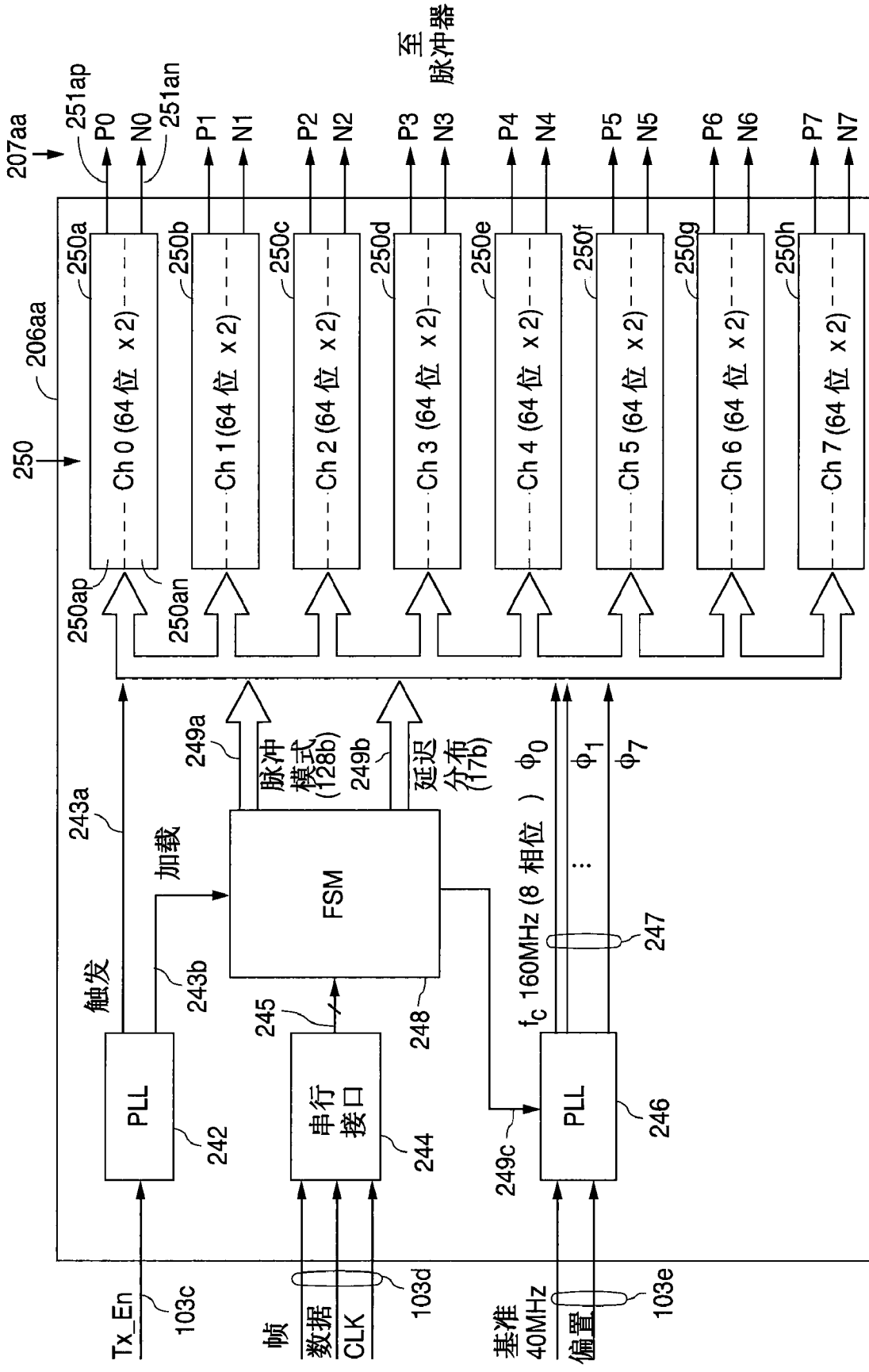


图 4

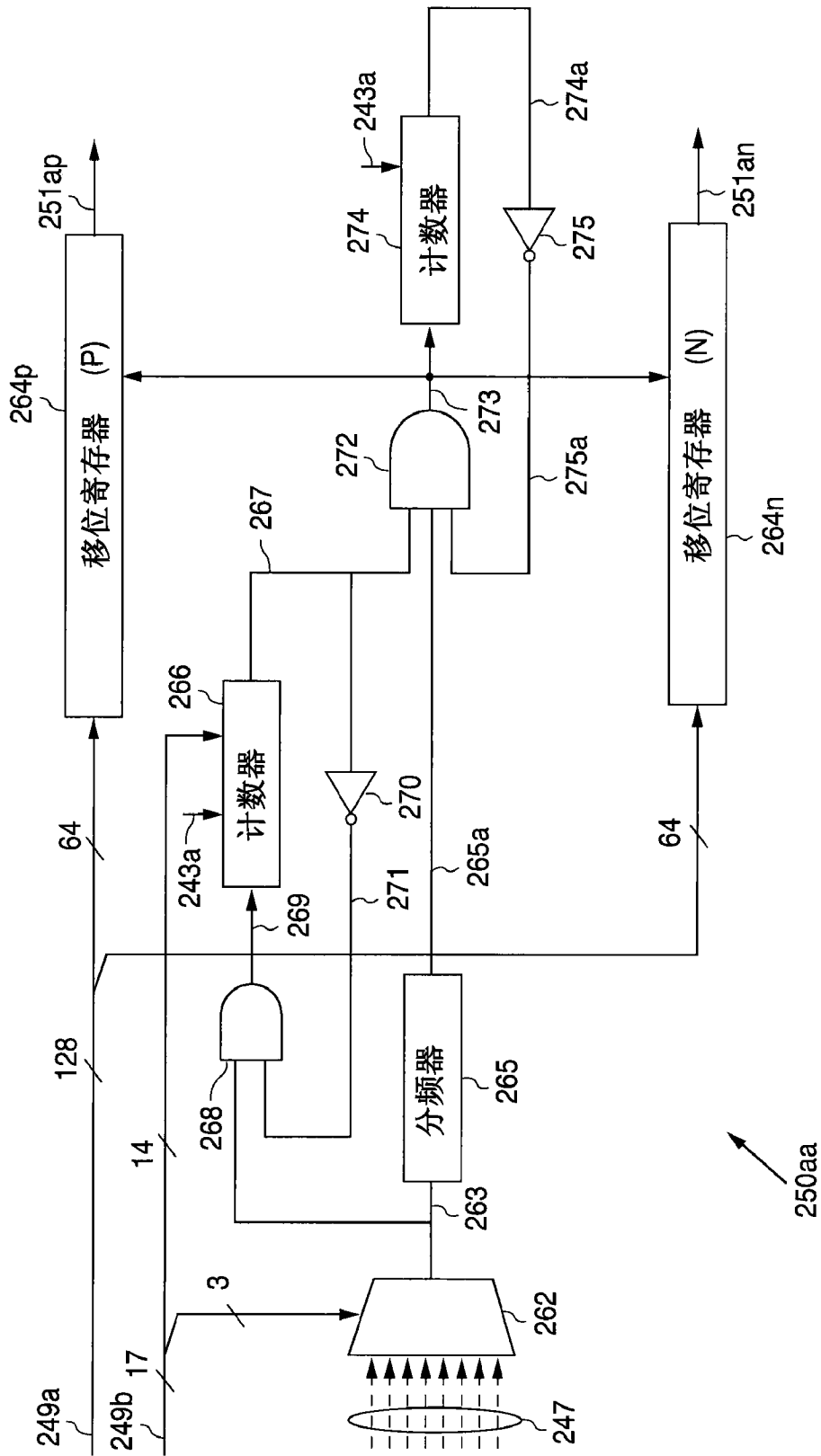


图 5