

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-294789
(P2005-294789A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 29/786	H O 1 L 29/78 6 1 8 C	5 F 1 1 O
H O 1 L 21/336	H O 1 L 29/78 6 1 6 T	5 F 1 4 O
H O 1 L 29/78	H O 1 L 29/78 6 1 7 K	
	H O 1 L 29/78 6 1 7 J	
	H O 1 L 29/78 6 1 6 L	
審査請求 有 請求項の数 7 O L (全 23 頁) 最終頁に続く		

(21) 出願番号 特願2004-150519 (P2004-150519)	(71) 出願人 000003078
(22) 出願日 平成16年5月20日 (2004. 5. 20)	株式会社東芝
(31) 優先権主張番号 特願2004-67253 (P2004-67253)	東京都港区芝浦一丁目1番1号
(32) 優先日 平成16年3月10日 (2004. 3. 10)	(74) 代理人 100075812
(33) 優先権主張国 日本国 (JP)	弁理士 吉武 賢次
	(74) 代理人 100088889
	弁理士 橘谷 英俊
	(74) 代理人 100082991
	弁理士 佐藤 泰和
	(74) 代理人 100096921
	弁理士 吉元 弘
	(74) 代理人 100103263
	弁理士 川崎 康
	(74) 代理人 100107582
	弁理士 関根 毅
	最終頁に続く

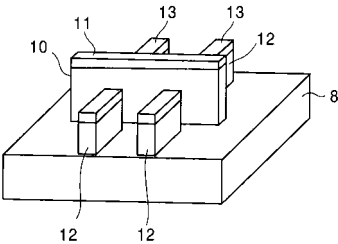
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 安定した駆動能力を有する半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、一方側にソース領域が形成され、他方側にドレイン領域が形成された、Fin 206と、ソース領域230とドレイン領域230との間におけるFin 206上に、ゲート絶縁膜214を介して形成されたゲート電極218と、ゲート電極218の側壁部分の下側に形成された側壁部224と、ゲート電極218の側壁部分における側壁部224上に形成された側壁部222であって、側壁部224の部材に対して高い選択比を有する、側壁部222と、を有することを特徴とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

凸状の第 1 の突部を形成する工程と、
前記第 1 の突部より高い位置に表面が位置するように、第 1 の膜を形成する工程と、
前記第 1 の膜上に、マスク部を形成する工程と、
前記マスク部をマスクとして用いて、前記第 1 の膜をエッチングする工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記第 1 の突部よりも高い、凸形状の第 2 の突部を形成する工程をさらに備え、
前記第 1 の膜を形成する工程では、前記第 1 の突部より高く、且つ、前記第 2 の突部より低い位置に、表面が位置するように前記第 1 の膜が形成される、ことを特徴とする請求項 1 に記載の半導体装置の製造方法。 10

【請求項 3】

前記マスク部を形成する工程は、
前記第 1 の膜上及び前記第 1 の膜の表面から突出している前記第 2 の突部上に、第 2 の膜を形成する工程と、
前記第 2 の膜をエッチバックすることにより、前記第 2 の突部の側面に前記第 2 の膜を残留させて、これを前記マスク部とする工程と、
をさらに備えることを特徴とする請求項 2 に記載の半導体装置の製造方法。 20

【請求項 4】

前記第 2 の突部は、側面に前記第 1 の膜による側壁部が形成されたゲート電極であり、
前記第 1 の突部は、側面に前記側壁部が形成されていない凸状半導体部である、ことを特徴とする請求項 3 に記載の半導体装置の製造方法。 20

【請求項 5】

半導体基板上に第 2 の膜を形成する工程を、さらに備えるとともに、
前記第 1 の突部を形成する工程は、
前記第 2 の膜上に、ダミーパターンを形成する工程と、
前記第 2 の膜上、及び、前記ダミーパターン上に、第 3 の膜を形成する工程と、
前記第 3 の膜をエッチバックすることにより、前記ダミーパターンの側面に前記第 3 の膜を残留させて、これを前記第 1 の突部とする工程と、
を備える、ことを特徴とする請求項 1 に記載の半導体基板の製造方法。 30

【請求項 6】

前記マスク部を形成する工程は、
前記第 1 の膜上に、光の反射を防止する反射防止膜を形成する工程と、
前記反射防止膜上に、フォトリソグラフィによりパターンニングすることにより、前記マスク部を形成する工程と、
を備えることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

一方側にソース領域が形成され、他方側にドレイン領域が形成された、凸状半導体部と
、
前記ソース領域と前記ドレイン領域との間における前記凸状半導体部上に、ゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の側壁部分の下側に形成された下側側壁部と、
前記ゲート電極の側壁部分における前記下側側壁部上に形成された上側側壁部であって、
前記下側側壁部を構成する部材と異なる部材で構成された、上側側壁部と、
を有することを特徴とする半導体装置。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

凸形状の突部が２種類以上ある半導体装置において、そのうちの一部の突部の側面だけに側壁材を存置させて、側壁部を形成したい場合もある。図１に示すFinFETは、突部に側壁部を作り分けたい半導体装置の一例を示している。

【0003】

この図１に示す半導体装置は、BOX(Buried Oxide)から形成された埋め込み絶縁膜８上に、第２の突部としてゲート電極１０が設けられており、第１の突部としてソース/ドレインとなるFin１２が設けられている。ゲート電極１０の上側には、SiNハードマスク１１が設けられており、Fin１２の上側には、SiNハードマスク１３が設けられている。

10

【0004】

しかし、側壁残し工程で側壁部を構成する場合、突部のすべてに側壁部が形成されてしまう問題があった。すなわち、図１に示した半導体装置においては、図２に示すように、ゲート電極１０の側壁部分には、側壁部１４を形成する必要がある。しかし、このゲート電極１０に側壁部１４を形成すると、Fin１２にも側壁部１６が不可避免的に形成されてしまう。

【0005】

このようにFin１２に側壁部１６が形成されてしまうと、Fin１２にソース領域/ドレイン領域を形成するためにFin１２にイオン打ち込みを行う際に、Fin１２の側壁からイオン打ち込みができない。このため、Fin１２の上方からイオン打ち込みを行っていた。

20

【0006】

図３は、図２におけるA-A'線断面を示す図である。この図３に示すように、Fin１２に上方からイオン打ち込みを行うと、Fin１２の深さ方向に均一なソース領域/ドレイン領域１８を形成できなくなってしまう。深さ方向に均一なソース/ドレイン領域１８が形成できないと、Fin１２上部におけるソース領域とドレイン領域との間の距離L１と、Fin１２下部におけるソース領域とドレイン領域との間の距離L２とが、異なってしまう。また、Fin１２下部のソース/ドレイン領域１８に、高い寄生抵抗Rが発生してしまう。このため、トランジスタの駆動能力が劣化してしまうという問題が生じていた。

30

【0007】

しかし側壁部１４を形成しないと、Fin１２にソース/ドレイン領域１８を形成するためにイオン打ち込みを行った後、熱拡散を施すと、ソース/ドレイン領域１８が互いに結合してしまう問題が生じる。また、側壁部１４を形成しないと、ソース/ドレイン領域１８の上部にシリサイド１９を形成する際に、ソース/ドレイン領域１８に形成したシリサイド１９と、ゲート電極１０に形成されたシリサイドとが、結合してしまうという問題も生じる。

【0008】

また、側壁残し工程で形成した側壁部を、エッチングパターンとして用いることにより、フォトリソグラフィの限界よりも微細なパターンを形成する技術が知られている。このようなプロセスは、サイドウォールパターントランスファープロセス(Sidewall Pattern Transfer Process)と呼ばれており、例えば非特許文献１に開示されている。

40

【非特許文献１】Yang-Kyu Choi, Tsu-Jae King, Chenming Hu, "A Spacer Patterning Technology for Nanoscale CMOS", IEEE Transactions on Electron Devices, Vol. 49, No. 3, March 2002, pp.436-441

【発明の開示】

【発明が解決しようとする課題】

【0009】

50

本発明は、前記課題に鑑みてなされたものであり、高い駆動能力を有する半導体装置及びその製造方法を提供することを目的とする。また、サイドウォールパターントランスファーとフォトリソグラフィを用いて微細なパターンと大きめのパターンを同時に形成できるようにすることを目的とする。

【課題を解決するための手段】

【0010】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、
凸状の第1の突部を形成する工程と、
前記第1の突部より高い位置に表面が位置するように、第1の膜を形成する工程と、
前記第1の膜上に、マスク部を形成する工程と、
前記マスク部をマスクとして用いて、前記第1の膜をエッチングする工程と、
を備えることを特徴とする。

10

【0011】

本発明に係る半導体装置は、
一方側にソース領域が形成され、他方側にドレイン領域が形成された、凸状半導体部と

、
前記ソース領域と前記ドレイン領域との間における前記凸状半導体部上に、ゲート絶縁膜を介して形成されたゲート電極と、
前記ゲート電極の側壁部分の下側に形成された下側側壁部と、
前記ゲート電極の側壁部分における前記下側側壁部上に形成された上側側壁部であって
、前記下側側壁部を構成する部材と異なる部材で構成された、上側側壁部と、
を有することを特徴とする。

20

【発明の効果】

【0012】

本発明によれば、高い駆動能力を有する半導体装置及びその製造方法を提供することができる。また、サイドウォールパターントランスファーとフォトリソグラフィを用いて微細なパターンと大きめのパターンを同時に形成することができる。

【発明を実施するための最良の形態】

【0013】

〔第1実施形態〕

まず、本発明の基本概念を第1実施形態を例に説明する。図4に示すように、埋め込み絶縁膜100上に、凸形状の突部102を形成する。この突部102は本実施形態におけるデバイス構成要素である。続いて、この上に突部102の高さより薄い膜厚で、一定の厚さの膜104を形成する。但し、膜104は、必ずしも突部102の高さより薄い膜厚である必要はない。そして、全面異方性エッチングを行い、膜104の厚さ分だけエッチングする。すると、図5に示すように、突部102の側壁部分に膜104の材料が残留し、側壁部106が形成される。

30

【0014】

これに対して、図6に示すように、突部102が形成された埋め込み絶縁膜100上に、突部102の高さより厚い膜厚で膜110を形成する。すなわち、膜110の表面が突部102よりも高い位置になるように、膜110を形成する。その後、膜110を平坦化する。そして、全面異方性エッチングを行い、絶縁膜100上の膜110の厚さ分だけエッチングする。すると、図7に示すように、突部102の側壁部分に膜110が残留せず、側壁部が形成されない。本実施形態では、この性質を応用する。

40

【0015】

図8及び図9は、本実施形態に係る半導体装置の製造方法を説明する工程断面図である。図8に示すように、埋め込み絶縁膜100上に、第1の突部120と第2の突部122とを形成する。但し、第2の突部122の方が、第1の突部120よりも高くなるように形成する。これら第1の突部120と第2の突部122は、本実施形態におけるデバイス構成要素の一例である。

50

【 0 0 1 6 】

次に、この上に、第 1 の膜 1 2 4 を全面的に形成し、平坦化及びエッチバックする。但し、エッチバック後の第 1 の膜 1 2 4 の厚さが、第 1 の突部 1 2 0 の高さより厚く、且つ、第 2 の突部 1 2 2 の高さより薄くなるようにする。換言すれば、第 1 の膜 1 2 4 の表面が、第 1 の突部 1 2 0 よりも高い位置で、且つ、第 2 の突部 1 2 2 よりも低い位置になるようにする。したがって、第 1 の突部 1 2 0 の頂部は第 1 の膜 1 2 4 から突出しないが、第 2 の突部 1 2 2 の頂部は第 1 の膜 1 2 4 の表面から突出する。

【 0 0 1 7 】

次に、第 2 の膜 1 2 5 を全体的に形成し、全面異方性エッチングを行うことにより、第 2 の突部 1 2 2 の側壁部分に残留した第 2 の膜 1 2 5 で、第 1 の側壁部 1 2 6 を形成する。この全面異方性エッチングの際に、第 1 の膜 1 2 4 はエッチングされないようにするために、第 2 の膜 1 2 5 の材料は第 1 の膜の材料に対して、エッチング選択比の高いものを選定することが望ましい。この第 1 の側壁部 1 2 6 が本実施形態におけるマスク部に相当する。

【 0 0 1 8 】

次に、図 9 に示すように、第 1 の側壁部 1 2 6 をマスクとして用いて、第 1 の膜 1 2 4 を異方性エッチングする。これにより、第 2 の突部 1 2 2 の側面部分に、第 1 の膜 1 2 4 が残留して、第 2 の側壁部 1 2 8 が形成される。但し、第 1 の突部 1 2 0 の側壁部分には、第 1 の膜 1 2 4 は残留せず、側壁部は形成されない。

【 0 0 1 9 】

以上のように、本実施形態に係る半導体装置の製造方法によれば、高い突部 1 2 2 の側面部分にだけ、側壁部 1 2 6、1 2 8 が形成され、低い方の突部 1 2 0 の側面部分には側壁部は形成されない。したがって、デバイス構成要素である突部が 2 種類以上ある半導体装置において、特定の突部の側面部分にのみ、側壁部を形成することができるようになる。すなわち、特定の突部の側面部分だけ側壁部で覆い、保護することが可能になる。

【 0 0 2 0 】

このことは、特定の突部以外の突部の側面を露出させ、その後の工程で、様々な加工処理を施すことができるようになることを意味する。

【 0 0 2 1 】

〔 第 2 実施形態 〕

第 2 実施形態は、上述した第 1 実施形態を凸状半導体部の一例である F i n F E T に適用したものである。より詳しくを、以下に説明する。

【 0 0 2 2 】

図 1 0 乃至図 2 0 は、本実施形態に係る半導体装置の製造工程を説明する断面図である。図 1 0 に示すように、S O I 厚が 5 0 n m ~ 1 0 0 n m 程度の S O I 基板を用意する。本実施形態では、半導体基板上に埋め込み絶縁膜 2 0 0 として、B O X (B u r i e d O x i d e) を用い、その上に 5 0 n m ~ 1 0 0 n m のシリコン膜 2 0 2 を形成した S O I 基板を用意する。続いて、7 0 n m 程度の S i N ハードマスク 2 0 4 を形成し、パターニング、R I E を施すことにより、2 つの F i n 2 0 6 を形成する。本実施形態においては、この F i n 2 0 6 の幅は 1 0 n m 程度である。

【 0 0 2 3 】

次に、図 1 1 に示すように、F i n 2 0 6 の側面にゲート絶縁膜 (図示省略) を形成した後、第 1 層目のゲートポリシリコン 2 0 8 を形成する。本実施形態では、このゲートポリシリコン 2 0 8 は、3 0 0 n m 程度の膜厚で形成する。このゲートポリシリコン 2 0 8 は、F i n 2 0 6 の段差上に形成するため、その表面には大きな段差が形成される。

【 0 0 2 4 】

次に、図 1 2 に示すように、ゲートポリシリコン 2 0 8 を C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) で平坦化し、S i N ハードマスク 2 0 4 が露出するまでエッチバックする。続いて、図 1 3 に示すように、第 2 層目のゲートポリシリコン 2 1 0 を形成する。本実施形態では、このゲートポリシリコン 2 1 0 は、5 0 n m 程度の膜厚で形成する。ここで

10

20

30

40

50

は、これらゲートポリシリコン208とゲートポリシリコン210とを合わせて、ゲートポリシリコン212とする。

【0025】

次に、図14に示すように、ゲートポリシリコン212上に、SiNハードマスク214を形成する。本実施形態においては、このSiNハードマスク214は、100nm程度の膜厚で形成する。続いて、このSiNハードマスク214上に、レジストを塗布してパターンニングすることにより、ゲートパターン216を形成する。

【0026】

次に、図15に示すように、ゲートパターン216をマスクとして、RIEにより、SiNハードマスク214をエッチングした後、ゲートパターン216を除去する。続いて、このSiNハードマスク214をマスクにして、ゲートポリシリコン212とをエッチングする。これにより、ゲートポリシリコン212からゲート電極218が形成される。

【0027】

次に、図16に示すように、ゲート電極の側壁部分に側壁部を形成する材料（例えば、TEOS）で構成された絶縁膜220を、ゲート電極218の高さより高く全面的に形成し、平坦化する。続いて、図17に示すように、絶縁膜220をエッチバックし、ゲート電極218上のSiNハードマスク214を露出させる。

【0028】

次に、図18に示すように、絶縁膜（例えば、SiN）を形成し、これをエッチバックすることにより、第1の側壁部222を形成する。なお、実際にはSiNハードマスク214の周囲全体に第1の側壁部222が形成されるが、この図18以下では分かりやすくするためSiNハードマスク214短辺方向に形成される第1の側壁部222は省いて図示している。

【0029】

次に、図19に示すように、第1の側壁部222とSiNハードマスク214をマスクとして用いて、絶縁膜220をRIEでエッチングすることにより、ゲート電極218の側壁部分に残留した絶縁膜220により、第2の側壁部224を形成する。このためには、絶縁膜220は、第1の側壁部222とSiNハードマスク214とに対して高いエッチング選択比を有していることが望ましい。

【0030】

次に、図20に示すように、SiN-RIEを行うことにより、Fin206上のSiNハードマスク204をエッチングにより除去する。続いて、Fin206の側面にドーピングを行って、ソース/ドレイン領域を形成するとともに、形成したソース/ドレイン領域にシリサイド貼り付けを行う。Fin206側面へのドーピングは、斜めからのイオン注入で行うこともできるし、プラズマドーピングや固層拡散により行うこともできる。また、シリサイド材料としては、例えば、NiSiを用いることができる。

【0031】

図21は、シリサイド後の図20におけるB-B'線断面図である。この図21に示すように、第1の側壁部222及び第2の側壁部224はゲート電極218の側壁部分にだけ形成され、Fin206の側壁分には形成されない。このため、Fin206に側面からドーピングをして、Fin206の一方側にソース拡散層領域230を形成し、Fin206の他方側にドレイン拡散層領域230を形成することができるとともに、側面にシリサイド232を貼り付けることができる。

【0032】

側面からドーピングをすると、Fin206上部のソース領域とドレイン領域との間の距離L1と、Fin206下部のソース領域とドレイン領域との間の距離L2とが実質的に等しくなり、Fin206の深さ方向に均一なソース/ドレイン領域230を形成することができる。つまり、実効チャネル長を、Fin206の深さ方向に均一にすることができる。また、Fin206の下部にまで十分なドーピングとシリサイド形成を行うことができるので、寄生抵抗Rを低減することができ、トランジスタの駆動能力の向上を図る

10

20

30

40

50

ことができる。

【0033】

〔第3実施形態〕

図22は、第3実施形態に係る半導体装置を説明する断面図であり、上述した第2実施形態における図21に対応する図である。上述した第2実施形態と異なる部分だけ説明すると、図22に示すように、本実施形態においては、ソース/ドレイン領域には不純物拡散層を形成せずに、シリサイド300のみを貼り付ける。すなわち、ショットキー接合ソース/ドレイン構造のFinFETを形成する。それ以外の製造工程及び構造は上述した第2実施形態と同様である。

【0034】

本実施形態によれば、ゲート電極218の側面部分には第1の側壁部222及び第2の側壁部224が形成されるが、Fin206の側面部分には側壁部が形成されない。このため、Fin206の側壁面にシリサイド300を貼り付けることが可能になる。これにより、Fin206の深さ方向に対して均一なショットキーソース/ドレイン領域を形成できる。すなわち、Fin206上部におけるショットキーソース領域とショットキードレイン領域との間の距離L1と、Fin206下部におけるショットキーソース領域とショットキードレイン領域との間の距離L2とを、実質的に等しくすることができる。つまり、実効チャネル長をFin206の深さ方向に均一にすることができる。

【0035】

また、ショットキーソース/ドレイン領域の下部に低抵抗なシリサイド300が形成されるため、寄生抵抗Rが低減され、トランジスタの駆動能力を向上させることができる。

【0036】

なお、ショットキーコンタクト抵抗を低減するため、シリサイド300の材料としてはショットキーバリアの小さい材料を用いることが望ましい。例えば、n型のMOSトランジスタの場合には、バンドギャップの中央値よりも仕事関数の小さいEr等をシリサイド300の材料に用いて、ErSiによりシリサイド300を構成すればよい。p型のMOSトランジスタの場合には、バンドギャップの中央値よりも仕事関数の大きいPt等をシリサイド300の材料に用いて、PtSiによりシリサイド300を構成すればよい。

【0037】

〔第4実施形態〕

図23は、第4実施形態に係る半導体装置を説明する断面図である。この図23に示すように、本実施形態においても、上述した第2実施形態と同様に、ゲート電極218の側面部分には第1の側壁部222及び第2の側壁部224を形成しているが、Fin206の側面部分には側壁部を形成していない。

【0038】

但し、本実施形態においては、ソース/ドレイン領域として不純物拡散層を形成した後、例えば、エピタキシャル成長により、ソース/ドレイン部分を持ち上げる。すなわち、Fin206の上面及び側面が露出しているので、Fin206の上面及び側面にエピタキシャル成長によりエピタキシャルシリコン部400を形成することができる。このエピタキシャルシリコン部400を形成した後、必要に応じて、さらに不純物イオン注入やシリサイド形成を行ってもよい。

【0039】

本実施形態に係る半導体装置の製造方法によれば、Fin206の側面部分には側壁部が形成されていないため、エピタキシャル成長により、エピタキシャルシリコン部400を形成することができる。そして、エピタキシャルシリコン部400を形成することにより、ソース/ドレイン領域の寄生抵抗Rが低減されるため、トランジスタの駆動能力を向上させることができる。

【0040】

〔第5実施形態〕

図24乃至図26は、第5実施形態に係る半導体装置の製造工程を説明する断面図であ

10

20

30

40

50

る。図 24 に至るまでは上述した第 2 実施形態と同様の製造工程である。すなわち、ゲート電極 218 の側面部分には、第 1 の側壁部 222 と第 2 の側壁部 224 が形成されているが、Fin 206 の側面部分には側壁部は形成されていない。

【0041】

続いて、図 25 に示すように、SiN-RIE を行い、Fin 206 上の SiN ハードマスク 204 とゲート電極 218 上の SiN ハードマスク 214 とを除去する。続いて、ソース/ドレイン領域を形成するために、ドーピングにより Fin 206 の左右両端側に不純物拡散層を形成する。

【0042】

次に、図 26 に示すように、Fin 206 のソース/ドレイン部分とゲート電極 218 をすべてシリサイド化して、それぞれ、メタルソース/ドレインとメタルゲート電極にする。ゲート電極 218 は、非常に薄く形成されており、且つ、その下部が埋め込み絶縁膜 200 になっており、この埋め込み絶縁膜 200 はそもそもシリサイド化しないため、本実施形態においては、ゲート電極 218 はその下端部までシリサイド化できる。

【0043】

本実施形態によれば、ゲート電極 218 の側面部分には、第 1 の側壁部 222 と第 2 の側壁部 224 が形成されるが、Fin 206 の側面部分には側壁部は形成されないため、Fin 206 の側面にシリサイドを形成することができる。このため、ソース/ドレイン領域の寄生抵抗 R が低減され、トランジスタの駆動能力を向上させることができる。また、ゲート電極 218 を構成するポリシリコンをすべてシリサイド化して、メタルゲートを形成できるため、完全空乏化型トランジスタ (FinFET) のしきい値をコントロールでき、低電圧で高駆動力を実現することができる。

【0044】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、図 27 に示すように、シリコン基板 600 上に、上述した各実施形態の製造工程により、FinFET を形成するようにしてもよい。この場合、シリコン基板 600 をエッチングすることにより、Fin 206 を形成し、Fin 206 の間にシリコン酸化膜 602 等から STI (Shallow Trench Isolation) を形成すればよい。

【0045】

また、上述した実施形態では、本発明を適用する半導体装置として FinFET を例に説明したが、他の種類の半導体装置にも本発明を適用することができる。

【0046】

〔第 6 実施形態〕

Fin (凸状シリコン領域、アクティブエリア) やゲート電極の形成に、サイドウォールパターン転写プロセス (Sidewall Pattern Transfer Process) を用いると、フォトリソグラフィーの限界よりも微細で、且つ、ラインエッジラフネス (LER: Line Edge Roughness) の小さいパターンを形成することができる。以下、製造工程を順に説明する。

【0047】

まず、図 28 に示すように、半導体基板 610 上に、図示していない薄い酸化膜を介してシリコン窒化膜 612 を形成する。本実施形態においては、このシリコン窒化膜 612 の厚さは、例えば、100 nm である。続いて、このシリコン窒化膜 612 上に、アモルファスシリコン層 614 を例えば 150 nm 程度の厚さで形成する。続いて、このアモルファスシリコン層 614 上に、フォトリソグラフィーを用いて幅 0.1 μ m 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層 614 を RIE によりエッチングする。これにより、ダミーパターン 616 が得られる。

【0048】

次に、図 29 に示すように、この上に、例えば厚さ 40 nm 程度の TEOS を形成した後、全面 RIE でエッチバックすることにより、ダミーパターン 616 の側面部分に、側

10

20

30

40

50

壁部 620 を形成する。

【0049】

次に、図30に示すように、アモルファスシリコンにより形成されたダミーパターン 616 を、エッチングにより除去し、シリコン窒化膜 612 上に、TEOS から形成された側壁部 620 を残す。

【0050】

次に、図31に示すように、この上に、光の反射を防止するための反射防止膜 (ARC : Anti Reflective Coating) 622 を形成する。続いて、反射防止膜 622 上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーを用いてパターンニングすることにより、レジストパターン 624 を形成する。本実施形態においては、このレジストパターン 624 の幅は、側壁部 620 の幅よりも、太く形成される。なお、上述した非特許文献 1 にも開示されているように、このレジストパターン 624 と、側壁部 620 は、互いに重なる部分があってもよい。

10

【0051】

次に、図32に示すように、このレジストパターン 624 と側壁部 620 とをマスクとして用いて、シリコン窒化膜 612 をRIEによりエッチングする。続いて、側壁部 620 とレジストパターン 624 とを、ウェットエッチング等により除去する。

【0052】

次に、図33に示すように、シリコン窒化膜 612 を、ホットリン酸などのウェットエッチングにより細らせる。次に、図34に示すように、半導体基板 610 をRIEにより加工する。

20

【0053】

このようにすると、側壁部 620 のパターン転写により、フォトリソグラフィーの限界よりも微細で、且つ、ラインエッジラフネス (LER) の小さい、パターンを形成することができる。LERが低減する理由は、側壁部 620 のパターンのライン幅が、TEOS を形成する厚さで定まるからである。

【0054】

しかしながら、図31及び図32から分かるように、レジストパターン 624 を反射防止膜 622 を用いて形成すると、反射防止膜 622 が側壁部 620 の側面に残留してしまい、せっかく作った細い側壁部 620 のラインパターンが太くなってしまうという問題が生じる。一方で、フォトリソグラフィーの際に、光が乱反射すると、レジストパターン 624 の形状が乱れてしまい、微細化の妨げになってしまう。このため、レジストパターン 624 の微細化を図る上では、反射防止膜 622 を省くことは困難である。

30

【0055】

〔第7実施形態〕

そこで、第7実施形態では、側壁部 620 のラインパターンが反射防止膜 622 により太くならないようにしている。

【0056】

まず、図35に示すように、本実施形態においては、シリコンから構成された半導体基板 700 上に、絶縁膜 702 が形成されている。この絶縁膜は、例えば、シリコン酸化膜 (SiO_2) により構成されている。

40

【0057】

次に、この絶縁膜 702 上に、シリコン窒化膜 704 を形成する。本実施形態においては、このシリコン窒化膜 704 の厚さは、例えば、100nm である。なお、半導体基板 700 とシリコン窒化膜 704 との間に、シリコン酸化膜の絶縁膜 702 を形成するのは、シリコン酸化膜の絶縁膜 702 を介在させることにより、応力の緩和を図るためである。このシリコン窒化膜 704 が本実施形態における第2の膜に相当する。

【0058】

続いて、このシリコン窒化膜 704 上に、アモルファスシリコン層 706 を例えば 150nm 程度形成する。続いて、このアモルファスシリコン層 706 上に、フォトリソグラ

50

フィーを用いて幅 0.1 μm 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層 706 を R I E によりエッチングする。これにより、ダミーパターン 708 が得られる。

【0059】

次に、図 36 に示すように、この上に、例えば厚さ 40 nm 程度の T E O S を形成した後、全面 R I E でエッチバックすることにより、ダミーパターン 708 の側面部分に、側壁部 710 を形成する。

【0060】

次に、図 37 に示すように、アモルファスシリコンにより形成されたダミーパターン 708 を、エッチングにより除去し、シリコン窒化膜 704 上に、T E O S から形成された側壁部 710 を残す。この側壁部 710 が本実施形態における第 1 の突部に相当する。 10

【0061】

次に、図 38 に示すように、T E O S から形成されている側壁部 710 とは異なる材料（例えば、アモルファスシリコン）を堆積して、C M P (Chemical Mechanical Polishing) により平坦化することにより、下地膜 712 を形成する。この下地膜 712 が本実施形態における第 1 の膜に相当する。

【0062】

次に、図 39 に示すように、この下地膜 712 上に、光の反射を防止する反射防止膜 (A R C : Anti Reflective Coating) 714 を形成する。続いて、反射防止膜 714 上にフォトリソグロフィーでパターンニングすることにより、レジストパターン 716 を形成する。本実施形態においては、このレジストパターン 716 の幅は、側壁部 710 の幅よりも、太く形成される。このレジストパターン 716 が本実施形態におけるマスク部に相当する。 20

【0063】

次に、図 40 に示すように、このレジストパターン 716 をマスクとして用いて、下地膜 712 を R I E によりエッチングする。このとき、先ほど形成しておいた側壁部 710 が露出する。そして、レジストパターン 716 を除去する。

【0064】

次に、図 41 に示すように、側壁部 710 と下地膜 712 の双方をマスクとして用いて、シリコン窒化膜 704 を R I E によりエッチングする。続いて、側壁部 710 と下地膜 712 とを、ウェットエッチング等により除去する。T E O S の側壁部 710 を H F 等のウェットエッチングで除去するとき、絶縁膜 702 もエッチングされる。 30

【0065】

次に、図 42 に示すように、シリコン窒化膜 704 を、ホットリン酸などのウェットエッチングにより細らせる。次に、図 43 に示すように、半導体基板 700 を R I E により加工する。

【0066】

以上のように、本実施形態によれば、T E O S により形成された側壁部 710 のパターン転写率により、フォトリソグロフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス (LER: line edge roughness) の小さいシリコンパターンを形成することができる。 40

【0067】

また、反射防止膜 714 を用いて、フォトリソグロフィーによるレジストパターン 716 を形成した場合でも、反射防止膜 714 が側壁部 710 の側面に残留しないので、側壁部 710 のパターン幅が太くなってしまうのを回避することができる。

【0068】

〔第 8 実施形態〕

本実施形態は、側壁部 710 を形成した後に、アモルファスシリコンのダミーパターン 708 を除去せずに、2 回目のアモルファスシリコンを重ねて形成する点で、上述した第 7 実施形態と相違する。以下、製造工程を順に説明する。

【 0 0 6 9 】

図 4 4 に示すように、本実施形態においては、シリコンから構成された半導体基板 7 0 0 上に、絶縁膜 7 0 2 が形成されている。この絶縁膜は、例えば、シリコン酸化膜 (SiO_2) により構成されている。

【 0 0 7 0 】

次に、この絶縁膜 7 0 2 上に、シリコン窒化膜 7 0 4 を形成する。本実施形態においては、このシリコン窒化膜 7 0 4 の厚さは、例えば、1 0 0 n m である。続いて、このシリコン窒化膜 7 0 4 上に、アモルファスシリコン層 7 0 6 を例えば 1 5 0 n m 程度形成する。続いて、このアモルファスシリコン層 7 0 6 上に、フォトリソグラフィを用いて幅 0 . 1 μm 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層 7 0 6 を R I E によりエッチングする。これにより、ダミーパターン 7 0 8 が得られる。

10

【 0 0 7 1 】

次に、図 4 5 に示すように、この上に、例えば厚さ 4 0 n m 程度の T E O S を形成した後、全面 R I E でエッチバックすることにより、ダミーパターン 7 0 8 の側面部分に、側壁部 7 1 0 を形成する。

【 0 0 7 2 】

次に、図 4 6 に示すように、これら側壁部 7 1 0 とダミーパターン 7 0 8 との上に、T E O S から形成されている側壁部 7 1 0 とは異なる材料 (例えば、アモルファスシリコン) を堆積して、C M P により平坦化することにより、下地膜 7 1 2 を形成する。

20

【 0 0 7 3 】

次に、図 4 7 に示すように、この下地膜 7 1 2 上に、光の反射を防止する反射防止膜 (A R C : Anti Reflective Coating) 7 1 4 を形成する。続いて、反射防止膜 7 1 4 上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィでパターンニングすることにより、レジストパターン 7 1 6 を形成する。本実施形態においては、このレジストパターン 7 1 6 の幅は、側壁部 7 1 0 の幅よりも、太く形成される。

【 0 0 7 4 】

次に、図 4 8 に示すように、このレジストパターン 7 1 6 をマスクとして用いて、下地膜 7 1 2 を R I E によりエッチングする。このエッチングにより、ダミーパターン 7 0 8 も合わせて除去され、先ほど形成しておいた側壁部 7 1 0 が露出する。以下の製造工程は、上述した第 7 実施形態と同様であるので、説明は省略する。

30

【 0 0 7 5 】

以上のように、本実施形態においても、T E O S により形成された側壁部 7 1 0 のパターン転写により、フォトリソグラフィの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス (L E R : line edge roughness) の小さいシリコンパターンを形成することができる。

【 0 0 7 6 】

また、側壁部 7 1 0 の間に位置するダミーパターン 7 0 8 を、下地膜 7 1 2 とともに、1 回の R I E で除去することとしたので、製造プロセスにおける工程数を削減することができる。

40

【 0 0 7 7 】

〔 第 9 実施形態 〕

本実施形態は、アモルファスシリコンのダミーパターン 7 0 8 の表面に、ポリッシングの際のストッパー部を形成する点で、上述した第 8 実施形態と相違する。以下、製造工程を順に説明する。

【 0 0 7 8 】

図 4 9 に示すように、本実施形態においては、シリコンから構成された半導体基板 7 0 0 上に、絶縁膜 7 0 2 が形成されている。この絶縁膜は、例えば、シリコン酸化膜 (SiO_2) により構成されている。

【 0 0 7 9 】

50

次に、この絶縁膜 702 上に、シリコン窒化膜 704 を形成する。本実施形態においては、このシリコン窒化膜 704 の厚さは、例えば、100 nm である。続いて、このシリコン窒化膜 704 上に、アモルファスシリコン層 706 を例えば 150 nm 程度形成する。続いて、このアモルファスシリコン層 706 上に、シリコン窒化膜 720 を形成する。本実施形態においては、このシリコン窒化膜 720 は、例えば、50 nm 程度形成する。

【0080】

次に、このシリコン窒化膜 720 上に、フォトリソグラフィーを用いて幅 0.1 μ m 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、シリコン窒化膜 720 とアモルファスシリコン層 706 を RIE によりエッチングする。これにより、シリコン窒化膜 720 からストッパー部 722 が得られ、アモルファスシリコン層 706 からダミーパターン 708 が得られる。

10

【0081】

次に、図 50 に示すように、この上に、例えば厚さ 40 nm 程度の TEOS を形成した後、全面 RIE でエッチバックを行うことにより、ダミーパターン 708 の側面部分に、側壁部 710 を形成する。

【0082】

次に、図 51 に示すように、これら側壁部 710 とダミーパターン 708 との上に、TEOS から形成されている側壁部 710 とは異なる材料（例えば、アモルファスシリコン）を堆積して、CMP により平坦化することにより、下地膜 712 を形成する。この CMP を行う際に、ストッパー部 722 がストッパーとしてはたらく。但し、CMP で薄くなったシリコン窒化膜 720 の膜厚が、20 nm 程度以下となるように、プロセスを調整しておくことが望ましい。

20

【0083】

次に、図 52 に示すように、CMP で薄くなったストッパー部 722 を除去し、下地膜 712 上に、光の反射を防止する反射防止膜（ARC: Anti Reflective Coating）714 を形成する。続いて、反射防止膜 714 上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン 716 を形成する。本実施形態においては、このレジストパターン 716 の幅は、側壁部 710 の幅よりも、太く形成される。

【0084】

30

次に、図 53 に示すように、このレジストパターン 716 をマスクとして用いて、下地膜 712 を RIE によりエッチングする。このエッチングにより、ダミーパターン 708 も合わせて除去され、先ほど形成しておいた側壁部 710 が露出する。以下の製造工程は、上述した第 7 実施形態と同様であるので、説明は省略する。

【0085】

以上のように、本実施形態においても、TEOS により形成された側壁部 710 のパターントランスファーにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス（LER: line edge roughness）の小さいシリコンパターンを形成することができる。

【0086】

40

また、下地膜 712 をポリッシング（本実施形態では、CMP）で平坦化する際に、ストッパー部 722 がストッパとして機能するので、ポリッシングが行いやすくなる。

【0087】

〔第 10 実施形態〕

本実施形態は、上述した第 7 実施形態におけるシリコン加工用のハードマスク 704 の形成材料と、側壁部 710 の形成材料とを入れ替えたものである。以下、製造工程を順に説明する。

【0088】

図 54 に示すように、本実施形態においては、シリコンから構成された半導体基板 700 上に、絶縁膜 702 が形成されている。この絶縁膜は、例えば、シリコン酸化膜（Si

50

0₂) により構成されている。

【 0 0 8 9 】

次に、この絶縁膜 7 0 2 上に、T E O S 膜 7 5 0 を形成する。本実施形態においては、この T E O S 膜 7 5 0 の厚さは、例えば、1 0 0 n m である。続いて、この T E O S 膜 7 5 0 上に、アモルファスシリコン層 7 0 6 を例えば 1 5 0 n m 程度形成する。続いて、このアモルファスシリコン層 7 0 6 上に、フォトリソグラフィーを用いて幅 0 . 1 μ m 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層 7 0 6 を R I E によりエッチングする。これにより、ダミーパターン 7 0 8 が得られる。

【 0 0 9 0 】

次に、図 5 5 に示すように、この上に、例えば厚さ 4 0 n m 程度のシリコン窒化膜を形成した後、全面 R I E によりエッチバックを行うことにより、ダミーパターン 7 0 8 の側面部分に、側壁部 7 5 2 を形成する。

【 0 0 9 1 】

次に、図 5 6 に示すように、アモルファスシリコンにより形成されたダミーパターン 7 0 8 を、エッチングにより除去し、T E O S 膜 7 5 0 上に、窒化シリコンから形成された側壁部 7 5 2 を残す。

【 0 0 9 2 】

次に、図 5 7 に示すように、窒化シリコンから形成されている側壁部 7 5 2 とは異なる材料（例えば、アモルファスシリコン）を堆積して、C M P により平坦化することにより、下地膜 7 1 2 を形成する。

【 0 0 9 3 】

次に、図 5 8 に示すように、この下地膜 7 1 2 上に、光の反射を防止する反射防止膜（A R C : A n t i R e f l e c t i v e C o a t i n g）7 1 4 を形成する。続いて、反射防止膜 7 1 4 上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターンニングすることにより、レジストパターン 7 1 6 を形成する。本実施形態においては、このレジストパターン 7 1 6 の幅は、側壁部 7 1 0 の幅よりも、太く形成される。

【 0 0 9 4 】

次に、図 5 9 に示すように、このレジストパターン 7 1 6 をマスクとして用いて、下地膜 7 1 2 を R I E によりエッチングする。このとき、先ほど形成しておいた側壁部 7 5 2 が露出する。そして、レジストパターン 7 1 6 を除去する。

【 0 0 9 5 】

次に、図 6 0 に示すように、側壁部 7 5 2 と下地膜 7 1 2 の双方をマスクとして用いて、T E O S 膜 7 5 0 を R I E によりエッチングする。続いて、側壁部 7 5 2 と下地膜 7 1 2 とを、ウェットエッチング等により除去する。

【 0 0 9 6 】

次に、図 6 1 に示すように、T E O S 膜 7 5 0 を、H F などのウェットエッチングにより細らせる。次に、図 6 2 に示すように、半導体基板 7 0 0 を R I E により加工する。

【 0 0 9 7 】

このように、本発明の材料の組み合わせは、種々に選択可能である。すなわち、エッチングの際の選択比を確保しながら、種々の材料を組み合わせることができる。また、第 9 実施形態のように、ストッパー部 7 2 2 を形成する場合でも、このストッパー部 7 2 2 を含めて、種々の材料を組み合わせを選択することができる。

【 0 0 9 8 】

〔 第 1 1 実施形態 〕

本実施形態は、上述した第 1 0 実施形態において、アモルファスシリコンで形成した下地膜 7 1 2 を、S O G 膜（塗布膜）で形成するようにしたものである。以下、製造工程を順に説明する。

【 0 0 9 9 】

本実施形態においては、図 6 3 に至るまでの製造工程は、上述した第 1 0 実施形態と同

10

20

30

40

50

様である。この図 6 3 に続いて、本実施形態においては、図 6 4 に示すように、窒化シリコンから形成されている側壁部 7 5 2 とは異なる材料である S O G を塗布する。S O G を塗布することにより、S O G の表面は平坦化するので、これを下地膜 7 6 0 とする。

【 0 1 0 0 】

次に、図 6 5 に示すように、この下地膜 7 6 0 上に、光の反射を防止する反射防止膜 (A R C : Anti Reflective Coating) 7 1 4 を形成する。続いて、反射防止膜 7 1 4 上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターンニングすることにより、レジストパターン 7 1 6 を形成する。本実施形態においては、このレジストパターン 7 1 6 の幅は、側壁部 7 5 2 の幅よりも、太く形成される。

【 0 1 0 1 】

次に、図 6 6 に示すように、このレジストパターン 7 1 6 をマスクとして用いて、下地膜 7 6 0 を R I E によりエッチングする。このとき、先ほど形成しておいた側壁部 7 5 2 が露出する。

【 0 1 0 2 】

次に、図 6 7 に示すように、側壁部 7 5 2 と下地膜 7 6 0 及びレジストパターン 7 1 6 の双方をマスクとして用いて、T E O S 膜 7 5 0 を R I E によりエッチングする。続いて、側壁部 7 5 2 と下地膜 7 6 0 とレジストパターン 7 1 6 を、ウエットエッチング等により除去する。

【 0 1 0 3 】

次に、図 6 8 に示すように、T E O S 膜 7 5 0 を、H F などのウエットエッチングにより細らせる。次に、図 6 9 に示すように、半導体基板 7 0 0 を R I E により加工する。

【 0 1 0 4 】

以上のように、本実施形態においても、S i N により形成された側壁部 7 5 2 のパターントランスファーにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス (L E R : line edge roughness) の小さいシリコンパターンを形成することができる。

【 0 1 0 5 】

また、液体である S O G を塗布することにより、下地膜 7 6 0 を形成することとしたので、表面を平坦化するためのポリッシング工程を省略することができる。

【 0 1 0 6 】

なお、本発明は上記実施形態に限定されず、種々に変形可能である。例えば、上述した実施形態では、シリコンで構成された半導体基板 7 0 0 を使用したが、ゲルマニウム基板や、シリコンゲルマニウム基板を半導体基板として用いるようにしてもよい。

【 図面の簡単な説明 】

【 0 1 0 7 】

【 図 1 】 従来の F i n F E T の製造工程を説明する断面図。

【 図 2 】 従来の F i n F E T の製造工程を説明する断面図。

【 図 3 】 図 2 における A - A ' 線断面図。

【 図 4 】 側壁残し工程により、突部の側壁部分に側壁部を形成する工程を説明する断面図。

【 図 5 】 側壁残し工程により、突部の側壁部分に側壁部を形成する工程を説明する断面図。

【 図 6 】 突部の側壁部に側壁部を形成しないエッチング工程を説明する断面図。

【 図 7 】 突部の側壁部に側壁部を形成しないエッチング工程を説明する断面図。

【 図 8 】 第 1 実施形態における半導体装置の製造工程を説明する断面図。

【 図 9 】 第 1 実施形態における半導体装置の製造工程を説明する断面図。

【 図 1 0 】 第 2 実施形態における半導体装置の製造工程を説明する断面図。

【 図 1 1 】 第 2 実施形態における半導体装置の製造工程を説明する断面図。

【 図 1 2 】 第 2 実施形態における半導体装置の製造工程を説明する断面図。

【 図 1 3 】 第 2 実施形態における半導体装置の製造工程を説明する断面図。

10

20

30

40

50

[illegible]

【図 6 4】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【図 6 5】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【図 6 6】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【図 6 7】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【図 6 8】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【図 6 9】第 1 1 実施形態における半導体装置の製造工程を説明する断面図。

【符号の説明】

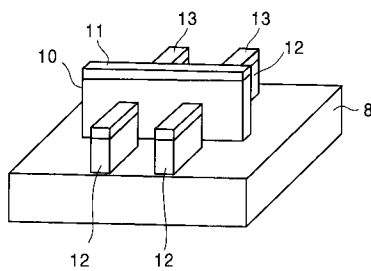
【 0 1 0 8 】

- 1 0 0 埋め込み絶縁膜
- 1 2 0 第 1 の突部
- 1 2 2 第 2 の突部
- 1 2 4 第 1 の膜
- 1 2 5 第 2 の膜
- 1 2 6 第 1 の側壁部
- 1 2 8 第 2 の側壁部
- 7 0 0 半導体基板
- 7 0 2 絶縁膜
- 7 0 4 シリコン窒化膜
- 7 0 6 アモルファスシリコン層
- 7 0 8 ダミーパターン
- 7 1 0 側壁部
- 7 1 2 下地膜
- 7 1 4 反射防止膜
- 7 1 6 レジストパターン

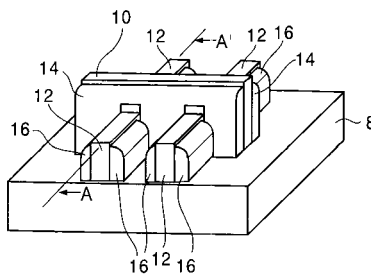
10

20

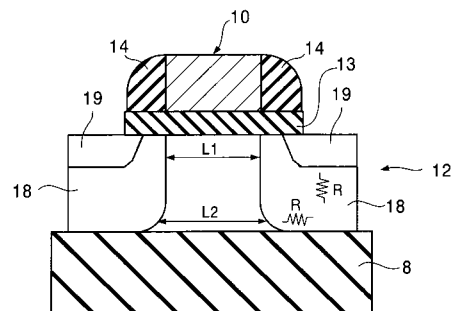
【図 1】



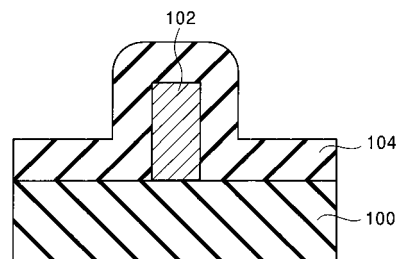
【図 2】



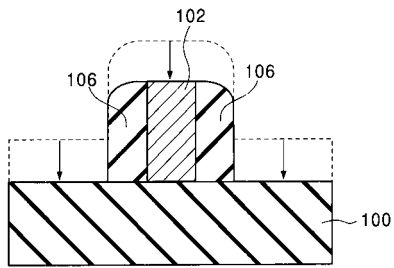
【図 3】



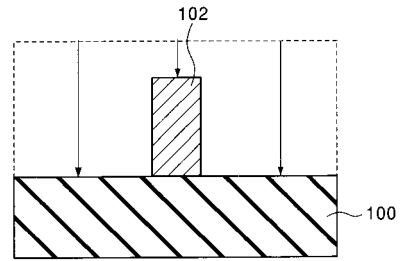
【図 4】



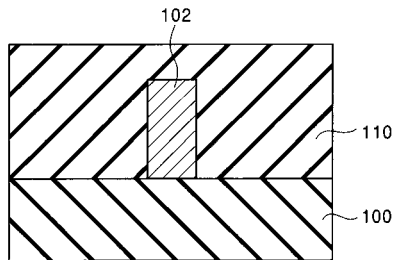
【図 5】



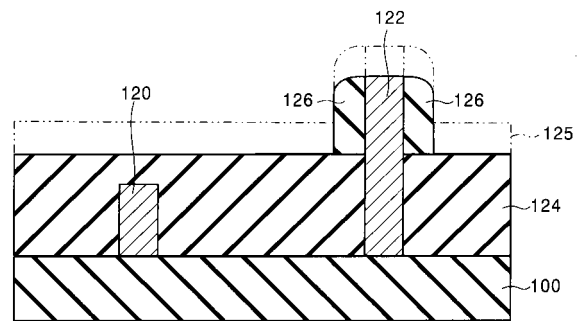
【図 7】



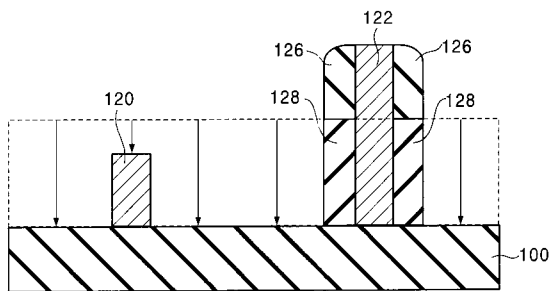
【図 6】



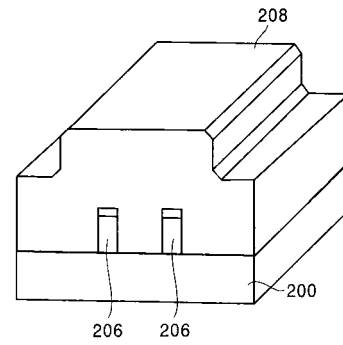
【図 8】



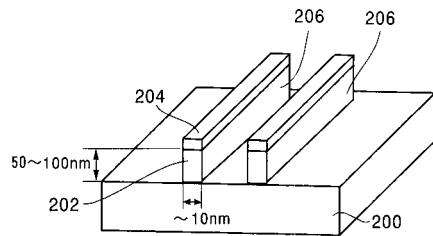
【図 9】



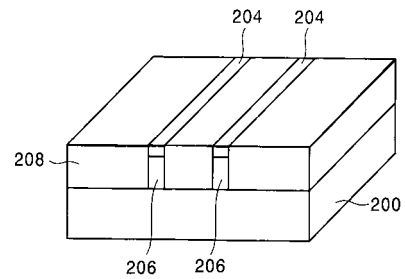
【図 11】



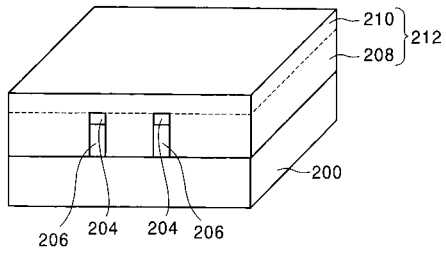
【図 10】



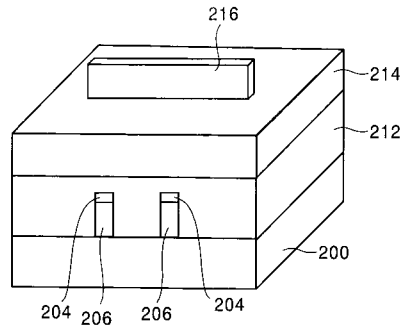
【図 12】



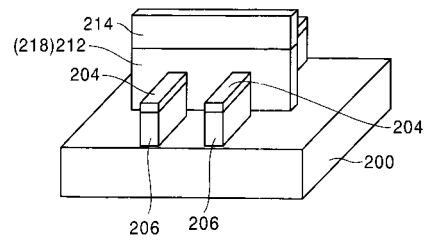
【図 13】



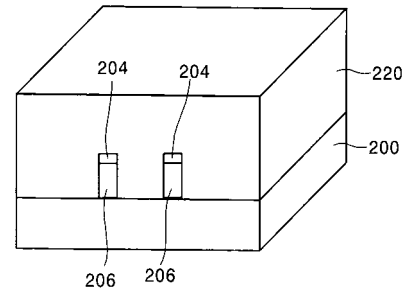
【図 14】



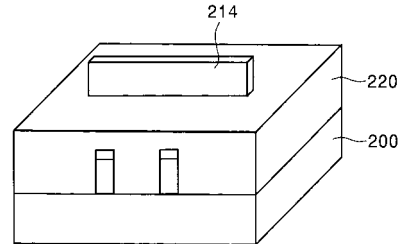
【図 15】



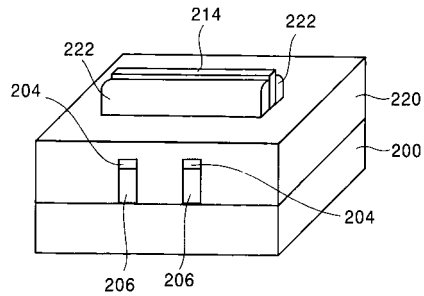
【図 16】



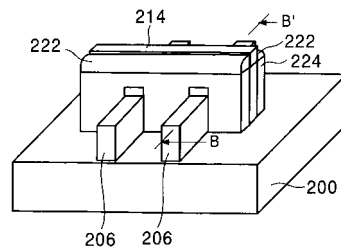
【図 17】



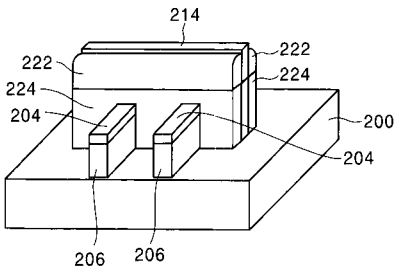
【図 18】



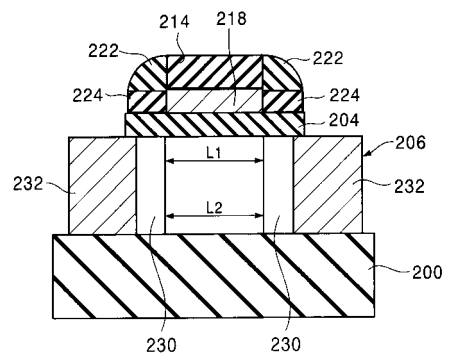
【図 20】



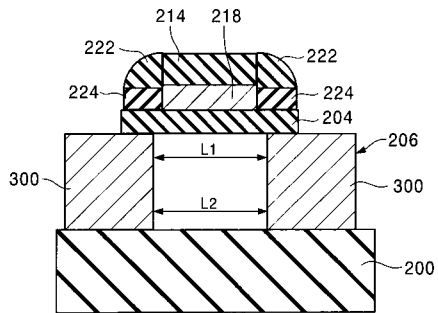
【図 19】



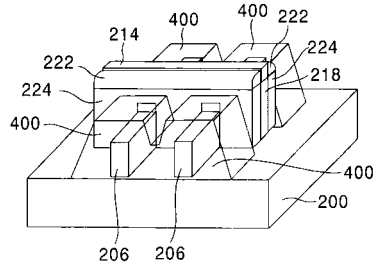
【図 21】



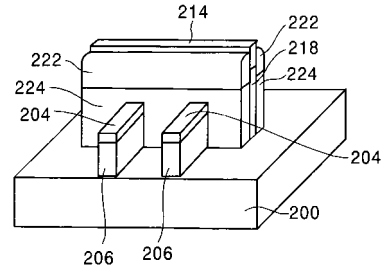
【図 2 2】



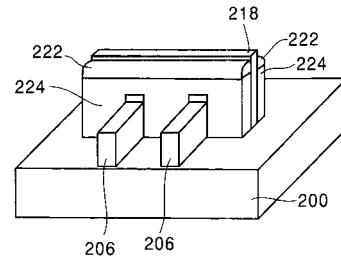
【図 2 3】



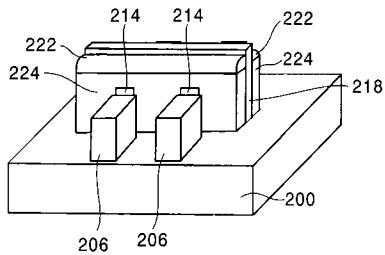
【図 2 4】



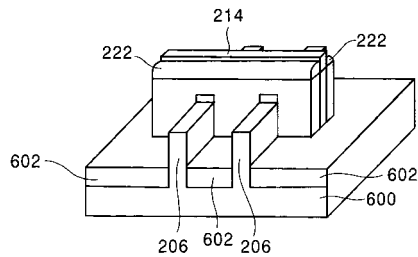
【図 2 5】



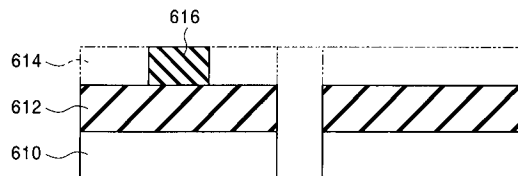
【図 2 6】



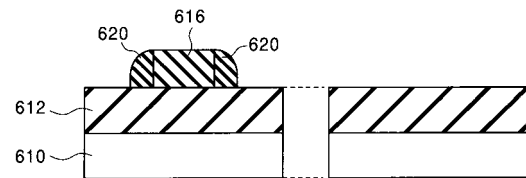
【図 2 7】



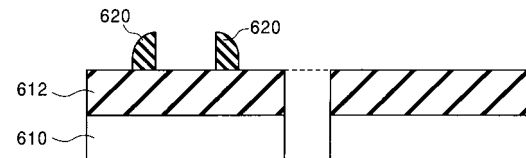
【図 2 8】



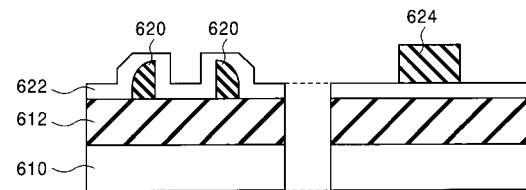
【図 2 9】



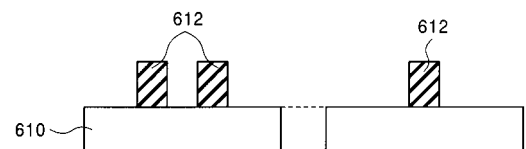
【図 3 0】



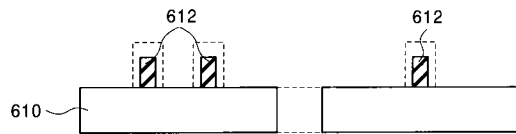
【図 3 1】



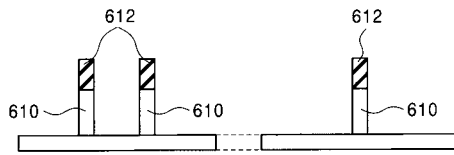
【図 3 2】



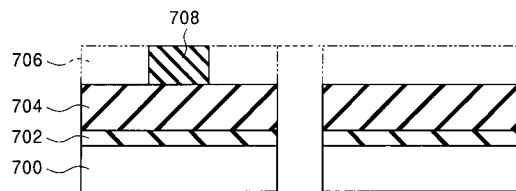
【図 3 3】



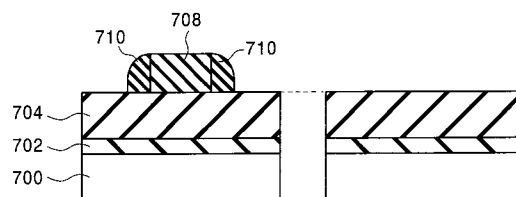
【図 3 4】



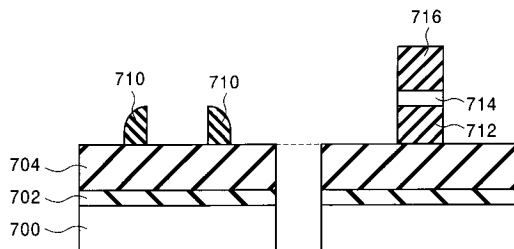
【図 3 5】



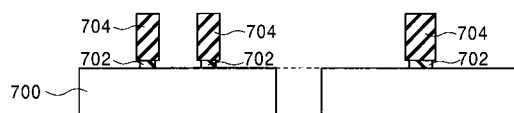
【図 3 6】



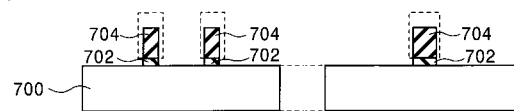
【図 4 0】



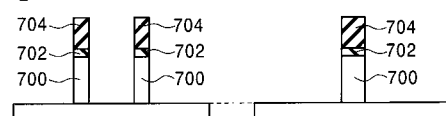
【図 4 1】



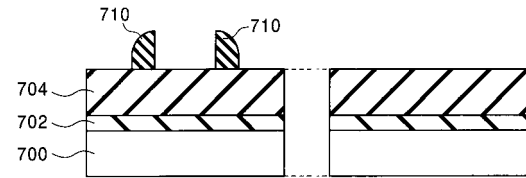
【図 4 2】



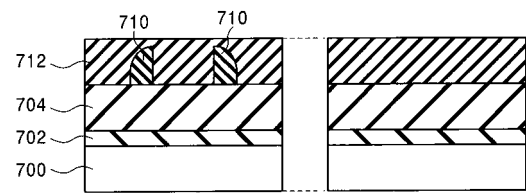
【図 4 3】



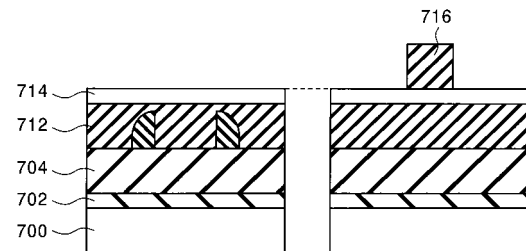
【図 3 7】



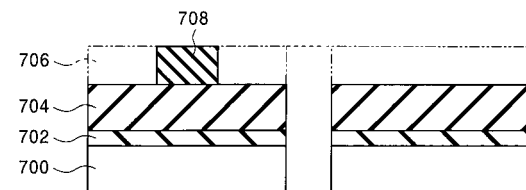
【図 3 8】



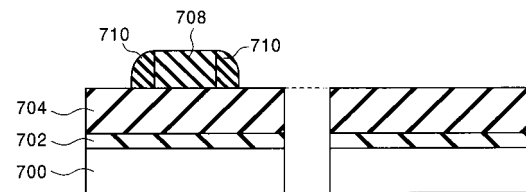
【図 3 9】



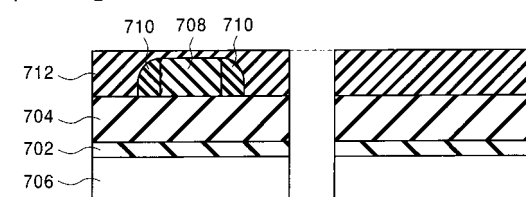
【図 4 4】



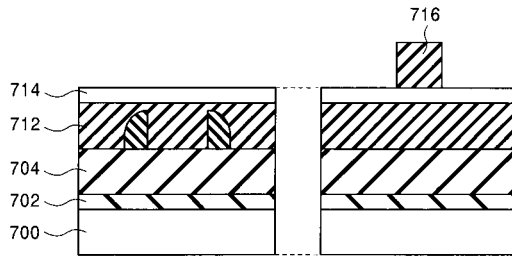
【図 4 5】



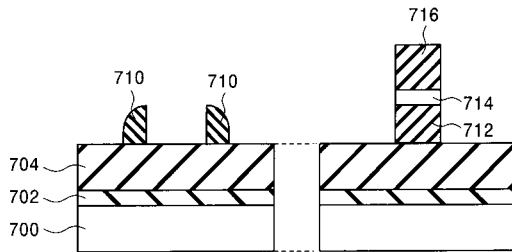
【図 4 6】



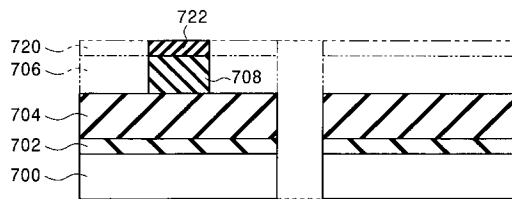
【図 47】



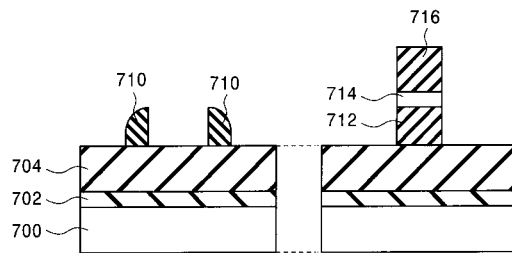
【図 48】



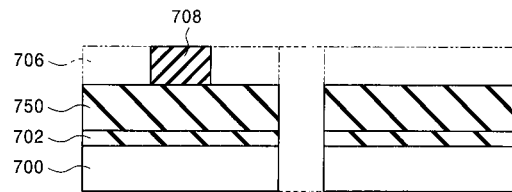
【図 49】



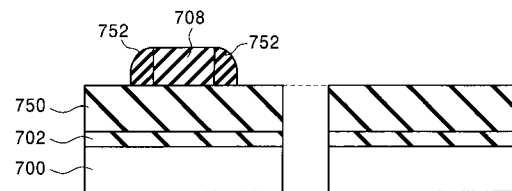
【図 53】



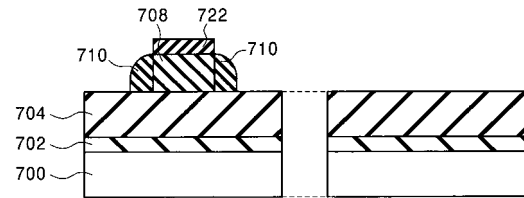
【図 54】



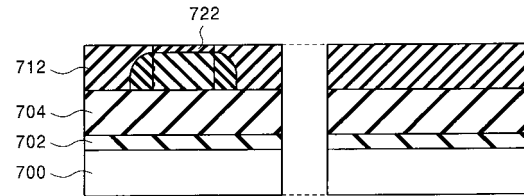
【図 55】



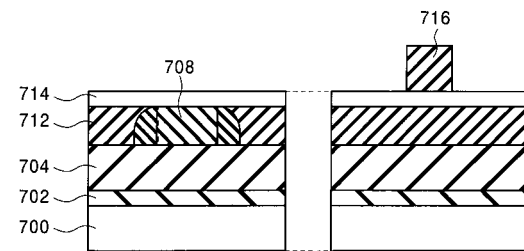
【図 50】



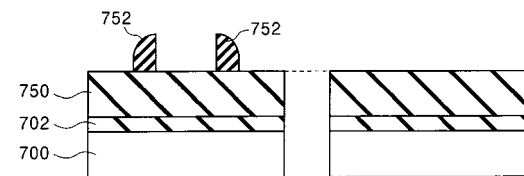
【図 51】



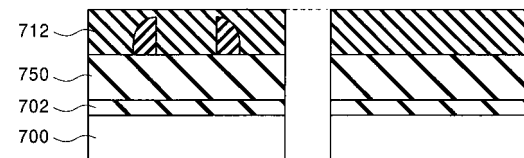
【図 52】



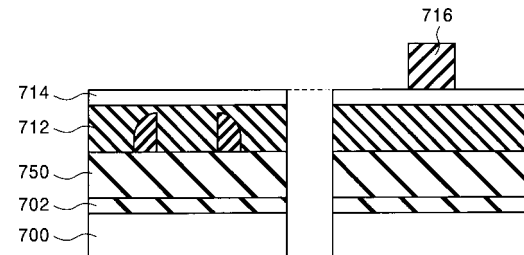
【図 56】



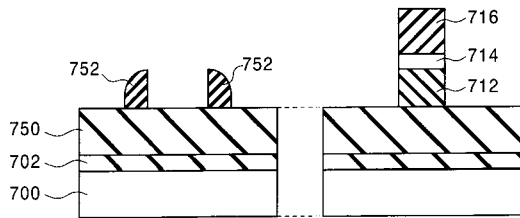
【図 57】



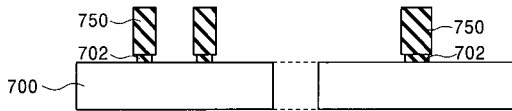
【図 58】



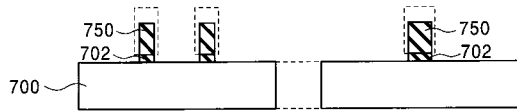
【図 5 9】



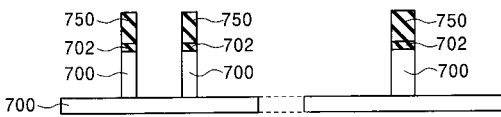
【図 6 0】



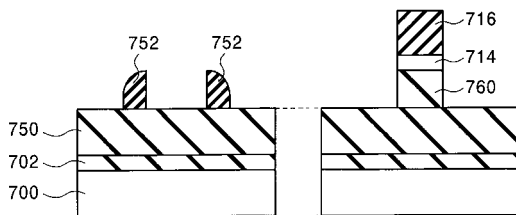
【図 6 1】



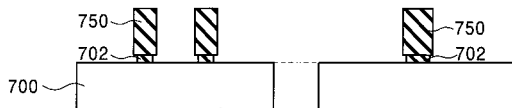
【図 6 2】



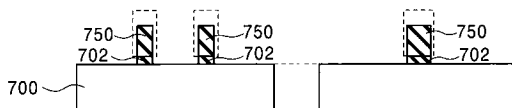
【図 6 6】



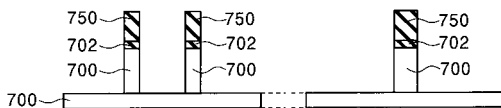
【図 6 7】



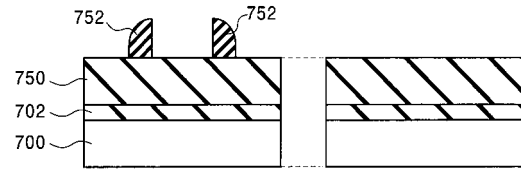
【図 6 8】



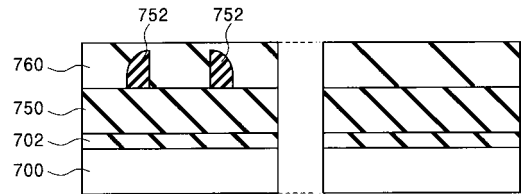
【図 6 9】



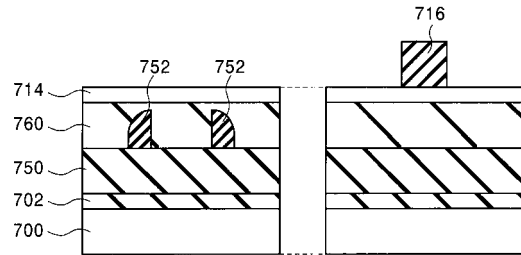
【図 6 3】



【図 6 4】



【図 6 5】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/78 3 0 1 X

(72)発明者 八木下 淳 史

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F110 AA01 AA30 CC10 DD05 DD13 EE05 EE09 EE22 EE31 GG02
GG22 GG25 HJ12 HJ14 HJ16 HK05 HK09 HK13 HK40 HK50
HM02 QQ01 QQ04 QQ05 QQ19
5F140 AA05 AA39 AC36 BB05 BF01 BF08 BF41 BF44 BG08 BG12
BG14 BG34 BG38 BG39 BG53 BH01 BH06 BJ01 BJ08 BK09
BK12 BK18 CB04 CE07 CE20 CF04