

【特許請求の範囲】**【請求項 1】**

凸状の第1の突部を形成する工程と、
前記第1の突部より高い位置に表面が位置するように、第1の膜を形成する工程と、
前記第1の膜上に、マスク部を形成する工程と、
前記マスク部をマスクとして用いて、前記第1の膜をエッチングする工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項 2】

前記第1の突部よりも高い、凸形状の第2の突部を形成する工程をさらに備え、
前記第1の膜を形成する工程では、前記第1の突部より高く、且つ、前記第2の突部より
低い位置に、表面が位置するように前記第1の膜が形成される、ことを特徴とする請求
項1に記載の半導体装置の製造方法。 10

【請求項 3】

前記マスク部を形成する工程は、
前記第1の膜上及び前記第1の膜の表面から突出している前記第2の突部上に、第2の
膜を形成する工程と、
前記第2の膜をエッチバックすることにより、前記第2の突部の側面に前記第2の膜を
残留させて、これを前記マスク部とする工程と、
をさらに備えることを特徴とする請求項2に記載の半導体装置の製造方法。 20

【請求項 4】

前記第2の突部は、側面に前記第1の膜による側壁部が形成されたゲート電極であり、
前記第1の突部は、側面に前記側壁部が形成されていない凸状半導体部である、ことを特
徴とする請求項3に記載の半導体装置の製造方法。 20

【請求項 5】

半導体基板上に第2の膜を形成する工程を、さらに備えるとともに、
前記第1の突部を形成する工程は、
前記第2の膜上に、ダミーパターンを形成する工程と、
前記第2の膜上、及び、前記ダミーパターン上に、第3の膜を形成する工程と、
前記第3の膜をエッチバックすることにより、前記ダミーパターンの側面に前記第3の
膜を残留させて、これを前記第1の突部とする工程と、
を備える、ことを特徴とする請求項1に記載の半導体基板の製造方法。 30

【請求項 6】

前記マスク部を形成する工程は、
前記第1の膜上に、光の反射を防止する反射防止膜を形成する工程と、
前記反射防止膜上に、フォトトレジストを形成する工程と、
前記フォトトレジストを、フォトリソグラフィーによりパターニングすることにより、前
記マスク部を形成する工程と、
を備えることを特徴とする請求項5に記載の半導体装置の製造方法。 40

【請求項 7】

一方側にソース領域が形成され、他方側にドレイン領域が形成された、凸状半導体部と
、
前記ソース領域と前記ドレイン領域との間における前記凸状半導体部上に、ゲート絶縁
膜を介して形成されたゲート電極と、
前記ゲート電極の側壁部分の下側に形成された下側側壁部と、
前記ゲート電極の側壁部分における前記下側側壁部上に形成された上側側壁部であって
、前記下側側壁部を構成する部材と異なる部材で構成された、上側側壁部と、
を有することを特徴とする半導体装置。 50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

凸形状の突部が2種類以上ある半導体装置において、そのうちの一部の突部の側面だけに側壁材を存置させて、側壁部を形成したい場合もある。図1に示すFinFETは、突部に側壁部を作り分けしたい半導体装置の一例を示している。

【0003】

この図1に示す半導体装置は、BOX (Buried Oxide) から形成された埋め込み絶縁膜8上に、第2の突部としてゲート電極10が設けられており、第1の突部としてソース／ドレインとなるFin12が設けられている。ゲート電極10の上側には、SiNハードマスク11が設けられており、Fin12の上側には、SiNハードマスク13が設けられている。10

【0004】

しかし、側壁残し工程で側壁部を構成する場合、突部のすべてに側壁部が形成されてしまう問題があった。すなわち、図1に示した半導体装置においては、図2に示すように、ゲート電極10の側壁部分には、側壁部14を形成する必要がある。しかし、このゲート電極10に側壁部14を形成すると、Fin12にも側壁部16が不可避的に形成されてしまう。

【0005】

このようにFin12に側壁部16が形成されてしまうと、Fin12にソース領域／ドレイン領域を形成するためにFin12にイオン打ち込みを行う際に、Fin12の側壁からイオン打ち込みができない。このため、Fin12の上方からイオン打ち込みを行っていた。20

【0006】

図3は、図2におけるA-A'線断面を示す図である。この図3に示すように、Fin12に上方からイオン打ち込みを行うと、Fin12の深さ方向に均一なソース領域／ドレイン領域18を形成できなくなってしまう。深さ方向に均一なソース／ドレイン領域18が形成できないと、Fin12上部におけるソース領域とドレイン領域との間の距離L1と、Fin12下部におけるソース領域とドレイン領域との間の距離L2とが、異なってしまう。また、Fin12下部のソース／ドレイン領域18に、高い寄生抵抗Rが発生してしまう。このため、トランジスタの駆動能力が劣化してしまうという問題が生じていた。30

【0007】

しかし側壁部14を形成しないと、Fin12にソース／ドレイン領域18を形成するためにイオン打ち込みを行った後、熱拡散を施すと、ソース／ドレイン領域18が互いに結合してしまう問題が生じる。また、側壁部14を形成しないと、ソース／ドレイン領域18の上部にシリサイド19を形成する際に、ソース／ドレイン領域18に形成したシリサイド19と、ゲート電極10に形成されたシリサイドとが、結合してしまうという問題も生じる。

【0008】

また、側壁残し工程で形成した側壁部を、エッチングパターンとして用いることにより、フォトリソグラフィーの限界よりも微細なパターンを形成する技術が知られている。このようなプロセスは、サイドウォールパターントランスファープロセス (Sidewall Pattern Transfer Process) と呼ばれており、例えば非特許文献1に開示されている。40

【非特許文献1】Yang-Kyu Choi, Tsu-Jae King, Chenming Hu, "A Spacer Patterning Technology for Nanoscale CMOS", IEEE Transactions on Electron Devices, Vol. 49, No.3, March 2002, pp.436-441

【発明の開示】

【発明が解決しようとする課題】

【0009】

10

20

30

40

50

本発明は、前記課題に鑑みてなされたものであり、高い駆動能力を有する半導体装置及びその製造方法を提供することを目的とする。また、サイドウォールパターントランസファーとフォトリソグラフィーを用いて微細なパターンと大きめのパターンを同時に形成できるようにすることを目的とする。

【課題を解決するための手段】

【0010】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、

凸状の第1の突部を形成する工程と、

前記第1の突部より高い位置に表面が位置するように、第1の膜を形成する工程と、

前記第1の膜上に、マスク部を形成する工程と、

前記マスク部をマスクとして用いて、前記第1の膜をエッチングする工程と、
を備えることを特徴とする。

10

【0011】

本発明に係る半導体装置は、

一方側にソース領域が形成され、他方側にドレイン領域が形成された、凸状半導体部と、

前記ソース領域と前記ドレイン領域との間における前記凸状半導体部上に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の側壁部分の下側に形成された下側側壁部と、

前記ゲート電極の側壁部分における前記下側側壁部上に形成された上側側壁部であって

20

、前記下側側壁部を構成する部材と異なる部材で構成された、上側側壁部と、
を有することを特徴とする。

【発明の効果】

【0012】

本発明によれば、高い駆動能力を有する半導体装置及びその製造方法を提供することができる。また、サイドウォールパターントランസファーとフォトリソグラフィーを用いて微細なパターンと大きめのパターンを同時に形成することができる。

【発明を実施するための最良の形態】

【0013】

〔第1実施形態〕

30

まず、本発明の基本概念を第1実施形態を例に説明する。図4に示すように、埋め込み絶縁膜100上に、凸形状の突部102を形成する。この突部102は本実施形態におけるデバイス構成要素である。続いて、この上に突部102の高さより薄い膜厚で、一定の厚さの膜104を形成する。但し、膜104は、必ずしも突部102の高さより薄い膜厚である必要はない。そして、全面異方性エッチングを行い、膜104の厚さ分だけエッチングする。すると、図5に示すように、突部102の側壁部分に膜104の材料が残留し、側壁部106が形成される。

【0014】

これに対して、図6に示すように、突部102が形成された埋め込み絶縁膜100上に、突部102の高さより厚い膜厚で膜110を形成する。すなわち、膜110の表面が突部102よりも高い位置になるように、膜110を形成する。その後、膜110を平坦化する。そして、全面異方性エッチングを行い、絶縁膜100上の膜110の厚さ分だけエッチングする。すると、図7に示すように、突部102の側壁部分に膜110が残留せず、側壁部が形成されない。本実施形態では、この性質を応用する。

40

【0015】

図8及び図9は、本実施形態に係る半導体装置の製造方法を説明する工程断面図である。図8に示すように、埋め込み絶縁膜100上に、第1の突部120と第2の突部122とを形成する。但し、第2の突部122の方が、第1の突部120よりも高くなるように形成する。これら第1の突部120と第2の突部122は、本実施形態におけるデバイス構成要素の一例である。

50

【0016】

次に、この上に、第1の膜124を全面的に形成し、平坦化及びエッチバックする。但し、エッチバック後の第1の膜124の厚さが、第1の突部120の高さより厚く、且つ、第2の突部122の高さより薄くなるようにする。換言すれば、第1の膜124の表面が、第1の突部120よりも高い位置で、且つ、第2の突部122よりも低い位置になるようにする。したがって、第1の突部120の頂部は第1の膜124から突出しないが、第2の突部122の頂部は第1の膜124の表面から突出する。

【0017】

次に、第2の膜125を全体的に形成し、全面異方性エッティングを行うことにより、第2の突部122の側壁部分に残留した第2の膜125で、第1の側壁部126を形成する。この全面異方性エッティングの際に、第1の膜124はエッティングされないようにするために、第2の膜125の材料は第1の膜の材料に対して、エッティング選択比の高いものを選定することが望ましい。この第1の側壁部126が本実施形態におけるマスク部に相当する。

【0018】

次に、図9に示すように、第1の側壁部126をマスクとして用いて、第1の膜124を異方性エッティングする。これにより、第2の突部122の側面部分に、第1の膜124が残留して、第2の側壁部128が形成される。但し、第1の突部120の側壁部分には、第1の膜124は残留せず、側壁部は形成されない。

【0019】

以上のように、本実施形態に係る半導体装置の製造方法によれば、高い突部122の側面部分にだけ、側壁部126、128が形成され、低い方の突部120の側面部分には側壁部は形成されない。したがって、デバイス構成要素である突部が2種類以上ある半導体装置において、特定の突部の側面部分にのみ、側壁部を形成することができるようになる。すなわち、特定の突部の側面部分だけ側壁部で覆い、保護することができるようになる。

【0020】

このことは、特定の突部以外の突部の側面を露出させ、その後の工程で、様々な加工処理を施すことができるようになることを意味する。

【0021】

〔第2実施形態〕

第2実施形態は、上述した第1実施形態を凸状半導体部の一例であるFinFETに適用したものである。より詳しくを、以下に説明する。

【0022】

図10乃至図20は、本実施形態に係る半導体装置の製造工程を説明する断面図である。図10に示すように、SOI厚が50nm～100nm程度のSOI基板を用意する。本実施形態では、半導体基板上に埋め込み絶縁膜200として、BOX(Buried Oxide)を用い、その上に50nm～100nmのシリコン膜202を形成したSOI基板を用意する。続いて、70nm程度のSiNハードマスク204を形成し、パターニング、RIEを施すことにより、2つのFin206を形成する。本実施形態においては、このFin206の幅は10nm程度である。

【0023】

次に、図11に示すように、Fin206の側面にゲート絶縁膜(図示省略)を形成した後、第1層目のゲートポリシリコン208を形成する。本実施形態では、このゲートポリシリコン208は、300nm程度の膜厚で形成する。このゲートポリシリコン208は、Fin206の段差上に形成するため、その表面には大きな段差が形成される。

【0024】

次に、図12に示すように、ゲートポリシリコン208をCMP(Chemical Mechanical Polishing)で平坦化し、SiNハードマスク204が露出するまでエッチバックする。続いて、図13に示すように、第2層目のゲートポリシリコン210を形成する。本実施形態では、このゲートポリシリコン210は、50nm程度の膜厚で形成する。ここで

10

20

30

40

50

は、これらゲートポリシリコン 208 とゲートポリシリコン 210 とを合わせて、ゲートポリシリコン 212 とする。

【0025】

次に、図 14 に示すように、ゲートポリシリコン 212 上に、SiN ハードマスク 214 を形成する。本実施形態においては、この SiN ハードマスク 214 は、100 nm 程度の膜厚で形成する。続いて、この SiN ハードマスク 214 上に、レジストを塗布してパターニングすることにより、ゲートパターン 216 を形成する。

【0026】

次に、図 15 に示すように、ゲートパターン 216 をマスクとして、RIE により、SiN ハードマスク 214 をエッティングした後、ゲートパターン 216 を除去する。続いて、この SiN ハードマスク 214 をマスクにして、ゲートポリシリコン 212 とをエッティングする。これにより、ゲートポリシリコン 212 からゲート電極 218 が形成される。

【0027】

次に、図 16 に示すように、ゲート電極の側壁部分に側壁部を形成する材料（例えば、TEOS）で構成された絶縁膜 220 を、ゲート電極 218 の高さより高く全面的に形成し、平坦化する。続いて、図 17 に示すように、絶縁膜 220 をエッチバックし、ゲート電極 218 上の SiN ハードマスク 214 を露出させる。

【0028】

次に、図 18 に示すように、絶縁膜（例えば、SiN）を形成し、これをエッチバックすることにより、第 1 の側壁部 222 を形成する。なお、実際には SiN ハードマスク 214 の周囲全体に第 1 の側壁部 222 が形成されるが、この図 18 以下では分かりやすくするために SiN ハードマスク 214 短辺方向に形成される第 1 の側壁部 222 は省いて図示している。

【0029】

次に、図 19 に示すように、第 1 の側壁部 222 と SiN ハードマスク 214 をマスクとして用いて、絶縁膜 220 を RIE でエッティングすることにより、ゲート電極 218 の側壁部分に残留した絶縁膜 220 により、第 2 の側壁部 224 を形成する。このためには、絶縁膜 220 は、第 1 の側壁部 222 と SiN ハードマスク 214 とに対して高いエッティング選択比を有していることが望ましい。

【0030】

次に、図 20 に示すように、SiN - RIE を行うことにより、Fin 206 上の SiN ハードマスク 204 をエッティングにより除去する。続いて、Fin 206 の側面にドーピングを行って、ソース / ドレイン領域を形成するとともに、形成したソース / ドレイン領域にシリサイド貼り付けを行う。Fin 206 側面へのドーピングは、斜めからのイオン注入で行うこともできるし、プラズマドーピングや固層拡散により行うこともできる。また、シリサイド材料としては、例えば、NiSi を用いることができる。

【0031】

図 21 は、シリサイド後の図 20 における B-B' 線断面図である。この図 21 に示すように、第 1 の側壁部 222 及び第 2 の側壁部 224 はゲート電極 218 の側壁部分にだけ形成され、Fin 206 の側壁分には形成されない。このため、Fin 206 に側面からドーピングをして、Fin 206 の一方側にソース拡散層領域 230 を形成し、Fin 206 の他方側にドレイン拡散層領域 230 を形成することができるとともに、側面にシリサイド 232 を貼り付けることができる。

【0032】

側面からドーピングをすると、Fin 206 上部のソース領域とドレイン領域との間の距離 L1 と、Fin 206 下部のソース領域とドレイン領域との間の距離 L2 とが実質的に等しくなり、Fin 206 の深さ方向に均一なソース / ドレイン領域 230 を形成することができる。つまり、実効チャネル長を、Fin 206 の深さ方向に均一にすることができる。また、Fin 206 の下部にまで十分なドーピングとシリサイド形成を行うことができるので、寄生抵抗 R を低減することができ、トランジスタの駆動能力の向上を図る

10

20

30

40

50

ことができる。

【0033】

〔第3実施形態〕

図22は、第3実施形態に係る半導体装置を説明する断面図であり、上述した第2実施形態における図21に対応する図である。上述した第2実施形態と異なる部分だけ説明すると、図22に示すように、本実施形態においては、ソース／ドレイン領域には不純物拡散層を形成せずに、シリサイド300のみを貼り付ける。すなわち、ショットキー接合ソース／ドレイン構造のFinFETを形成する。それ以外の製造工程及び構造は上述した第2実施形態と同様である。

【0034】

本実施形態によれば、ゲート電極218の側面部分には第1の側壁部222及び第2の側壁部224が形成されるが、Fin206の側面部分には側壁部が形成されない。このため、Fin206の側壁面にシリサイド300を貼り付けることが可能になる。これにより、Fin206の深さ方向に対して均一なショットキーソース／ドレイン領域を形成できる。すなわち、Fin206上部におけるショットキーソース領域とショットキードレイン領域との間の距離L1と、Fin206下部におけるショットキーソース領域とショットキードレイン領域との間の距離L2とを、実質的に等しくすることができる。つまり、実効チャネル長をFin206の深さ方向に均一にすることができる。

【0035】

また、ショットキーソース／ドレイン領域の下部に低抵抗なシリサイド300が形成されるため、寄生抵抗Rが低減され、トランジスタの駆動能力を向上させることができる。

【0036】

なお、ショットキーコンタクト抵抗を低減するため、シリサイド300の材料としてはショットキーバリアの小さい材料を用いることが望ましい。例えば、n型のMOSトランジスタの場合には、バンドギャップの中央値よりも仕事関数の小さいEr等をシリサイド300の材料に用いて、ErSiによりシリサイド300を構成すればよい。p型のMOSトランジスタの場合には、バンドギャップの中央値よりも仕事関数の大きいPt等をシリサイド300の材料に用いて、PtSiによりシリサイド300を構成すればよい。

【0037】

〔第4実施形態〕

図23は、第4実施形態に係る半導体装置を説明する断面図である。この図23に示すように、本実施形態においても、上述した第2実施形態と同様に、ゲート電極218の側面部分には第1の側壁部222及び第2の側壁部224を形成しているが、Fin206の側面部分には側壁部を形成していない。

【0038】

但し、本実施形態においては、ソース／ドレイン領域として不純物拡散層を形成した後、例えば、エピタキシャル成長により、ソース／ドレイン部分を持ち上げる。すなわち、Fin206の上面及び側面が露出しているので、Fin206の上面及び側面にエピタキシャル成長によりエピタキシャルシリコン部400を形成することができる。このエピタキシャルシリコン部400を形成した後、必要に応じて、さらに不純物イオン注入やシリサイド形成を行ってもよい。

【0039】

本実施形態に係る半導体装置の製造方法によれば、Fin206の側面部分には側壁部が形成されていないため、エピタキシャル成長により、エピタキシャルシリコン部400を形成することができる。そして、エピタキシャルシリコン部400を形成することにより、ソース／ドレイン領域の寄生抵抗Rが低減されるため、トランジスタの駆動能力を向上させることができる。

【0040】

〔第5実施形態〕

図24乃至図26は、第5実施形態に係る半導体装置の製造工程を説明する断面図であ

10

20

30

40

50

る。図24に至るまでは上述した第2実施形態と同様の製造工程である。すなわち、ゲート電極218の側面部分には、第1の側壁部222と第2の側壁部224が形成されているが、Fin206の側面部分には側壁部は形成されていない。

【0041】

続いて、図25に示すように、SiN-RIEを行い、Fin206上のSiNハードマスク204とゲート電極218上のSiNハードマスク214とを除去する。続いて、ソース／ドレイン領域を形成するために、ドーピングによりFin206の左右両端側に不純物拡散層を形成する。

【0042】

次に、図26に示すように、Fin206のソース／ドレイン部分とゲート電極218をすべてシリサイド化して、それぞれ、メタルソース／ドレインとメタルゲートにする。ゲート電極218は、非常に薄く形成されており、且つ、その下部が埋め込み絶縁膜200になっており、この埋め込み絶縁膜200はそもそもシリサイド化しないため、本実施形態においては、ゲート電極218はその下端部までシリサイド化できる。

【0043】

本実施形態によれば、ゲート電極218の側面部分には、第1の側壁部222と第2の側壁部224が形成されるが、Fin206の側面部分には側壁部は形成されないため、Fin206の側面にシリサイドを形成することができる。このため、ソース／ドレイン領域の寄生抵抗Rが低減され、トランジスタの駆動能力を向上させることができる。また、ゲート電極218を構成するポリシリコンをすべてシリサイド化して、メタルゲートを形成できるため、完全空乏化型トランジスタ(FinFET)のしきい値をコントロールでき、低電圧で高駆動力を実現することができる。

【0044】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、図27に示すように、シリコン基板600上に、上述した各実施形態の製造工程により、FinFETを形成するようにしてもよい。この場合、シリコン基板600をエッティングすることにより、Fin206を形成し、Fin206の間にシリコン酸化膜602等からSTI(Shallow Trench Isolation)を形成すればよい。

【0045】

また、上述した実施形態では、本発明を適用する半導体装置としてFinFETを例に説明したが、他の種類の半導体装置にも本発明を適用することができる。

【0046】

〔第6実施形態〕

Fin(凸状シリコン領域、アクティブエリア)やゲート電極の形成に、サイドウォールパターントランスファープロセス(Sidewall Pattern Transfer Process)を用いると、フォトリソグラフィーの限界よりも微細で、且つ、ラインエッジラフネス(LER: Line Edge Roughness)の小さいパターンを形成することができる。以下、製造工程を順に説明する。

【0047】

まず、図28に示すように、半導体基板610上に、図示していない薄い酸化膜を介してシリコン窒化膜612を形成する。本実施形態においては、このシリコン窒化膜612の厚さは、例えば、100nmである。続いて、このシリコン窒化膜612上に、アモルファスシリコン層614を例えば150nm程度の厚さで形成する。続いて、このアモルファスシリコン層614上に、フォトリソグラフィーを用いて幅0.1μm程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層614をRIEによりエッティングする。これにより、ダミーパターン616が得られる。

【0048】

次に、図29に示すように、この上に、例えば厚さ40nm程度のTEOSを形成した後、全面RIEでエッチバックすることにより、ダミーパターン616の側面部分に、側

10

20

30

40

50

壁部 620 を形成する。

【0049】

次に、図30に示すように、アモルファスシリコンにより形成されたダミーパターン616を、エッティングにより除去し、シリコン窒化膜612上に、TEOSから形成された側壁部620を残す。

【0050】

次に、図31に示すように、この上に、光の反射を防止するための反射防止膜(ARC:Anti Reflective Coating)622を形成する。続いて、反射防止膜622上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーを用いてパターニングすることにより、レジストパターン624を形成する。本実施形態においては、このレジストパターン624の幅は、側壁部620の幅よりも、太く形成される。なお、上述した非特許文献1にも開示されているように、このレジストパターン624と、側壁部620は、互いに重なる部分があつてもよい。10

【0051】

次に、図32に示すように、このレジストパターン624と側壁部620とをマスクとして用いて、シリコン窒化膜612をRIEによりエッティングする。続いて、側壁部620とレジストパターン624とを、ウエットエッティング等により除去する。

【0052】

次に、図33に示すように、シリコン窒化膜612を、ホットリシン酸などのウエットエッティングにより細らせる。次に、図34に示すように、半導体基板610をRIEにより加工する。20

【0053】

このようにすると、側壁部620のパターントランスマスクにより、フォトリソグラフィーの限界よりも微細で、且つ、ラインエッジラフネス(LER)の小さい、パターンを形成することができる。LERが低減する理由は、側壁部620のパターンのライン幅が、TEOSを形成する厚さで定まるからである。30

【0054】

しかしながら、図31及び図32から分かるように、レジストパターン624を反射防止膜622を用いて形成すると、反射防止膜622が側壁部620の側面に残留してしまい、せっかく作った細い側壁部620のラインパターンが太くなってしまうという問題が生じる。一方で、フォトリソグラフィーの際に、光が乱反射すると、レジストパターン624の形状が乱れてしまい、微細化の妨げになってしまふ。このため、レジストパターン624の微細化を図る上では、反射防止膜622を省くことは困難である。

【0055】

〔第7実施形態〕

そこで、第7実施形態では、側壁部620のラインパターンが反射防止膜622により太くならないようにしている。

【0056】

まず、図35に示すように、本実施形態においては、シリコンから構成された半導体基板700上に、絶縁膜702が形成されている。この絶縁膜は、例えば、シリコン酸化膜(SiO₂)により構成されている。40

【0057】

次に、この絶縁膜702上に、シリコン窒化膜704を形成する。本実施形態においては、このシリコン窒化膜704の厚さは、例えば、100nmである。なお、半導体基板700とシリコン窒化膜704との間に、シリコン酸化膜の絶縁膜702を形成するのは、シリコン酸化膜の絶縁膜702を介在させることにより、応力の緩和を図るためにある。このシリコン窒化膜704が本実施形態における第2の膜に相当する。

【0058】

続いて、このシリコン窒化膜704上に、アモルファスシリコン層706を例えば150nm程度形成する。続いて、このアモルファスシリコン層706上に、フォトリソグラ

フィーを用いて幅 $0.1\mu\text{m}$ 程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層706をRIEによりエッチングする。これにより、ダミーパターン708が得られる。

【0059】

次に、図36に示すように、この上に、例えば厚さ 40nm 程度のTEOSを形成した後、全面RIEでエッチバックすることにより、ダミーパターン708の側面部分に、側壁部710を形成する。

【0060】

次に、図37に示すように、アモルファスシリコンにより形成されたダミーパターン708を、エッチングにより除去し、シリコン窒化膜704上に、TEOSから形成された側壁部710を残す。この側壁部710が本実施形態における第1の突部に相当する。10

【0061】

次に、図38に示すように、TEOSから形成されている側壁部710とは異なる材料（例えば、アモルファスシリコン）を堆積して、CMP（Chemical Mechanical Polishing）により平坦化することにより、下地膜712を形成する。この下地膜712が本実施形態における第1の膜に相当する。10

【0062】

次に、図39に示すように、この下地膜712上に、光の反射を防止する反射防止膜（ARC：Anti Reflective Coating）714を形成する。続いて、反射防止膜714上にフォトトレジストを形成し、このフォトトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン716を形成する。本実施形態においては、このレジストパターン716の幅は、側壁部710の幅よりも、太く形成される。このレジストパターン716が本実施形態におけるマスク部に相当する。20

【0063】

次に、図40に示すように、このレジストパターン716をマスクとして用いて、下地膜712をRIEによりエッチングする。このとき、先ほど形成しておいた側壁部710が露出する。そして、レジストパターン716を除去する。

【0064】

次に、図41に示すように、側壁部710と下地膜712の双方をマスクとして用いて、シリコン窒化膜704をRIEによりエッチングする。続いて、側壁部710と下地膜712とを、ウエットエッチング等により除去する。TEOSの側壁部710をHF等のウエットエッチングで除去するとき、絶縁膜702もエッチングされる。30

【0065】

次に、図42に示すように、シリコン窒化膜704を、ホットリシン酸などのウエットエッチングにより細らせる。次に、図43に示すように、半導体基板700をRIEにより加工する。

【0066】

以上のように、本実施形態によれば、TEOSにより形成された側壁部710のパターントランസファーにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス（LER: line edge roughness）の小さいシリコンパターンを形成することができる。40

【0067】

また、反射防止膜714を用いて、フォトリソグラフィーによるレジストパターン716を形成した場合でも、反射防止膜714が側壁部710の側面に残留しないので、側壁部710のパターン幅が太くなってしまうのを回避することができる。

【0068】

〔第8実施形態〕

本実施形態は、側壁部710を形成した後に、アモルファスシリコンのダミーパターン708を除去せずに、2回目のアモルファスシリコンを重ねて形成する点で、上述した第7実施形態と相違する。以下、製造工程を順に説明する。

【 0 0 6 9 】

図44に示すように、本実施形態においては、シリコンから構成された半導体基板70上に、絶縁膜702が形成されている。この絶縁膜は、例えば、シリコン酸化膜(Si_{0.2})により構成されている。

【 0 0 7 0 】

次に、この絶縁膜702上に、シリコン窒化膜704を形成する。本実施形態においては、このシリコン窒化膜704の厚さは、例えば、100nmである。続いて、このシリコン窒化膜704上に、アモルファスシリコン層706を例えば150nm程度形成する。続いて、このアモルファスシリコン層706上に、フォトリソグラフィーを用いて幅0.1μm程度のレジストパターンを形成し、このレジストパターンをマスクとして用いてアモルファスシリコン層706をRIEによりエッチングする。これにより、ダミーパターン708が得られる。

【 0 0 7 1 】

次に、図45に示すように、この上に、例えば厚さ40nm程度のTEOSを形成した後、全面RIEでエッチバックすることにより、ダミーパターン708の側面部分に、側壁部710を形成する。

【 0 0 7 2 】

次に、図46に示すように、これら側壁部710とダミーパターン708との上に、TEOSから形成されている側壁部710とは異なる材料(例えば、アモルファスシリコン)を堆積して、CMPにより平坦化することにより、下地膜712を形成する。

【 0 0 7 3 】

次に、図47に示すように、この下地膜712上に、光の反射を防止する反射防止膜(ARC: Anti Reflective Coating)714を形成する。続いて、反射防止膜714上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン716を形成する。本実施形態においては、このレジストパターン716の幅は、側壁部710の幅よりも、太く形成される。

【 0 0 7 4 】

次に、図48に示すように、このレジストパターン716をマスクとして用いて、下地膜712をRIEによりエッチングする。このエッチングにより、ダミーパターン708も合わせて除去され、先ほど形成しておいた側壁部710が露出する。以下の製造工程は、上述した第7実施形態と同様であるので、説明は省略する。

【 0 0 7 5 】

以上のように、本実施形態においても、TEOSにより形成された側壁部710のパターンransformerにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス(LER: line edge roughness)の小さいシリコンパターンを形成することができる。

【 0 0 7 6 】

また、側壁部710の間に位置するダミーパターン708を、下地膜712とともに、1回のRIEで除去することとしたので、製造プロセスにおける工程数を削減することができ、コスト低減を図ることができる。

【 0 0 7 7 】**[第9実施形態]**

本実施形態は、アモルファスシリコンのダミーパターン708の表面に、ポリッシングの際のストッパー部を形成する点で、上述した第8実施形態と相違する。以下、製造工程を順に説明する。

【 0 0 7 8 】

図49に示すように、本実施形態においては、シリコンから構成された半導体基板70上に、絶縁膜702が形成されている。この絶縁膜は、例えば、シリコン酸化膜(Si_{0.2})により構成されている。

【 0 0 7 9 】

10

20

30

40

50

次に、この絶縁膜702上に、シリコン窒化膜704を形成する。本実施形態においては、このシリコン窒化膜704の厚さは、例えば、100nmである。続いて、このシリコン窒化膜704上に、アモルファスシリコン層706を例えば150nm程度形成する。続いて、このアモルファスシリコン層706上に、シリコン窒化膜720を形成する。本実施形態においては、このシリコン窒化膜720は、例えば、50nm程度形成する。

【0080】

次に、このシリコン窒化膜720上に、フォトリソグラフィーを用いて幅0.1μm程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、シリコン窒化膜720とアモルファスシリコン層706をRIEによりエッチングする。これにより、シリコン窒化膜720からストッパー部722が得られ、アモルファスシリコン層706からダミーパターン708が得られる。

【0081】

次に、図50に示すように、この上に、例えば厚さ40nm程度のTEOSを形成した後、全面RIEでエッチバックを行うことにより、ダミーパターン708の側面部分に、側壁部710を形成する。

【0082】

次に、図51に示すように、これら側壁部710とダミーパターン708との上に、TEOSから形成されている側壁部710とは異なる材料（例えば、アモルファスシリコン）を堆積して、CMPにより平坦化することにより、下地膜712を形成する。このCMPを行なう際に、ストッパー部722がストッパーとしてはたらく。但し、CMPで薄くなつたシリコン窒化膜720の膜厚が、20nm程度以下となるように、プロセスを調整しておくことが望ましい。

【0083】

次に、図52に示すように、CMPで薄くなつたストッパー部722を除去し、下地膜712上に、光の反射を防止する反射防止膜（ARC：Anti Reflective Coating）714を形成する。続いて、反射防止膜714上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン716を形成する。本実施形態においては、このレジストパターン716の幅は、側壁部710の幅よりも、太く形成される。

【0084】

次に、図53に示すように、このレジストパターン716をマスクとして用いて、下地膜712をRIEによりエッチングする。このエッチングにより、ダミーパターン708も合わせて除去され、先ほど形成しておいた側壁部710が露出する。以下の製造工程は、上述した第7実施形態と同様であるので、説明は省略する。

【0085】

以上のように、本実施形態においても、TEOSにより形成された側壁部710のパターントランスマスクにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス（LER: Line edge roughness）の小さいシリコンパターンを形成することができる。

【0086】

また、下地膜712をポリッシング（本実施形態では、CMP）で平坦化する際に、ストッパー部722がストッパーとして機能するので、ポリッシングが行いやすくなる。

【0087】

〔第10実施形態〕

本実施形態は、上述した第7実施形態におけるシリコン加工用のハードマスク704の形成材料と、側壁部710の形成材料とを入れ替えたものである。以下、製造工程を順に説明する。

【0088】

図54に示すように、本実施形態においては、シリコンから構成された半導体基板700上に、絶縁膜702が形成されている。この絶縁膜は、例えば、シリコン酸化膜（Si

10

20

30

40

50

O_2)により構成されている。

【0089】

次に、この絶縁膜702上に、TEOS膜750を形成する。本実施形態においては、このTEOS膜750の厚さは、例えば、100nmである。続いて、このTEOS膜750上に、アモルファスシリコン層706を例えば150nm程度形成する。続いて、このアモルファスシリコン層706上に、フォトリソグラフィーを用いて幅0.1μm程度のレジストパターンを形成し、このレジストパターンをマスクとして用いて、アモルファスシリコン層706をRIEによりエッチングする。これにより、ダミーパターン708が得られる。

【0090】

次に、図55に示すように、この上に、例えば厚さ40nm程度のシリコン窒化膜を形成した後、全面RIEによりエッチバックを行うことにより、ダミーパターン708の側面部分に、側壁部752を形成する。

【0091】

次に、図56に示すように、アモルファスシリコンにより形成されたダミーパターン708を、エッチングにより除去し、TEOS膜750上に、窒化シリコンから形成された側壁部752を残す。

【0092】

次に、図57に示すように、窒化シリコンから形成されている側壁部752とは異なる材料(例えば、アモルファスシリコン)を堆積して、CMPにより平坦化することにより、下地膜712を形成する。

【0093】

次に、図58に示すように、この下地膜712上に、光の反射を防止する反射防止膜(ARC:Anti Reflective Coating)714を形成する。続いて、反射防止膜714上にフォトレジストを形成し、このフォトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン716を形成する。本実施形態においては、このレジストパターン716の幅は、側壁部710の幅よりも、太く形成される。

【0094】

次に、図59に示すように、このレジストパターン716をマスクとして用いて、下地膜712をRIEによりエッチングする。このとき、先ほど形成しておいた側壁部752が露出する。そして、レジストパターン716を除去する。

【0095】

次に、図60に示すように、側壁部752と下地膜712の双方をマスクとして用いて、TEOS膜750をRIEによりエッチングする。続いて、側壁部752と下地膜712とを、ウエットエッチング等により除去する。

【0096】

次に、図61に示すように、TEOS膜750を、HFなどのウエットエッチングにより細らせる。次に、図62に示すように、半導体基板700をRIEにより加工する。

【0097】

このように、本発明の材料の組み合わせは、種々に選択可能である。すなわち、エッチングの際の選択比を確保しながら、種々の材料を組み合わせることができる。また、第9実施形態のように、ストッパー部722を形成する場合でも、このストッパー部722を含めて、種々の材料を組み合わせを選択することができる。

【0098】

[第11実施形態]

本実施形態は、上述した第10実施形態において、アモルファスシリコンで形成した下地膜712を、SOG膜(塗布膜)で形成するようにしたものである。以下、製造工程を順に説明する。

【0099】

本実施形態においては、図63に至るまでの製造工程は、上述した第10実施形態と同

10

20

30

40

50

様である。この図63に続いて、本実施形態においては、図64に示すように、窒化シリコンから形成されている側壁部752とは異なる材料であるSOGを塗布する。SOGを塗布することにより、SOGの表面は平坦化するので、これを下地膜760とする。

【0100】

次に、図65に示すように、この下地膜760上に、光の反射を防止する反射防止膜(ARC: Anti Reflective Coating)714を形成する。続いて、反射防止膜714上にフォトトレジストを形成し、このフォトトレジストをフォトリソグラフィーでパターニングすることにより、レジストパターン716を形成する。本実施形態においては、このレジストパターン716の幅は、側壁部752の幅よりも、太く形成される。

【0101】

次に、図66に示すように、このレジストパターン716をマスクとして用いて、下地膜760をRIEによりエッチングする。このとき、先ほど形成しておいた側壁部752が露出する。

【0102】

次に、図67に示すように、側壁部752と下地膜760及びレジストパターン716の双方をマスクとして用いて、TEOS膜750をRIEによりエッチングする。続いて、側壁部752と下地膜760とレジストパターン716を、ウェットエッチング等により除去する。

【0103】

次に、図68に示すように、TEOS膜750を、HFなどのウェットエッチングにより細らせる。次に、図69に示すように、半導体基板700をRIEにより加工する。

【0104】

以上のように、本実施形態においても、SiNにより形成された側壁部752のパターントランസファーにより、フォトリソグラフィーの限界以下の微細加工を施すことができ、且つ、ラインエッジラフネス(LER: line edge roughness)の小さいシリコンパターンを形成することができる。

【0105】

また、液体であるSOGを塗布することにより、下地膜760を形成することとしたので、表面を平坦化するためのポリッシング工程を省略することができる。

【0106】

なお、本発明は上記実施形態に限定されず、種々に変形可能である。例えば、上述した実施形態では、シリコンで構成された半導体基板700を使用したが、ゲルマニウム基板や、シリコンゲルマニウム基板を半導体基板として用いるようにしてもよい。

【図面の簡単な説明】

【0107】

【図1】従来のFinFETの製造工程を説明する断面図。

【図2】従来のFinFETの製造工程を説明する断面図。

【図3】図2におけるA-A'線断面図。

【図4】側壁残し工程により、突部の側壁部分に側壁部を形成する工程を説明する断面図。

【0108】

【図5】側壁残し工程により、突部の側壁部分に側壁部を形成する工程を説明する断面図。

【0109】

【図6】突部の側壁部部に側壁部を形成しないエッチング工程を説明する断面図。

【図7】突部の側壁部部に側壁部を形成しないエッチング工程を説明する断面図。

【図8】第1実施形態における半導体装置の製造工程を説明する断面図。

【図9】第1実施形態における半導体装置の製造工程を説明する断面図。

【図10】第2実施形態における半導体装置の製造工程を説明する断面図。

【図11】第2実施形態における半導体装置の製造工程を説明する断面図。

【図12】第2実施形態における半導体装置の製造工程を説明する断面図。

【図13】第2実施形態における半導体装置の製造工程を説明する断面図。

10

20

30

40

50

【図64】第11実施形態における半導体装置の製造工程を説明する断面図。

【図65】第11実施形態における半導体装置の製造工程を説明する断面図。

【図66】第11実施形態における半導体装置の製造工程を説明する断面図。

【図67】第11実施形態における半導体装置の製造工程を説明する断面図。

【図68】第11実施形態における半導体装置の製造工程を説明する断面図。

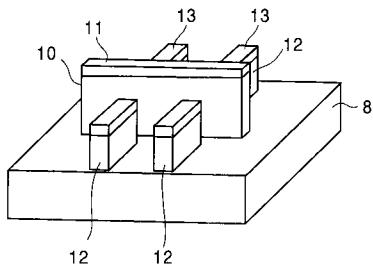
【図69】第11実施形態における半導体装置の製造工程を説明する断面図。

【符号の説明】

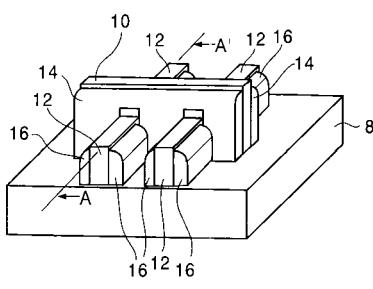
【0108】

100	埋め込み絶縁膜	
120	第1の突部	10
122	第2の突部	
124	第1の膜	
125	第2の膜	
126	第1の側壁部	
128	第2の側壁部	
700	半導体基板	
702	絶縁膜	
704	シリコン窒化膜	
706	アモルファスシリコン層	
708	ダミーパターン	20
710	側壁部	
712	下地膜	
714	反射防止膜	
716	レジストパターン	

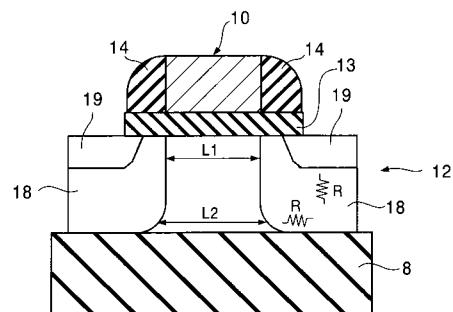
【図1】



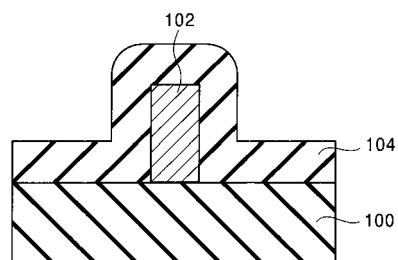
【図2】



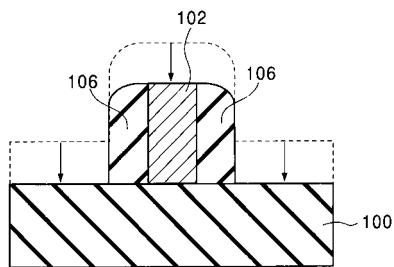
【図3】



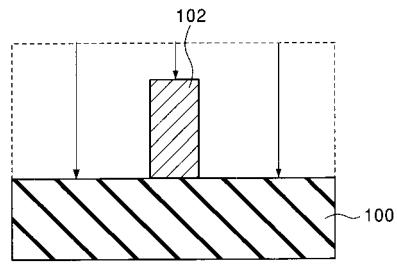
【図4】



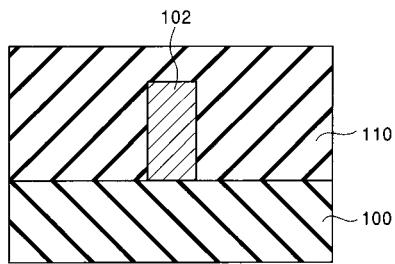
【図5】



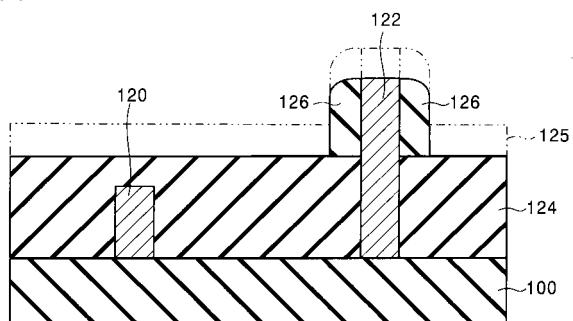
【図7】



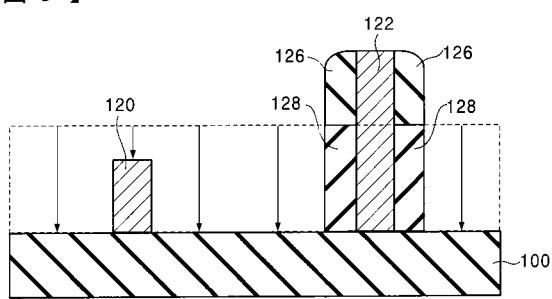
【図6】



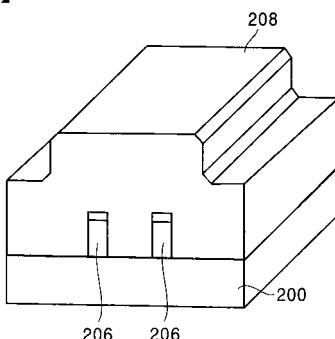
【図8】



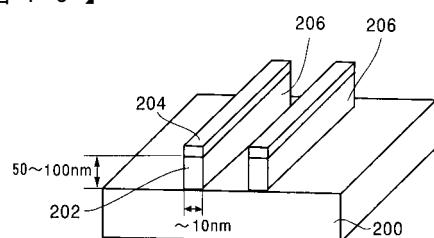
【図9】



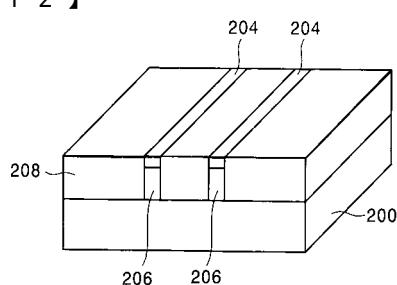
【図11】



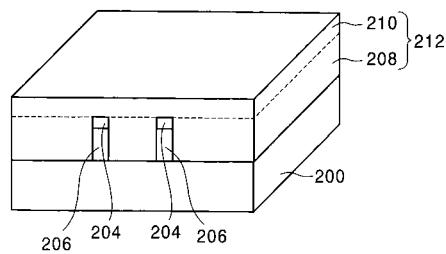
【図10】



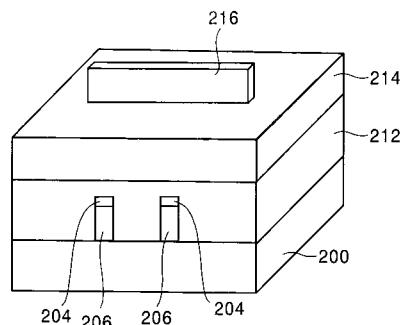
【図12】



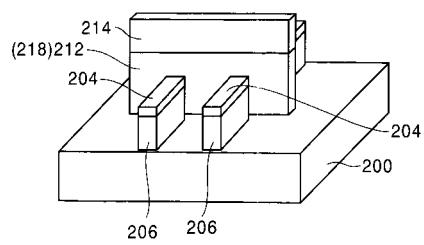
【図13】



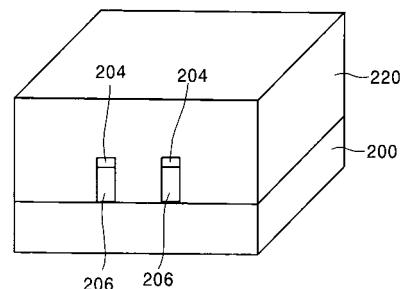
【図14】



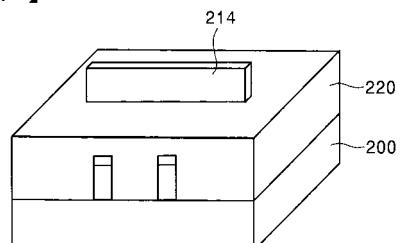
【図15】



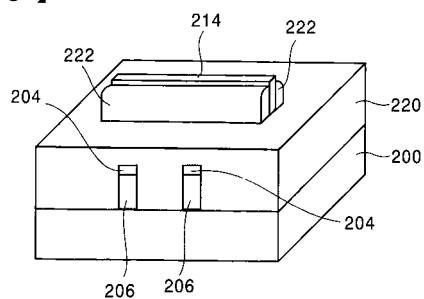
【図16】



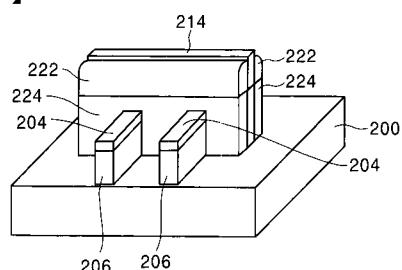
【図17】



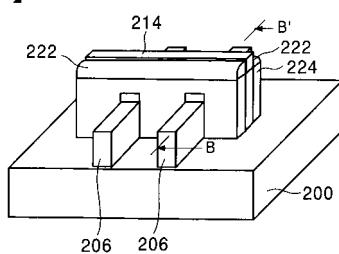
【図18】



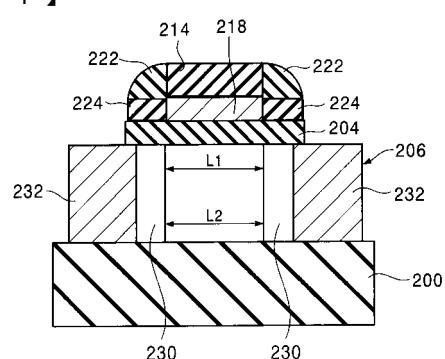
【図19】



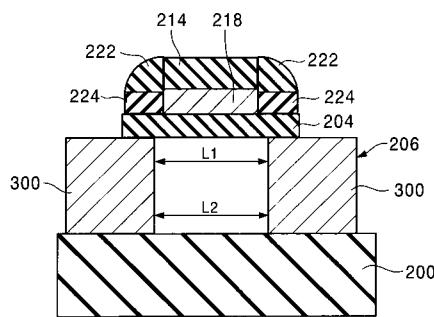
【図20】



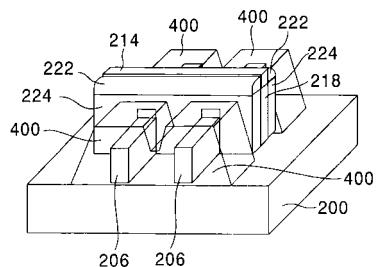
【図21】



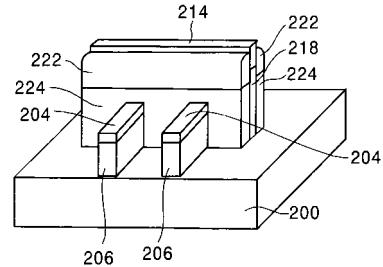
【図22】



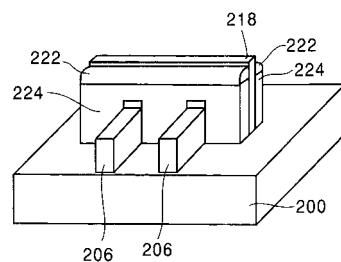
【図23】



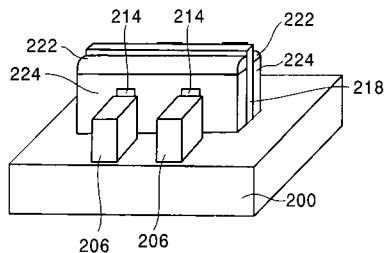
【図24】



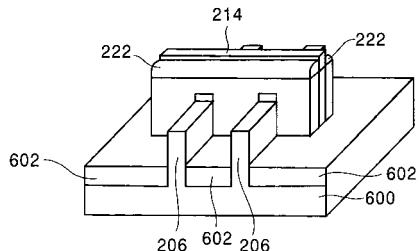
【図25】



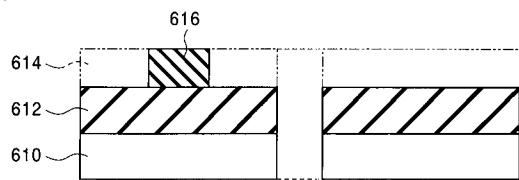
【図26】



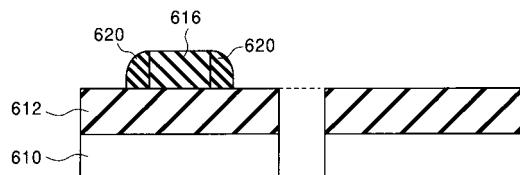
【図27】



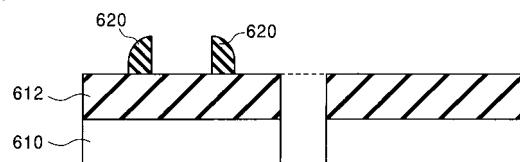
【図28】



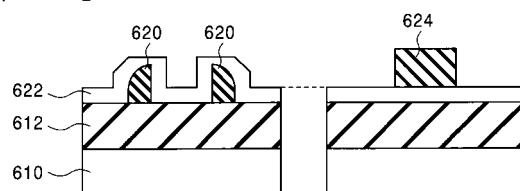
【図29】



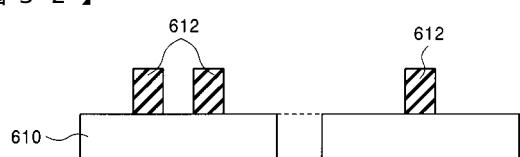
【図30】



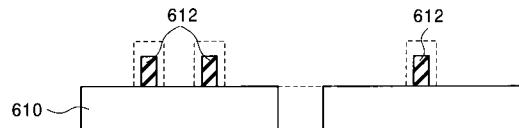
【図31】



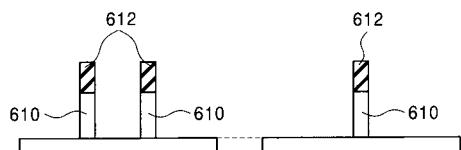
【図32】



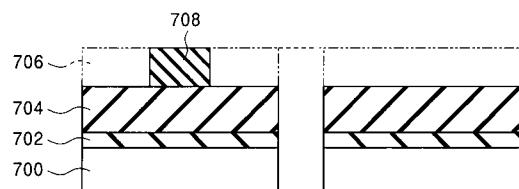
【図33】



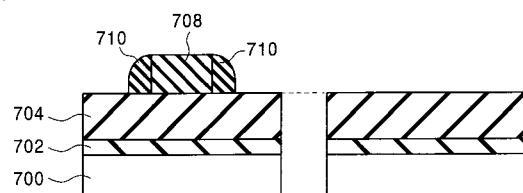
【図34】



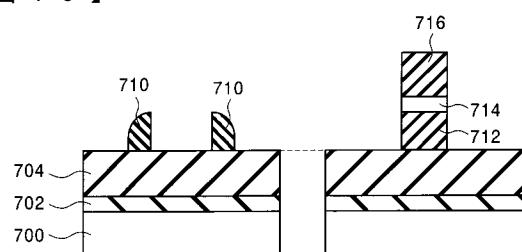
【図35】



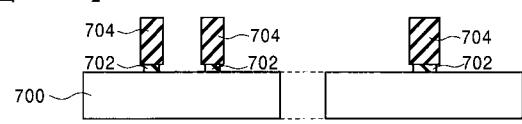
【図36】



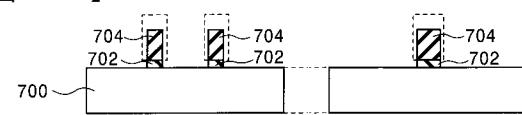
【図40】



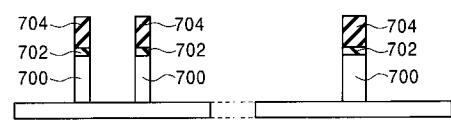
【図41】



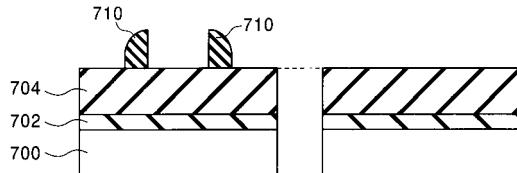
【図42】



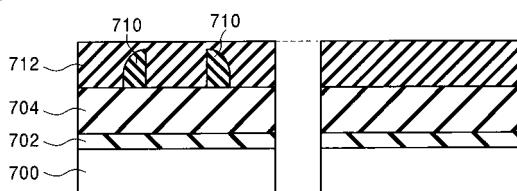
【図43】



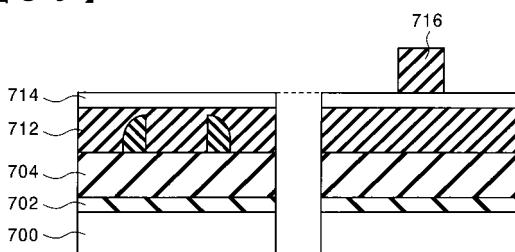
【図37】



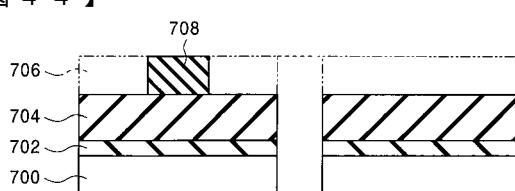
【図38】



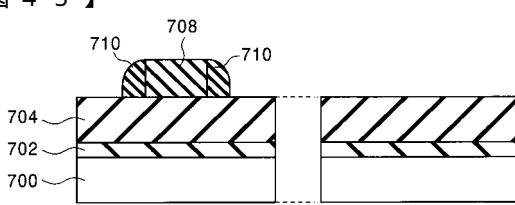
【図39】



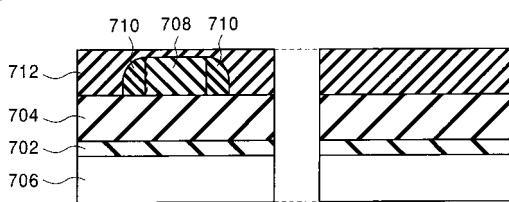
【図44】



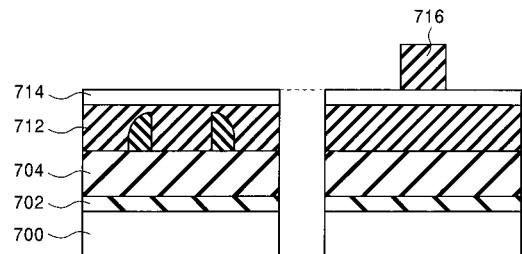
【図45】



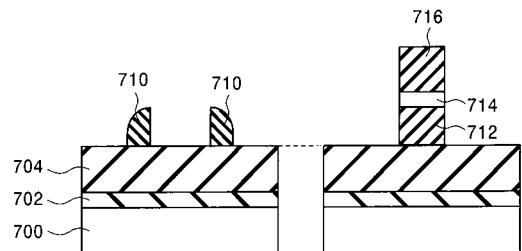
【図46】



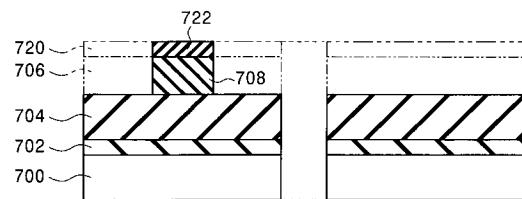
【図47】



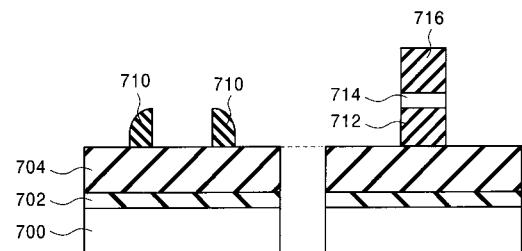
【図48】



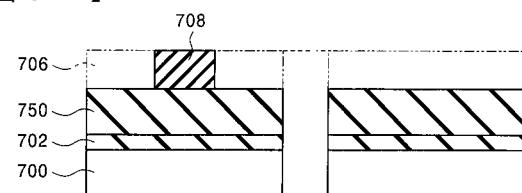
【図49】



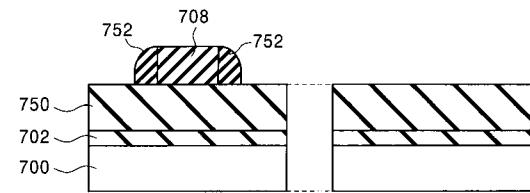
【図53】



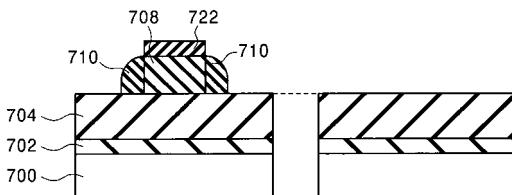
【図54】



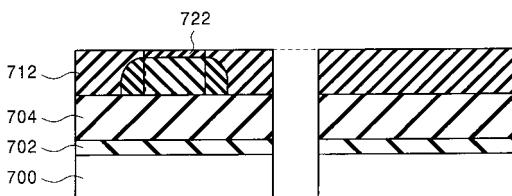
【図55】



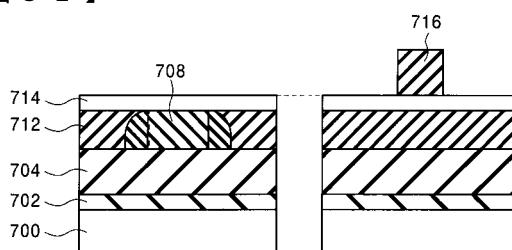
【図50】



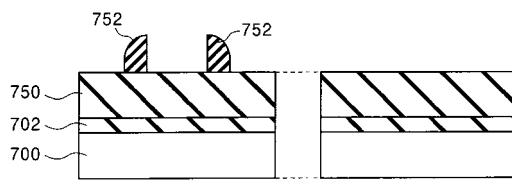
【図51】



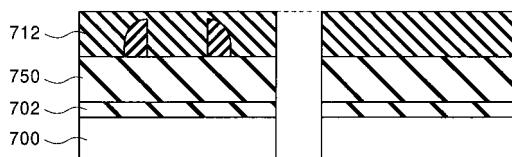
【図52】



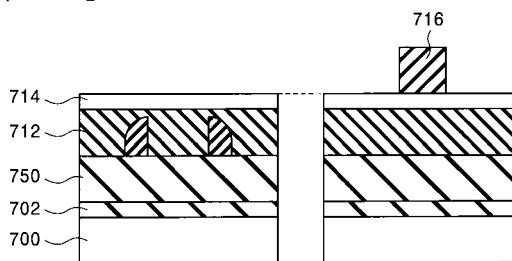
【図56】



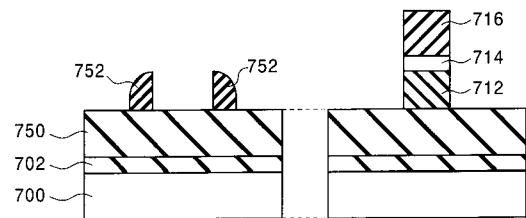
【図57】



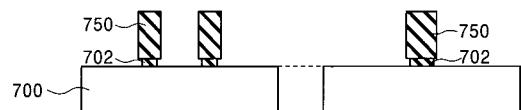
【図58】



【図59】



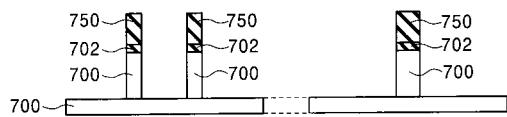
【図60】



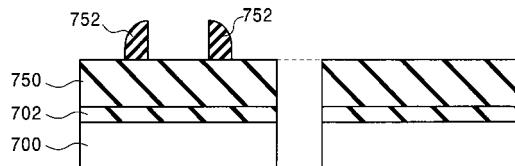
【図61】



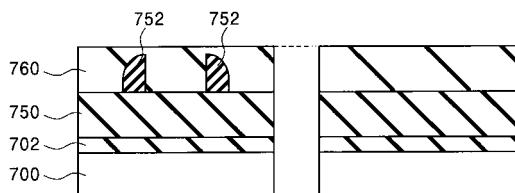
【図62】



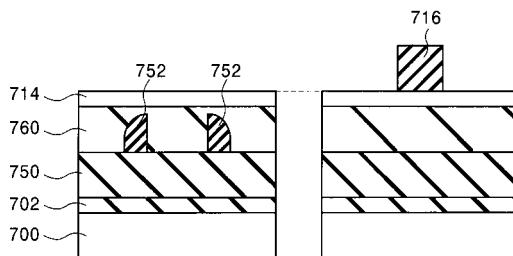
【図63】



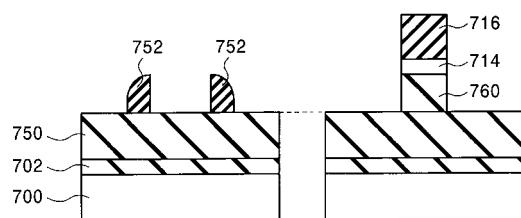
【図64】



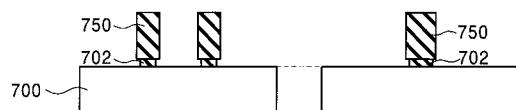
【図65】



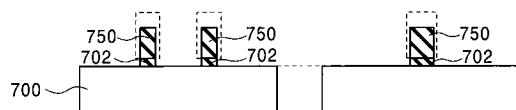
【図66】



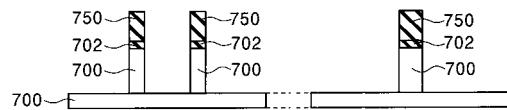
【図67】



【図68】



【図69】



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

H 01 L 29/78 627C
H 01 L 29/78 301X

(72)発明者 八木下 淳 史

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

F ターム(参考) 5F110 AA01 AA30 CC10 DD05 DD13 EE05 EE09 EE22 EE31 GG02
GG22 GG25 HJ12 HJ14 HJ16 HK05 HK09 HK13 HK40 HK50
HM02 QQ01 QQ04 QQ05 QQ19
5F140 AA05 AA39 AC36 BB05 BF01 BF08 BF41 BF44 BG08 BG12
BG14 BG34 BG38 BG39 BG53 BH01 BH06 BJ01 BJ08 BK09
BK12 BK18 CB04 CE07 CE20 CF04