

公告本

申請日期	90 年 6 月 14 日
案 號	90114465
類 別	H01L 21/28

A4
C4

523816

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有加強閘極氧化物完整結構之半導體溝道裝置
	英 文	Semiconductor trench device with enhanced gate oxide integrity structure
二、發明 創作人	姓 名	(1) 薛峰葉 Hshieh, Fwu-luan (2) 索昆章 So, Koon Chong (3) 崔雁門 Tsui, Yan Man
	國 籍	(1) 美國 (2) 美國 (3) 美國
	住、居所	(1) 美國加州沙拉土加茜委拉巷二〇七六八號 20768 Sevilla Lane, Saratoga, CA 95070, USA (2) 美國加州費蒙特林景泰瑞斯五九一號 591 Woodview Terrace, Fremont, CA 94539, USA (3) 美國加州聯合市乾林廣場四四〇九號 4409 Drywood Court, Union City, CA 94587, USA
	三、申請人	
	姓 名 (名稱)	(1) 通用半導體股份有限公司 General Semiconductor, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國紐約州梅爾維利梅爾維利公園路十號 10 Melville Park Road, Melville, NY 11747- 3113, U.S.A.
	代 表 人 姓 名	(1) 史蒂芬·佩基 Paige, Stephen B.

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國 2000 年 6 月 16 日 09/595,120 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明部份

本發明一般係有關 M O S F E T 電晶體，且更普通係有關具有溝結構之 D M O S 電晶體。

發明背景

D M O S (雙擴散 M O S) 電晶體為一種 M O S F E T (金屬在半導體場效電晶體上) ，此使用擴散構製電晶體區。D M O S 電晶體普通用作功率電晶體，以提供高壓電路於功率積體電路應用上。當需要低前向電壓降時，D M O S 電晶體提供每單位面積較高之電流。

普通分立式 D M O S 電路包含平行構製之二或更多個別 D M O S 電晶體胞。個別 D M O S 電晶體胞共用一汲接觸體 (基體) ，同時其源極均由金屬短路一起，且其閘極由多矽短路一起。如此，即使由較小之電晶體之矩陣構成分立式 D M O S ，其行為如同一單個大型電晶體。在一分立式 D M O S 電路，當由閘極接通電晶體矩陣時，需擴大每單位面積之導電率至最大程度。

一種特別之 D M O S 電晶體為所謂溝式 D M O S 電晶體，其中，通道垂直構製，及閘極構製於一溝中，延伸於源及汲極之間。該溝 (由薄氧化物層襯裏並填以多矽) 容許較少限制之電流流過，且從而提供較低之特定通電阻值。溝式 D M O S 電晶體之例發表於美專利

5, 072, 266 (Bulucea 等) ， 5, 541, 425 (Nishihara) ， 5, 430, 324 (Bencuya) ，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (2)

5, 639, 676 (Hsieh 等), 5, 316, 959 (Kwan 等), 5, 304, 381 (Yilmaz 等), 及 5, 866, 931 號。

圖 1 A 及 1 B 顯示普通溝式 D M O S 電晶體 101 之一例。該裝置設有一第一溝 103, 此在電晶體之作用區中, 及一第二溝 105, 此在電晶體之終端區中。

現參考圖 1 B, 此為沿線 X - X' 所取之圖 1 裝置之斷面圖, 溝置於基體中, 基體包含一 n + 摻雜層 107, 一 n 摻雜晶膜層 109, 及相反導電性之一 p 型擴散層 111。一 n + 晶膜層 113 用作源極, 此覆蓋 p 型擴散層。溝底終止於 n 摻雜晶膜層中。氧化矽之一絕緣層 115 延伸於二溝之表面上。一源電極 117 延伸於第一溝上, 及一閘電極 119 延伸於第二溝上。二溝填以多矽 121, 並蓋以 B P S G 123 (磷酸硼玻璃)。

在圖 1 B 所示之裝置中, 覆蓋於第一溝上之氧化矽層之平均厚度 $t_{v.o.1}$ 等於覆蓋於第二溝上之氧化矽層之厚度 $t_{v.o.2}$, 即 $t_{v.o.1} = t_{v.o.2}$ 。此式裝置具有至少一缺點, 即製造該裝置之方法之人工產物。明確言之, 該裝置在其製造期間中接受至少二氧化處理, 其第一用以移去構製該等溝後矽蝕刻時所發生之損壞, 及其第二用以構製氧化矽層。如顯示於圖 1 C, 此等氧化步驟產生 p 型擴散層 111 突入於氧化矽層 115 中之形態之缺陷 125。此缺陷 (常稱為 "角") 發生於溝之側壁之上端角中。該角終端成銳角。氧化矽層在該角鄰近之厚度 "t_h" 小於在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(3)

溝之側壁上或 p 型擴散層之表面上所置之氧化矽層之平均厚度 $t_{v.o.x2}$ 。

在使用之期間中，覆蓋於該角及氧化矽層上之 n 型多晶矽層 127 用作閘極，並供以預定電位。然而，由於角形狀之故，n 型多晶矽層及基體間之電場集中於該角鄰近。由於在該角鄰近之氧化矽層之厚度薄，故大為減小此區之氧化矽層之擊穿電壓。

本藝中已有提出若干方法，用以對付此問題。在 I E E E 電子裝置會議記錄，卷 E D - 34，第 8 號，1987，8 月號，第 1681 - 1687 中所發表之一方法注意矽之氧化情況。在此方法中，在高至 1100℃ 之溫度上執行氧化。依據該參考文件，在此溫度上不產生一角，及在溝之側壁之上端角部份圓形化。溝之側壁之上端角之圓形化放鬆該部份之電場之集中，並刻意提高溝之側壁之上端角部份處之氧化矽層之擊穿電壓。然而，該方法有缺點，即在氧化步驟中使用如此高溫度對前所構製之雜質擴散層之結構有不利之影響。

避免溝之側壁之上角部份之氧化矽層之擊穿電壓之降低之另一方法發表於日本專利公報 64 - 57623 及 63 - 166230 號。此等參考文件發表一種方法，由化學乾蝕刻法圓形化該溝之側壁之上端角部份。然而，如此圓形化溝之側壁之上端角部份並不適宜，因為為放鬆電場強度，需增加該角部份之曲率半徑 "r"。此轉而對裝置體積施加一下限，此為一嚴重之缺點，因為 D M O S 電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

原

五、發明說明(4)

晶體體積需減至最小。

美 5, 541, 425 (Nishihara) 發表又另一方法，此意在克服有關由二維氧化減薄之閘氧化物層之區段之問題。其中發表一方法，由此，由使用額外蔽罩，以一額外之重砷植入圓形化該溝之頂角。然而，其中所提之方法不適用於功率 MOSFET，因為浮動之砷部份引起提早突崩擊穿。而且，重度摻雜之砷部份在其後氧化處理，諸如犧牲性氧化及閘氧化之期間中產生矽缺陷。

美 5, 639, 676 (Hshieh 等) 發表使用 7 屏蔽步驟製造溝式 DMOS 電晶體之一方法。依據該方法，使用一屏蔽步驟，以產生一絕緣氧化物層於終端區中，此較之電晶體之作用區中之閘氧化物層為厚。然而，與圖 1A-C 所示之裝置同樣，由於氧化矽層之二維氧化，此式裝置易於減小溝之側壁之上角部份處之氧化矽層之擊穿電壓。

故此，本藝中仍需具有提高之閘氧化物之完整性之溝式 DMOS 裝置，且尤其是，具有提高之擊穿電壓之閘氧化物層之溝式 DMOS 裝置。且在本藝中，需要一種用以製造此 DMOS 裝置之方法，該方法適用於功率 MOSFET 裝置。此等及其他需要由以後所述之本發明滿足。

發明概要

本發明係有關用以製造具有提高之閘氧化物完整性之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(5)

溝式 D M O S 裝置，且尤其是具有提高之擊穿電壓之閘氧化物層之溝式 D M O S 裝置之方法，及如此所製之溝式 D M O S 裝置。

一方面，本發明係有關溝式 D M O S 裝置及其製造方法。該溝式 D M O S 裝置包含一第一區（例如一摻雜之晶膜層），具有第一導電性型；及一第二區（例如一 p 型擴散層），具有第二導電性型；及具有至少第一及第二溝，此等與第一及第二區相通。一第一電絕緣層置於第一溝之表面上，並在第一溝上具有一平均厚度 t_1 。一第二電絕緣層置於第二溝之表面上，並在第二溝上具有一平均厚度 t_2 。電絕緣層普通包含一氧化物，諸如氧化矽。比率 $t_1 > t_2$ 大於 1，且普通至少約為 1.2。

依本發明之此方面所製之溝式 D M O S 裝置特別可用於功率 M O S F E T 應用上。在此應用中，第一溝可置電晶體之終端區中，及第二溝可置於電晶體之作用區中。較厚絕緣層之存在於終端區中維持絕緣層之擊穿電壓於可接受之位準，尤其是在溝之上角鄰近，在此，二維氧化最可能在絕緣層中產生角或類似缺陷。而且，較厚之絕緣層改善電場分佈，俾突崩擊穿發生於電晶體之作用區而非終端區中，如此使擊穿行為更為穩定及可預測。較厚之絕緣層亦改善製程控制，並減少處理期間中之基體污染。而且，氧化物愈厚，電場分佈愈不擁擠，故氧化物破裂電壓愈大。氧化物愈厚，摻雜劑較少自摻雜之多矽穿過氧化物而進入基體區中，故較厚之氧化物可有助於減少基體污染。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(6)

在本發明之溝式 D M O S 裝置之一些實施例中，亦增加第二溝之底部處之絕緣層之平均厚度，而不增加此等溝之上部之絕緣層之平均厚度。此等較後實施例之溝式

D M O S 裝置具有所有上述優點。而且，較厚絕緣層之存在於功率 M O S F E T 之作用區之溝之底部降低摻雜劑材料之穿透通過絕緣層，並進入溝之此區之 p 型擴散層中，從而減少擊穿。

在另一方面，本發明係有關用以製造溝式 D M O S 裝置之方法，及如此所製之裝置。依據該方法，提供一物件，此包含具有一第一導電性型之一第一區，及具有一第二導電性型之一第二區。該物件具有第一及第二溝與第一及第二區相通。一第一絕緣層然後沉積於第一溝之表面上。第一絕緣層在第一溝上具有一平均厚度 t_1 。其次，沉積一第二絕緣層於第二溝之表面上。第二絕緣層在第二溝上具有平均厚度 t_2 。二絕緣層之厚度之情形為，如 k 為二層之較大者，及 m 為二層之較小者，則 k/m 大於 1，且普通至少約為 1.2。

在本發明方法之各實施例中，絕緣層之不同厚度可由沉積一第一絕緣層於第一及第二溝上，及然後沉積至少一蔽罩（例如一氧化物蔽罩，如果絕緣層為氧化物，諸如氧化矽）於第一絕緣層之至少一部份上，從而界定一屏蔽區及一未屏蔽區。在本發明方法之一些實施例中，屏蔽區延伸於第一溝之整個表面上，及未屏蔽區延伸於第二溝之整個表面上。在其他實施例中，屏蔽區延伸於第一溝之整個

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

象

五、發明說明(7)

表面上及第二溝之表面之一第一部份(例如底部)上,及未屏蔽區延伸於第二溝之表面之一第二部份上。然後由諸如蝕刻法,移去延伸進入未屏蔽區中之第一絕緣層之任何部份,及具有平均厚度 t_2 (其中 $t_1 \neq t_2$)之一第二絕緣層沉積於未屏蔽區上。普通如第一溝置於電晶體之終端區中,及第二溝置於電晶體之作用區中,則 $t_1 > t_2$ 。此方法可利用來製造上述型式之溝式DMOS裝置。

在又另一方面,本發明係有關一中間物件,此用以構造溝式DMOS電晶體及類似裝置,並係有關其製造方法。該物件包含具有第一導電性型之一第一區,及具有第二導電性型之一第二區。與第一及第二區相通之一第一溝具有第一及第二壁,並終止於一第一底部。第一壁自第一底部延伸至物件之表面,及第一壁及該表面相交處界定一第一地點。一第二溝具有第三及第四壁,並終止於一第二底部(第二底部界定一第二地點),亦延伸通過第一及第二區。一電絕緣材料(普通為絕緣氧化物,諸如氧化矽)置於至少第一地點上。在一些實施例,絕緣材料亦延伸於第二地點上。該物件另設有至少一蔽罩,此界定一屏蔽區及一未屏蔽區。屏蔽區延伸於第一地點上,及在一些實施例,亦延伸於第二地點上。未屏蔽區延伸於屏蔽區以外之所有區上,且普通包含第二溝之第三及第四壁之至少一部份。

本發明之該中間物件可利用於製造本發明溝式DMOS電晶體及裝置,諸如由移去未屏蔽區中所存在之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(8)

任何絕緣材料（例如由化學蝕刻，在此，絕緣材料為氧化矽，及至少一蔽罩為氧化物蔽罩），及然後沉積相同或不同之絕緣材料之另一部份於未屏蔽區上（在該至少一蔽罩移去之前或之後）。如此，可獨立改變溝式 D M O S 裝置之屏蔽及未屏蔽區上之絕緣材料（此可構成閘氧化物層及／或犧牲性氧化物層）之厚度，以獲得上述之優點。

附圖簡述

圖 1 A 為先行技藝之 D M O S 裝置之平面圖；

圖 1 B 為沿圖 1 A 之線 1 B - 1 B 上所取之斷面圖；

圖 1 C 為圖 1 B 之區域 2 之放大圖；

圖 2 - 5 為依本發明構製之溝式 D M O S 電晶體之概要斷面圖；

圖 6 A - 6 E 為概要斷面圖，顯示依本發明製造溝式 D M O S 電晶體之方法；

圖 7 A - 7 D 為概要斷面圖，顯示依本發明製造溝式 D M O S 電晶體之方法；及

圖 8 A - 8 B 為概要斷面圖，顯示依本發明製造溝式 D M O S 電晶體之方法。

主要元件對照表

1	溝式 D M O S 裝置
3	n + 基體
5	摻雜晶膜層

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

五、發明說明(9)

- 7 p 型擴散層
- 9 n + 摻雜晶膜層
- 1 1 溝
- 1 2 作用區
- 1 2 終端區
- 1 3 氧化物層
- 1 6 閘極
- 2 1 溝式 D M O S 結構
- 2 3 閘氧化物層
- 3 3 絕緣氧化物層
- 5 7 蔽罩部份
- 6 1 犧牲性氧化物層
- 7 1 犧牲性氧化物蔽罩

詳細說明

本發明係有關溝式 D M O S 裝置（及其製造方法），具有提高之閘氧化物完整性，且特別係有關具有提高之高擊穿電壓之閘氧化物之溝式 D M O S。此等裝置及其製造方法特別可用以製造功率 M O S E F E T 裝置。

圖 2 顯示依本發明製造之溝式 D M O S 裝置 1 之第一實施例。該結構包含一 n + 基體 3，其上生長輕度 n 摻雜之晶膜層 5。摻雜之晶膜層內設置相反導電性之一 p 型擴散層 7。一 n + 摻雜晶膜層 9 覆蓋 p 型擴散層之至少一部份，用作源極。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

泉

五、發明說明(10)

第一及第二溝 11, 11' 設置於晶膜層中。第一溝置於裝置之作用區 12 中及第二溝置於裝置之終端區

12' 中。第二溝填以多矽之一部份，其 14 延伸至頂表面，以接觸閘極 16。第一及第二氧化物層 13, 13' 分別設置於第一及第二溝中，第一及第二氧化物層具有各別厚度 t_1 及 t_2 ， $t_2 > t_1$ 。

選擇 t_1 及 t_2 ，俾氧化物層之擊穿電壓充分供預定之最終使用，接受 $t_2 > t_1$ 之需求。較厚之氧化物層之存在於終端區中維持在溝之上角鄰近中之氧化物層之擊穿電壓於可接受之位準，在此，二維氧化最可能產生角或相似缺陷。而且，較厚之氧化物層改善電場分佈，俾突崩擊穿發生於電晶體之作用區而非終端區，如此使擊穿電壓行為更為穩定及可預測。較厚之氧化矽層並改善製控制，及減少處理期間中基體污染。

一般言之，選擇 t_1 及 t_2 ，俾 $t_2 : t_1$ 至少約為 1.2，更宜至少約為 1.5，且最宜至少約為 2。一般言之，（對 30 V 裝置） t_1 在 400 至 700 埃之範圍內，更宜在 500 至 650 埃之範圍內，且最宜在 550 至 600 埃之範圍內，同時 t_2 普通在 600 至 840 埃之範圍內，更宜在 750 至 1050 埃範圍內，且最宜在 1000 至 1400 埃之範圍內。一般言之，閘氧化物厚度（即作用區中所置之溝中之氧化物）取決於製造中之裝置之電壓。

圖 3 顯示依本發明製造之溝式 D M O S 結構 21 之第

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (11)

二實施例。此結構與圖 2 所示相似，唯使用屏蔽技術，俾沿第一溝 25 之底部上之閘氧化物層部份較之圖 2 之裝置加厚。此閘氧化物層之加厚有利，因其減少摻雜劑材料穿過絕緣層，並進入此溝區域中之 p 型擴散層，從而降低擊穿。然而，同時，閘氧化物層在溝之他處較薄，從而確保突崩擊穿發生於電晶體之作用區，而非終端區中。此轉而導致裝置之擊穿電壓行為更穩定及可預測。一般言之，在第一溝底部處之氧化物之厚度 t_b ，及沿溝側邊上之氧化物層之厚度 t_s 分別相當於圖 2 所示裝置之值 t_1 及 t_2 。

圖 4 顯示依本發明製造之溝式 D M O S 結構 31 之第三實施例。此結構與圖 3 所示裝置相似，唯使用額外屏蔽步驟，以製造一絕緣氧化物層 33 於裝置之終端區中，此具有厚度 t_1 之一第一區 35 及厚度 t_2 之一第二區 37。裝置之作用區中之閘氧化物層 38 具有厚度 t_3 ，選擇此等層之厚度，俾 $t_1 > t_2 > t_3$ 。

一般言之，在此實施例中，選擇 t_1 及 t_2 ，俾 $t_2 : t_1$ 至少約為 1.5，更宜至少約為 3.0，且最宜至少約為 4.0。一般言之， t_1 在 1500 至 2000 埃之範圍內，更宜在 2000 至 2500 埃之範圍內，且最宜在 3500 至 4500 埃之範圍內，同時 t_2 普通在 600 至 840 埃之範圍內，更宜在 750 至 1050 埃範圍內，且最宜在 1000 至 1400 埃之範圍內。 t_3 之一般值等於圖 2 裝置之 t_2 之值。此實施例中之第一區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (12)

之額外厚度有利，因為此減小閘行動電容。

圖 5 顯示依本發明製造之溝式 D M O S 結構 4 1 之第三實施例。此裝置與圖 4 所示相似，唯使用屏蔽技術，以加厚裝置作用區中沿溝 4 7 之底部上之閘氧化物層 4 5 之部份 4 3。此區中較厚之氧化物層之利益已在圖 3 所示之實施例中提及。閘氧化物層之部份 4 3 普通具有與圖 4 所示之裝置之 t_2 之值相當之一厚度 t_4 。

圖 6 A - 6 E 顯示本發明方法之一第一實施例，此可用以製造圖 4 所示型式之溝式 D M O S 裝置。在圖 6 A 中，一 n 晶膜層 5 1 生長於普通 n + 摻雜基體 5 3 上。該晶膜層在用於 3 0 V 裝置上普通為 5 . 5 微米厚度。其次，在植入及擴散步驟中，構製 p 型擴散層 5 5。由於 p 型擴散層在基體上均勻一致，故無需蔽罩。p 型擴散層可為在 4 0 至 6 0 K E V 上之硼植入，使用劑量 $5 . 5 \times 10^3 / \text{cm}$ 。

在圖 6 B 中，構製一蔽罩氧化物層，由氧化層覆蓋晶膜層之表面，然後經普通曝光及然後刻圖，以留下蔽罩部份 5 7。蔽罩部份 5 7 用以界定第一及第二溝 5 9，5 9 之位置，此等由反應性離子蝕刻法乾蝕刻通過蔽罩開口至普通自 1 . 5 至 2 . 5 微米範圍之深度。

在圖 6 C 中，移去蔽罩部份，普通使用緩衝氧化物蝕刻或 H F 蝕刻。由於溝製造步驟在刻圖之溝蔽罩移去前完成，且由於刻圖之溝蔽罩在溝製造過程中用作蓋或緩衝物，故摻雜劑材料並不滲出 p 型擴散層，且故此降低鑿穿作

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

五、發明說明(13)

用。

在移去蔽罩部份後，一犧牲性氧化物層 6 1 沉積於整個結構上，俾覆蓋溝壁及 p 型擴散層 5 5 之表面。犧牲性氧化物層普通具有厚度 t_2 在 800 埃範圍，更宜在 1000 埃範圍內，且最宜在 1200 埃範圍內。

如顯示於圖 6 D，一犧牲性氧化物蔽罩 7 1 沉積於第二溝 5 9 上，同時第一溝 5 9 曝露。然後由氧化物蝕刻法移去第一溝表面上之犧牲性氧化物層。

參考圖 6 E，然後沉積閘氧化物層 7 5 於第一溝之表面上，隨後沉積多矽 7 7。然後由氯化磷摻雜多矽，或由砷或磷植入於多矽中，以減小其電阻，其電阻係數普通每平方 cm 在 20 歐姆之範圍內。然後置一光阻劑多矽蔽罩 7 9 於第二溝上，並以普通方式完成該裝置，以製成諸如圖 2 所示之一裝置。

圖 7 A - 7 B 顯示本發明之方法之一第二實施例。如顯示於圖 7 A，在此實施例中，第一及第二犧牲性氧化物蔽罩 8 1，8 1' 沉積於圖 6 C 所示之結構上，俾具有平均厚度 t_1 之犧牲性氧化物層 8 2 完全覆蓋於第二溝 8 3 鄰近，但僅覆蓋於第一溝 8 3 之底部。所製之結構然後曝露於氧化物蝕刻，此移去第一溝鄰近之犧牲性氧化物層之一部份，如顯示於圖 7 B。然後移去犧牲性氧化物蔽罩，並沉積具有平均厚度 t_2 之一閘氧化物層 8 5，以產生圖 7 C 所示之結構。然後沉積一多矽層 8 7 於閘氧化物層及犧牲性氧化物層上。摻雜該多矽，並置一光阻劑多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(14)

矽蔽罩 8 9 於第二溝上，以產生圖 7 D 所示之結構。然後以普通方式完成該裝置，以產生諸如圖 3 所示之裝置。

t 1 及 t 2 之普通值說明於圖 3 所示之裝置中。

圖 8 A - 8 B 顯示本發明之方法之一第三實施例。如顯示於圖 8 A，在此實施例中，具有厚度 t 1 之一第一氧化物層 9 1 沉積於圖 6 A 所示型式之基體上。後第一氧化物層刻圖至規定之形狀，具有至少第一及第二開口 9 3，9 3'，從而形成氧化物蔽罩。然後通過蔽罩開口，各向異性蝕刻對應之第一及第二溝 9 5，9 5'。一犧牲性氧化物層（未顯示）沉積於蝕刻之結構上，以移去在蝕刻期間中所發生之任何損壞，其後，移去犧牲性氧化物層。

其次，溝接受熱氧化，以形成具有厚度 t 2 之一第二氧化物薄膜 9 7 於溝之表面上，其中， $t_1 > t_2$ 。此一薄膜可例如在氧／氫大氣中以約 950 °C 製造，控制沉積時間及其他參數，以達成所需之層厚度。然後沉積一氧化物蔽罩 9 9 於第二溝上。該裝置然後普通接受氧化物蝕刻，以形成類似圖 6 D 所示之結構，並使用與有關圖 6 E 所述相似之方法，製成圖 4 所示之裝置。如需要，在氧化物蝕刻之前，可執行額外之屏蔽步驟（例如，置氧化物蔽罩於第一溝之底部上），以製成諸如圖 5 所示之裝置，其中，閘氧化物層在第一溝鄰近加厚。

雖此處特別顯示及說明各種實施例，但應明瞭以上說明涵蓋本發明之修改及更改，且此等在後附申請專利範圍內，並不脫離本發明之精神及範圍。例如，本發明方法可

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(15)

用以製造一溝式 D M O S ， 其中 ， 各半導體區之導電性與此處所述者相反。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

四、中文發明摘要 (發明之名稱： 具有加強閘極氧化物完整結構之半)
導體溝道裝置

提供一種製造溝式 D M O S 之方法，此提高一裝置中之氧化物層之擊穿電壓，該裝置具有至少一第一溝置於裝置之作用區，及一第二溝置於裝置之終端區。依據該方法，使用蔽罩技術，以加厚第二溝之頂角鄰近之氧化物層，從而補償此區由於在製造期間中二維氧化所引起之減薄（及隨帶減小之擊穿電壓）。

英文發明摘要 (發明之名稱：)

SEMICONDUCTOR TRENCH DEVICE WITH ENHANCED GATE
OXIDE INTEGRITY STRUCTURE

A method for making trench DMOS is provided that improves the breakdown voltage of the oxide layer in a device having at least a first trench disposed in the active region of the device and a second trench disposed in the termination region of the device. In accordance with the method, mask techniques are used to thicken the oxide layer in the vicinity of the top corner of the second trench, thereby compensating for the thinning of this region (and the accompanying reduction in breakdown voltage) that occurs due to the two- dimensional oxidation during the manufacturing process.



(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

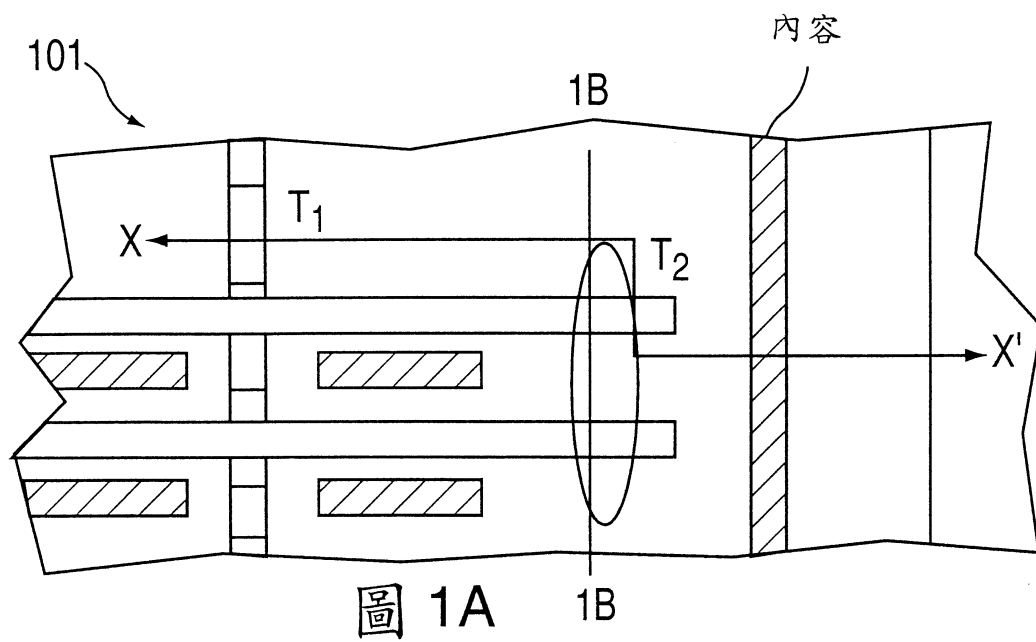


圖 1A

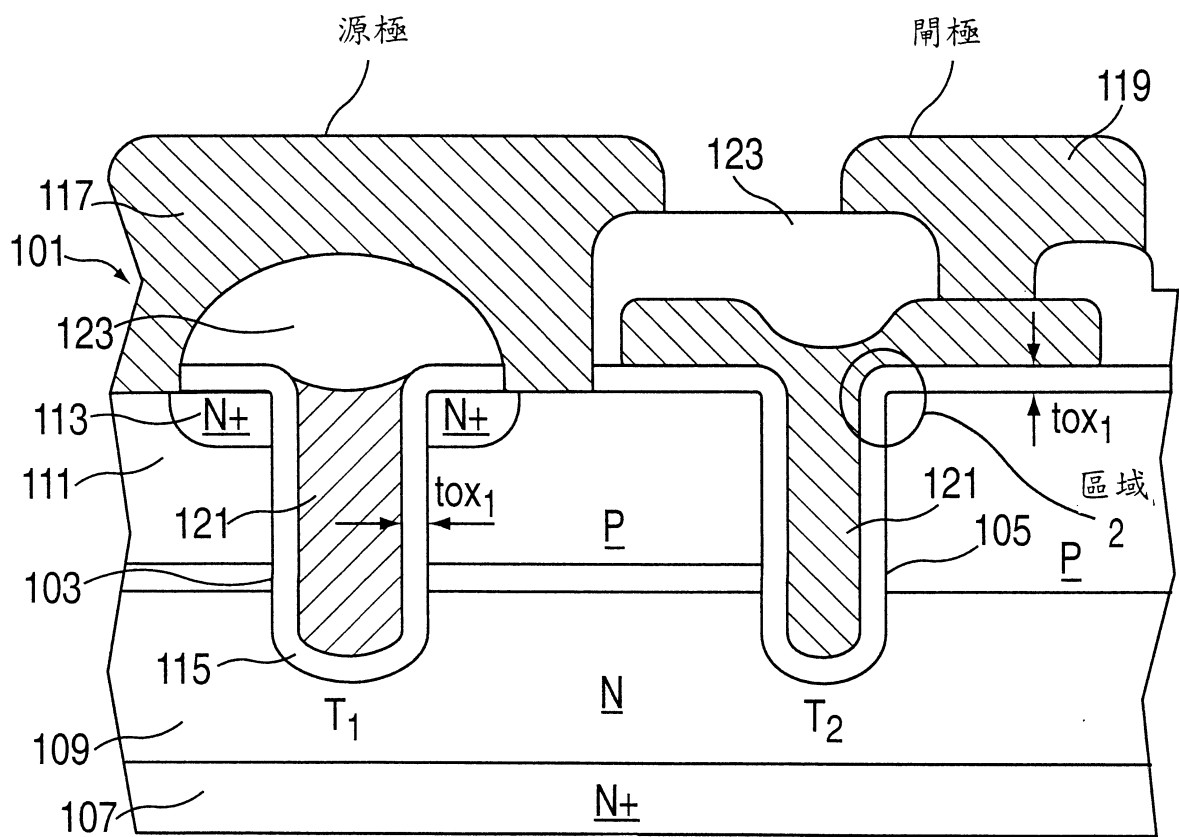


圖 1B

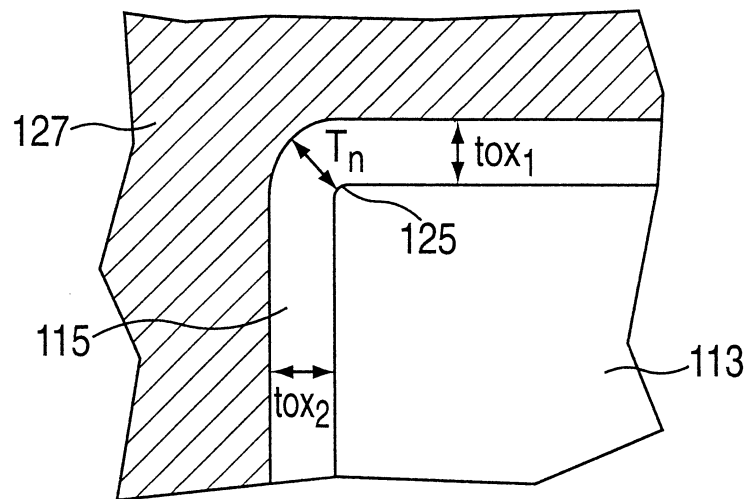
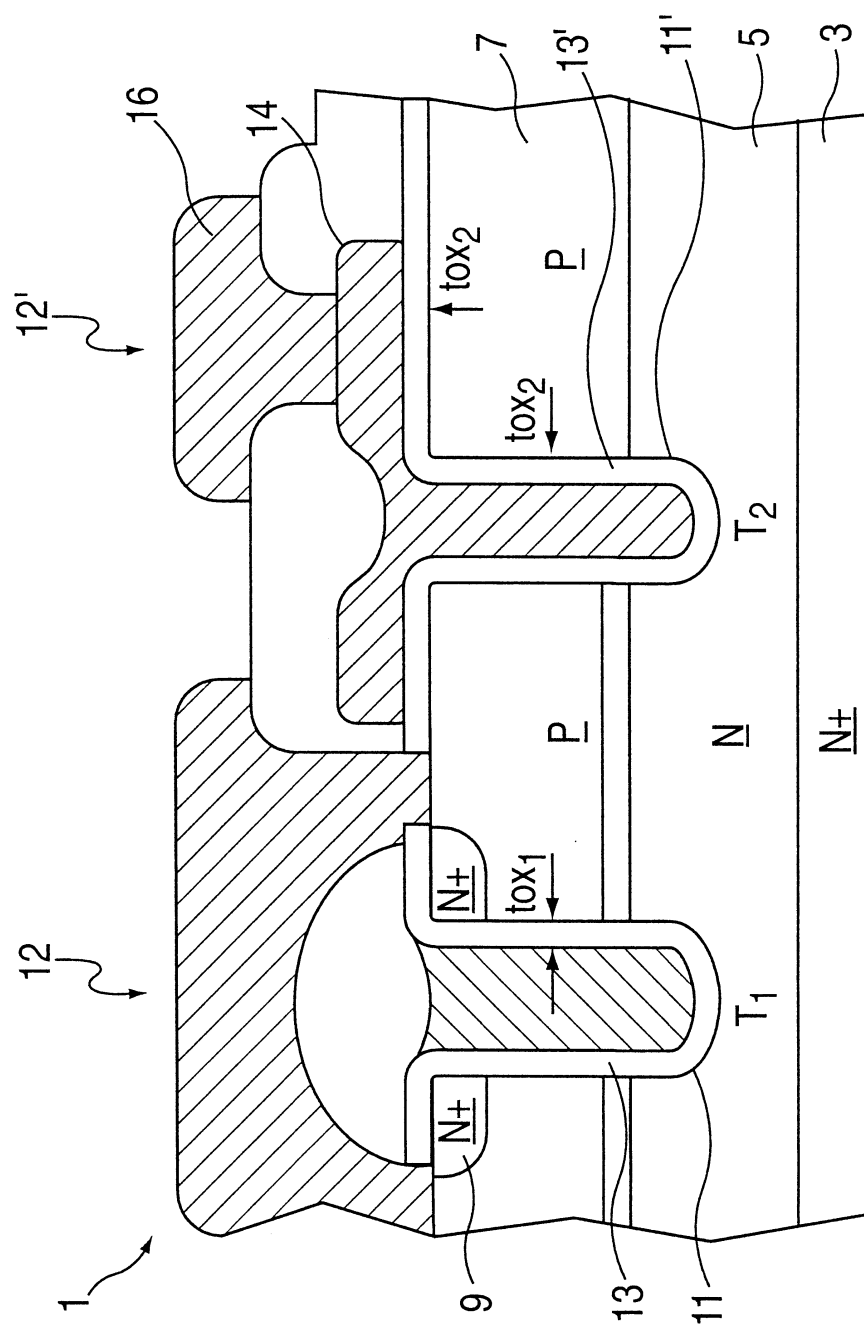


圖 1C



2
回

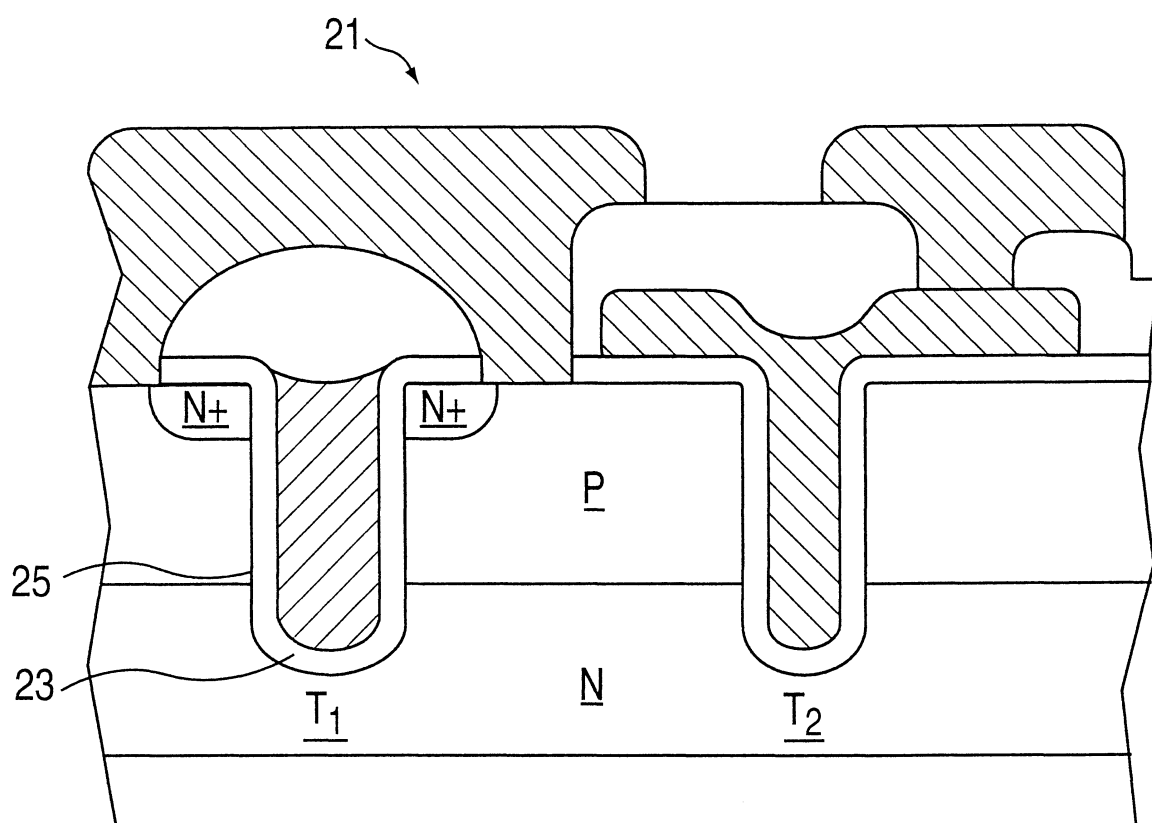


圖 3

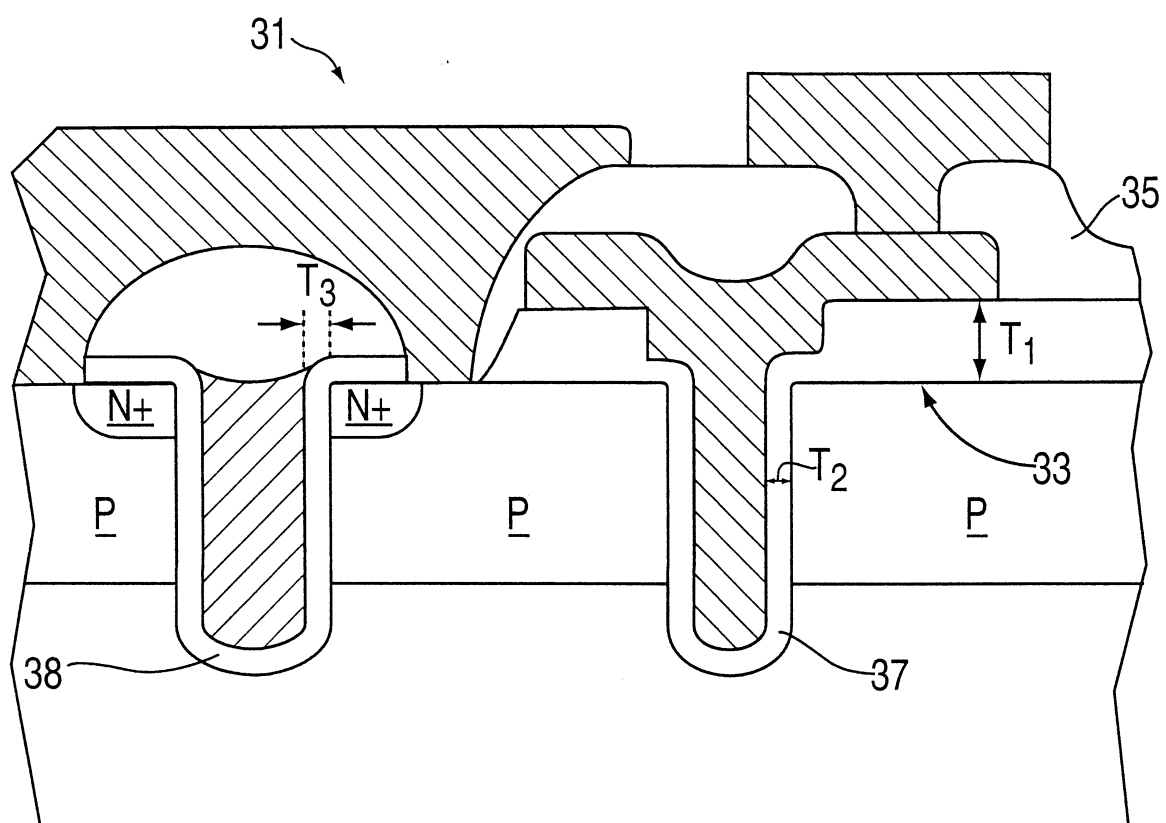


圖 4

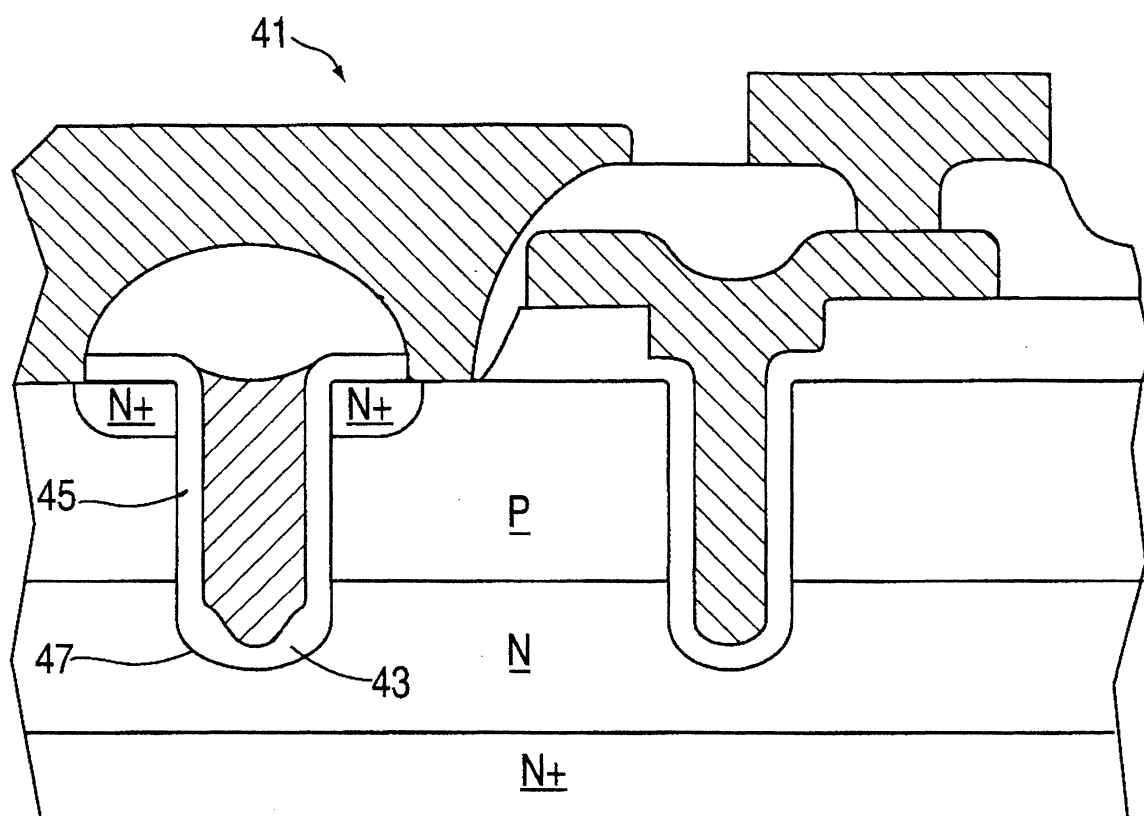


圖 5

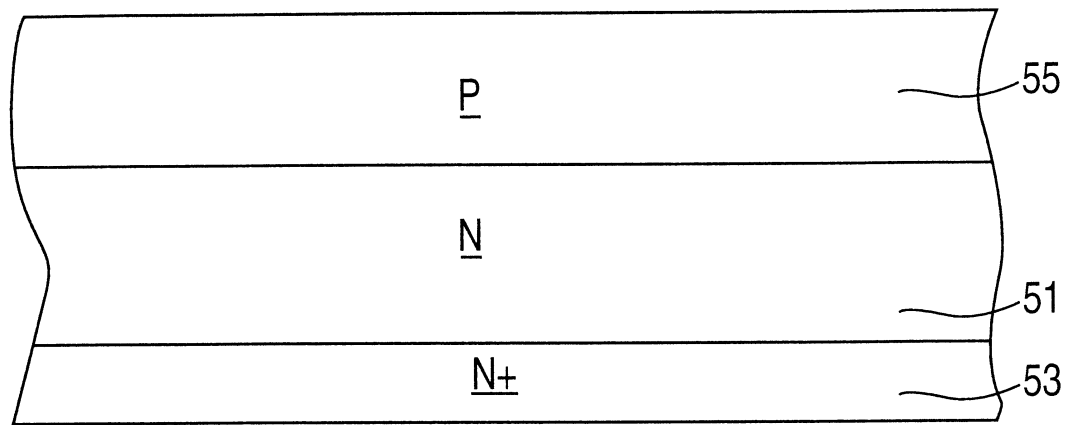


圖 6A

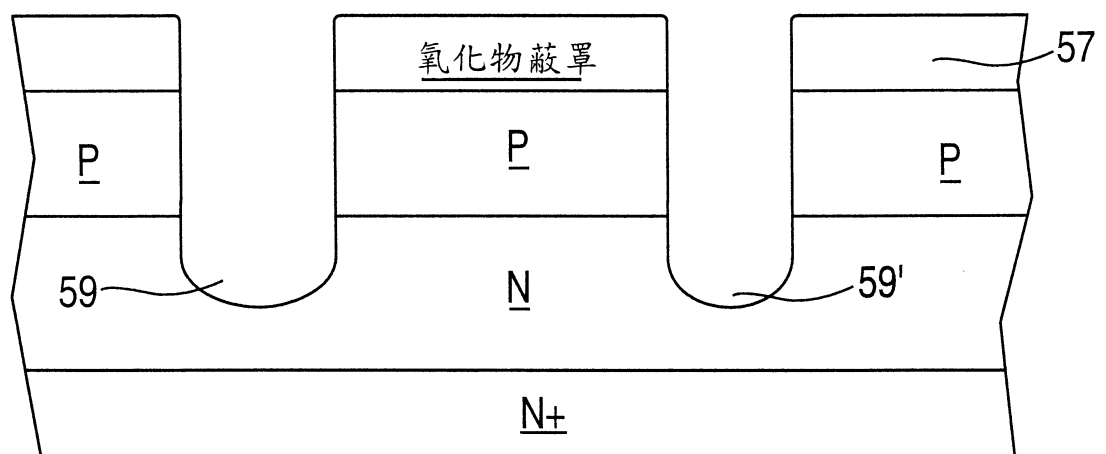


圖 6B

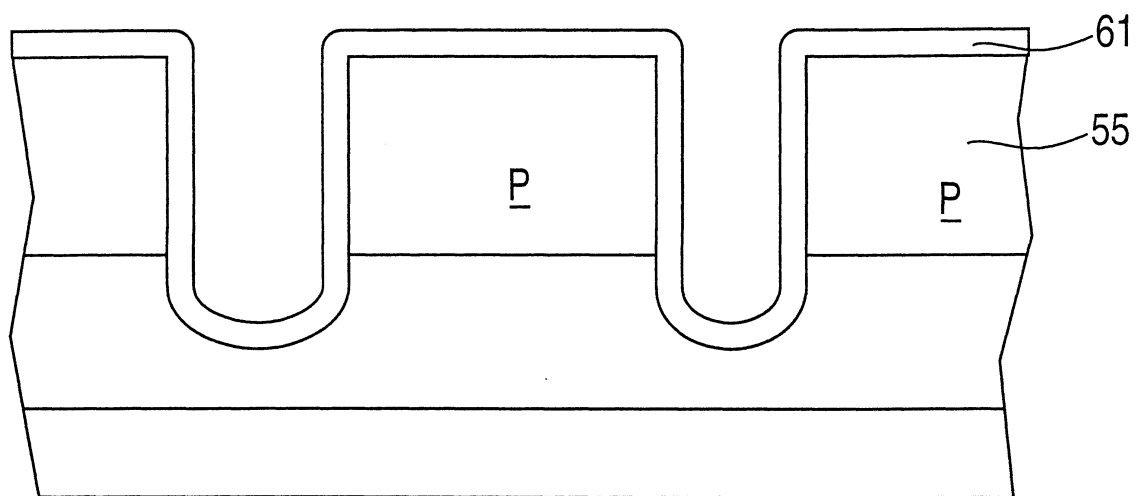


圖 6C

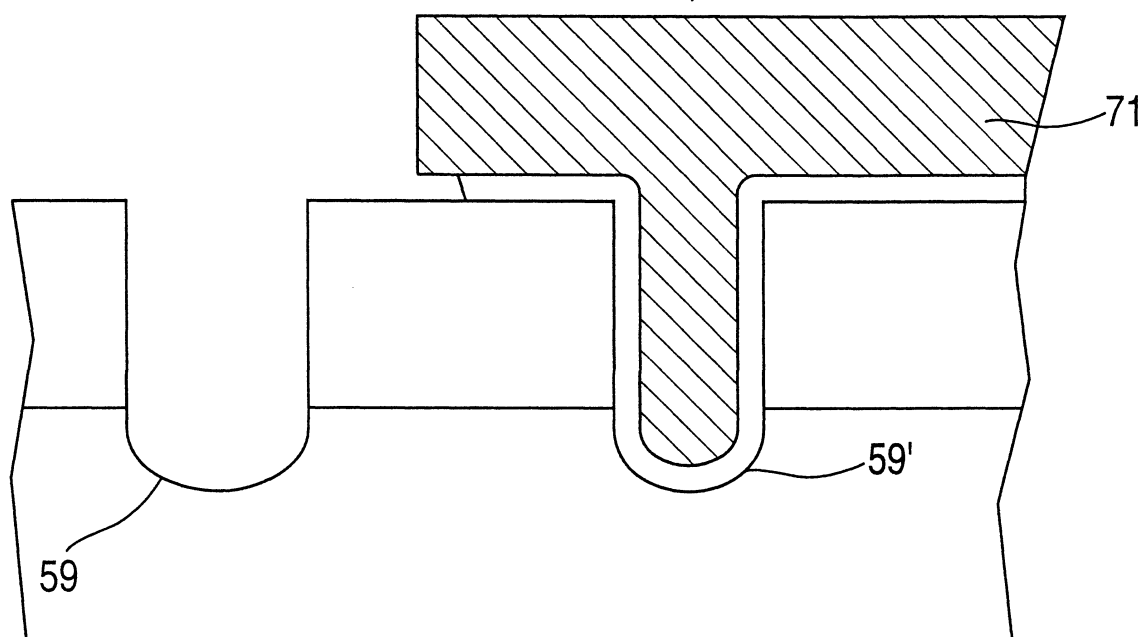


圖 6D

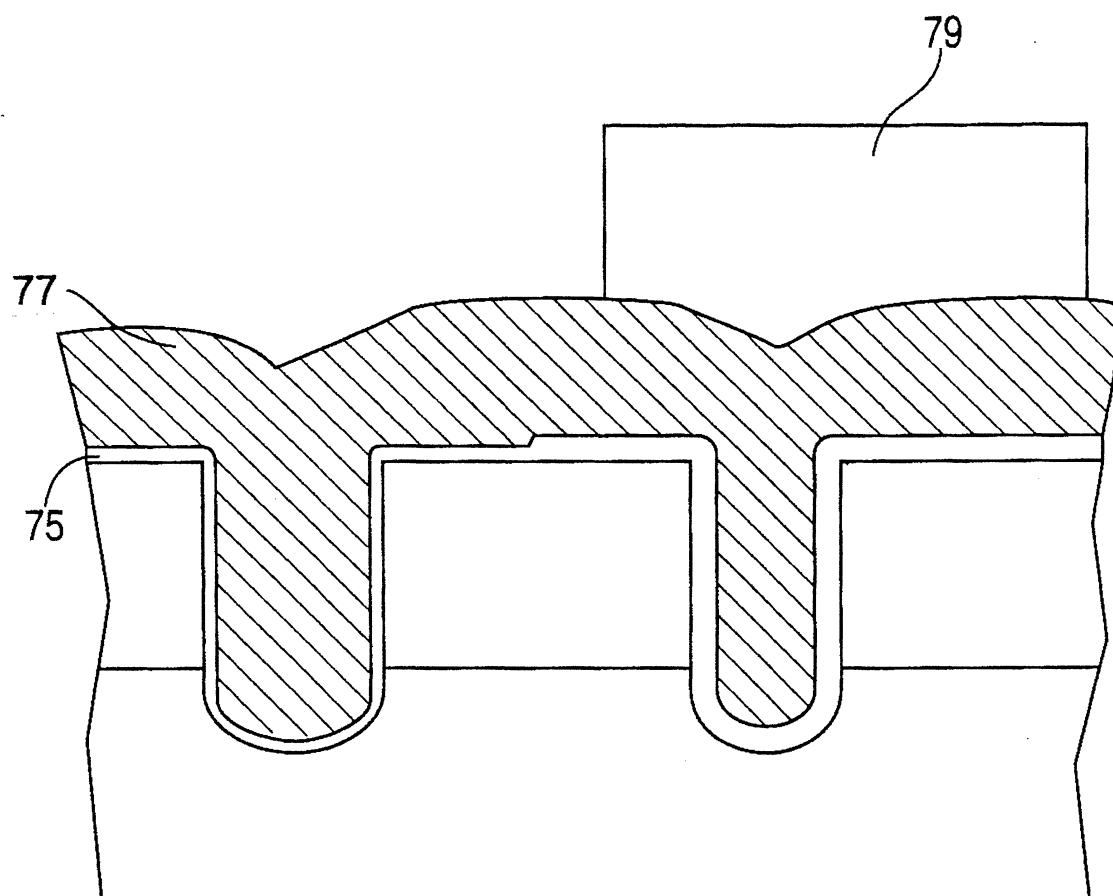


圖 6E

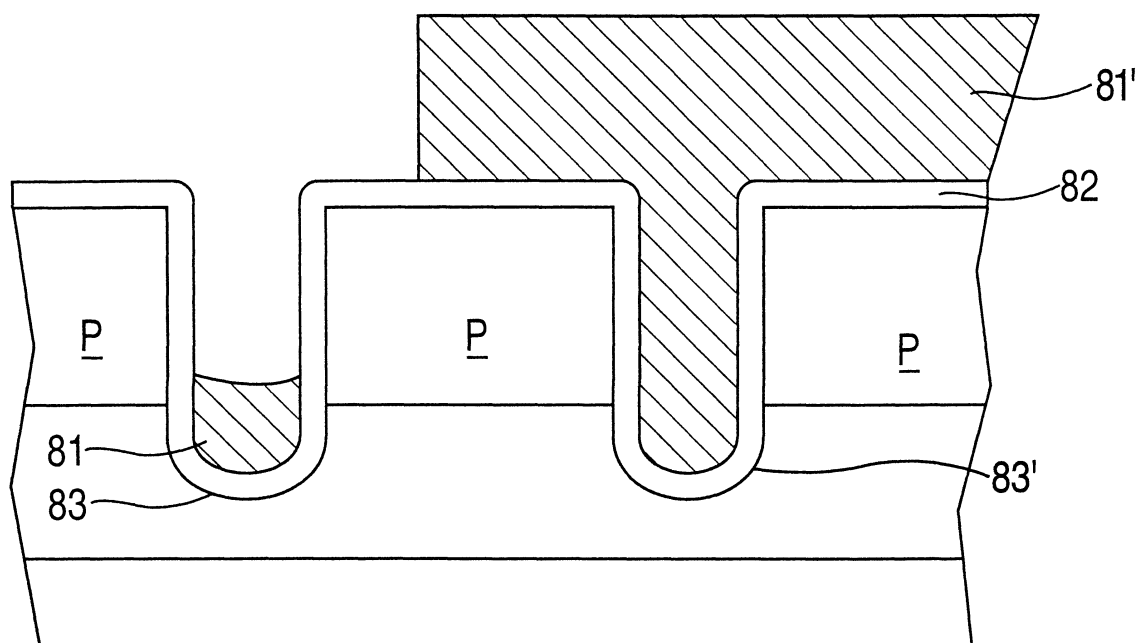


圖 7A

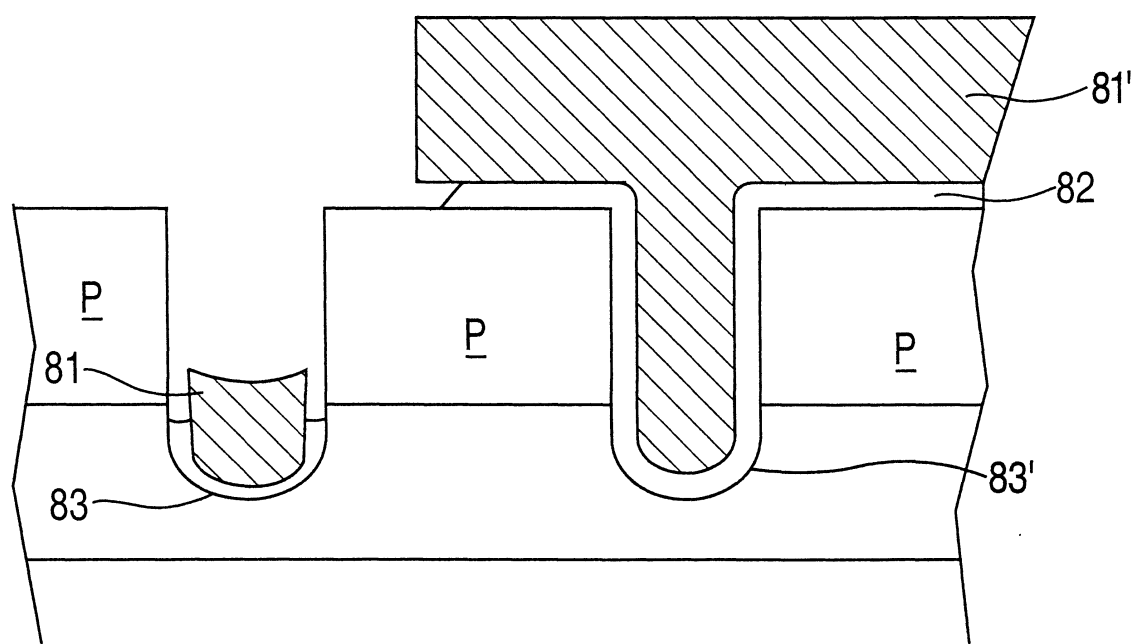


圖 7B

11/12

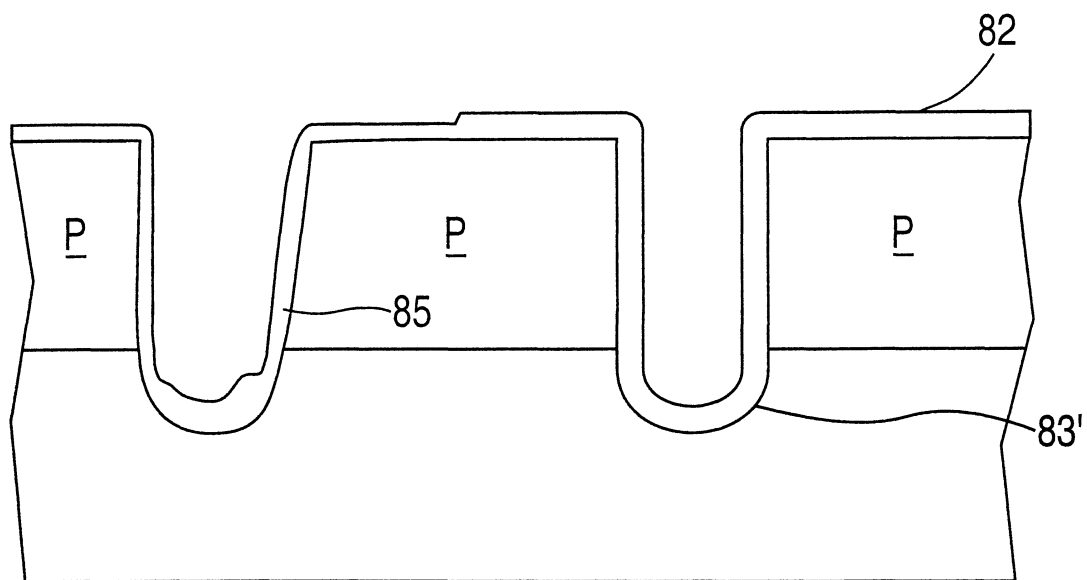


圖 7C

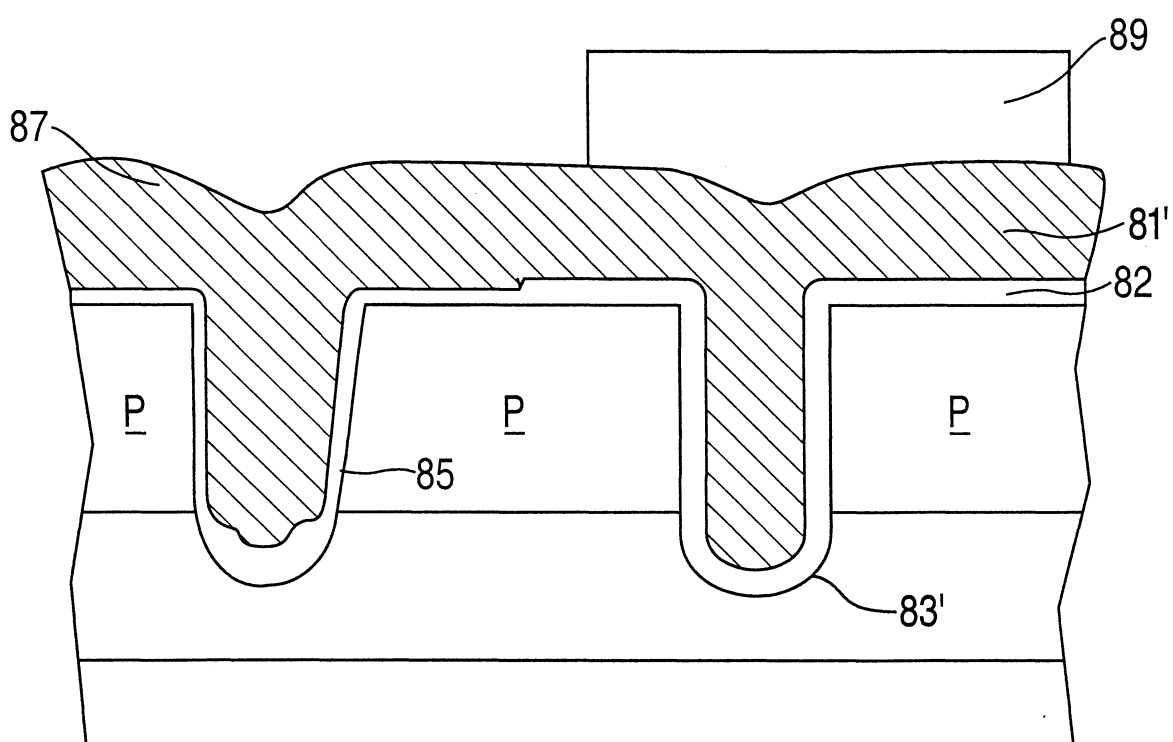


圖 7D

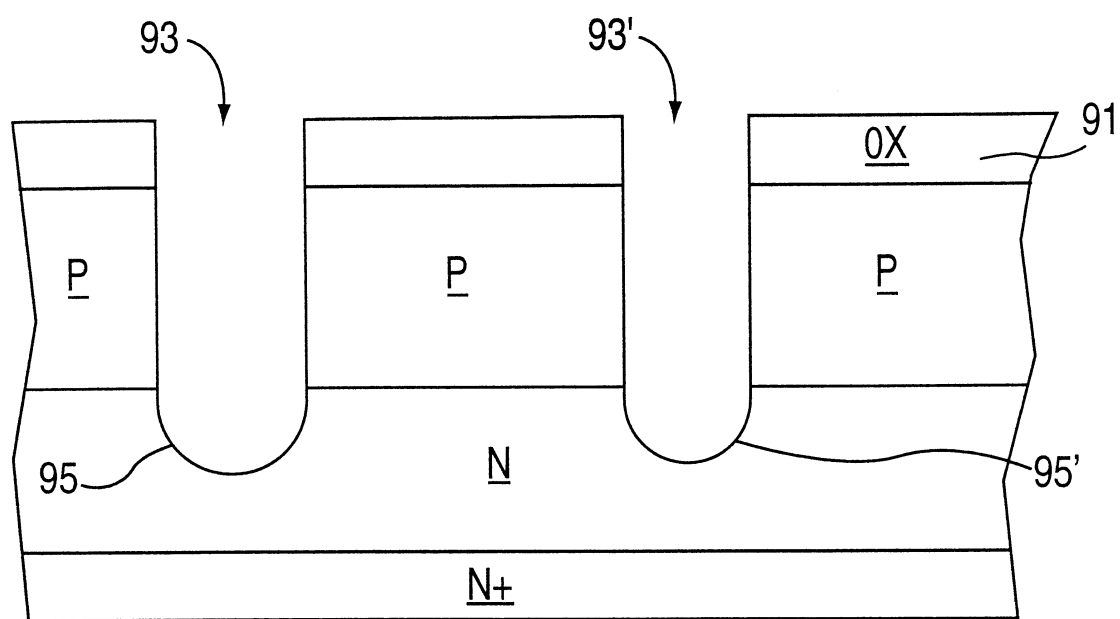


圖 8A

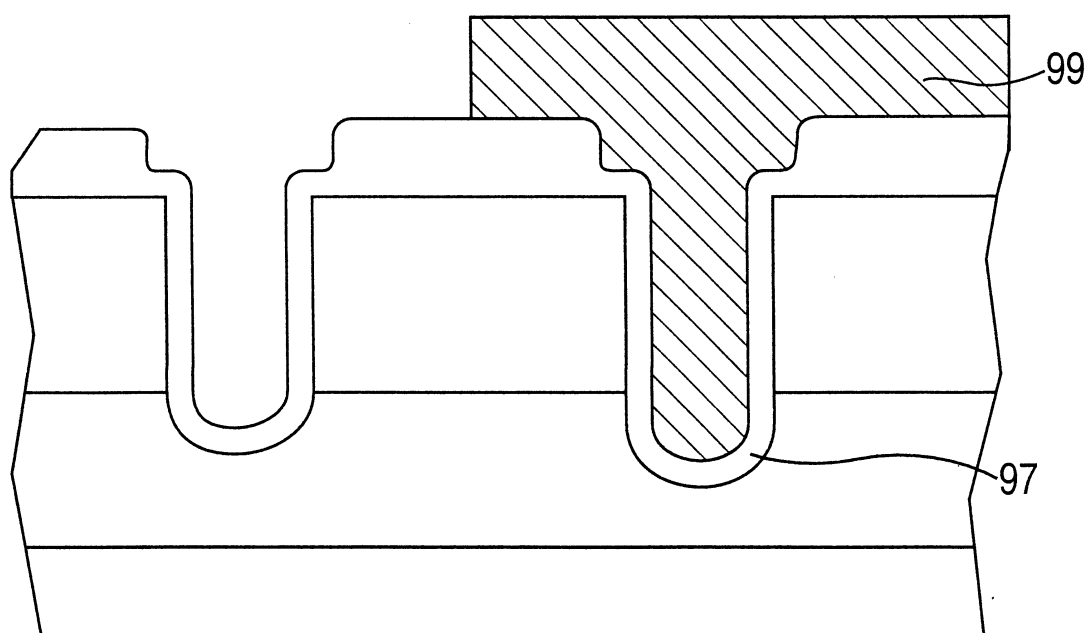


圖 8B

六、申請專利範圍

附件一(A)：第 90114465 號專利申請案

91年10月25日修正
補充

中文申請專利範圍修正本

民國 91 年 10 月 25 日修正

1. 一種製造溝式 D M O S 之方法，包括步驟：

提供一物件，包含具有一第一導電性型之一第一區，及具有一第二導電性型之一第二區，該物件具有第一及第二溝與第一及第二區相通；

沉積一第一電絕緣層於第一溝之表面上，第一絕緣層在第一溝上具有一平均厚度為 t_1 ；及

沉積一第二電絕緣層於第二溝之表面上，第二絕緣層在第二溝上具有一平均厚度為 t_2 ；

其中，比率 t_1 / t_2 至少約為 1.2。

2. 如申請專利範圍第 1 項所述之方法，其中， t_1 / t_2 至少約為 1.5。

3. 如申請專利範圍第 1 項所述之方法，其中， t_1 / t_2 至少約為 2。

4. 如申請專利範圍第 1 項所述之方法，其中， t_1 在約 600 至約 840 埃之範圍內。

5. 如申請專利範圍第 1 項所述之方法，其中， t_1 在約 750 至約 1050 埃之範圍內。

6. 如申請專利範圍第 1 項所述之方法，其中， t_1 在約 1000 至約 1400 埃之範圍內。

7. 如申請專利範圍第 1 項所述之方法，其中，第一及第二絕緣層為氧化物層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

8 . 如申請專利範圍第 7 項所述之方法，其中，第一及第二絕緣層包含氧化矽層。

9 . 如申請專利範圍第 1 項所述之方法，另包括步驟：沉積多晶矽於第一及第二溝中。

10 . 如申請專利範圍第 1 項所述之方法，其中，第一絕緣層在第一溝上具有大致均勻之厚度。

11 . 如申請專利範圍第 1 項所述之方法，其中，第一絕緣層延伸於由第一溝之表面及其鄰近區域所界定之第一地點上，且其中，第一絕緣層在第一地點上具有大致均勻之厚度。

12 . 如申請專利範圍第 11 項所述之方法，其中，第一地點由第一溝之表面及第一溝之 $k/2$ 埃內之區域界定，且其中， k 為第一溝之最大寬度。

13 . 如申請專利範圍第 1 項所述之方法，其中，第二絕緣層延伸於由第二溝之表面及其鄰近區域所界定之至少一第二地點上，且其中，第二絕緣層在第二地點之第一部份上具有大致均勻之厚度 t_f ，及在第二地點之一第二部份上具有大致均勻之厚度 t_s 。

14 . 如申請專利範圍第 13 項所述之方法，其中，第二地點由第二溝之表面及第二溝之 $k/2$ 埃內之區域界定，且其中， k 為第二溝之最大寬度。

15 . 如申請專利範圍第 14 項所述之方法，其中，該地點之第一部份為該溝之底部，且其中 $t_f > t_s$ 。

16 . 如申請專利範圍第 15 項所述之方法，其中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

比率 t_f / t_s 至少約為 1.2。

17. 如申請專利範圍第 15 項所述之方法，其中，比率 t_f / t_s 至少約為 1.5。

18. 如申請專利範圍第 15 項所述之方法，其中，比率 t_f / t_s 至少約為 2。

19. 如申請專利範圍第 1 項所述之方法，其中，第一區包含一 n 摻雜之晶膜層，且其中，第二區為 p 型擴散層。

20. 如申請專利範圍第 19 項所述之方法，其中，該物件另包含一 n+ 摻雜之晶膜層，其中，p 型擴散層置於 n 摻雜晶膜層之第一面上，且其中，n+ 摻雜層置於 n 摻雜晶膜層之第二面上。

21. 如申請專利範圍第 1 項所述之方法，其中該方法係用以製造一溝式 D M O S 裝置，該溝式 D M O S 裝置包含一作用部份及一終端部份，且其中第一溝置於終端部份中，及第二溝置於作用部份中。

22. 如申請專利範圍第 1 項所述之方法，其中該方法係用以製造一功率 M O S F E T，該功率 M O S F E T 包含一作用部份及一終端部份，且其中第一溝置於終端部份中，及第二溝置於作用部份中。

23. 一種用以製造溝式 D M O S 之方法，包括步驟：

提供一物件，包含一第一導電性型之一第一區，及一第二導電性型之一第二區，該物件具有第一及第二溝與第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

一及第二區相通，其中，第一溝及其鄰近區域界定一第一地點，其中，第二溝及其鄰近區域，不包括第二溝之底部，界定一第二地點，且其中，第二溝之底部界定一第三地點；及

沉積一電絕緣層於第一，第二，及第三地點上，其中，電絕緣層在第一地點上具有平均厚度 t_1 ，在第二地點上具有一平均厚度 t_2 ，及在第三地點上具有一平均厚度 t_3 ，且其中 $t_1 > t_2$ 。

24．如申請專利範圍第23項所述之方法，其中， $t_3 > t_2$ 。

25．如申請專利範圍第23項所述之方法，其中， t_1 / t_2 至少約為 1.5。

26．如申請專利範圍第23項所述之方法，其中， t_1 / t_2 至少約為 2。

27．如申請專利範圍第23項所述之方法，其中， t_1 在約 600 至約 840 埃之範圍內。

28．如申請專利範圍第23項所述之方法，其中， t_1 在約 750 至約 1050 埃之範圍內。

29．如申請專利範圍第23項所述之方法，其中， t_1 在約 1000 至約 1400 埃之範圍內。

30．如申請專利範圍第23項所述之方法，其中，電絕緣層在第一地點上具有大致均勻之厚度。

31．如申請專利範圍第30項所述之方法，其中，電絕緣層在第二地點上具有大致均勻之厚度。

六、申請專利範圍

3 2 . 如申請專利範圍第 2 3 項所述之方法，其中，電絕緣層在第三地點上具有大致均勻之厚度。

3 3 . 如申請專利範圍第 2 3 項所述之方法，其中，第一及第二絕緣層為氧化物層。

3 4 . 如申請專利範圍第 3 3 項所述之方法，其中，第一及第二絕緣層包含氧化矽。

3 5 . 如申請專利範圍第 2 3 項所述之方法，其中該方法係用以製造一溝式 D M O S 裝置，該溝式 D M O S 包含一作用部份及一終端部份，且其中，第一溝置於終端部份中，及第二溝置於作用部份中。

3 6 . 如申請專利範圍第 2 3 項所述之方法，其中該方法係用以製造一功率 M O S F E T 。

3 7 . 如申請專利範圍第 2 3 項所述之方法，其中，第一地點由第一溝之表面及第一溝之 $k/2$ 埃內之區域界定，且其中， k 為第一溝之最大寬度。

3 8 . 如申請專利範圍第 2 3 項所述之方法，其中，第二地點由第二溝之表面及第二溝之 $k/2$ 埃內之區域界定，且其中， k 為第二溝之最大寬度。

3 9 . 如申請專利範圍第 3 7 或 3 8 項所述之方法，其中， $k \leq 8000$ 埃。

4 0 . 一種溝式 D M O S 裝置，包含：

一第一區，具有第一導電性型；

一第二區，具有第二導電性型；

一終端部份，包含一第一溝，此與第一及第二區相通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

，該第一溝具有一第一電絕緣層置於其表面上，此具有一平均厚度 t_1 ；及

一作用部份，包含一第二溝，此與第一及第二區相通，該第二溝具有一第二電絕緣層置於其表面上，此具有一平均厚度 t_2 ，其中， $t_1 > t_2$ 。

4 1 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 / t_2 至少約為 1 . 2 。

4 2 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 / t_2 至少約為 1 . 5 。

4 3 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 / t_2 至少約為 2 。

4 4 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 具有厚度在約 6 0 0 至約 8 4 0 埃之範圍內。

4 5 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 具有厚度在約 7 5 0 至約 1 0 5 0 0 埃之範圍內。

4 6 . 如申請專利範圍第 4 0 項所述之裝置，其中， t_1 具有厚度在約 1 0 0 0 至約 1 4 0 0 埃之範圍內。

4 7 . 如申請專利範圍第 4 0 項所述之裝置，其中，電絕緣層在由第一溝之表面及第一溝之 $k / 2$ 埃內之區域界定之第一地點上具有大致均勻之厚度，且其中， k 為第一溝之最大寬度。

4 8 . 如申請專利範圍第 4 0 項所述之裝置，其中，電絕緣層在由第二溝之表面，不含第二溝之底部，及第二溝之 $k / 2$ 埃內之區域界定之第二地點上具有大致均勻之

六、申請專利範圍

厚度，且其中， k 為第二溝之最大寬度。

49．如申請專利範圍第47或48項所述之裝置，其中， $k \leq 8000$ 埃。

50．如申請專利範圍第40項所述之裝置，其中，電絕緣層在由第二溝之底部所界定之一第三地點上具有大致均勻之厚度。

51．如申請專利範圍第40項所述之裝置，其中，第一及第二絕緣層為氧化物層。

52．如申請專利範圍第51項所述之裝置，其中，第一及第二絕緣層包含氧化矽層。

53．一種功率 MOSFET，包含：

一第一區，具有第一導電性型；

一第二區，具有第二導電性型；

一終端部份，包含一第一溝，此與第一及第二區相通；

大致均勻厚度之一第一氧化物層，此延伸於由第一溝之表面及第一溝之 $k/2$ 埃內之一區域所界定之一第一地點上，其中， k 為第一溝之最大寬度；

一作用部份，包含一第二溝，此與第一及第二區相通；及

大致均勻厚度之一第二氧化物層，此延伸於由第二溝之側邊及第二溝之 $k/2$ 埃內之一區域所界定之一第二地點上；

其中，第一氧化物層具有一平均厚度 t_1 ，及第二氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

化物層具有一平均厚度 t_2 ，且其中， $t_1 > t_2$ 。

54．如申請專利範圍第53項所述之功率 MOSFET，其中，第二地點亦包含第二溝之底部。

55．如申請專利範圍第53項所述之功率 MOSFET，另包含大致均勻厚度之一第三電絕緣層，此延伸於由第二溝之底部所界定之一第三地點上。

56．如申請專利範圍第55項所述之功率 MOSFET，其中，第三電絕緣層具有平均厚度 t_3 ，且其中， $t_3 > t_2$ 。

57．如申請專利範圍第53項所述之功率 MOSFET，其中，第一及第二絕緣層為氧化物層。

58．如申請專利範圍第57項所述之功率 MOSFET，其中，第一及第二絕緣層為氧化矽層。

59．如申請專利範圍第53項所述之功率 MOSFET，其中， $k \leq 8000$ 埃。

60．如申請專利範圍第53項所述之功率 MOSFET，其中， $k \leq 10000$ 埃。

61．一種製造溝式 DMOS 裝置之方法，包括步驟：

提供一物件，包含一第一導電性型之一第一區，及一第二導電性型之一第二區，該物件具有第一及第二溝與第一及第二區相通；

沉積一第一絕緣層於第一及第二溝之表面上，第一絕緣層具有平均厚度 t_1 ；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

沉積至少一蔽罩於絕緣層之至少一部份上，從而形成一屏蔽區及一未屏蔽區，其中，屏蔽區延伸於第一溝之表面上，且其中，未屏蔽區延伸於第二溝之表面之至少一部份上；及

沉積一第二絕緣層於未屏蔽區上，該第二絕緣層具有一平均厚度 t_2 ；

其中， k 為 t_1 及 t_2 之較大者，其中， m 為 t_1 及 t_2 之較小者，且其中， k/m 至少約為 1.2。

6 2 . 如申請專利範圍第 6 1 項所述之方法，其中，在沉積第二絕緣層之前，移去未屏蔽區上之絕緣層。

6 3 . 如申請專利範圍第 6 2 項所述之方法，其中，由蝕刻移去第一絕緣層。

6 4 . 如申請專利範圍第 6 1 項所述之方法，其中，第一及第二絕緣層為氧化物層，且其中，至少一蔽罩為氧化物蔽罩。

6 5 . 如申請專利範圍第 6 4 項所述之方法，其中，第一及第二絕緣層包含氧化矽。

6 6 . 如申請專利範圍第 6 4 項所述之方法，其中， k/m 至少約 1.5。

6 7 . 如申請專利範圍第 6 4 項所述之方法，其中， k/m 至少約 2。

6 8 . 如申請專利範圍第 6 1 項所述之方法，其中，未屏蔽區延伸於第二溝之表面之第一部份上，且其中，屏蔽區延伸於第二溝之表面之一第二部份上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

69 . 如申請專利範圍第68項所述之方法，其中，未屏蔽區延伸於第二溝之上部上，且其中，屏蔽區延伸於第二溝之下部上。

70 . 如申請專利範圍第61項所述之方法，其中，未屏蔽區延伸於第二溝之整個表面上。

71 . 一種溝式DMOS裝置，包含：

一第一導電性型之一第一區；

一第二導電性型之一第二區；

一第一溝，與第一及第二區相通，第一溝終止於一第一底部，並具有第一及第二壁，第一壁自第一底部延伸至溝式DMOS裝置之一表面，第一壁及該表面之相交界定一第一地點；

一第二溝，與第一及第二區相通，及第二溝具有第三及第四壁，並終止於一第二底部，及第二底部界定一第二點；

一第一電絕緣材料，沉積於第一地點上；及

至少一蔽罩界定一屏蔽區及一未屏蔽區，屏蔽區伸於第一地點上，及未屏蔽區延伸於第三及第四壁之至少一部份上。

72 . 如申請專利範圍第71項所述之溝式DMOS裝置，其中，屏蔽區延伸於第一溝上，及未屏蔽區延伸於第二溝上。

73 . 如申請專利範圍第71項所述之溝式DMOS裝置，其中，屏蔽區亦延伸於第二地點上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

7 4 . 如申請專利範圍第 7 3 項所述之溝式 D M O S 裝置，其中，絕緣材料延伸於屏蔽區上。

7 5 . 如申請專利範圍第 7 4 項所述之溝式 D M O S 裝置，其中，絕緣材料不延伸於未屏蔽區上。

7 6 . 如申請專利範圍第 7 1 項所述之溝式 D M O S 裝置，其中，該絕緣材料置於該至少一蔽罩及第一地點之間。

7 7 . 如申請專利範圍第 7 6 項所述之溝式 D M O S 裝置，其中，該絕緣材料置於該至少一蔽罩及第二地點之間。

7 8 . 如申請專利範圍第 7 1 項所述之溝式 D M O S 裝置，其中，該絕緣材料為氧化矽。

7 9 . 如申請專利範圍第 7 8 項所述之溝式 D M O S 裝置，其中，該至少一蔽罩為氧化物蔽罩。

8 0 . 如申請專利範圍第 7 1 項所述之溝式 D M O S 裝置，其中，該第二區為擴散區。

8 1 . 如申請專利範圍第 7 2 項所述之溝式 D M O S 裝置，其中，該擴散區為 p 型擴散區。

8 2 . 一種製造溝式 D M O S 之方法，包括步驟：

提供一基體，包含具有第一導電性型之一第一區，及具有第二導電性型之一第二區；

構製一第一氧化物層於基體之表面上，第一氧化物層中具有第一及第二開口；

構製第一及第二溝分別於第一及第二開口之位置中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

第一及第二溝分別與第一及第二開口相通；

構製一第二氧化物層於第二溝之表面上，第二氧化物層在第二溝上具有平均厚度 t_2 ；及

構製一第三氧化物層於第一溝之表面上，及第三氧化物層在第一溝之一第一部份上具有平均厚度 t_3 ，及在第一溝之一第二部份上具有平均厚度 t_4 ，其中，比率 t_2 / t_3 至少約為 1.2。

83. 如申請專利範圍第 82 項所述之方法，其中，構製第一氧化物層之步驟包括步驟：由蒸氣沉積法沉積一層氧化物。

84. 如申請專利範圍第 82 項所述之方法，其中，構製第二氧化物層之步驟在以下步驟之後：

沉積一犧牲性氧化物層於第二溝之表面上；及

移去第二溝之表面上之該犧牲性氧化物層。

85. 如申請專利範圍第 82 項所述之方法，其中，構製第二氧化物層之步驟在以下步驟之後：

沉積一第二氧化物層於第一及第二溝之表面上；

置一氧化物蔽罩於第二溝上；及

移去第一溝之表面上之第二氧化物層。

86. 如申請專利範圍第 85 項所述之方法，其中，構製第三氧化物層之步驟包括步驟：由蒸氣沉積法沉積一層氧化物。

87. 如申請專利範圍第 82 項所述之方法，其中，第一氧化物層具有平均厚度 t_1 ，且其中， $t_1 / t_2 >$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1。

88．如申請專利範圍第82項所述之方法，其中， t_3 及 t_4 大致相等。

89．如申請專利範圍第82項所述之方法，其中， t_3 / t_4 至少約為1.2。

90．如申請專利範圍第89項所述之方法，其中，第一溝之第二部份包含第一溝之底部。

91．如申請專利範圍第82項所述之方法，其中該方法係用以製造一MOSFET，該MOSFET具有一作用區及一終端區，其中，第一溝置於作用區中，及第二溝置於終端區中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線