



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년03월20일
 (11) 등록번호 10-1960408
 (24) 등록일자 2019년03월14일

- (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 7/12* (2006.01)
G11C 8/08 (2006.01)
- (21) 출원번호 10-2012-0053321
- (22) 출원일자 2012년05월18일
 심사청구일자 2017년05월16일
- (65) 공개번호 10-2012-0129833
- (43) 공개일자 2012년11월28일
- (30) 우선권주장
 JP-P-2011-114084 2011년05월20일 일본(JP)
- (56) 선행기술조사문헌
 US20100141322 A1*
 US20110101351 A1*
 WO2003085741 A1*
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시키가이샤 한도오파이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 오시마 카즈아키
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
 코바야시 히데토모
 일본국 243-0036 가나가와켄 아쓰기시 하세 398
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인
 황의만

전체 청구항 수 : 총 6 항

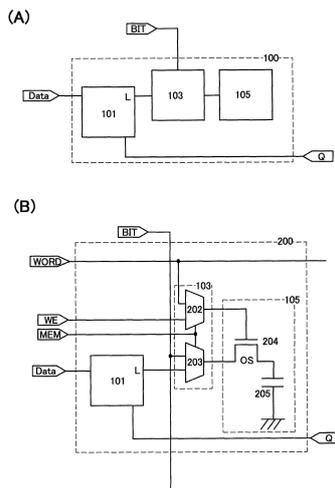
심사관 : 윤석채

(54) 발명의 명칭 **반도체 장치**

(57) 요약

원하는 타이밍에 데이터의 평가, 리라이트를 수행할 수 있는 반도체 장치를 제공한다. 플립플롭 회로와, 선택 회로와, 선택 회로를 통해 상기 플립플롭 회로와 전기적으로 접속되는 불휘발성 기억회로를 포함하는 레지스터 회로와, 비트선과, 데이터선을 가지며, 데이터선은 플립플롭 회로와 전기적으로 접속되고, 비트선은 선택 회로를 통해 불휘발성 기억회로와 전기적으로 접속되고, 선택 회로는 데이터선의 전위 또는 비트선의 전위에 따른 데이터를 선택적으로 불휘발성 기억회로에 저장하는 반도체 장치.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치로서,

플립플롭 회로, 선택 회로, 및 상기 선택 회로를 통해 상기 플립플롭 회로와 전기적으로 접속되는 기억회로를 포함하는 레지스터 회로;

비트선; 및

데이터선을 포함하고,

상기 기억회로는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 포함하고,

상기 데이터선은 상기 플립플롭 회로와 전기적으로 접속되고,

상기 비트선은 상기 선택 회로를 통해 상기 기억회로와 전기적으로 접속되고,

상기 선택 회로는 상기 데이터선의 전위 또는 상기 비트선의 전위에 기초한 데이터를 선택적으로 상기 기억회로에 저장하는, 반도체 장치.

청구항 2

반도체 장치로서,

플립플롭 회로, 선택 회로, 및 상기 선택 회로를 통해 상기 플립플롭 회로와 전기적으로 접속되는 기억회로를 포함하는 레지스터 회로;

비트선;

데이터선;

워드선; 및

메모리 라이트 인에이블선을 포함하고,

상기 기억회로는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 포함하고,

상기 워드선 및 상기 메모리 라이트 인에이블선은 상기 선택 회로와 전기적으로 접속되고,

상기 데이터선은 상기 플립플롭 회로와 전기적으로 접속되고,

상기 비트선은 상기 선택 회로를 통해 상기 기억회로와 전기적으로 접속되고,

상기 선택 회로는 상기 기억회로와 상기 워드선 또는 상기 메모리 라이트 인에이블선 사이의 전기적 접속을 결정하기 위한 제1 스위치와, 상기 기억회로와 상기 데이터선 또는 상기 비트선 사이의 전기적 접속을 결정하기 위한 제2 스위치를 포함하는, 반도체 장치.

청구항 3

반도체 장치로서,

매트릭스형으로 제공된 복수의 레지스터 회로;

비트선; 및

데이터선을 포함하고,

상기 레지스터 회로 각각은, 플립플롭 회로, 선택 회로, 및 상기 선택 회로를 통해 상기 플립플롭 회로와 전기적으로 접속되는 기억회로를 포함하고,

상기 데이터선은 상기 플립플롭 회로와 전기적으로 접속되고,

상기 비트선은 상기 선택 회로를 통해 상기 기억회로와 전기적으로 접속되고,

상기 선택 회로는 상기 데이터선의 전위 또는 상기 비트선의 전위에 기초한 데이터를 선택적으로 상기 기억회로에 저장하고,

상기 기억회로는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 4

반도체 장치로서,

매트릭스형으로 제공된 복수의 레지스터 회로;

비트선;

데이터선;

워드선; 및

메모리 라이트 인에이블선을 포함하고,

상기 레지스터 회로 각각은, 플립플롭 회로, 선택 회로, 및 상기 선택 회로를 통해 상기 플립플롭 회로와 전기적으로 접속되는 기억회로를 포함하고,

상기 워드선 및 상기 메모리 라이트 인에이블선은 상기 선택 회로와 전기적으로 접속되고,

상기 데이터선은 상기 플립플롭 회로와 전기적으로 접속되고,

상기 비트선은 상기 선택 회로를 통해 상기 기억회로와 전기적으로 접속되고,

상기 선택 회로는 상기 기억회로와 상기 워드선 또는 상기 메모리 라이트 인에이블선 사이의 전기적 접속을 결정하기 위한 제1 스위치와, 상기 기억회로와 상기 데이터선 또는 상기 비트선 사이의 전기적 접속을 결정하기 위한 제2 스위치를 포함하고,

상기 기억회로는 채널 형성 영역에 산화물 반도체를 포함하는 트랜지스터를 포함하는, 반도체 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 선택 회로는 상기 플립플롭 회로를 통해 상기 기억회로에 상기 데이터선의 전위에 기초한 데이터를 저장하기 위한 제 1 동작 모드, 상기 기억회로에 저장된 데이터를 상기 플립플롭 회로에 공급하기 위한 제 2 동작 모드, 상기 기억회로에 상기 비트선의 전위에 기초한 데이터를 저장하기 위한 제 3 동작 모드, 및 상기 기억회로에 저장된 데이터를 상기 비트선에 공급하기 위한 제 4 동작 모드 중 어느 하나를 선택하는, 반도체 장치.

청구항 6

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 기억회로는 상기 트랜지스터의 제 1 전극과 하나의 전극이 전기적으로 접속되고 다른 하나의 전극이 접지되어 있는 용량 소자를 포함하고,

상기 데이터선의 전위 또는 상기 비트선의 전위는, 상기 트랜지스터의 상기 제 1 전극과 상기 용량 소자의 상기 하나의 전극이 서로 전기적으로 접속된 노드에 저장되는, 반도체 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치 및 이 반도체 장치의 구동방법에 관한 것이다.

배경 기술

[0002] 중앙연산처리장치(CPU: Central Processing Unit) 등의 신호 처리 회로는 그 용도에 따라 다양한 구성을 가지고 있는데, 일반적으로 데이터나 프로그램을 기억하기 위한 메인 메모리 외에도 레지스터, 캐시 메모리 등, 각종 기억장치가 마련되어 있다. 레지스터는 연산 처리나 프로그램의 실행 상태의 유지 등을 위해 일시적으로 데이터를 유지하는 역할을 담당하고 있다. 또한, 캐시 메모리는 연산회로와 메인 메모리의 사이에 마련되어 메인 메모리에의 액세스를 줄여 연산 처리를 고속화시키는 것을 목적으로 마련된다.

[0003] 레지스터나 캐시 메모리 등의 기억장치는 메인 메모리보다 고속으로 데이터를 라이트할 필요가 있다. 따라서 통상적으로는 레지스터로서 플립플롭 회로가, 캐시 메모리로서 SRAM(Static Random Access Memory) 등이 이용된다. 즉, 이러한 레지스터, 캐시 메모리 등으로서는 전원 전압의 공급이 끊어지면 데이터를 소실하는 휘발성 기억회로가 사용되고 있다.

[0004] 소비 전력을 억제하기 위해, 데이터의 입출력이 이루어지지 않는 기간 동안에 신호 처리 회로의 전원 전압의 공급을 일시적으로 정지시키는 방법이 제안되었다. 이 방법에 따르면, 레지스터, 캐시 메모리 등의 휘발성의 기억장치의 주변에 불휘발성 기억장치를 배치하고, 상기 데이터를 그 불휘발성 기억장치에 일시적으로 기억시킨다. 이렇게 하여, 신호 처리 회로에서 전원 전압의 공급을 정지하는 동안에도 레지스터, 캐시 메모리에 기억되고 있던 데이터를 유지할 수 있다(예를 들면, 특허문헌 1 참조).

[0005] 또한, 신호 처리 회로에서 장시간 전원 전압의 공급을 정지할 때에는 전원 전압의 공급을 정지하기 전에 휘발성의 기억장치 내의 데이터를 하드디스크, 플래쉬 메모리 등의 외부 기억장치로 옮김으로써 데이터의 소실을 막을 수도 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특허공개 평10-078836호 공보

발명의 내용

해결하려는 과제

[0007] 상기와 같이 전원 전압의 공급 정지 기간 동안에 데이터를 기억시키기 위한 외부 기억장치를 마련한 경우, 신호 처리 회로로부터 외부 기억장치로 데이터를 기입하는 데에 시간이 걸리므로 단시간의 전원 정지에는 적합하지 않은 문제가 있다.

[0008] 또한, 신호 처리 회로 내의 데이터에 문제가 발생했을 경우, 문제가 발생한 데이터의 평가 및 문제가 발생한 데이터의 리라이트를 하는 데에는 시간이 걸려 신속히 전원 전압의 공급 정지상태로부터 복귀할 수 없는 문제가 있다.

[0009] 따라서, 신호 처리 회로의 데이터를 고속으로 불휘발성 기억장치에 이행시켜 잦은 빈도로 전력의 공급을 정지할 수 있어 소비 전력을 감소시킬 수 있는 반도체 장치를 제공하는 것을 일 과제로 한다. 또한, 원하는 타이밍에 데이터의 평가, 리라이트를 수행할 수 있는 반도체 장치를 제공하는 것을 일 과제로 한다.

과제의 해결 수단

[0010] 반도체 장치가 갖는 플립플롭 회로마다 불휘발성 기억회로를 마련한다. 이 플립플롭 회로와 불휘발성 기억회로 간에 데이터를 주고 받음으로써 고속으로 데이터를 이동시킬 수 있다. 나아가 이 불휘발성 기억회로에 직접 데이터의 라이트 및 리드를 수행하는 배선을 마련함으로써 이 배선을 통해 원하는 타이밍에 반도체 장치가 유지하고 있는 데이터의 평가, 리라이트를 수행할 수 있다.

[0011] 따라서, 본 발명의 일 태양은, 플립플롭 회로와, 선택 회로와, 선택 회로를 통해 플립플롭 회로와 전기적으로 접속되는 불휘발성 기억회로를 포함하는 레지스터 회로와, 비트선과, 데이터선을 가지며, 데이터선은 플립플롭 회로와 전기적으로 접속되고, 비트선은 선택 회로를 통해 불휘발성 기억회로와 전기적으로 접속되고, 선택 회로는 데이터선의 전위 또는 비트선의 전위에 따른 데이터를 선택적으로 불휘발성 기억회로에 저장하는 반도체 장치이다.

[0012] 또한, 본 발명의 다른 일 태양은, 플립플롭 회로와, 선택 회로와, 선택 회로를 통해 플립플롭 회로와 전기적으로 접속되는 불휘발성 기억회로를 포함하는 레지스터 회로와, 비트선과, 데이터선과, 워드선과, 메모리 라이트 인에이블선을 가지며, 워드선 및 메모리 라이트 인에이블선은 선택 회로와 전기적으로 접속되고, 데이터선은 플립플롭 회로와 전기적으로 접속되고, 비트선은 선택 회로를 통해 불휘발성 기억회로와 전기적으로 접속되고, 선택 회로는 불휘발성 기억회로와 워드선 또는 메모리 라이트 인에이블선과의 전기적 접속을 선택하는 제1 스위치와, 불휘발성 기억회로와 데이터선 또는 비트선과의 전기적 접속을 선택하는 제2 스위치를 갖는 반도체 장치이다.

[0013] 또한, 본 발명의 일 태양은, 매트릭스형으로 마련된 복수의 레지스터 회로와, 비트선과, 데이터선을 가지며, 레지스터 회로 중 하나는, 플립플롭 회로와, 선택 회로와, 선택 회로를 통해 플립플롭 회로와 전기적으로 접속되는 불휘발성 기억회로를 포함하고, 데이터선은 플립플롭 회로와 전기적으로 접속되고, 비트선은 선택 회로를 통해 불휘발성 기억회로와 전기적으로 접속되고, 선택 회로는 데이터선의 전위 또는 비트선의 전위에 따른 데이터를 선택적으로 불휘발성 기억회로에 저장하는 반도체 장치이다.

[0014] 또한, 본 발명의 다른 일 태양은, 매트릭스형으로 마련된 복수의 레지스터 회로와, 비트선과, 데이터선과, 워드선과, 메모리 라이트 인에이블선을 가지며, 레지스터 회로 중 하나는, 플립플롭 회로와, 선택 회로와, 선택 회로를 통해 플립플롭 회로와 전기적으로 접속되는 불휘발성 기억회로를 포함하고, 워드선 및 메모리 라이트 인에이블선은 선택 회로와 전기적으로 접속되고, 데이터선은 플립플롭 회로와 전기적으로 접속되고, 비트선은 선택 회로를 통해 불휘발성 기억회로와 전기적으로 접속되고, 선택 회로는 불휘발성 기억회로와 워드선 또는 메모리 라이트 인에이블선과의 전기적 접속을 선택하는 제1 스위치와, 불휘발성 기억회로와 데이터선 또는 비트선과의 전기적 접속을 선택하는 제2 스위치를 갖는 반도체 장치이다.

[0015] 또한, 본 발명의 일 태양에 따른 반도체 장치에 이용하는 선택 회로는, 불휘발성 기억회로에 플립플롭 회로를 통해 데이터선의 전위에 따른 데이터를 저장하는 제1 동작 모드와, 플립플롭 회로에, 불휘발성 기억회로에 저장

된 데이터를 입력하는 제2 동작 모드와, 불휘발성 기억회로에 비트선의 전위에 따른 데이터를 저장하는 제3 동작 모드와, 비트선에 불휘발성 기억회로에 저장된 데이터를 입력하는 제4 동작 모드 중 어느 하나를 선택한다.

[0016] 또한, 본 발명의 일 태양에 따른 반도체 장치에 이용하는 불휘발성 기억회로는, 채널 형성 영역에, 산화물 반도체를 포함하는 트랜지스터와, 트랜지스터의 제1 전극과 하나의 전극이 전기적으로 접속되고 다른 하나의 전극이 접지되어 있는 용량 소자를 가지며, 데이터선 또는 비트선의 전위는, 트랜지스터의 제1 전극과 용량 소자의 하나의 전극이 접속된 노드에 저장되는 반도체 장치이다.

발명의 효과

[0017] 레지스터 회로에 포함되는 플립플롭 회로마다 불휘발성 기억회로가 마련되어 전력의 공급을 정지하여도 데이터를 유지할 수 있으므로 소비 전력이 감소된 반도체 장치를 제공할 수 있다. 또한, 이 불휘발성 기억회로가 레지스터 회로의 외부와 직접 데이터의 교환을 수행하는 배선을 마련함으로써, 원하는 타이밍에 데이터의 평가, 리라이트를 수행할 수 있는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 태양의 반도체 장치를 나타낸 도면이고,
- 도 2는 본 발명의 일 태양의 반도체 장치가 갖는 플립플롭 회로에 대하여 도시한 도면이고,
- 도 3은 본 발명의 일 태양의 반도체 장치의 동작을 나타낸 타이밍 차트이고,
- 도 4는 본 발명의 일 태양의 반도체 장치의 동작을 나타낸 타이밍 차트이고,
- 도 5는 본 발명의 일 태양의 반도체 장치의 동작을 나타낸 타이밍 차트이고,
- 도 6은 본 발명의 일 태양의 반도체 장치를 나타낸 도면이고,
- 도 7은 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면이고,
- 도 8은 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면이고,
- 도 9는 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면이고,
- 도 10은 트랜지스터에 적용할 수 있는 산화물 재료의 결정 구조를 설명하는 도면이고,
- 도 11은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도면이고,
- 도 12는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이고,
- 도 13은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이고,
- 도 14는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도면이고,
- 도 15는 계산에 이용한 트랜지스터의 단면 구조를 설명하는 도면이고,
- 도 16은 산화물 반도체막을 이용한 트랜지스터 특성을 설명하는 도면이고,
- 도 17은 시료 1인 트랜지스터의 BT 시험후의 드레인 전류의 게이트 전압 의존성을 설명하는 도면이고,
- 도 18은 시료 2인 트랜지스터의 BT 시험후의 드레인 전류의 게이트 전압 의존성을 설명하는 도면이고,
- 도 19는 드레인 전류의 게이트 전압 의존성을 설명하는 도면이고,
- 도 20은 기판 온도와 문턱값 전압의 관계 및 기판 온도와 전계효과 이동도의 관계를 설명하는 도면이고,
- 도 21은 시료 A 및 시료 B의 XRD 스펙트럼을 설명하는 도면이고,
- 도 22는 트랜지스터의 오프 전류와 측정시 기판 온도와의 관계를 설명하는 도면이고,
- 도 23은 트랜지스터의 단면도이고,
- 도 24는 본 발명의 일 태양에 따른 신호 처리 회로를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시형태에 대하여 도면을 이용하여 상세히 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 중심 취지 및 그 범위를 벗어나지 않고 그 형태 및 상세를 다양하게 변경할 수 있음은 당업자라면 용이하게 이해할 것이다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에 한정하여 해석되지 않는다. 아울러 이하에 설명하는 발명의 구성에서 동일 부분 또는 동일한 기능을 갖는 부분에는 동일한 부호를 다른 도면들간에 공통적으로 사용하고 그 반복 설명은 생략하기로 한다.
- [0020] 또한, 본 명세서에서 설명하는 각 도면에서 각 구성의 크기, 층의 두께 또는 영역은 명료화를 위해 과장되어 있을 수 있다. 따라서, 반드시 그 스케일로 한정되는 것은 아니다.
- [0021] 또한, 본 명세서 등에서 「전기적으로 접속」에는, 「어떠한 전기적 작용을 갖는 것」을 통해 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 갖는 것」은, 접속 대상 사이의 전기신호의 교환을 가능하게 하는 것이면 특별히 제한되지 않는다. 예를 들어, 「어떠한 전기적 작용을 갖는 것」에는, 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 코일, 용량 소자, 그 밖의 각종 기능을 갖는 소자 등이 포함된다.
- [0022] 아울러 일반적으로 전압은, 어느 2점간의 전위의 차(전위차라고도 함)를 가리킨다. 그러나, 전압 및 전위의 값은 회로도 등에 있어서 모두 볼트(V)로 표시될 수 있으므로 구별이 어렵다. 이에, 본 명세서에서는 특별히 지정하는 경우를 제외하고는, 어느 일점의 전위와 기준이 되는 전위(기준 전위라고도 함)와의 전위차를 상기 일점의 전압으로서 이용할 수 있다.
- [0023] 또한, 소스나 드레인의 기능은 다른 극성의 트랜지스터를 채용하는 경우, 또는 회로 동작에 있어서 전류의 방향이 변화되는 경우 등에는 서로 바뀔 수도 있다. 따라서 본 명세서에서는, 소스나 드레인의 용어는 서로 바뀌어 사용될 수 있다. 나아가 본 명세서에서는 트랜지스터의 소스 또는 드레인 중 어느 하나를 제1 전극이라고 부르고, 소스 또는 드레인 중 다른 하나를 제2 전극이라고 부를 수도 있다.
- [0024] (실시형태 1)
- [0025] 본 실시형태에서 본 발명의 일 태양의 반도체 장치에 대하여 설명한다.
- [0026] <기본 회로>
- [0027] 먼저, 본 실시형태의 반도체 장치의 일 태양의 레지스터 회로 및 그 동작에 대하여 설명한다. 도 1(A)에 레지스터 회로의 블럭도를 나타내었다. 도 1(A)에 도시된 레지스터 회로(100)는 플립플롭 회로(101)와, 선택 회로(103)와, 불휘발성 기억회로(105)를 가지고 있다. 또한, 도 1(A)에서, 데이터선(Data)은 플립플롭 회로(101)와 전기적으로 접속되고, 비트선(BIT)은 선택 회로(103)를 통해 불휘발성 기억회로(105)와 전기적으로 접속된다. 또한, 플립플롭 회로(101)와 출력 신호선(Q)은 전기적으로 접속되어 있다.
- [0028] 플립플롭 회로(101)는 데이터선(Data)의 전위가 입력되고, 입력된 전위에 따른 데이터를 플립플롭 회로(101)의 내부 상태에서 저장함과 아울러, 출력 신호선(Q)을 통해 외부로 출력한다.
- [0029] 아울러 전위에 따른 데이터는, 예를 들어 2개의 서로 다른 전위 중 하나가 선택적으로 공급되고, 하나의 전위(예를 들어, 고전위, 하이레벨)를 데이터 「1」에 대응시키고, 다른 하나의 전위(예를 들어, 저전위, 로우레벨)를 데이터 「0」에 대응시킴으로써 1 비트의 데이터로 한 것을 가리킨다. 또한, 서로 다른 3개 또는 그 이상의 전위 중에서 선택함으로써 다치(복수 비트)의 정보를 기입하여 반도체 장치의 기억용량을 향상시킬 수도 있다.
- [0030] 일반적으로, 플립플롭 회로는 적어도 2개의 연산회로를 가지며, 하나의 연산회로의 출력이 다른 하나의 연산회로로 입력되고, 다른 하나의 연산회로의 출력이 하나의 연산회로로 입력될 수 있는 귀환 루프를 갖도록 구성할 수 있다. 따라서, 플립플롭 회로는 데이터선(Data)으로부터 입력된 전위에 따른 데이터를 저장하고 출력하는 휘발성 기억회로이다. 레지스터 회로(100)에서 플립플롭 회로(101)의 출력은 선택 회로(103)로 입력된다.
- [0031] 선택 회로(103)로는 플립플롭 회로(101)의 출력과 비트선(BIT)의 전위가 입력된다. 선택 회로(103)의 출력 단자는 불휘발성 기억회로(105)의 입력 단자와 전기적으로 접속되어 있다. 불휘발성 기억회로(105)는 선택 회로(103)가 선택하는 동작 모드에 따라, 플립플롭 회로(101) 또는 비트선(BIT)과 데이터를 주고 받는다.
- [0032] 여기서, 선택 회로(103)가 선택하는 반도체 장치의 동작 모드에 대하여 설명한다.
- [0033] 선택 회로(103)는 반도체 장치의 4개의 동작 모드 중 어느 하나를 선택한다. 4개의 동작 모드는, 불휘발성 기억회로(105)에 플립플롭 회로(101)를 통해 데이터선(Data)의 전위에 따른 데이터를 저장하는 제1 동작 모드와,

플립플롭 회로(101)에, 불휘발성 기억회로(105)에 저장된 데이터를 입력하는 제2 동작 모드와, 불휘발성 기억회로(105)에 비트선(BIT)의 전위에 따른 데이터를 저장하는 제3 동작 모드와, 비트선(BIT)에 불휘발성 기억회로(105)에 저장된 데이터를 입력하는 제4 동작 모드를 가리킨다.

- [0034] 상기한 4개의 동작 모드를 조합시킴으로써 반도체 장치의 소비 전력을 감소시킬 수 있다. 그 동작 방법에 대하여 설명한다.
- [0035] 본 실시형태의 반도체 장치에서는, 데이터선(Data)의 전위가 플립플롭 회로(101)로 입력되고, 이 전위에 따른 데이터가 플립플롭 회로(101)에 저장된다. 상기한 바와 같이, 플립플롭 회로(101)는 휘발성 기억회로이므로 플립플롭 회로(101)에 저장된 데이터를 유지하기 위해서는 전력의 공급이 필요하다. 따라서 플립플롭 회로(101)의 내부 상태를 리라이트하지 않는 기간에도, 플립플롭 회로(101)에 저장된 데이터를 유지하기 위해서는 전력을 계속 공급할 필요가 있다.
- [0036] 그러나, 본 실시형태의 반도체 장치는 레지스터 회로(100)마다 플립플롭 회로(101)와 전기적으로 접속된 불휘발성 기억회로(105)를 가지므로, 플립플롭 회로(101)의 내부 상태가 변화하지 않는 기간에 불휘발성 기억회로(105)로 데이터를 저장함으로써, 전력의 공급을 정지하여도 플립플롭 회로(101)의 내부 상태를 유지할 수 있다. 플립플롭 회로(101)의 내부 상태를 불휘발성 기억회로(105)로 저장하는 것은, 선택 회로(103)에 의한 제1 동작 모드의 선택에 의해 가능하게 된다.
- [0037] 이어서 선택 회로(103)가 제2 동작 모드를 선택하여 불휘발성 기억회로(105)에 저장되어 있는 데이터를 플립플롭 회로(101)로 저장함으로써, 플립플롭 회로(101)를 전력의 공급을 정지하기 이전 상태로 복귀시킬 수 있다.
- [0038] 또한, 선택 회로에 의한 4개의 동작 모드를 조합시킴으로써 반도체 장치는 원하는 타이밍에 플립플롭 회로(101)의 내부 상태를 평가할 수 있다. 그 동작 방법에 대하여 설명한다.
- [0039] 선택 회로(103)가 제1 동작 모드를 선택함으로써 플립플롭 회로(101)의 내부 상태가 불휘발성 기억회로(105)에 저장된다. 이 상태에서, 선택 회로(103)가 제4 동작 모드를 선택하여, 불휘발성 기억회로(105)에 저장되어 있는 데이터를 비트선(BIT)에 입력함으로써 플립플롭 회로(101)의 내부 상태에 따른 전위가 비트선(BIT)으로 입력된다. 따라서, 비트선(BIT)에 입력된 전위를 리드함으로써 플립플롭 회로(101)의 내부 상태를 평가할 수 있다.
- [0040] 또한, 플립플롭 회로(101)의 내부 상태를 평가하여 문제를 발견했을 경우, 본 실시형태의 반도체 장치는 용이하게 플립플롭 회로(101)의 내부 상태를 리라이트할 수 있다. 그 동작 방법에 대하여 설명한다.
- [0041] 플립플롭 회로(101)의 내부 상태를 리라이트하기 위해서는 먼저, 선택 회로(103)가 제3 동작 모드를 선택하도록 한다. 제3 동작 모드에서, 리라이트 데이터에 따른 전위를 비트선(BIT)에 입력하고, 불휘발성 기억회로(105)에 비트선(BIT)의 전위에 따른 데이터를 저장한다.
- [0042] 이어서 선택 회로(103)가 제2 동작 모드를 선택하도록 함으로써 불휘발성 기억회로(105)에 저장된 데이터에 따른 전위가 플립플롭 회로(101)로 입력된다. 따라서, 비트선(BIT)으로부터 입력된 리라이트 데이터가 플립플롭 회로(101)로 입력된다.
- [0043] 본 실시형태의 반도체 장치는, 비트선(BIT)으로부터 불휘발성 기억회로(105)를 통해 직접 플립플롭 회로(101)의 데이터의 리드 및 라이트를 할 수 있으므로 원하는 타이밍에 플립플롭 회로(101)의 내부 상태를 평가하여 리라이트할 수 있다.
- [0044] 이어서, 선택 회로(103) 및 불휘발성 기억회로(105)의 더욱 구체적인 회로를 나타낸 레지스터 회로(200)에 대하여 설명한다. 레지스터 회로(200)를 도 1(B)에 나타내었다.
- [0045] 도 1(B)에 도시된 바와 같이, 선택 회로(103)는 제1 스위치(202)와 제2 스위치(203)를 갖는 회로에 의해 구성할 수 있다.
- [0046] 제1 스위치(202)는 워드선(WORD) 및 라이트 인에이블선(WE)과 전기적으로 접속된다. 제1 스위치(202)의 출력은 불휘발성 기억회로(105)로 입력된다. 제1 스위치(202)는 워드선(WORD) 및 라이트 인에이블선(WE) 중 어느 하나의 전위를 불휘발성 기억회로(105)로 출력하는 절환 스위치이다.
- [0047] 제2 스위치(203)는 플립플롭 회로(101)의 출력 단자 및 비트선(BIT)과 전기적으로 접속되어 있다. 제2 스위치(203)의 출력은 불휘발성 기억회로(105)로 입력된다. 제2 스위치(203)는 플립플롭 회로(101)의 내부 상태에 따른 전위 및 비트선(BIT)의 전위 중 어느 하나를 불휘발성 기억회로(105)로 출력하는 절환 스위치이다. 제2 스위치(203)는 불휘발성 기억회로(105)와 플립플롭 회로(101) 또는 비트선(BIT)과의 전기적 접속을 선택한다.

- [0048] 도 1(B)에 도시된 불휘발성 기억회로(105)는 트랜지스터(204)와, 용량 소자(205)를 가지고 있다. 트랜지스터(204)의 제1 전극은 용량 소자(205)의 하나의 전극과 전기적으로 접속되고, 용량 소자(205)의 다른 하나의 전극은 접지되어 있다. 여기서, 트랜지스터(204)의 제1 전극과 용량 소자(205)의 하나의 전극이 접속된 노드(단순히 노드라고 표기함)에는 데이터가 저장된다.
- [0049] 트랜지스터(204)의 게이트 전극은 선택 회로(103)가 갖는 제1 스위치(202)와 전기적으로 접속되어 워드선(WORD) 또는 라이트 인에이블선(WE)의 전위가 입력된다. 즉, 워드선(WORD) 또는 라이트 인에이블선(WE)의 전위에 의해 트랜지스터(204)의 온 상태와 오프 상태가 절환된다.
- [0050] 트랜지스터(204)의 제2 전극은 선택 회로(103)가 갖는 제2 스위치(203)와 전기적으로 접속된다. 트랜지스터(204)가 온 상태일 때, 제2 스위치(203)로부터 플립플롭 회로(101)의 내부 상태에 따른 전위 또는 비트선(BIT)의 전위가 입력되어, 트랜지스터(204)의 제1 전극과 용량 소자(205)의 하나의 전극이 접속되는 노드에 저장된다.
- [0051] 여기서, 트랜지스터(204)는 오프 전류가 감소된 트랜지스터를 적용한다. 트랜지스터(204)로서 오프 전류가 감소된 트랜지스터를 적용하면 트랜지스터(204)를 오프시켜 전력의 공급이 정지되어도 노드에 저장된 전위를 장시간 유지시킬 수 있다.
- [0052] 불휘발성 기억회로(105)에 데이터를 라이트하기 위해서는, 예를 들어, 용량 소자(205)에 서로 다른 2개의 전위에 대응하는 전하(이하, 저전위를 부여하는 전하를 전하 Q_L , 고전위를 부여하는 전하를 전하 Q_H 라고 함)중 어느 하나를 선택적으로 인가할 수 있다. 여기서, Q_L 과 Q_H 중 하나를 데이터 「1」에 대응시키고 다른 하나를 데이터 「0」에 대응시킴으로써, 불휘발성 기억회로(105)에 1 비트의 정보를 라이트할 수 있다. 아울러 전하를 서로 다른 3개 또는 그 이상의 전위에 대응하는 전하 중에서 선택함으로써 불휘발성 기억회로(105)의 기억용량을 향상시킬 수도 있다.
- [0053] 아울러 트랜지스터(204)로서 이용하는, 오프 전류가 감소된 트랜지스터로서는 예를 들어, 산화물 반도체 재료를 이용한 트랜지스터(산화물 반도체층에 채널이 형성되는 트랜지스터) 등을 적용할 수 있다. 산화물 반도체 재료를 이용한 트랜지스터의 오프 전류는, 실리콘에 채널이 형성되는 트랜지스터의 10만분의 1 이하이므로 트랜지스터(204)를 오프 상태로 했을 때, 트랜지스터(204)로부터의 리크에 의해 발생하는 용량 소자(205)에 축적된 전하의 소실을 무시하는 것이 가능하다. 따라서, 노드에 저장된 전위를 장시간에 걸쳐 유지할 수 있다. 아울러 도면에서는 트랜지스터(204)가 산화물 반도체를 이용한 트랜지스터임을 나타내기 위해 OS의 부호를 붙인다.
- [0054] 불휘발성 기억회로(105)를 상기와 같이 구성함으로써 새로운 데이터를 라이트하는 경우에, 라이트된 데이터를 한번 소거할 필요가 없고, 재차의 데이터의 라이트에 의해 직접 데이터를 리라이트하는 것이 가능하다. 따라서 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉 반도체 장치의 고속 동작이 실현된다.
- [0055] 또한, 개시하는 발명의 반도체 장치에서는, 종래의 플로팅 게이트형 트랜지스터에서 지적된 게이트 절연층(터널 절연층) 열화의 문제가 존재하지 않는다. 즉, 종래 문제시 되었던, 전자를 플로팅 게이트에 주입할 시의 게이트 절연층 열화의 문제를 해소할 수 있다. 이것은, 원리적인 라이트 회수의 제한이 존재하지 않음을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에서 라이트나 소거시에 필요하였던 고전압도 불필요하다.
- [0056] 이어서, 도 1(B)에 도시된 레지스터 회로(200)의 동작에 대하여 타이밍 차트를 이용하여 상세히 설명한다. 우선, 도 1(B)에 도시된 레지스터 회로(200)의 동작을 설명하기 위해 이용하는 플립플롭 회로의 구체적인 회로 구성에 대하여 설명한다. 도 2에, 레지스터 회로(200)에 이용하는 플립플롭 회로(101)에 대하여 도시하였다. 아울러 본 실시형태의 반도체 장치에 이용할 수 있는 플립플롭 회로는 도 2에 도시된 구성에 한정되지 않는다.
- [0057] 도 2에 도시된 플립플롭 회로(101)는 인버터 회로(251), 스위치 회로(252), 인버터 회로(253), 클록드 인버터 회로(254), 클록드 인버터 회로(255), 스위치 회로(256), 클록드 인버터 회로(257) 및 클록드 인버터 회로(258)를 갖는다.
- [0058] 플립플롭 회로(101)로는 데이터선(Data)의 전위가 입력된다. 데이터선(Data)의 전위는, 스위치 회로(252)를 통해 클록드 인버터 회로(254)로 입력된다. 클록드 인버터 회로(254)에 의해 데이터선(Data)의 전위는 반전되어 신호선(L) 및 스위치 회로(256)로 입력된다. 아울러 여기서 신호선(L)에 입력되는 전위를 플립플롭 회로(101)의 내부 상태로서 리드한다. 스위치 회로(256)로 입력된 전위는, 클록드 인버터 회로(257)에 의해 다시 반전되어 데이터선(Data)의 전위와 동일한 전위가 되어 출력 신호선(Q)으로부터 출력된다. 출력 신호선(Q)의 전위는 플립플롭 회로(101)의 출력 전위이며, 플립플롭 회로(101)의 내부 상태의 전위를 반전시킨 전위이다.

- [0059] 스위치 회로(252) 및 스위치 회로(256)의 도통 상태를 제어하고 있는 것은 클럭 신호(CLK)이다. 스위치 회로(252)로는 인버터 회로(251)에 의해 반전된 클럭 신호가 입력되고 스위치 회로(256)로는 클럭 신호가 직접 입력되므로 스위치 회로(252) 및 스위치 회로(256)는 둘 중 어느 하나의 스위치 회로가 열려 있을 때 다른 하나의 스위치 회로는 닫혀 있다. 여기서는, 클럭 신호선(CLK)으로 로우레벨의 전위가 입력되었을 때, 스위치 회로(252)가 닫히고 반대로 스위치 회로(256)가 열리며, 클럭 신호선(CLK)으로 하이레벨의 전위가 입력되었을 때 스위치 회로(252)가 열리고 스위치 회로(256)가 닫히도록 구성한다.
- [0060] 클록드 인버터 회로(254)의 출력이 클록드 인버터 회로(255)로 입력되고 클록드 인버터 회로(255)의 출력이 클록드 인버터 회로(254)로 입력되는 귀환 루프를 갖는 래치 회로를 구성한다. 서로의 출력이 입력됨으로써 래치 회로에 의한 데이터의 유지를 수행할 수 있다.
- [0061] 아울러 클록드 인버터 회로(255)에는 클럭 신호(CLK)가 입력되고 클럭 신호(CLK)가 하이레벨일 때에만 동작을 수행한다. 따라서, 클럭 신호(CLK)로서 하이레벨의 전위가 입력되어 스위치 회로(252)가 열리고 스위치 회로(256)가 닫혀 있을 때, 클록드 인버터 회로(255)가 동작하여 클록드 인버터 회로(254) 및 클록드 인버터 회로(255)에 의한 래치 회로가 전위를 유지한다.
- [0062] 클록드 인버터 회로(257)의 출력이 클록드 인버터 회로(258)로 입력되고 클록드 인버터 회로(258)의 출력이 클록드 인버터 회로(257)로 입력되는 귀환 루프를 갖는 래치 회로를 구성한다. 서로의 출력이 입력됨으로써 래치 회로는 데이터의 유지를 수행하고 있다.
- [0063] 아울러 클록드 인버터 회로(258)로는 인버터 회로(251)에 의해 반전된 클럭 신호가 입력되고 클럭 신호가 로우레벨일 때에만 동작을 수행한다. 따라서, 클럭 신호(CLK)로서 로우레벨의 전위가 입력되어 스위치 회로(252)가 닫히고 스위치 회로(256)가 열려 있을 때, 클록드 인버터 회로(258)가 동작하고 클록드 인버터 회로(257) 및 클록드 인버터 회로(258)에 의한 래치 회로가 동작하여 전위를 유지한다.
- [0064] 또한, 클록드 인버터 회로(254)로는 인버터 회로(253)를 통해 리드 인에이블선(RE)의 전위가 입력된다. 리드 인에이블선(RE)에 하이레벨의 전위가 입력되면 클록드 인버터 회로(254)에는 인버터 회로(253)에 의해 반전된 로우레벨의 전위가 입력되어 클록드 인버터 회로(254)는 동작을 정지한다. 따라서, 리드 인에이블선(RE)에 하이레벨의 전위가 입력되어 있는 동안에는 클록드 인버터 회로(254) 및 클록드 인버터 회로(255)에 의한 래치 회로가 데이터를 유지하지 않는다.
- [0065] 이상도 도 2에 도시된 플립플롭 회로(101)의 구성 및 동작이다. 이어서 도 1(B)의 레지스터 회로(200)의 동작에 대하여 나타낸다. 아울러 여기서는 플립플롭 회로(101)로서 도 2에 도시된 플립플롭 회로(101)가 적용된 경우를 나타내었다. 도 3 내지 도 5에 레지스터 회로(200)의 타이밍 차트를 나타내었다.
- [0066] 아울러 도 3 내지 도 5에 도시된 타이밍 차트에서, MEM은 선택 신호선을, BIT는 비트선을, WORD는 워드선을, RE는 리드 인에이블선을, WE는 라이트 인에이블선을, CLK는 클럭 신호를, Data는 데이터선을, L은 신호선을, Q는 플립플롭 회로의 출력 신호선을, MEM_D는 불휘발성 기억회로(105)에 저장되어 있는 데이터(불휘발성 기억회로(105)의 노드에 유지되어 있는 데이터)의 전위를 각각 나타낸다.
- [0067] 먼저, 레지스터 회로가 플립플롭 회로의 통상 동작을 수행할 때의 타이밍 차트에 대하여 설명한다. 도 3에 도시된 타이밍 차트는 플립플롭 회로의 통상 동작을 나타내고 있다. 플립플롭 회로의 통상 동작시에 선택 회로(103)는 어떠한 동작 모드를 선택하고 있을 수도 있다. 따라서, 선택 신호선(MEM), 비트선(BIT), 워드선(WORD), 리드 인에이블선(RE), 라이트 인에이블선(WE)의 전위는 임의의 전위로 할 수 있다. 타이밍 차트에서는 임의의 전위를 파선으로 나타내고 (X)의 기호를 부여한다.
- [0068] 플립플롭 회로(101)는 클럭 신호(CLK)가 로우레벨일 때, 스위치 회로(252)가 닫히고 데이터선(Data)의 전위에 따른 데이터가 클록드 인버터 회로(254)로 입력된다. 클록드 인버터 회로(254)에 의해 데이터선(Data)의 전위에 따른 데이터는 반전되어 신호선(L)으로 보내진다. 이어서, 클럭 신호(CLK)가 하이레벨이 되면 스위치 회로(252)는 열리고 클록드 인버터 회로(255)가 동작을 수행하여 클록드 인버터 회로(254)와 클록드 인버터 회로(255)에 의한 래치 회로에 의해 신호선(L)의 전위가 유지된다.
- [0069] 또한, 클럭 신호(CLK)가 하이레벨이 되면 스위치 회로(256)가 닫히고 클록드 인버터 회로(254)에 의해 반전된 데이터가 클록드 인버터 회로(257)로 입력된다. 클록드 인버터 회로(257)로 반전된 데이터가 입력되면, 클록드 인버터 회로(257)에 의해 다시 반전되어 플립플롭 회로(101)의 출력 신호선(Q)을 통해 출력된다.
- [0070] 이어서, 클럭 신호(CLK)가 로우레벨이 되면, 스위치 회로(256)는 열리고 클록드 인버터 회로(258)가 동작하여

클록드 인버터 회로(257)와 클록드 인버터 회로(258)에 의해 구성되는 래치 회로에 의해, 플립플롭 회로의 출력 신호선(Q)의 전위는 유지된다.

- [0071] 이어서 선택 회로(103)가 제1 동작 모드에서 불휘발성 기억회로(105)에 플립플롭 회로(101)를 통해 데이터선(Data)의 전위에 따른 데이터를 저장하는 동작에 대하여 설명한다.
- [0072] 도 4(A)에 제1 동작 모드의 타이밍 차트를 나타내었다. 선택 회로(103)가 제1 동작 모드를 선택하려면 선택 신호선(MEM)의 전위를 하이레벨로 한다. 선택 신호선(MEM)을 하이레벨로 함으로써 제1 스위치(202)를 통해 트랜지스터(204)의 게이트 전극과 라이트 인에이블선(WE)이 전기적으로 접속된다. 또한, 제2 스위치(203)를 통해 플립플롭 회로(101)의 출력 단자와 트랜지스터(204)의 제2 전극이 전기적으로 접속된다.
- [0073] 선택 회로(103)가 제1 동작 모드를 선택한 상태에서, 클럭 신호(CLK)에 로우레벨이 입력되면 데이터선(Data)의 전위가 클록드 인버터 회로(254)에 의해 반전되어 신호선(L)으로 입력된다. 이어서, 클럭 신호(CLK)가 하이레벨이 되면 스위치 회로(252)는 열리고 클록드 인버터 회로(254)와 클록드 인버터 회로(255)에 의해 신호선(L)의 전위가 유지된다. 나아가 스위치 회로(256)가 닫히고 클록드 인버터 회로(257)에 의해 신호선(L)의 전위가 반전된 전위(Data선의 전위)가 출력 신호선(Q)으로 출력된다.
- [0074] 여기서, 라이트 인에이블선(WE)을 하이레벨로 함으로써 트랜지스터(204)의 게이트 전극으로 하이레벨의 전위가 입력되어 트랜지스터(204)가 온 상태가 된다. 이에 의해, 플립플롭 회로(101)의 내부 상태가 불휘발성 기억회로(105)의 노드에 저장된다. 그 후, 라이트 인에이블선(WE)을 로우레벨로 함으로써 트랜지스터(204)가 오프 상태로 된다. 트랜지스터(204)는 오프 전류가 극히 작으므로, 트랜지스터(204)를 오프 상태로 함으로써, 노드에 저장된 전위를 극히 장시간 계속 유지하는 것이 가능하게 된다.
- [0075] 상기한 동작에 의해, 플립플롭 회로(101)의 내부 상태를 불휘발성 기억회로(105)에 저장시킬 수 있으므로 반도체 장치는 전력의 공급이 정지되어도 플립플롭 회로(101)의 내부 상태를 유지하는 것이 가능하게 된다.
- [0076] 본 실시형태의 반도체 장치는 플립플롭 회로마다 전력의 공급을 정지하여도 데이터를 유지할 수 있는 불휘발성 기억회로가 마련되어 있으므로 플립플롭 회로의 내부 상태가 변화하지 않을 때에는 전력의 공급을 정지하여 소비 전력을 감소시킬 수 있다.
- [0077] 이어서 선택 회로(103)가 제2 동작 모드에서 불휘발성 기억회로(105)에 저장되어 있는 데이터를 플립플롭 회로(101)로 입력하는 동작에 대하여 설명한다. 도 4(B)에 제2 동작 모드의 타이밍 차트를 나타내었다.
- [0078] 선택 회로(103)가 제2 동작 모드를 선택하기 위해서는 선택 신호선(MEM)의 전위를 하이레벨로 한다. 선택 신호선(MEM)을 하이레벨로 함으로써 제1 스위치(202)를 통해 트랜지스터(204)의 게이트 전극과 라이트 인에이블선(WE)이 전기적으로 접속된다. 또한, 제2 스위치(203)를 통해 플립플롭 회로(101)의 출력 단자와 트랜지스터(204)의 제2 전극이 전기적으로 접속된다.
- [0079] 제2 동작 모드에서 클럭 신호(CLK)가 로우레벨일 때 데이터선(Data)의 전위가 클록드 인버터 회로(254)로 입력되어 데이터선(Data)의 전위를 반전시킨 전위가 신호선(L)으로 입력된다.
- [0080] 여기서 클럭 신호(CLK)가 하이레벨이 되면 클록드 인버터 회로(254) 및 클록드 인버터 회로(255)에 의한 래치 회로가 동작하여 신호선(L)의 전위가 유지된다. 또한, 스위치 회로(256)가 닫히고 클록드 인버터 회로(254)에 의해 반전된 데이터가 클록드 인버터 회로(257)로 입력된다. 클록드 인버터 회로(257)로 입력된 데이터는, 클록드 인버터 회로(257)에 의해 반전되어 플립플롭 회로(101)의 출력 단자에서 출력된다.
- [0081] 이 때, 리드 인에이블선(RE)을 하이레벨로 하면 클록드 인버터 회로(254)의 동작이 정지되고 클록드 인버터 회로(254)와 클록드 인버터 회로(255)에 의한 래치 회로는 동작을 정지한다.
- [0082] 클록드 인버터 회로(254) 및 클록드 인버터 회로(255)에 의한 래치 회로가 동작을 정지한 동안에, 라이트 인에이블선(WE)을 하이레벨로 하여 트랜지스터(204)를 온 상태로 하면 트랜지스터(204)와 용량 소자(205)에 의한 노드에 저장되어 있던 전위(MEM_D)가 신호선(L)을 통해 클록드 인버터 회로(255)로 입력된다.
- [0083] 이후, 라이트 인에이블선(WE)을 로우레벨로 되돌려도 신호선(L)에는 노드에 저장되어 있던 전위가 유지된다. 따라서, 리드 인에이블선(RE)을 로우레벨로 하고, 클록드 인버터 회로(254)가 동작을 재개하여 클록드 인버터 회로(254) 및 클록드 인버터 회로(255)에 의해 구성되는 래치 회로가 동작을 재개하면, 이 래치 회로에 의해, 노드에 저장되어 있던 전위가 유지된다.
- [0084] 그 후, 클럭 신호(CLK)가 로우레벨이 되면 스위치 회로(252)가 닫히고 데이터선(Data)의 전위가 클록드 인버터

회로(254)로 입력되어 플립플롭 회로(101)가 다시 통상 동작을 재개한다.

- [0085] 아울러 본 실시형태에 나타난 반도체 장치에서는, 트랜지스터(204)로서, 산화물 반도체 재료를 이용한 트랜지스터(산화물 반도체층에 채널이 형성되는 트랜지스터)가 적용되고 있다. 산화물 반도체 재료를 이용한 트랜지스터는 오프 전류가 극히 작은 특징을 갖고 있다. 따라서, 트랜지스터(204)를 오프 상태로 함으로써 용량 소자(205)의 전위를 극히 장시간에 걸쳐 유지하는 것이 가능해진다.
- [0086] 이어서, 선택 회로(103)가 제3 동작 모드에서 불휘발성 기억회로(105)에 비트선(BIT)의 전위에 따른 데이터를 저장하는 동작에 대하여 설명한다.
- [0087] 도 5(A)에 제3 동작 모드에 대해 나타내었다. 선택 회로(103)가 제3 동작 모드를 선택하기 위해서는 선택 신호선(MEM)을 로우레벨로 한다. 선택 신호선(MEM)을 로우레벨로 함으로써 제1 스위치(202)를 통해 트랜지스터(204)의 게이트 전극과 워드선(WORD)이 전기적으로 접속된다. 또한, 제2 스위치(203)를 통해 비트선(BIT)과 트랜지스터(204)의 제2 전극이 전기적으로 접속된다.
- [0088] 아울러 제3 동작 모드에서 리드 인에이블선(RE), 클럭 신호(CLK), 데이터선(Data), 신호선(L), 플립플롭 회로의 출력은 임의의 전위로 할 수 있다.
- [0089] 제3 동작 모드에서 워드선(WORD)을 하이레벨로 함으로써 트랜지스터(204)가 온 상태가 되고 비트선(BIT)의 전위에 따른 전위가 트랜지스터(204)의 제1 전극과 용량 소자(205)의 하나의 전극이 접속된 노드에 저장된다. 불휘발성 기억회로(105)에 저장할 전위를 비트선(BIT)에 입력하는 타이밍은, 워드선(WORD)이 하이레벨이 되어 비트선(BIT)의 전위가 노드로 입력되기 전이다.
- [0090] 이어서, 선택 회로(103)가 제4 동작 모드에서 불휘발성 기억회로(105)에 저장된 전위를 비트선(BIT)에 입력하는 동작에 대하여 설명한다. 도 5(B)에 제4 동작 모드에 대하여 나타내었다. 선택 회로(103)가 제4 모드를 선택하기 위해서는 선택 신호선(MEM)을 로우레벨로 한다. 선택 신호선(MEM)이 로우레벨이 됨으로써 제1 스위치(202)를 통해 트랜지스터(204)의 게이트 전극과 워드선이 전기적으로 접속된다. 또한, 제2 스위치(203)를 통해 비트선(BIT)과 트랜지스터(204)의 제2 전극이 전기적으로 접속된다.
- [0091] 제4 동작 모드에서 비트선(BIT)에 미들 레벨의 전위를 입력한다. 이어서, 워드선(WORD)을 하이레벨로 함으로써 트랜지스터(204)가 온 상태가 되고 트랜지스터(204) 및 용량 소자(205)에 의해 형성되는 노드에 저장되어 있는 전위가 비트선(BIT)에 입력된다. 이 때, 트랜지스터(204) 및 용량 소자(205)에 저장되어 있는 전위가 하이레벨일 경우, 미들 레벨인 비트선(BIT)의 전위가 하이레벨로 상승한다. 또한, 트랜지스터(204) 및 용량 소자(205)에 저장되어 있는 전위가 로우레벨일 경우 비트선(BIT)의 전위는 상승하지 않는다.
- [0092] 따라서, 비트선(BIT)의 전위를 관별함으로써 불휘발성 기억회로(105)에 저장되어 있던 전위를 리드할 수 있다. 예를 들어, 비트선(BIT) 끝에 레벨 시프터를 접속시켜 두면, 하이레벨의 전위와 가까워진 비트선(BIT) 상태를 하이레벨로 확정할 수 있어 전위를 완전히 리드할 수 있게 된다.
- [0093] 이 4개의 동작 모드들을 임의로 조합시킴으로써 플립플롭 회로의 내부 상태가 변화하지 않을 때에는 전력의 공급을 정지하여 소비 전력을 감소시킬 수 있다. 또한, 불휘발성 기억회로의 전위를 레지스터 회로 외부에서 직접 리드함으로써 플립플롭 회로의 내부 상태를 원하는 타이밍에 평가할 수 있다. 또한, 플립플롭 회로의 내부 상태를 용이하게 리라이트할 수 있다.
- [0094] <응용예>
- [0095] 이어서, 상기 레지스터 회로를 복수 갖는 반도체 장치 및 그 동작에 대하여 설명한다. 도 6에 도시된 본 발명의 일 태양의 반도체 장치는 상기 레지스터 회로를 복수 가지며 이 레지스터 회로가 매트릭스형으로 마련되어 있다.
- [0096] 도 6의 반도체 장치는, 세로 m개(행)×가로 n개(열)의 매트릭스형으로 배치된 레지스터 회로와, n개의 비트선과, m개의 워드선과, 메모리 컨트롤러(MEMORY CONTROLLER)와, 비트 열 디코더(BIT COLUMN DECORDER)와, 워드 행 디코더(WORD ROW DECORDER)와, 코어(CORE IO)를 갖는다.
- [0097] 도 6의 레지스터 회로는, 도 1(B)에 도시된 레지스터 회로(100)와 동일한 구성이다. 즉, 개개의 레지스터 회로에 주목하면, 플립플롭 회로와, 선택 회로와, 불휘발성 기억회로를 갖고 있다. 나아가 각 선택 회로는 제1 스위치 및 제2 스위치를 가지며, 각 불휘발성 기억회로는 오프 전류가 낮은 트랜지스터(예를 들어, 산화물 반도체를 포함하여 구성되는 트랜지스터) 및 용량 소자를 갖는다. 또한, 각 레지스터 회로는 선택 회로와 전기적으로

접속되는 비트선을 각 열에 공통적으로 사용하고 워드선을 각 행에 공통적으로 사용하고 있다.

- [0098] 본 실시형태에서는 복수의 레지스터 회로가 갖는 불휘발성 기억회로들끼리 직렬로는 접속되지 않고 각각 비트선 및 워드선과 접속되어 있는 구성으로 하였으나, 레지스터 회로를 매트릭스형으로 배치하는 방법은 이에 한정되지 않는다.
- [0099] 아울러 라이트 인에이블선(WE), 선택 신호선(MEM), 데이터선(Data), 클럭 신호선(CLK) 등은 도 1(B)와 동일하게 구성할 수 있으므로 도 6에서는 생략한다.
- [0100] n개의 비트선은 비트 열 디코더와 전기적으로 접속되고, 제k번째 열의 비트선(k는 1 이상 n 이하의 정수)은 제k번째 열의 레지스터 회로가 갖는 선택 회로의 제2 스위치와 전기적으로 접속되어 있다.
- [0101] 또한, m개의 워드선은 워드 행 디코더와 전기적으로 접속되고, 제q번째 행의 워드선(q는 1 이상 m 이하의 정수)은 제q번째 행의 레지스터 회로가 갖는 선택 회로의 제1 스위치와 전기적으로 접속되어 있다.
- [0102] 코어의 내부 상태나 연산 결과에 따라 메모리 컨트롤러가 어느 레지스터 회로에 대해 데이터의 리드 및 라이트를 수행할지를 결정한다. 예를 들어, 메모리 컨트롤러가 라이트를 수행할 레지스터 회로를 결정하면, 선택 회로가 제3 동작 모드를 선택하고, 메모리 컨트롤러로부터 비트 열 디코더 및 워드 행 디코더로 소정의 전위가 입력된다.
- [0103] 예를 들어, 워드 행 디코더로는, 리드 또는 라이트를 수행할 레지스터 회로의 어드레스 정보가 보내진다. 그러면, 워드 행 디코더가 어드레스 정보에 따라, 각 워드선에 소정의 전위를 입력하여 리드 또는 라이트를 수행할 레지스터 회로를 액티브 상태로 한다.
- [0104] 또한, 비트 열 디코더로는, 레지스터 회로에 라이트할 데이터가 보내진다. 그러면, 비트 열 디코더로부터, 각 비트선에 라이트할 데이터에 따른 전위가 입력된다. 워드 행 디코더에 의해 액티브 상태가 된 레지스터 회로에는 비트 열 디코더로부터의 전위가 저장된다.
- [0105] 레지스터 회로가 갖는 플립플롭 회로의 입력 단자 및 출력 단자에는 논리 연산회로 또는 메인 메모리 등이 접속되어 있고 매트릭스형으로 배치된 플립플롭 회로 전체가 신호 처리 회로를 구성하고 있다. 신호 처리 회로에서 플립플롭 회로는 연산 처리를 수행하거나 프로그램의 실행 상태를 일시적으로 유지하는 역할을 담당하고 있다.
- [0106] 본 발명의 반도체 장치는 플립플롭 회로마다 불휘발성 기억회로가 마련되어 있으므로 레지스터 회로를 복수 갖는 구성에서도 고속으로 데이터를 리드할 수 있다. 또한, 불휘발성 기억회로와 직접 데이터의 리드 또는 라이트를 할 수 있으므로 신호 처리 회로의 내부 상태를 용이하게 평가, 리라이트할 수 있다.
- [0107] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0108] (실시형태 2)
- [0109] 실시형태 1에 나타난 불휘발성 기억회로가 포함하는, 오프 전류가 감소된 트랜지스터에 대하여 설명한다. 오프 전류가 작은 트랜지스터로서는 산화물 반도체 재료를 이용한 트랜지스터를 들 수 있다.
- [0110] 본 실시형태에서 나타난 트랜지스터의 구조에 대하여 도 23(A)~(D)를 참조하여 설명한다. 아울러 도 23(A)~(D)는 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- [0111] 도 23(A)에 도시된 트랜지스터는 절연층(600(a))과 절연층(600(a))에 매립되도록 형성된 매립 절연물(612a(a)) 및 매립 절연물(612b(a)) 상에 형성된다.
- [0112] 도 23(A)에 도시된 트랜지스터는 게이트 전극(601(a))과, 게이트 절연층(602(a))과, 산화물 반도체층(603(a))과, 소스 전극(605a(a))과, 드레인 전극(605b(a))을 포함하고 있다.
- [0113] 산화물 반도체층(603(a))은 불순물 영역(604a(a)) 및 불순물 영역(604b(a))을 포함하고 있다. 불순물 영역(604a(a)) 및 불순물 영역(604b(a))은 서로 이격되고 각각 도펀트(불순물)가 첨가된 영역이다. 아울러 불순물 영역(604a(a)) 및 불순물 영역(604b(a)) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603(a))은 절연층(600(a)) 상에 마련된다. 아울러 반드시 불순물 영역(604a(a)) 및 불순물 영역(604b(a))을 마련하지 않을 수도 있다. 아울러 도 23(A)에 도시된 트랜지스터에서 불순물 영역(604a(a)) 및 불순물 영역(604b(a))은 n⁺의 도전형을 나타내는 반도체 영역이다.
- [0114] 또한, 게이트 전극(601(a))의 양측면에는 측벽 절연물(616a(a)) 및 측벽 절연물(616b(a))을, 게이트 전극

(601(a))의 상부에는 게이트 전극(601(a))과 다른 배선과의 단락을 방지하기 위한 절연층(606(a))을 갖는다.

- [0115] 소스 전극(605a(a)) 및 드레인 전극(605b(a))은 산화물 반도체층(603(a)) 상에 마련되고 산화물 반도체층(603(a))과 전기적으로 접속되어 있다.
- [0116] 또한, 소스 전극(605a(a))은 불순물 영역(604a(a))의 일부에 중첩된다. 소스 전극(605a(a))을 불순물 영역(604a(a))의 일부에 중첩시킴으로써 소스 전극(605a(a)) 및 불순물 영역(604a(a)) 간의 저항값을 작게 할 수 있다.
- [0117] 또한, 드레인 전극(605b(a))은 불순물 영역(604b(a))의 일부에 중첩된다. 드레인 전극(605b(a))을 불순물 영역(604b(a))의 일부에 중첩시킴으로써 드레인 전극(605b(a)) 및 불순물 영역(604b(a)) 간의 저항을 작게 할 수 있다.
- [0118] 게이트 절연층(602(a))은 산화물 반도체층(603(a)) 상에 마련되어 있다.
- [0119] 게이트 전극(601(a))은 게이트 절연층(602(a))을 사이에 두고 산화물 반도체층(603(a))과 중첩된다. 게이트 절연층(602(a))을 사이에 두고 게이트 전극(601(a))과 중첩되는 산화물 반도체층(603(a))의 영역이 채널 형성 영역이 된다.
- [0120] 도 23(B)에 도시된 트랜지스터는 절연층(600(b))과, 절연층(600(b))에 매립되도록 형성된 매립 절연물(612a(b)) 및 매립 절연물(612b(b)) 상에 형성된다.
- [0121] 도 23(B)에 도시된 트랜지스터는 게이트 전극(601(b))과, 게이트 절연층(602(b))과, 산화물 반도체층(603(b))과, 소스 전극(605a(b))과, 드레인 전극(605b(b))을 포함하고 있다.
- [0122] 산화물 반도체층(603(b))은 불순물 영역(604a(b)) 및 불순물 영역(604b(b))을 포함하고 있다. 불순물 영역(604a(b)) 및 불순물 영역(604b(b))은 서로 이격되고 각각 도펀트(불순물)가 첨가된 영역이다. 아울러 불순물 영역(604a(b)) 및 불순물 영역(604b(b)) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603(b))은 절연층(600(b)) 상에 마련된다. 아울러 반드시 불순물 영역(604a(b)) 및 불순물 영역(604b(b))을 마련하지 않을 수도 있다. 아울러 도 23(B)에 도시된 트랜지스터에서 불순물 영역(604a(b)) 및 불순물 영역(604b(b))은 n^+ 의 도전형을 나타내는 반도체 영역이다.
- [0123] 또한, 게이트 전극(601(b))의 양측면에는 측벽 절연물(616a(b)) 및 측벽 절연물(616b(b))을, 게이트 전극(601(b))의 상부에는 게이트 전극(601(b))과 다른 배선과의 단락을 방지하기 위한 절연층(606(b))을 갖는다.
- [0124] 소스 전극(605a(b)) 및 드레인 전극(605b(b))은 산화물 반도체층(603(b)) 상에 마련되고 산화물 반도체층(603(b))에 전기적으로 접속되어 있다.
- [0125] 또한, 소스 전극(605a(b))은 불순물 영역(604a(b))에 중첩된다. 소스 전극(605a(b))을 불순물 영역(604a(b))에 중첩시킴으로써 소스 전극(605a(b)) 및 불순물 영역(604a(b)) 간의 저항값을 작게 할 수 있다.
- [0126] 또한, 드레인 전극(605b(b))은 불순물 영역(604b(b))에 중첩된다. 드레인 전극(605b(b))을 불순물 영역(604b(b))에 중첩시킴으로써 드레인 전극(605b(b)) 및 불순물 영역(604b(b)) 간의 저항을 작게 할 수 있다.
- [0127] 게이트 절연층(602(b))은 산화물 반도체층(603(b)) 상에 마련되어 있다.
- [0128] 게이트 전극(601(b))은 게이트 절연층(602(b))을 사이에 두고 산화물 반도체층(603(b))과 중첩된다. 게이트 절연층(602(b))을 사이에 두고 게이트 전극(601(b))과 중첩되는 산화물 반도체층(603(b))의 영역이 채널 형성 영역이 된다.
- [0129] 도 23(A)에 도시된 트랜지스터에서는, 불순물 영역(604a(a)) 및 불순물 영역(604b(a))은 측벽 절연물(616a(a)) 및 측벽 절연물(616b(a))과 중첩되어 마련되었다. 한편, 도 23(B)에 도시된 트랜지스터에서는, 불순물 영역(604a(b)) 및 불순물 영역(604b(b))은 측벽 절연물(616a(b)) 및 측벽 절연물(616b(b))과 중첩되어 마련되지 않았다.
- [0130] 도 23(C)에 도시된 트랜지스터는 게이트 전극(601(c))과, 게이트 절연층(602(c))과, 산화물 반도체층(603(c))과, 소스 전극(605a(c))과, 드레인 전극(605b(c))을 포함하고 있다.
- [0131] 산화물 반도체층(603(c))은 불순물 영역(604a(c)) 및 불순물 영역(604b(c))을 포함하고 있다. 불순물 영역(604a(c)) 및 불순물 영역(604b(c))은 서로 이격되고 각각 도펀트(불순물)가 첨가된 영역이다. 아울러 불순물

영역(604a(c)) 및 불순물 영역(604b(c)) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603(c))은 절연층(600(c)) 상에 마련된다. 아울러 반드시 불순물 영역(604a(c)) 및 불순물 영역(604b(c))을 마련하지 않을 수도 있다.

- [0132] 소스 전극(605a(c)) 및 드레인 전극(605b(c))은 산화물 반도체층(603(c)) 상에 마련되고 산화물 반도체층(603(c))에 전기적으로 접속되어 있다. 또한, 소스 전극(605a(c)) 및 드레인 전극(605b(c))의 측면은 테이퍼 형상이다.
- [0133] 또한, 소스 전극(605a(c))은 불순물 영역(604a(c))의 일부에 증착되나, 반드시 이에 한정되지는 않는다. 소스 전극(605a(c))을 불순물 영역(604a(c))의 일부에 증착시킴으로써 소스 전극(605a(c)) 및 불순물 영역(604a(c)) 간의 저항값을 작게 할 수 있다. 또한, 소스 전극(605a(c))과 증착되는 산화물 반도체층(603(c))의 영역 모두가 불순물 영역(604a(c))일 수도 있다.
- [0134] 또한, 드레인 전극(605b(c))은 불순물 영역(604b(c))의 일부에 증착되나 반드시 이에 한정되지는 않는다. 드레인 전극(605b(c))을 불순물 영역(604b(c))의 일부에 증착시킴으로써 드레인 전극(605b(c)) 및 불순물 영역(604b(c)) 간의 저항을 작게 할 수 있다. 또한, 드레인 전극(605b(c))과 증착되는 산화물 반도체층(603(c))의 영역 모두가 불순물 영역(604b(c))일 수도 있다.
- [0135] 게이트 절연층(602(c))은 산화물 반도체층(603(c)), 소스 전극(605a(c)) 및 드레인 전극(605b(c)) 상에 마련되어 있다.
- [0136] 게이트 전극(601(c))은 게이트 절연층(602(c))을 사이에 두고 산화물 반도체층(603(c))과 증착된다. 게이트 절연층(602(c))을 사이에 두고 게이트 전극(601(c))과 증착되는 산화물 반도체층(603(c))의 영역이 채널이 된다.
- [0137] 또한, 도 23(D)에 도시된 트랜지스터는 게이트 전극(601(d))과, 게이트 절연층(602(d))과, 산화물 반도체층(603(d))과, 소스 전극(605a(d))과, 드레인 전극(605b(d))을 포함하고 있다.
- [0138] 소스 전극(605a(d)) 및 드레인 전극(605b(d))은 절연층 600(d) 상에 마련된다. 또한, 소스 전극(605a(d)) 및 드레인 전극(605b(d))의 측면은 테이퍼 형상이다.
- [0139] 산화물 반도체층(603(d))은 불순물 영역(604a(d)) 및 불순물 영역(604b(d))을 포함하고 있다. 불순물 영역(604a(d)) 및 불순물 영역(604b(d))은 서로 이격되고 각각 도펀트가 첨가된 영역이다. 또한, 불순물 영역(604a(d)) 및 불순물 영역(604b(d)) 사이의 영역이 채널 형성 영역이 된다. 산화물 반도체층(603(d))은 예를 들어 소스 전극(605a(d)), 드레인 전극(605b(d)), 및 절연층(600(d)) 상에 마련되고 소스 전극(605a(d)) 및 드레인 전극(605b(d))에 전기적으로 접속된다. 아울러 반드시 불순물 영역(604a(d)) 및 불순물 영역(604b(d))을 마련하지 않을 수도 있다.
- [0140] 불순물 영역(604a(d))은 소스 전극(605a(d))에 전기적으로 접속되어 있다.
- [0141] 불순물 영역(604b(d))은 드레인 전극(605b(d))에 전기적으로 접속되어 있다.
- [0142] 게이트 절연층(602(d))은 산화물 반도체층(603(d)) 상에 마련되어 있다.
- [0143] 게이트 전극(601(d))은 게이트 절연층(602(d))을 사이에 두고 산화물 반도체층(603(d))과 증착된다. 게이트 절연층(602(d))을 사이에 두고 게이트 전극(601(d))과 증착되는 산화물 반도체층(603(d))의 영역이 채널 형성 영역이 된다.
- [0144] 나아가 도 23(A) 내지 도 23(D)에 나타난 각 구성 요소에 대하여 설명한다.
- [0145] 절연층(600(a)) 내지 절연층(600(d))으로서는, 예를 들어 절연성 산화물, 또는 절연 표면을 갖는 기판 등을 사용할 수 있다. 또한, 미리 소자가 형성된 층을 절연층(600(a)) 내지 절연층(600(d))으로서 사용할 수도 있다.
- [0146] 게이트 전극(601(a)) 내지 게이트 전극(601(d)) 각각은 트랜지스터의 게이트로서 기능한다. 아울러 트랜지스터의 게이트로서 기능하는 층을 게이트 배선이라고도 한다.
- [0147] 게이트 전극(601(a)) 내지 게이트 전극(601(d))으로서는, 예를 들어 폴리브덴, 마그네슘, 티타늄, 크롬, 탄탈륨, 텅스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속재료, 또는 이들을 주성분으로 하는 합금 재료의 층을 이용할 수 있다. 또한, 게이트 전극(601(a)) 내지 게이트 전극(601(d))의 형성에 적용 가능한 재료의 층을 적층함으로써 게이트 전극(601(a)) 내지 게이트 전극(601(d))을 구성할 수도 있다.
- [0148] 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))으로서는, 예를 들어 산화 실리콘층, 질화 실리콘층, 산화

질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 산화 하프늄층 또는 산화 란타늄층을 사용할 수 있다. 또한, 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))에 적용 가능한 재료의 층을 적층함으로써 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))을 구성할 수도 있다.

[0149] 또한, 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))으로서는, 예를 들어 원소 주기표의 제13족 원소 및 산소 원소를 포함하는 재료의 절연층을 사용할 수도 있다. 예를 들어, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))이 제13족 원소를 포함하는 경우, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))에 접하는 절연층으로서 제13족 원소를 포함하는 절연층을 사용함으로써, 이 절연층과 산화물 반도체층과의 계면 상태를 양호하게 할 수 있다.

[0150] 제13족 원소 및 산소 원소를 포함하는 재료로서는, 예를 들어 산화 갈륨, 산화 알루미늄, 산화 알루미늄 갈륨, 산화 갈륨 알루미늄 등을 들 수 있다. 아울러 산화 알루미늄 갈륨은 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 물질을 가리키며 산화 갈륨 알루미늄은 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 물질을 가리킨다. 예를 들어, $Al_2O_x(x=3+a, a \text{는 } 0 \text{ 이상 } 1 \text{ 미만})$, $Ga_2O_x(x=3+a, a \text{는 } 0 \text{ 이상 } 1 \text{ 미만})$ 또는 $Ga_xAl_{2-x}O_{3+a}(x \text{는 } 0 \text{ 보다 크고 } 2 \text{ 보다 작은 값, } a \text{는 } 0 \text{ 보다 크고 } 1 \text{ 보다 작은 값})$ 로 표기되는 재료를 사용할 수도 있다.

[0151] 또한, 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))에 적용 가능한 재료의 층을 적층함으로써 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))을 구성할 수도 있다. 예를 들어, 복수의 Ga_2O_x 로 표기되는 산화 갈륨을 포함하는 층을 적층함으로써 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))을 구성할 수도 있다. 또한, Ga_2O_x 로 표기되는 산화 갈륨을 포함하는 절연층 및 Al_2O_x 로 표기되는 산화 알루미늄을 포함하는 절연층을 적층함으로써 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))을 구성할 수도 있다.

[0152] 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))은, 적어도 산화물 반도체층과 접하는 부분에 산소를 포함하고, 산소의 일부가 가열에 의해 탈리하는 절연성 산화물에 의해 형성하는 것이 바람직하다. 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))의 산화물 반도체층과 접하는 부분을 산화 실리콘으로 형성하면 산화물 반도체층으로 산소를 확산시킬 수 있어 트랜지스터의 저저항화를 방지할 수 있다.

[0153] 아울러 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))으로서 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미늄네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 또는 산화 란타늄 등의 high-k 재료를 이용하면 게이트 리크 전류를 감소시킬 수 있다. 여기서, 게이트 리크 전류는 게이트 전극과 소스 전극 또는 드레인 전극 사이에 흐르는 리크 전류를 말한다. 또한, 상기 high-k 재료에 의해 형성되는 층과 산화 실리콘, 산화 질화 실리콘, 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 질화 알루미늄 및 산화 갈륨에 의해 형성되는 층이 적층되어 있을 수도 있다. 단, 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))을 적층 구조로 하는 경우에도 산화물 반도체층과 접촉하는 부분은 절연성 산화물인 것이 바람직하다.

[0154] 또한, 트랜지스터의 채널 길이를 30nm로 했을 때, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))의 두께를 예를 들어 5nm 정도로 할 수도 있다. 이 때, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))이 CAAC-OS막(후술)의 산화물 반도체층이면 트랜지스터에서의 단채널 효과를 억제할 수 있다.

[0155] 불순물 영역(604a(a)) 내지 불순물 영역(604a(d)) 및 불순물 영역(604b(a)) 내지 불순물 영역(604b(d))은, N형 또는 P형의 도전형질을 부여하는 도펀트(불순물)가 첨가되고 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능한다.

[0156] 불순물로서는, 예를 들어 원소 주기표의 13족의 원소(예를 들어 붕소 등), 원소 주기표의 15족의 원소(예를 들어 질소, 인 및 비소 중 하나 또는 복수) 및 희가스 원소(예를 들어 헬륨, 아르곤 및 크세논 중 하나 또는 복수) 중 하나 또는 복수를 이용할 수 있다.

[0157] 여기서, 도펀트의 첨가는 이온 임플란테이션법 또는 이온 도핑법에 의해 수행하는 것이 바람직하다. 또는, 도펀트를 포함하는 가스 분위기중에서 플라즈마 처리를 수행함으로써 도펀트의 첨가를 수행할 수도 있다.

[0158] 불순물 영역(604a(a)) 내지 불순물 영역(604a(d)), 및 불순물 영역(604b(a)) 내지 불순물 영역(604b(d))에 도펀트를 첨가하는 것으로서 소스 전극 또는 드레인 전극과의 접촉 저항을 작게 할 수 있으므로 트랜지스터를 미

세화할 수 있다.

- [0159] 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d)) 각각은, 트랜지스터의 소스 또는 드레인으로서 기능한다. 아울러 트랜지스터의 소스로서 기능하는 층을 소스 전극 또는 소스 배선이라고도 하고, 트랜지스터의 드레인으로서 기능하는 층을 드레인 전극 또는 드레인 배선이라고도 한다.
- [0160] 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))으로서는, 예를 들어 알루미늄, 마그네슘, 크롬, 구리, 탄탈륨, 티타늄, 몰리브덴, 또는 텅스텐 등의 금속재료, 또는 이러한 금속재료를 주성분으로 하는 합금을 이용할 수 있다. 예를 들어, 구리, 마그네슘 및 알루미늄을 포함하는 합금 재료의 층에 의해 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))을 구성할 수 있다. 또한, 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))에 적용 가능한 재료의 층을 적층함으로써 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))을 구성할 수도 있다. 예를 들어 구리, 마그네슘 및 알루미늄을 포함하는 합금 재료의 층과 구리를 포함하는 층을 적층함으로써 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))을 구성할 수 있다.
- [0161] 또한, 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))으로서는, 도전성의 금속 산화물을 포함하는 층을 사용할 수도 있다. 도전성의 금속 산화물로서는, 예를 들어 산화 인듐, 산화 주석, 산화 아연, 인듐 주석 산화물 또는 인듐 아연 산화물을 사용할 수 있다. 아울러 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))에 적용 가능한 도전성의 금속 산화물은 산화 실리콘을 포함하고 있을 수도 있다.
- [0162] 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))은 예를 들어 스퍼터링법을 이용하여 도전막(예를 들어 금속막 또는 일 도전형의 불순물 원소가 첨가된 실리콘막 등)을 형성하고, 이 도전막 상에 에칭 마스크를 형성하여 에칭을 수행함으로써 선택적으로 형성할 수 있다. 또는 잉크젯법 등을 이용할 수도 있다. 아울러 소스 전극(605a(a)) 내지 소스 전극(605a(d)), 및 드레인 전극(605b(a)) 내지 드레인 전극(605b(d))이 되는 도전막은 단층으로 형성할 수도 있고 복수의 층을 적층하여 형성할 수도 있다. 예를 들어, Ti층 사이에 Al층이 형성된 3층의 적층 구조로 할 수 있다.
- [0163] 절연층(600(a)) 내지 절연층(600(d))으로서는, 예를 들어 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))에 적용 가능한 재료의 층을 사용할 수 있다. 또한, 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))에 적용 가능한 재료를 적층함으로써 절연층(600(a)) 내지 절연층(600(d))을 구성할 수도 있다. 예를 들어, 산화 알루미늄층 및 산화 실리콘층의 적층에 의해 절연층(600(a)) 내지 절연층(600(d))을 구성함으로써, 절연층(600(a)) 내지 절연층(600(d))에 포함되는 산소가 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))을 통해 탈리하는 것을 억제할 수 있다.
- [0164] 절연층(606(a)) 및 절연층(606(b)), 매립 절연물(612a(a)) 및 매립 절연물(612b(a)), 매립 절연물(612a(b)) 및 매립 절연물(612b(b)), 측벽 절연물(616a(a)) 및 측벽 절연물(616b(a)), 및 측벽 절연물(616a(b)) 및 측벽 절연물(616b(b))로서는 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))에 적용 가능한 재료의 단층 또는 적층을 사용할 수 있다.
- [0165] 또한, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))에 접하는 절연층에 과잉의 산소가 포함되도록 함으로써 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))으로 쉽게 산소를 공급할 수 있게 된다. 따라서, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d)) 내, 또는 상기 절연층과 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))의 계면에서의 산소 결합을 감소시킬 수 있으므로 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))의 캐리어 농도를 더욱 감소시킬 수 있다. 또한, 이에 한정되지 않고, 제조 과정을 통해 산화물 반도체층(603(a))에 과잉의 산소가 포함되도록 한 경우에도, 산화물 반도체층(603(a))에 접하는 상기 절연층에 의해, 산화물 반도체층(603(a))으로부터의 산소의 탈리를 억제할 수 있다.
- [0166] 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))과 절연층(600(a)) 내지 절연층(600(d))과의 사이에 베이스 절연층을 마련할 수도 있다. 베이스 절연층은 적어도 표면에 산소를 포함하고, 산소의 일부가 가열 처리에 의해 탈리하는 절연성 산화물로 형성할 수 있다. 산소의 일부가 가열 처리에 의해 탈리하는 절연성 산화물로서는 화학양론비보다 많은 산소를 포함하는 것을 사용하는 것이 바람직하다. 이는, 상기 가열 처리에 의해, 베이스 절연층에 접하는 산화물 반도체층으로 산소를 공급할 수 있기 때문이다.

- [0167] 화학양론비보다 많은 산소를 포함하는 절연성 산화물로서, 예를 들어 SiO_x 에서 $x > 2$ 인 산화 실리콘을 들 수 있다. 단, 이에 한정되지 않고, 베이스 절연층은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 질화 알루미늄, 산화 갈륨, 산화 하프늄 또는 산화 이트륨 등으로 형성할 수도 있다.
- [0168] 아울러 베이스 절연층은 복수의 막이 적층되어 형성된 것일 수도 있다. 베이스 절연층은 예를 들어 질화 실리콘막 상에 산화 실리콘막이 마련된 적층 구조일 수도 있다.
- [0169] 그런데, 화학양론비보다 많은 산소를 포함하는 절연성 산화물의 경우에는 산소의 일부가 가열 처리에 의해 쉽게 탈리된다. 산소의 일부가 가열 처리에 의해 쉽게 탈리되는 경우의 TDS 분석에 의한 산소의 탈리량(산소 원자로 환산한 값)은 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $1.0 \times 10^{20} \text{ atoms/cm}^3$ 이상, 보다 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상일 수 있다.
- [0170] 베이스 절연층은 스퍼터링법 또는 CVD법 등에 의해 형성할 수 있는데, 바람직하게는 스퍼터링법을 이용하여 형성한다. 베이스 절연층으로서 산화 실리콘막을 형성하는 경우에는 타겟으로서 석영(바람직하게는 합성 석영) 타겟, 스퍼터링 가스로서 아르곤 가스를 이용할 수 있다. 또는, 타겟으로서 실리콘 타겟, 스퍼터링 가스로서 산소를 포함하는 가스를 이용할 수도 있다. 아울러 산소를 포함하는 가스는, 아르곤 가스와 산소 가스의 혼합 가스일 수도 있고 산소 가스 단독일 수도 있다.
- [0171] 베이스 절연층을 형성한 후, 산화물 반도체층(603(a)) 내지 산화물 반도체층(603(d))이 될 산화물 반도체층을 형성하기 전에 제1 가열 처리를 수행한다. 제1 가열 처리는 베이스 절연층중에 포함되는 물 및 수소를 제거하기 위한 공정이다. 제1 가열 처리의 온도는 베이스 절연층중에 포함되는 물 및 수소가 탈리되는 온도(탈리량이 피크가 되는 온도) 이상 기판이 변질되는 온도 미만으로 할 수 있고, 바람직하게는 400°C 이상 750°C 이하로 하며, 후에 수행하는 제2 가열 처리보다 낮은 온도이면 무방하다.
- [0172] 그리고, 산화물 반도체층을 형성한 후 제2 가열 처리를 수행한다. 제2 가열 처리는 베이스 절연층을 산소의 공급원으로 하여 산화물 반도체층으로 산소를 공급하는 공정이다. 단, 제2 가열 처리를 수행하는 타이밍은 이에 한정되지 않고, 산화물 반도체층을 가공한 후에 수행할 수도 있다.
- [0173] 아울러 제2 가열 처리는 질소 가스, 또는 헬륨, 네온 또는 아르곤 등의 희가스 분위기중에서 수행하고, 이 분위기중에 수소, 물, 수산기 또는 수소화물 등이 포함되지 않은 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소 가스, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다.
- [0174] 또한, 제2 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 산화물 반도체층이 결정화되어 미결정층 또는 다결정층이 되는 경우도 있다. 예를 들어, 결정화율이 90% 이상 또는 80% 이상인 미결정층이 될 수도 있다. 또한, 제2 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는 결정 성분을 포함하지 않는 비정질이 될 수도 있다. 또한, 비정질층중에 미결정(microcrystal)(결정립경 1nm 이상 20nm 이하)이 혼재하는 경우도 있다.
- [0175] 아울러 산화물 반도체층이 결정성인 경우, 산화물 반도체막의 피형성면의 평균 면 거칠기(Ra)는 0.1nm 이상 0.5nm 미만인 것이 바람직하다. 평균 면 거칠기(Ra)가 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하인 표면에 형성할 수 있다.
- [0176] 아울러 여기서, 평균 면 거칠기(Ra)는 JISB0601:2001(ISO4287:1997)에서 정의된 산술 평균 거칠기(Ra)를 곡면에 대해 적용할 수 있도록 삼차원으로 확장한 것을 가리킨다. 평균 면 거칠기(Ra)는 기준면에서 지정면까지의 편차의 절대값을 평균한 값으로 나타난다.
- [0177] 여기서, 산술 평균 거칠기(Ra)는 거칠기 곡선을 평가 길이(L_0)에 대응하는 만큼 추출하여 이 표본 부분의 평균선의 방향을 X축, 세로배율의 방향(X축에 수직인 방향)을 Y축으로 하고, 거칠기 곡선을 $y=f(x)$ 로 나타낼 때 하기 식 (1)로 주어진다.

수학식 1

$$Ra = \frac{1}{L} \int_0^L |f(x)| dx \quad (1)$$

[0178]

[0179] 그리고, 평균 면 거칠기(Ra)는 측정면으로부터 장과장 성분을 차단하여 얻은 곡면을 $Z_0=f(x, y)$ 로 나타낼 때, 기준면에서 지정면까지의 편차의 절대값을 평균한 값으로 표현되며 다음의 식 (2)로 주어진다.

수학식 2

$$Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |f(x, y) - Z_0| dx dy \quad (2)$$

[0180]

[0181] 여기서, 지정면은 거칠기 측정의 대상이 되는 면으로, 좌표($x_1, y_1, f(x_1, y_1)$)($x_1, y_2, f(x_1, y_2)$)($x_2, y_1, f(x_2, y_1)$)($x_2, y_2, f(x_2, y_2)$)로 표시되는 4점으로 이루어지는 사각형의 영역으로 하고, 지정면이 이상적으로 플랫폼이라고 가정했을 때의 면적을 S_0 로 한다.

[0182] 또한, 기준면은 지정면의 평균 높이에서의, xy평면과 평행한 면이다. 즉, 지정면의 높이의 평균값을 Z_0 로 할 때, 기준면의 높이도 Z_0 로 표시된다.

[0183] 이와 같이, 피형성면의 평균 면 거칠기를 0.1nm 이상 0.5nm 미만으로 하기 위해서는 화학적 기계적 연마 (Chemical Mechanical Polishing: CMP) 처리를 수행하는 것이 바람직하다. CMP 처리는 산화물 반도체층의 형성 전에 수행할 수 있는데, 제1 가열 처리전에 수행하는 것이 바람직하다.

[0184] 여기서, CMP 처리는 1회 이상 수행할 수 있다. 여러 차례 나누어 CMP 처리를 수행하는 경우에는 높은 연마 레이트로 일차 연마를 수행한 후 낮은 연마 레이트로 마감 연마를 수행하는 것이 바람직하다.

[0185] 또한, 피형성면을 평탄화시키기 위해서는 CMP 처리 대신에 드라이 에칭 등을 수행할 수도 있다. 여기서, 에칭 가스로서는, 염소, 염화 붕소, 염화 실리콘 또는 사염화탄소 등의 염소계 가스, 사불화 탄소, 불화 유황 또는 불화 질소 등의 불소계 가스 등을 사용할 수 있다.

[0186] 또한, 피형성면을 평탄화시키기 위해서는 CMP 처리 대신에 플라즈마 처리 등을 수행할 수도 있다. 여기서, 플라즈마 처리에는 희가스를 이용하는 것이 바람직하다. 이 플라즈마 처리에 의해, 피처리면에 불활성 가스의 이온이 조사되고 스퍼터링 효과에 의해 피처리면의 미세한 요철이 평탄화된다. 이러한 플라즈마 처리는 역스퍼터링이라고도 불린다.

[0187] 아울러 피형성면을 평탄화시키기 위해 상기 처리 중 어떠한 것을 이용할 수도 있다. 예를 들어, 역스퍼터링만을 수행할 수도 있고, CMP 처리를 수행한 후 드라이 에칭을 수행할 수도 있다. 단, 산화물 반도체막의 피형성면인 피형성면에 물 등을 혼입시키지 않기 위해서는 드라이 에칭 또는 역스퍼터링을 이용하는 것이 바람직하다. 특히, 제1 가열 처리를 수행한 후 평탄화 처리를 수행하는 경우에는 드라이 에칭 또는 역스퍼터링을 이용하는 것이 바람직하다.

[0188] 산화물 반도체층은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히, In과 Zn 모두를 포함하는 것이 바람직하다. 또한, 갈륨(Ga)을 갖는 것이 바람직하다. 갈륨(Ga)을 가지면 트랜지스터 특성의 편차를 감소시킬 수 있다. 이러한 트랜지스터 특성의 편차를 감소시킬 수 있는 원소를 스테빌라이저라고 부른다. 스테빌라이저로서는 주석(Sn), 하프늄(Hf) 또는 알루미늄(Al)을 들 수 있다.

[0189] 또한, 그 밖의 스테빌라이저로서는, 란타노이드인, 란타늄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴뮴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀미움(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu)을 들 수 있다. 이들 중 일종 또는 복수종을 가질 수도 있다.

[0190] 또한, 산화물 반도체로서는, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-

Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO로도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 들 수 있다.

[0191] 아울러 여기서, 예를 들어 In-Ga-Zn계 산화물은 In과 Ga와 Zn을 주성분으로서 갖는 산화물을 의미하며, In과 Ga와 Zn의 비율은 한정되지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 포함될 수도 있다.

[0192] 예를 들어, 원자수비 In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)인 In-Ga-Zn계 산화물이나 그 구성에 가까운 산화물을 사용할 수 있다. 또는, 원자수비 In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)인 In-Sn-Zn계 산화물이나 이에 가까운 조성의 산화물을 사용할 수 있다.

[0193] 그러나, 본 발명의 일 태양에서 사용할 수 있는 산화물 반도체층은 이들에 한정되지 않고, 요구되는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 사용할 수 있다. 요구되는 트랜지스터 특성(반도체 특성)에 따라 캐리어 농도, 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리 및 밀도 등을 적절히 조정할 수 있다.

[0194] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물에서도 벌크내 결합 밀도를 감소시킴으로써 이동도를 높일 수 있다.

[0195] 아울러 예를 들어, In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성이, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)인 산화물의 구성에 가깝다는 것은, a, b, c가 $(a-A)^2 + (b-B)^2 + (c-C)^2 = r^2$ 를 만족하는 것을 의미하고, r은 예를 들어 0.05일 수 있다.

[0196] 산화물 반도체는 단결정일 수도 비단결정일 수도 있다. 비단결정인 경우에는 비정질일 수도 다결정일 수도 있다. 또한, 비정질중에 결정성을 갖는 부분을 포함하는 구조일 수도 있다. 또는 비아몰퍼스(non-amorphous)일 수도 있다.

[0197] 아울러 상기 금속 산화물에는, 이러한 화학양론비에 대해 산소를 과잉으로 포함시키는 것이 바람직하다. 산소를 과잉으로 포함시키면, 형성되는 산화물 반도체층의 산소 결손에 의한 캐리어의 생성을 억제할 수 있다.

[0198] 아울러 일례로서 산화물 반도체층을 In-Zn계 금속 산화물에 의해 형성하는 경우에는, Zn에 대한 In의 원자수비를 In/Zn=1~100, 바람직하게는 In/Zn=1~20, 더욱 바람직하게는 In/Zn=1~10으로 한다. Zn의 원자수비를 바람직한 상기 범위로 함으로써 전계효과 이동도를 향상시킬 수 있다. 여기서, 산소를 과잉으로 포함시키기 위해 금속 산화물의 원자수비 In:Zn=O:X:Y:Z를 $Z > 1.5X + Y$ 로 하는 것이 바람직하다.

[0199] 아울러 여기서 타겟으로 사용하는 소결체의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 100% 이하일 수 있다. 타겟의 충전율을 높임으로써, 형성되는 산화물 반도체층을 치밀화시킬 수 있다.

[0200] 아울러 산화물 반도체층에 적용할 수 있는 금속 산화물은 에너지갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상일 수 있다. 이와 같이 밴드갭이 넓은 금속 산화물을 이용하면 트랜지스터의 오프 전류를 감소시킬 수 있다.

[0201] 아울러 산화물 반도체층에는 수소가 포함된다. 이 수소는 수소 원자뿐 아니라, 수소 분자, 물, 수산기 또는 기타 수소화물로서 포함될 수도 있다. 산화물 반도체막에 포함되는 수소는 최대한 적은 것이 바람직하다.

[0202] 아울러 산화물 반도체층의 알칼리 금속 및 알칼리 토류 금속은 줄이는 것이 바람직하고, 이들의 농도는 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 2×10^{16} atoms/cm³ 이하로 한다. 알칼리 금속 및 알칼리 토류 금속은 산화물 반도체와 결합하면 캐리어가 생성될 수도 있어 트랜지스터의 오프 전류를 증대시키는 원인이 되기 때문이다.

[0203] 아울러 산화물 반도체층의 형성 방법 및 두께는 특별히 한정되지 않고, 제조하는 트랜지스터의 사이즈 등에 따라 결정할 수 있다. 산화물 반도체층의 형성 방법으로서, 예를 들어 스퍼터링법, 분자선 에피택시법, 도포법, 인쇄법 또는 펄스 레이저 증착법 등을 들 수 있다. 산화물 반도체층의 두께는 3nm 이상 50nm 이하일

수 있다. 50nm 이상으로 두껍게 하면 노멀리-온이 될 우려가 있기 때문이다. 또한, 트랜지스터의 채널 길이를 30nm로 한 경우에는, 산화물 반도체막의 두께는 5nm 이하로 하면 단채널 효과를 억제할 수 있다.

- [0204] 여기서의 바람직한 일례로서 In-Ga-Zn계 금속 산화물 타겟을 이용하여 스퍼터링법에 의해 산화물 반도체층을 형성하는 방법에 대하여 설명한다. 여기서, 스퍼터링 가스로서는 희가스(예를 들어 아르곤 가스), 산소 가스, 또는 희가스와 산소 가스의 혼합 가스를 사용할 수 있다.
- [0205] 아울러 산화물 반도체층을 형성할 때 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등이 제거된 고순도 가스를 사용하는 것이 바람직하다. 스퍼터링 가스를 고순도화시키기 위해서는 처리실의 내벽 등에 부착된 가스를 제거하고, 산화물 반도체층을 형성하기 전에 피형성면을 가열 처리하는 것이 바람직하다. 또한, 처리실에 도입하는 스퍼터링 가스로서 고순도 가스를 사용할 수도 있고, 이 때 아르곤 가스의 경우, 순도는 9N(99.999999%) 이상, 노점은 -121°C 이하, 물은 0.1ppb 이하, 수소는 0.5ppb 이하로 할 수 있다. 산소 가스의 경우, 순도는 8N(99.999999%) 이상, 노점은 -112°C 이하, 물은 1ppb 이하, 수소는 1 ppb 이하로 할 수 있다. 피형성면을 가열하면서 고온으로 유지한 상태로 산화물 반도체층을 형성하면, 산화물 반도체층에 포함되는 물 등의 불순물의 농도를 감소시킬 수 있다. 또한, 스퍼터링법을 적용함으로써 산화물 반도체층에 대한 손상을 줄일 수 있다.
- [0206] 또한, 산화물 반도체층에 산소를 과잉으로 포함시키기 위해 이온 주입에 의해 산소를 공급할 수도 있다.
- [0207] 여기서, 산화물 반도체의 구조의 일 태양인 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor) 막에 대하여 설명한다.
- [0208] CAAC-OS막은 완전한 단결정은 아니지만 완전한 비정질도 아니다. CAAC-OS막은 결정부 및 비정질부를 갖는 결정-비정질 혼상 구조의 산화물 반도체막이다. 아울러 상기 결정부는 한면이 100nm 미만인 정육면체 내에 포함되는 크기인 경우가 많다. 또한, 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 비정질부와 결정부와의 경계는 명확하지 않다. 또한, TEM에 의해 CAAC-OS막에는 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 따라서 CAAC-OS막은, 입계에 기인하는 전자 이동도의 저하가 억제된다.
- [0209] CAAC-OS막에 포함되는 결정부는, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되며, 아울러 ab면에 수직인 방향에서 볼 때 삼각 형상 또는 육각 형상의 원자 배열을 가지며, c축에 수직인 방향에서 볼 때 금속 원자가 층형 또는 금속 원자와 산소 원자가 층형으로 배열되어 있다. 아울러 서로 다른 결정부들에 있어서, 각각 a축 및 b축의 방향이 다를 수도 있다. 본 명세서에서, 단순히 수직이라고 기재하는 경우 85° 이상 95° 이하의 범위도 포함되는 것으로 본다. 또한, 단순히 평행이라고 기재하는 경우, -5° 이상 5° 이하의 범위도 포함되는 것으로 본다.
- [0210] 아울러 CAAC-OS막에서 결정부의 분포가 균일하지 않을 수도 있다. 예를 들어, CAAC-OS막의 형성 과정에서 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면 근방에 비해 표면 근방에서 결정부가 차지하는 비율이 높아질 수도 있다. 또한, CAAC-OS막으로 불순물 등을 첨가함으로써 이 불순물 첨가 영역에서 결정부가 비정질화될 수도 있다.
- [0211] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되므로 CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향할 수도 있다. 아울러 결정부의 c축의 방향은 CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 된다. 결정부는, 성막함으로써, 또는 성막후에 가열 처리 등의 결정화 처리를 수행함으로써 형성된다.
- [0212] CAAC-OS막을 이용함으로써, 가시광이나 자외광의 조사에 의한 트랜지스터의 전기 특성의 변동을 줄일 수 있게 된다. 따라서, 신뢰성이 높은 트랜지스터를 얻을 수 있다.
- [0213] CAAC-OS막에 포함되는 결정 구조의 일례에 대하여 도 7 내지 도 10을 이용하여 상세히 설명한다. 아울러 특별한 언급이 없는 한, 도 7 내지 도 10은 윗쪽 방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 아울러 단순히 상반부, 하반부라고 하는 경우, ab면을 경계로 했을 경우의 상반부, 하반부를 가리킨다. 또한, 도 7에서, 원으로 둘러싸인 0는 4배위의 0를 나타내고, 이중원은 3배위의 0를 나타낸다.
- [0214] 도 7(A)에 1개의 6배위의 In과, In에 근접하는 6개의 4배위의 산소 원자(이하, 4배위의 0)를 갖는 구조를 나타내었다. 여기서, 금속 원자 1개에 대해 근접하는 산소 원자만을 나타낸 구조를 소그룹이라고 부른다. 도

7(A)의 구조는 팔면체 구조를 취하지만, 간단히 하기 위해 평면 구조로 나타내었다. 아울러 도 7(A)의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있다. 도 7(A)에 나타낸 소그룹은 총 전하가 0이다.

[0215] 도 7(B)에 1개의 5배위의 Ga와, Ga에 근접하는 3개의 3배위의 산소 원자(이하, 3배위의 0)와, Ga에 근접하는 2개의 4배위의 0를 갖는 구조를 나타내었다. 3배위의 0는 모두 ab면에 존재한다. 도 7(B)의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있다. 또한, In도 5배위를 취하므로 도 7(B)에 도시된 구조를 취할 수 있다. 도 7(B)에 나타낸 소그룹은 총 전하가 0이다.

[0216] 도 7(C)에 1개의 4배위의 Zn과, Zn에 근접하는 4개의 4배위의 0를 갖는 구조를 나타내었다. 도 7(C)의 상반부에는 1개의 4배위의 0가 있고 하반부에는 3개의 4배위의 0가 있다. 또는, 도 7(C)의 상반부에 3개의 4배위의 0가 있고 하반부에 1개의 4배위의 0가 있을 수도 있다. 도 7(C)에 나타낸 소그룹은 총 전하가 0이다.

[0217] 도 7(D)에 1개의 6배위의 Sn과, Sn에 근접하는 6개의 4배위의 0를 갖는 구조를 나타낸다. 도 7(D)의 상반부에는 3개의 4배위의 0가 있고 하반부에는 3개의 4배위의 0가 있다. 도 7(D)에 나타낸 소그룹은 총 전하가 +1이 된다.

[0218] 도 7(E)에 2개의 Zn을 포함하는 소그룹을 나타내었다. 도 7(E)의 상반부에는 1개의 4배위의 0가 있고 하반부에는 1개의 4배위의 0가 있다. 도 7(E)에 나타낸 소그룹은 총 전하가 -1이 된다.

[0219] 여기서는 복수의 소그룹의 집합체를 중그룹이라고 하며, 복수의 중그룹의 집합체를 대그룹이라고 부른다.

[0220] 여기서, 상기 소그룹들끼리 결합하는 규칙에 대하여 설명한다. 도 7(A)에 도시된 6배위의 In의 상반부에 있는 3개의 0는 아래 방향에 각각 3개의 근접 In을 가지며, 하반부에 있는 3개의 0는 윗쪽 방향에 각각 3개의 근접 In을 갖는다. 도 7(B)에 도시된 5배위의 Ga의 상반부에 있는 1개의 0는 아래 방향에 1개의 근접 Ga를 가지며, 하반부에 있는 1개의 0는 윗쪽 방향에 1개의 근접 Ga를 갖는다. 도 7(C)에 도시된 4배위의 Zn의 상반부에 있는 1개의 0는 아래 방향에 1개의 근접 Zn을 가지며, 하반부에 있는 3개의 0는 윗쪽 방향에 각각 3개의 근접 Zn을 갖는다. 이와 같이, 금속 원자의 윗쪽 방향에 있는 4배위의 0의 수와 그 0의 아래 방향에 있는 근접 금속 원자의 수는 동일하고, 마찬가지로 금속 원자의 아래 방향에 있는 4배위의 0의 수와 그 0의 윗쪽 방향에 있는 근접 금속 원자의 수는 동일하다. 0는 4배위이므로, 아래 방향에 있는 근접 금속 원자의 수와 윗쪽 방향에 있는 근접 금속 원자의 수의 합은 4가 된다. 따라서, 금속 원자의 윗쪽 방향에 있는 4배위의 0의 수와 다른 금속 원자의 아래 방향에 있는 4배위의 0의 수의 합이 4개일 때, 금속 원자를 갖는 2종의 소그룹들끼리 결합할 수 있다. 예를 들어, 6배위의 금속 원자(In 또는 Sn)가 하반부의 4배위의 0를 통해 결합하는 경우, 4배위의 0가 3개이므로 5배위의 금속 원자(Ga 또는 In) 또는 4배위의 금속 원자(Zn) 중 어느 하나와 결합하게 된다.

[0221] 이러한 배위수를 갖는 금속 원자는 c축 방향에 있어서 4배위의 0를 통해 결합된다. 또한, 이 밖에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합되어 중그룹을 구성한다.

[0222] 도 8(A)에 In-Sn-Zn-O계 산화물의 층 구조를 구성하는 중그룹의 모델도를 나타내었다. 도 8(B)에 3개의 중그룹으로 구성되는 대그룹을 나타내었다. 아울러 도 8(C)는 도 8(B)의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타낸 것이다.

[0223] 도 8(A)에서 간단히 하기 위해 3배위의 0는 생략하고, 4배위의 0는 개수만을 나타내며, 예를 들어 Sn의 상반부 및 하반부에는 각각 3개씩 4배위의 0가 있다는 것을 원문자 3으로 나타내었다. 마찬가지로 도 8(A)에서 In의 상반부 및 하반부에는 각각 1개씩 4배위의 0가 있고 원문자 1로 나타내었다. 또한, 마찬가지로 도 8(A)에서 하반부에는 1개의 4배위의 0가 있고 상반부에는 3개의 4배위의 0가 있는 Zn과, 상반부에는 1개의 4배위의 0가 있고 하반부에는 3개의 4배위의 0가 있는 Zn을 나타내었다.

[0224] 도 8(A)에서 In-Sn-Zn-O계 산화물의 층 구조를 구성하는 중그룹은, 위부터 차례로, 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn이, 4배위의 0가 1개씩 상반부 및 하반부에 있는 In과 결합되고, 이 In이, 상반부에 3개의 4배위의 0가 있는 Zn과 결합되고, 이 Zn의 하반부에 있는 1개의 4배위의 0를 통해 4배위의 0가 3개씩 상반부 및 하반부에 있는 In과 결합되고, 이 In이, 상반부에 1개의 4배위의 0가 있는 Zn 2개로 이루어지는 소그룹과 결합되고, 이 소그룹의 하반부에 있는 1개의 4배위의 0를 통해 4배위의 0가 3개씩 상반부 및 하반부에 있는 Sn과 결합된 구성이다. 이 중그룹이 복수 결합되어 대그룹을 구성한다.

[0225] 여기서, 3배위의 0 및 4배위의 0의 경우, 결합 1개당 전하는 각각 -0.667, -0.5로 생각할 수 있다. 예를 들어 In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 총 전하가 +1이 된다. 따라서 Sn을 포함하는 층 구조를 형성하기 위해서는 전하 +1을 상쇄

시키는 전하 -1이 필요하다. 전하 -1을 취하는 구조로서 도 7(E)에 도시된 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn를 포함하는 소그룹 1개에 대하여, 2개의 Zn을 포함하는 소그룹이 1개 있으면 전하가 상쇄되므로 층 구조의 합계의 총 전하를 0으로 할 수 있다.

[0226] 구체적으로는, 도 8(B)에 나타난 대그룹이 반복됨으로써 In-Sn-Zn-O계의 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 아울러 얻어진 In-Sn-Zn-O계의 층 구조는 $In_2SnZn_2O_7(ZnO)_m$ (m은 0 또는 자연수.)의 조성식으로 나타낼 수 있다.

[0227] 또한, 이 밖에도, 4원계 금속의 산화물인 In-Sn-Ga-Zn-O계 산화물이나, 3원계 금속의 산화물인 In-Ga-Zn-O계 산화물(IGZO로도 표기.), In-Al-Zn-O계 산화물, Sn-Ga-Zn-O계 산화물, Al-Ga-Zn-O계 산화물, Sn-Al-Zn-O계 산화물이나, In-Hf-Zn-O계 산화물, In-La-Zn-O계 산화물, In-Ce-Zn-O계 산화물, In-Pr-Zn-O계 산화물, In-Nd-Zn-O계 산화물, In-Sm-Zn-O계 산화물, In-Eu-Zn-O계 산화물, In-Gd-Zn-O계 산화물, In-Tb-Zn-O계 산화물, In-Dy-Zn-O계 산화물, In-Ho-Zn-O계 산화물, In-Er-Zn-O계 산화물, In-Tm-Zn-O계 산화물, In-Yb-Zn-O계 산화물, In-Lu-Zn-O계 산화물이나, 2원계 금속의 산화물인 In-Zn-O계 산화물, Sn-Zn-O계 산화물, Al-Zn-O계 산화물, Zn-Mg-O계 산화물, Sn-Mg-O계 산화물, In-Mg-O계 산화물, In-Ga-O계 산화물 등을 사용했을 경우에도 동일하다.

[0228] 예를 들어, 도 9(A)에 In-Ga-Zn-O계 산화물의 층 구조를 구성하는 중그룹의 모델도를 나타내었다.

[0229] 도 9(A)에서, In-Ga-Zn-O계 산화물의 층 구조를 구성하는 중그룹은, 위부터 차례로 4배위의 O가 3개씩 상반부 및 하반부에 있는 In이, 4배위의 O가 1개 상반부에 있는 Zn과 결합되고, 이 Zn의 하반부에 있는 3개의 4배위의 O를 통해, 4배위의 O가 1개씩 상반부 및 하반부에 있는 Ga와 결합되고, 이 Ga의 하반부에 있는 1개의 4배위의 O를 통해, 4배위의 O가 3개씩 상반부 및 하반부에 있는 In과 결합된 구성이다. 이 중그룹이 복수 결합되어 대그룹을 구성한다.

[0230] 도 9(B)에 3개의 중그룹으로 구성되는 대그룹을 나타내었다. 아울러 도 9(C)는 도 9(B)의 층 구조를 c축 방향에서 관찰한 경우의 원자 배열을 나타낸 것이다.

[0231] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는 각각 +3, +2, +3이므로 In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은 전하가 0이 된다. 따라서 이 소그룹들의 조합일 경우 중그룹의 합계의 전하는 항상 0이 된다.

[0232] 또한, In-Ga-Zn-O계 산화물의 층 구조를 구성하는 중그룹은, 도 9(A)에 나타난 중그룹에 한정되지 않고, In, Ga, Zn의 배열이 다른 중그룹을 조합한 대그룹도 취할 수 있다.

[0233] 구체적으로는, 도 9(B)에 나타난 대그룹이 반복됨으로써 In-Ga-Zn-O계 산화물의 결정을 얻을 수 있다. 아울러 얻어진 In-Ga-Zn-O계 산화물의 층 구조는 $InGaO_3(ZnO)_n$ (n은 자연수.)의 조성식으로 나타낼 수 있다.

[0234] $n=1(InGaZnO_4)$ 인 경우에는 예를 들어 도 10(A)에 도시된 결정 구조를 취할 수 있다. 아울러 도 10(A)에 도시된 결정 구조에서, 도 7(B)에서 설명한 바와 같이, Ga 및 In은 5배위를 취하므로 Ga가 In으로 치환된 구조를 취할 수도 있다.

[0235] 또한, $n=2(InGaZn_2O_5)$ 인 경우에는 예를 들어 도 10(B)에 도시된 결정 구조를 취할 수 있다. 아울러 도 10(B)에 도시된 결정 구조에서, 도 7(B)에서 설명한 바와 같이, Ga 및 In은 5배위를 취하므로 Ga가 In으로 치환된 구조를 취할 수도 있다.

[0236] 여기서, CAAC-OS막의 형성 방법에 대하여 설명한다.

[0237] 우선, 산화물 반도체층을 스퍼터링법 등에 의해 형성한다. 아울러 피형성면을 고온으로 유지하면서 산화물 반도체층의 형성을 수행함으로써 비정질 부분보다 결정 부분이 차지하는 비율을 크게 할 수 있다. 이 때, 피형성면의 온도는 예를 들어 150℃ 이상 450℃ 이하일 수 있고, 바람직하게는 200℃ 이상 350℃ 이하로 한다.

[0238] 여기서, 형성된 산화물 반도체층에 가열 처리를 수행할 수도 있다. 이 가열 처리에 의해 비정질 부분보다 결정 부분이 차지하는 비율을 크게 할 수 있다. 이 가열 처리시의 온도는 예를 들어 200℃ 이상, 피형성면 자체가 변질 또는 변형되지 않을 정도의 온도 미만으로 할 수 있고, 바람직하게는 250℃ 이상 450℃ 이하로 할 수 있다. 이 가열 처리의 시간은 3분 이상으로 할 수 있고, 24시간 이하로 하는 것이 바람직하다. 이 가열 처리의 시간을 길게 하면 비정질 부분보다 결정 부분이 차지하는 비율을 크게 할 수 있지만 생산성의 저하를 초래하기 때문이다. 아울러 이 가열 처리는 산화성 분위기 또는 불활성 분위기에서 수행할 수 있으나 이에 한정되는 것은 아니다. 또한, 이 가열 처리는 감압하에서 수행될 수도 있다.

- [0239] 산화성 분위기는 산화성 가스를 포함하는 분위기이다. 산화성 가스로서는, 예를 들어 산소, 오존 또는 아산화 질소 등을 들 수 있다. 산화성 분위기는, 산화물 반도체층에 포함되지 않는 것이 바람직한 성분(예를 들어 물 및 수소)이 최대한 제거된 것이 바람직하다. 예를 들어, 산소, 오존, 아산화 질소의 순도를 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상으로 할 수 있다.
- [0240] 또한, 산화성 분위기는, 산화성 가스를 포함하는 희가스 등의 불활성 가스일 수도 있다. 단, 산화성 분위기에는 10ppm 이상의 산화성 가스가 포함된 것으로 한다. 불활성 분위기에는 불활성 가스(질소 가스 또는 희가스 등)가 포함되고, 산화성 가스 등의 반응성 가스가 10ppm 미만으로 포함된 것으로 한다.
- [0241] 아울러 모든 가열 처리는 RTA(Rapid Thermal Anneal) 장치를 이용하여 수행할 수 있다. RTA 장치를 이용함으로써, 단시간이라면 높은 온도로 열처리를 수행할 수도 있다. 따라서 비정질 부분보다 결정 부분이 차지하는 비율이 큰 산화물 반도체층을 형성할 수 있고 생산성의 저하를 억제할 수 있다.
- [0242] 단, 모든 가열 처리에 이용되는 장치는 RTA 장치에 한정되지 않고, 예를 들어 저항 발열체 등으로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 기구가 구비된 장치를 이용할 수 있다. 모든 가열 처리에 이용되는 가열 처리 장치로서, 예를 들어 전기로나, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA 장치 등을 들 수 있다. 아울러 LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등의 램프로부터 나오는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. 또한, GRTA 장치는 고온의 가스를 열 매체로 이용하여 피처리물을 가열하는 장치이다.
- [0243] 아울러 질소의 농도가 1×10^{17} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하인 In-Ga-Zn계 금속 산화물을 이용하면, c축 배향된 육방정의 결정 구조를 포함하는 금속 산화물막이 형성되고, 하나 또는 복수의 Ga 및 Zn을 갖는 층이 2층의 In-O의 결정면(인듐과 산소를 포함하는 결정면) 사이에 배치된다.
- [0244] 또한, In-Sn-Zn계 금속 산화물의 형성에는 예를 들어 In:Sn:Zn이 원자수비로 1:2:2, 2:1:3, 1:1:1 또는 20:45:35인 타겟을 이용할 수 있다.
- [0245] 이상 설명한 바와 같이 CAAC-OS막을 형성할 수 있다. CAAC-OS막은 비정질의 산화물 반도체층과 비교하여, 금속과 산소간 결합의 질서성이 높다. 즉, 산화물 반도체층이 비정질 구조인 경우에는 금속 원자에 따라 배워진 산소 원자의 수가 다르지만, CAAC-OS 막에서는 금속 원자에 배워진 산소 원자의 수는 거의 일정하다. 따라서 산소 결손이 거의 발견되지 않으며, 수소 원자(수소 이온을 포함함)나 알칼리 금속 원자 등에 의한 전하의 이동이나 전기 전도성의 불안정을 억제할 수 있다.
- [0246] 따라서, CAAC-OS막을 이용한 채널 형성 영역에 의해 트랜지스터를 제조하면, 트랜지스터로의 광조사 또는 바이어스-열 스트레스(BT)의 부가를 수행한 후에 발생하는, 트랜지스터의 문턱값 전압의 변화를 억제할 수 있어 안정된 전기적 특성을 갖는 트랜지스터를 제조할 수 있다.
- [0247] 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))으로서는 예를 들어 스퍼터링법을 이용하여 절연성 재료(예를 들어, 질화 실리콘, 질화 산화 실리콘, 산화 질화 실리콘 또는 산화 실리콘 등) 막을 형성할 수 있다. 아울러 게이트 절연층(602(a)) 내지 게이트 절연층(602(d))은 단층으로 형성할 수도 있고 복수의 층을 적층하여 형성할 수도 있다. 여기서는, 예를 들어 질화 실리콘층 상에 산화 질화 실리콘층이 적층된 2층의 적층 구조로 한다.
- [0248] 산화물 반도체를 이용한 트랜지스터에서는 전계효과 이동도도 높일 수 있다.
- [0249] 단, 실제의 산화물 반도체를 이용한 트랜지스터의 전계효과 이동도는 벌크의 이동도보다 낮아진다. 이동도를 저하시키는 요인으로서의 반도체 내부의 결함이나 반도체와 절연층과의 계면 결함이 있다. Levinson 모델을 이용하면 반도체 내부에 결함이 없다고 가정했을 경우의 전계효과 이동도를 이론적으로 도출할 수 있다.
- [0250] 반도체 본래의 이동도를 μ_0 , 측정되는 전계효과 이동도를 μ 로 하고, 반도체중에 어떠한 퍼텐셜 장벽(입계 등)이 존재한다고 가정하면, 하기 식으로 표현할 수 있다.

수학식 3

[0251]
$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

[0252] 여기서, E는 퍼텐셜 장벽의 높이, k는 볼츠만 상수, T는 절대온도이다. 또한, 퍼텐셜 장벽이 결함에 유래한다고 가정하면 Levinson 모델에서는 퍼텐셜 장벽은 하기 식으로 나타난다.

수학식 4

[0253]
$$E_i = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

[0254] 여기서, e는 전기소량, N는 채널내의 단위면적당 평균 결함 밀도, 엠실론은 반도체의 유전율, n은 단위면적당 채널에 포함되는 캐리어수, C_{ox}는 단위면적당 용량, V_g는 게이트 전압, t는 채널의 두께이다. 아울러 두께 30nm 이하의 반도체층이라면 채널의 두께는 반도체층의 두께와 동일하게 하여도 무방하다.

[0255] 또한, 선형 영역에서의 드레인 전류(I_d)는 하기 식으로 나타난다.

수학식 5

[0256]
$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

[0257] 여기서, L은 채널 길이, W는 채널 폭이며, L=W=10μm로 하였다. 또한, V_d는 드레인 전압이다. 상기 식의 양변을 V_g로 나누고, 나아가 양변의 대수를 취하면 하기 식을 얻을 수 있다.

수학식 6

[0258]
$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

[0259] 식 (6)의 우변은 V_g의 함수이다. 식(6)에서 알 수 있는 바와 같이, 세로축을 ln(I_d/V_g), 가로축을 1/V_g로 하는 직선의 기울기로부터 결함 밀도(N)를 구할 수 있다. 즉, 트랜지스터의 I_d-V_g 특성을 통해 결함 밀도를 평가할 수 있다. 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In:Sn:Zn=1:1:1인 산화물 반도체의 결함 밀도(N)는 1×10¹²/cm² 정도이다.

[0260] 이와 같이 하여 구한 결함 밀도 등을 기초로 식 (3) 및 식 (4)로부터 μ₀=120cm²/Vs가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 40cm²/Vs 정도이다. 그러나, 상기 도출된 결과로부터, 반도체 내부 및 반도체와 절연층의 계면에 결함이 없는 경우의 산화물 반도체의 이동도(μ₀)는 120cm²/Vs가 된다.

[0261] 단, 반도체 내부에 결함이 없어도 트랜지스터의 수송 특성은 채널과 게이트 절연층과의 계면에서의 산란에 의한 영향을 받는다. 즉, 게이트 절연층계면으로부터 x만큼 떨어진 장소에서의 이동도(μ₁)는 하기 식 (7)로 나타난다.

수학식 7

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

[0262]

[0263]

[0264]

[0265]

[0266]

[0267]

[0268]

[0269]

[0270]

[0271]

[0272]

여기서, D는 게이트 방향의 전계, B, l는 상수이다. B 및 l는 실제의 측정 결과로부터 구할 수 있고, 상기 측정 결과로부터는 $B=4.75 \times 10^7$ cm/s, $l=10$ nm(계면 산란이 미치는 깊이)가 된다. D가 증가하면(즉, 게이트 전압이 높아지면) 식 7의 제2항이 증가하므로 이동도(μ_1)는 저하됨을 알 수 있다.

반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 이용한 트랜지스터의 이동도를 계산한 결과를 도 11에 나타내었다. 아울러 계산에는 디바이스 시뮬레이션 소프트웨어 Sentaurus Device(시놉시스사제)를 사용하고, 산화물 반도체의 밴드갭을 2.8eV, 전자 친화력을 4.7eV, 비유전률을 15, 두께를 15nm로 하였다. 나아가 게이트의 일함수를 5.5eV, 소스의 일함수를 4.6eV, 드레인의 일함수를 4.6eV로 하였다. 또한, 게이트 절연층의 두께는 100nm, 비유전률은 4.1로 하였다. 채널 길이 및 채널 폭은 모두 10 μ m, 드레인 전압(V_d)은 0.1V로 하였다.

도 11에 나타낸 바와 같이, 게이트 전압이 1V를 넘은 부근에서 이동도 $100\text{cm}^2/\text{Vs}$ 이상의 피크가 나타나는데, 게이트 전압이 더욱 높아지면 계면 산란이 커져 이동도가 저하된다. 아울러 계면 산란을 감소시키기 위해서는 상기 식 (1) 등으로 설명한 바와 같이 반도체층 표면을 원자 레벨로 평탄하게 하는 것(Atomic Layer Flatness)이 바람직하다.

이러한 이동도를 갖는 산화물 반도체를 이용하여 미세한 트랜지스터를 제조했을 경우의 특성의 계산 결과를 도 12 내지 도 14에 나타내었다. 여기서, 계산에 이용한 트랜지스터의 단면 구조를 도 15에 도시하였다. 도 15에 도시된 트랜지스터는 산화물 반도체층에 n^+ 의 도전형질을 나타내는 반도체 영역(303a) 및 반도체 영역(303c)을 갖는다. 계산에 있어서, 반도체 영역(303a) 및 반도체 영역(303c)의 저항율은 $2 \times 10^{-3} \Omega\text{cm}$ 로 하였다.

도 15(A)에 도시된 트랜지스터는 상기 실시형태에 나타낸 도 16(A)에 대응하고, 도 15(B)에 도시된 트랜지스터는 상기 실시형태에 나타낸 도 16(B)에 대응한다.

도 15(A)에 도시된 트랜지스터는 절연층(301)과, 절연층(301)에 매립되도록 형성된 산화 알루미늄으로 이루어지는 매립 절연물(302) 상에 형성된다. 트랜지스터는 반도체 영역(303a), 반도체 영역(303c)과, 이들 사이에 위치하여 채널 형성 영역이 되는 진성의 반도체 영역(303b)과, 게이트 전극(305)을 갖는다. 게이트 전극(305)의 폭은 33nm로 한다.

게이트 전극(305)과 반도체 영역(303b) 사이에는 게이트 절연층(304)을 가지며, 또한 게이트 전극(305)의 양측면에는 측벽 절연물(306a) 및 측벽 절연물(306b)을, 게이트 전극(305)의 상부에는, 게이트 전극(305)과 다른 배선과의 단락을 방지하기 위한 절연층(307)을 갖는다. 측벽 절연물의 폭은 5nm로 한다. 또한, 반도체 영역(303a) 및 반도체 영역(303c)과 접하여 소스 전극(308a) 및 드레인 전극(308b)을 갖는다.

도 15(B)에 도시된 트랜지스터는, 절연층(301)과, 산화 알루미늄으로 이루어지는 매립 절연물(302) 상에 형성되고, 반도체 영역(303a), 반도체 영역(303c)과, 이들 사이에 마련된 진성의 반도체 영역(303b)과, 폭 33nm의 게이트 전극(305)과, 게이트 절연층(304)과, 측벽 절연물(306a) 및 측벽 절연물(306b)과, 절연층(307)과, 소스 전극(308a) 및 드레인 전극(308b)을 갖는 점에서 도 15(A)에 도시된 트랜지스터와 동일하다.

도 15(A)에 도시된 트랜지스터와 도 15(B)에 도시된 트랜지스터는 측벽 절연물(306a) 및 측벽 절연물(306b) 바로 아래의 반도체 영역의 도전형질이 다르다. 측벽 절연물(306a) 및 측벽 절연물(306b) 바로 아래의 반도체 영역은, 도 15(A)에 도시된 트랜지스터에서는 n^+ 의 도전형질을 나타내는 영역이지만, 도 15(B)에 도시된 트랜지스터에서는 진성의 반도체 영역이다. 즉, 반도체 영역(303a)(반도체 영역(303c))과 게이트 전극(305)이 Loff만큼 중첩되지 않는 영역이 생성되어 있다. 이 영역을 오프셋 영역이라고 하고, 그 폭(Loff)을 오프셋 길이라고 한다. 오프셋 길이는 측벽 절연물(306a)(측벽 절연물(306b))의 폭과 같다.

그 밖의 계산에 이용하는 파라미터는 상술한 바와 같다. 계산에는 시놉시스사제 디바이스 시뮬레이션 소프트웨어

어, Sentaurus Device를 사용하였다. 도 12는, 도 15(A)에 나타난 구조를 갖는 트랜지스터의 드레인 전류(I_d , 실선) 및 이동도(μ , 점선)의 게이트 전압(V_g : 소스를 기준으로 한 게이트와의 전위차) 의존성을 나타낸 것이다. 드레인 전류(I_d)는 드레인 전압(V_d : 소스를 기준으로 한 드레인과의 전위차)을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.

[0273] 게이트 절연층의 두께는 도 12(A)에서는 15nm, 도 12(B)에서는 10nm, 도 12(C)에서는 5nm로 하였다. 게이트 절연층이 얇아질수록, 특히 오프 상태에서의 드레인 전류(I_d)(오프 전류)가 현저히 저하된다. 한편, 이동도(μ)의 피크값이나 온 상태에서의 드레인 전류(I_d)(온 전류)에는 두드러진 변화가 없었다.

[0274] 도 13은, 도 15(B)에 도시된 트랜지스터에서, 오프셋 길이(Loff)를 5nm로 했을 때의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g) 의존성을 나타낸 것이다. 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 게이트 절연층의 두께는, 도 13(A)에서는 15nm, 도 13(B)에서는 10nm, 도 13(C)에서는 5nm로 하였다.

[0275] 도 14는, 도 15(B)에 도시된 트랜지스터에서, 오프셋 길이(Loff)를 15nm로 했을 때의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압 의존성을 나타낸 것이다. 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 게이트 절연층의 두께는, 도 14(A)에서는 15nm, 도 14(B)에서는 10nm, 도 14(C)에서는 5nm로 하였다.

[0276] 모두 게이트 절연층이 얇아질수록 오프 전류가 현저히 저하되는 한편, 이동도(μ)의 피크값이나 온 전류에는 두드러진 변화가 없었다.

[0277] 아울러 이동도(μ)의 피크는, 도 12에서는 $80\text{cm}^2/\text{Vs}$ 정도이지만, 도 13에서는 $60\text{cm}^2/\text{Vs}$ 정도, 도 14에서는 $40\text{cm}^2/\text{Vs}$ 로 오프셋 길이(Loff)가 증가할수록 저하된다. 또한, 오프 전류도 동일한 경향을 보인다. 한편, 온 전류는 오프셋 길이(Loff)의 증가에 따라 감소하지만, 오프 전류의 저하에 비하면 훨씬 완만하다.

[0278] 이상 설명한 바와 같이, 산화물 반도체를 채널에 이용하는 트랜지스터는 매우 높은 이동도를 실현할 수 있다.

[0279] 아울러 여기서 산화물 반도체를 채널에 이용하는 트랜지스터로서 설명한 트랜지스터는 일례에 불과하며, 산화물 반도체를 채널에 이용하는 트랜지스터는 이에 한정되지 않고 다양한 형태로 구현할 수 있다.

[0280] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 이 산화물 반도체를 형성할 때에 기판을 가열하여 성막하거나 또는 산화물 반도체막을 형성한 후에 열처리를 수행함으로써 양호한 특성을 얻을 수 있다. 아울러 주성분은 조성비로 5atomic% 이상 포함되는 원소를 가리킨다.

[0281] In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 성막후에 기판을 의도적으로 가열함으로써 트랜지스터의 전계효과 이동도를 향상시키는 것이 가능하다. 또한, 트랜지스터의 문턱값 전압을 플러스 쉬프트시켜 노멀리 오프화시키는 것이 가능하다.

[0282] 예를 들어, 도 16(A) 내지 도 16(C)는 In, Sn, Zn을 주성분으로 하고, 채널 길이(L)가 $3\mu\text{m}$, 채널 폭(W)이 $10\mu\text{m}$ 인 산화물 반도체막과, 두께 100nm의 게이트 절연층을 이용한 트랜지스터의 특성이다. 아울러 V_d 는 10V로 하였다.

[0283] 도 16(A)는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성이다. 이 때 전계효과 이동도는 $18.8\text{cm}^2/\text{Vsec}$ 를 얻을 수 있었다. 한편, 기판을 의도적으로 가열하고 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성하면 전계효과 이동도를 향상시킬 수 있게 된다. 도 16(B)는 기판을 200°C 로 가열하고 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성했을 때의 트랜지스터 특성을 나타낸 것으로, 전계효과 이동도는 $32.2\text{cm}^2/\text{Vsec}$ 를 얻을 수 있었다.

[0284] 전계효과 이동도는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 후에 열처리를 함으로써 더욱 높일 수 있다. 도 16(C)는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 200°C 로 스퍼터링 성막한 후, 650°C 로 열처리를 했을 때의 트랜지스터 특성을 나타낸다. 이 때 전계효과 이동도는 $34.5\text{cm}^2/\text{Vsec}$ 를 얻을 수 있었다.

[0285] 기판을 의도적으로 가열함으로써 스퍼터링 성막시의 수분이 산화물 반도체막 내로 혼입되는 것을 감소시키는 효

과를 기대할 수 있다. 또한, 성막후에 열처리를 함으로써도 산화물 반도체막으로부터 수소나 수산기 또는 수분을 방출시키고 제거할 수 있어 상기와 같이 전계효과 이동도를 향상시킬 수 있다. 이러한 전계효과 이동도의 향상은, 탈수화/탈수소화에 의한 불순물의 제거뿐 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문인 것으로도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하여 고순도화시킴으로써 결정화를 도모할 수 있다. 이와 같이 고순도화된 비단결정 산화물 반도체는 이상적으로는 $100\text{cm}^2/\text{Vsec}$ 를 넘는 전계효과 이동도를 실현하는 것도 가능할 것으로 추정된다.

[0286] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 이 산화물 반도체에 포함되는 수소나 수산기 또는 수분을 방출시키고, 그 열처리와 동시에 또는 이후의 열처리에 의해 산화물 반도체를 결정화시킬 수도 있다. 이러한 결정화 또는 재결정화의 처리에 의해 결정성이 좋은 비단결정 산화물 반도체를 얻을 수 있다.

[0287] 기판을 의도적으로 가열하여 성막하는 것 및/또는 성막후에 열처리 하는 것의 효과는, 전계효과 이동도의 향상뿐 아니라 트랜지스터의 노멀리 오프화를 도모하는 데에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 채널 형성 영역으로 이용한 트랜지스터는, 문턱값 전압이 마이너스가 되는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체막을 이용했을 경우, 이 문턱값 전압이 마이너스가 되는 경향은 해소된다. 즉, 가열하지 않는 경우에 비해 문턱값 전압이 높아지며, 이러한 경향은 도 16(A)와 도 16(B)의 비교를 통해서도 확인할 수 있다.

[0288] 아울러 문턱값 전압은 In, Sn 및 Zn의 비율을 변경함으로써도 제어할 수 있고, 조성비로서 In:Sn:Zn=2:1:3으로 함으로써 트랜지스터의 노멀리 오프화를 기대할 수 있다. 또한, 타겟의 조성비를 In:Sn:Zn=2:1:3으로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.

[0289] 의도적인 기판 가열 온도 또는 열처리 온도는 150°C 이상, 바람직하게는 200°C 이상, 보다 바람직하게는 400°C 이상이며, 보다 고온으로 성막하고 또는 열처리함으로써 트랜지스터의 노멀리 오프화를 도모할 수 있다.

[0290] 또한, 의도적으로 기판을 가열시킨 성막 및/또는 성막후에 열처리를 함으로써 게이트 바이어스 스트레스에 대한 안정성을 높일 수 있다. 예를 들어, $2\text{MV}/\text{cm}$, 150°C , 1시간 인가의 조건에서 드리프트가 각각 $\pm 1.5\text{V}$ 미만, 바람직하게는 1.0V 미만을 얻을 수 있다.

[0291] 실제로 산화물 반도체막 성막후에 가열 처리를 수행하지 않은 시료 1과 650°C 의 가열 처리를 수행한 시료 2의 트랜지스터에 대해서 BT 시험을 수행하였다.

[0292] 우선 기판 온도를 25°C 로 하고 V_d 를 10V 로 하여 트랜지스터의 V_g-I_d 특성의 측정을 수행하였다. 아울러 V_d 는 드레인 전압(드레인과 소스의 전위차)을 나타낸다. 이어서 기판 온도를 150°C 로 하고 V_d 를 0.1V 로 하였다. 이어서 게이트 절연층에 인가되는 전계 강도가 $2\text{MV}/\text{cm}$ 가 될 수 있는 전압을 게이트 전극으로 인가하고 그대로 1시간 유지하였다. 이어서 V_g 를 0V 로 하였다. 이어서 기판 온도를 25°C 로 하고 V_d 를 10V 로 하여 트랜지스터의 V_g-I_d 측정을 수행하였다. 이를 플러스 BT 시험이라고 부른다.

[0293] 마찬가지로 우선 기판 온도를 25°C 로 하고 V_d 를 10V 로 하여 트랜지스터의 V_g-I_d 특성의 측정을 수행하였다. 이어서 기판 온도를 150°C 로 하고 V_d 를 0.1V 로 하였다. 이어서 게이트 절연층에 인가되는 전계 강도가 $-2\text{MV}/\text{cm}$ 가 되도록 V_g 로 -20V 를 인가하고 그대로 1시간 유지하였다. 이어서 V_g 를 0V 로 하였다. 이어서 기판 온도를 25°C 로 하고 V_d 를 10V 로 하여 트랜지스터의 V_g-I_d 측정을 수행하였다. 이를 마이너스 BT 시험이라고 부른다.

[0294] 시료 1의 플러스 BT 시험의 결과를 도 17(A)에, 마이너스 BT 시험의 결과를 도 17(B)에 나타내었다. 또한 시료 2의 플러스 BT 시험의 결과를 도 18(A)에, 마이너스 BT 시험의 결과를 도 18(B)에 나타내었다.

[0295] 시료 1의 플러스 BT 시험 및 마이너스 BT 시험에 의한 문턱값 전압의 변동은 각각 1.80V 및 -0.42V 였다. 또한, 시료 2의 플러스 BT 시험 및 마이너스 BT 시험에 의한 문턱값 전압의 변동은 각각 0.79V 및 0.76V 였다. 시료 1 및 시료 2 모두 BT 시험 전후의 문턱값 전압의 변동이 작아 신뢰성이 높음을 알 수 있었다.

[0296] 열처리는 산소 분위기중에서 수행할 수 있는데, 먼저 질소 또는 불활성 가스, 또는 감압하에서 열처리를 수행하고 난 후 산소를 포함하는 분위기중에서 열처리를 수행할 수도 있다. 맨먼저 탈수화/탈수소화를 수행한 후 산소를 산화물 반도체에 부가함으로써 열처리의 효과를 더욱 높일 수 있다. 또한, 나중에 산소를 부가할 경우에는 산소 이온을 전계로 가속시켜 산화물 반도체막에 주입하는 방법을 적용할 수도 있다.

- [0297] 산화물 반도체 내 및 이 산화물 반도체와 접하는 막과의 계면에는 산소 결손에 의한 결함이 생성되기 쉬우나, 이러한 열처리에 의해 산화물 반도체 내에 산소를 과잉으로 포함시킴으로써, 일정하게 생성되는 산소 결손을 과잉의 산소에 의해 보상할 수 있게 된다. 과잉 산소는 주로 격자간에 존재하는 산소이며, 그 산소 농도는 $1 \times 10^{16} / \text{cm}^3$ 이상 $2 \times 10^{20} / \text{cm}^3$ 이하일 수 있고, 결정에 변형 등을 주지 않고 산화물 반도체중에 포함시킬 수 있다.
- [0298] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들어, 조성비 In:Sn:Zn=1:1:1인 타겟을 이용하여 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은 X선 회절(XRD: X-Ray Diffraction)에서 할로 패턴이 관측된다. 이 성막된 산화물 반도체막을 열처리 함으로써 결정화시킬 수 있다. 열처리 온도는 임의로 할 수 있는데, 예를 들어 650°C의 열처리를 수행함으로써 X선 회절에서 명확한 회절 피크를 관측할 수 있다.
- [0299] 실제로 In-Sn-Zn-O막의 XRD 측정을 수행하였다. XRD 측정에는 Bruker AXS사제 X선 회절 장치 D8 ADVANCE를 사용하고 Out-of-Plane법으로 측정하였다.
- [0300] XRD 분석을 수행할 시료로서 시료 A 및 시료 B를 준비하였다. 이하에 시료 A 및 시료 B의 제조 방법을 설명한다.
- [0301] 탈수소화 처리가 끝난 석영 기판 상에 In-Sn-Zn-O막을 100nm의 두께로 성막하였다.
- [0302] In-Sn-Zn-O막은 스퍼터링 장치를 이용하여 산소 분위기에서 전력을 100W(DC)로 하여 성막하였다. 타겟은 원자수비로 In:Sn:Zn=1:1:1인 In-Sn-Zn-O 타겟을 사용했다. 아울러 성막시의 기판 가열 온도는 200°C로 하였다. 이와 같이 하여 제조한 시료를 시료 A로 사용하였다.
- [0303] 이어서 시료 A와 동일한 방법으로 제조한 시료에 650°C의 온도로 가열 처리를 수행하였다. 이 때, 먼저 질소 분위기로 1시간의 가열 처리를 수행하고, 온도를 내리지 않고 산소 분위기에서 추가로 1시간의 가열 처리를 수행하였다. 이와 같이 하여 제조한 시료를 시료 B로 사용하였다.
- [0304] 도 21에 시료 A 및 시료 B의 XRD 스펙트럼을 나타내었다. 시료 A에서는 결정 유래의 피크가 관측되지 않았지만, 시료 B에서는 2θ가 35deg 근방 및 37deg~38deg일 때 결정 유래의 피크가 관측되었다.
- [0305] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막시에 의도적으로 가열 및/또는 성막후에 열처리를 함으로써 트랜지스터의 특성을 향상시킬 수 있다.
- [0306] 이 기판 가열이나 열처리는, 산화물 반도체에게는 악성 불순물인 수소나 수산기를 막 내에 포함시키지 않도록 하거나 또는 막으로부터 제거하는 작용이 있다. 즉, 산화물 반도체 내에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 이에 의해 트랜지스터의 노멀리 오프화를 도모할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 1aA/μm 이하로 할 수 있다. 여기서, 상기 오프 전류값의 단위는, 채널 폭 1μm 당 전류값을 나타낸다.
- [0307] 도 22에 트랜지스터의 오프 전류와 측정시의 기판 온도(절대 온도)의 역수와의 관계를 나타내었다. 여기서는, 간단히 하기 위해 측정시의 기판 온도의 역수에 1000을 곱한 수치(1000/T)를 가로축으로 하였다.
- [0308] 구체적으로는, 도 22에 도시된 바와 같이 기판 온도가 125°C인 경우에는 1aA/μm(1×10^{-18} A/μm) 이하, 85°C인 경우에는 100zA/μm(1×10^{-19} A/μm) 이하, 실온(27°C)인 경우에는 1zA/μm(1×10^{-21} A/μm) 이하로 할 수 있다. 바람직하게는, 125°C에서 0.1aA/μm(1×10^{-19} A/μm) 이하로, 85°C에서 10zA/μm(1×10^{-20} A/μm) 이하로, 실온에서 0.1zA/μm(1×10^{-22} A/μm) 이하로 할 수 있다.
- [0309] 무엇보다도 산화물 반도체막의 성막시에 수소나 수분이 막 내로 혼입되지 않도록, 성막실 외부로부터의 리크나 성막실 내의 내벽을 통한 탈가스를 충분히 억제하여 스퍼터링 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들어, 스퍼터링 가스는 수분이 막 내에 포함되지 않도록 노점 -70°C 이하인 가스를 사용하는 것이 바람직하다. 또한, 타겟 그 자체에 수소나 수분 등의 불순물이 포함되어 있지 않도록, 고순도화된 타겟을 이용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체는 열처리에 의해 막 내의 수분을 제거할 수 있으나, In, Ga, Zn을 주성분으로 하는 산화물 반도체에 비하여 수분의 방출 온도가 높으므로 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성시켜 두는 것이 바람직하다.
- [0310] 또한, 산화물 반도체막 성막후에 650°C의 가열 처리를 수행한 시료를 이용한 트랜지스터에서 기판 온도와 전기

적 특성의 관계에 대하여 평가하였다.

- [0311] 측정에 이용한 트랜지스터는 채널 길이(L)가 3 μ m, 채널 폭(W)이 10 μ m, Lov가 0 μ m이다. 아울러 V_d는 10V로 하였다. 아울러 기판 온도는 -40 $^{\circ}$ C, -25 $^{\circ}$ C, 25 $^{\circ}$ C, 75 $^{\circ}$ C, 125 $^{\circ}$ C 및 150 $^{\circ}$ C로 수행하였다. 이 때, 트랜지스터에 있어서, 게이트 전극과 소스 전극 및 드레인 전극과 채널 길이 방향으로 중첩되는 폭을 Lov라고 부른다.
- [0312] 도 19에 I_d (실선) 및 전계효과 이동도(점선)의 V_g 의존성을 나타내었다. 또한, 도 20(A)에 기판 온도와 문턱값 전압의 관계를, 도 20(B)에 기판 온도와 전계효과 이동도의 관계를 나타내었다.
- [0313] 도 20(A)를 통해, 기판 온도가 높을수록 문턱값 전압은 낮아짐을 알 수 있다. 아울러 그 범위는 -40 $^{\circ}$ C~150 $^{\circ}$ C에서 1.09.V~-0.23V였다.
- [0314] 또한, 도 20(B)를 통해, 기판 온도가 높을수록 전계효과 이동도가 낮아짐을 알 수 있다. 아울러 그 범위는 -40 $^{\circ}$ C~150 $^{\circ}$ C에서 36cm²/Vs~32cm²/Vs였다. 따라서, 상술한 온도 범위에서 전기적 특성의 변동이 작음을 알 수 있었다.
- [0315] 상기와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 이용하는 트랜지스터에 의하면, 오프 전류를 1aA/ μ m 이하로 유지하면서, 전계효과 이동도를 30cm²/Vsec 이상, 바람직하게는 40cm²/Vsec 이상, 보다 바람직하게는 60cm²/Vsec 이상으로 하여, LSI에서 요구되는 온 전류의 값을 만족시킬 수 있다. 예를 들어, L/W=33nm/40nm인 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V일 때 12 μ A 이상의 온 전류를 흘릴 수 있다. 또한 트랜지스터의 동작에 요구되는 온도 범위에서도 충분한 전기적 특성을 확보할 수 있다.
- [0316] 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0317] (실시형태 3)
- [0318] 본 실시형태에서는, 본 발명의 일 태양에 따른 신호 처리 회로의 하나인 CPU의 구성에 대하여 설명한다.
- [0319] 도 24에 본 실시형태의 CPU의 구성을 나타내었다. 도 24에 도시된 CPU는 기판(9900) 상에, ALU(9901), ALU 콘트롤러(9902), 인스트럭션 디코더(9903), 인터럽트 콘트롤러(9904), 타이밍 콘트롤러(9905), 레지스터(9906), 레지스터 콘트롤러(9907), Bus I/F(9908), 리라이트 가능 ROM(9909), ROM I/F(9920)를 주로 구비한다. 아울러 ALU는 Arithmetic logic unit이고 Bus I/F는 버스 인터페이스이며 ROM I/F는 ROM 인터페이스이다. ROM(9909) 및 ROM I/F(9920)는 별도의 칩에 마련할 수도 있다. 물론, 도 24에 도시된 CPU는 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제 CPU는 그 용도에 따라 다양한 구성을 갖는다.
- [0320] Bus I/F(9908)를 통해 CPU에 입력된 명령은 인스트럭션 디코더(9903)로 입력되어 디코드된 후, ALU 콘트롤러(9902), 인터럽트 콘트롤러(9904), 레지스터 콘트롤러(9907), 타이밍 콘트롤러(9905)로 입력된다.
- [0321] ALU 콘트롤러(9902), 인터럽트 콘트롤러(9904), 레지스터 콘트롤러(9907), 타이밍 콘트롤러(9905)는 디코드된 명령에 따라 각종 제어를 수행한다. 구체적으로 ALU 콘트롤러(9902)는 ALU(9901)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 콘트롤러(9904)는 CPU의 프로그램 실행중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태를 기초로 판단하여 처리한다. 레지스터 콘트롤러(9907)는 레지스터(9906)의 어드레스를 생성하고, CPU 상태에 따라 레지스터(9906)의 리드나 라이트를 수행한다.
- [0322] 또한 타이밍 콘트롤러(9905)는 ALU(9901), ALU 콘트롤러(9902), 인스트럭션 디코더(9903), 인터럽트 콘트롤러(9904), 레지스터 콘트롤러(9907)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어 타이밍 콘트롤러(9905)는 기준 클럭 신호(CLK1)를 기초로, 내부 클럭 신호(CLK2)를 생성하는 내부 클럭 생성부를 구비하고 있으며 클럭 신호(CLK2)를 상기 각종 회로로 입력한다.
- [0323] 본 실시형태의 CPU에서는 레지스터(9906)에 상기 실시형태에 나타낸 구성을 갖는 반도체 기억장치가 마련되어 있다. 레지스터 콘트롤러(9907)는 ALU(9901)로부터의 지시에 따라, 레지스터(9906)가 갖는 반도체 기억장치에 있어서 데이터의 대피 및 복귀를 수행할 필요없이 전원 전압의 공급을 정지할 수 있다.
- [0324] 이에 의해, 일시적으로 CPU의 동작을 정지시키고 전원 전압의 공급을 정지시켰을 경우에도 데이터 신호를 유지하는 것이 가능하여 소비 전력을 감소시킬 수 있다. 구체적으로는, 예를 들어 퍼스널컴퓨터의 유저가 키보드 등의 입력장치로의 정보의 입력을 정지하고 있는 동안에도 CPU를 정지시킬 수 있어 이에 의해 소비 전력을 감소시킬 수 있다.

[0325] 본 실시형태에서는 CPU를 예로 들어 설명했으나, 본 발명의 신호 처리 회로는 CPU에 한정되지 않고, 마이크로프로세서, 화상 처리 회로, DSP, FPGA 등의 LSI에도 응용 가능하다.

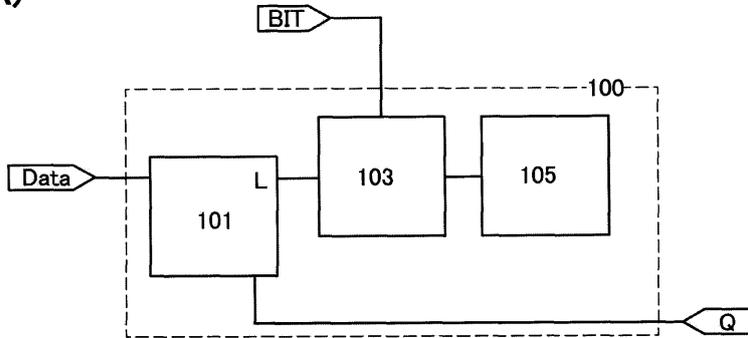
부호의 설명

- | | | |
|--------|------------------|------------------|
| [0326] | 100 : 레지스터 회로 | 101 : 플립플롭 회로 |
| | 103 : 선택 회로 | 105 : 불휘발성 기억회로 |
| | 200 : 레지스터 회로 | 202 : 스위치 |
| | 203 : 스위치 | 204 : 트랜지스터 |
| | 205 : 용량 소자 | 251 : 인버터 회로 |
| | 252 : 스위치 회로 | 253 : 인버터 회로 |
| | 254 : 클록드 인버터 회로 | 255 : 클록드 인버터 회로 |
| | 256 : 스위치 회로 | 257 : 클록드 인버터 회로 |
| | 258 : 클록드 인버터 회로 | 301 : 절연층 |
| | 302 : 절연물 | 303a : 반도체 영역 |
| | 303b : 반도체 영역 | 303c : 반도체 영역 |
| | 304 : 게이트 절연층 | 305 : 게이트 전극 |
| | 306a : 측벽 절연물 | 306b : 측벽 절연물 |
| | 307 : 절연층 | 308a : 소스 전극 |
| | 308b : 드레인 전극 | 600 : 절연층 |
| | 601 : 게이트 전극 | 602 : 게이트 절연층 |
| | 603 : 산화물 반도체층 | 606 : 절연층 |
| | 604a : 불순물 영역 | 604b : 불순물 영역 |
| | 605a : 소스 전극 | 605b : 드레인 전극 |
| | 612a : 절연물 | 612b : 절연물 |
| | 616a : 측벽 절연물 | 616b : 측벽 절연물 |
| | 9900 : 기관 | 9901 : ALU |
| | 9902 : ALU 컨트롤러 | 9903 : 인스트럭션 디코더 |
| | 9904 : 인터럽트 컨트롤러 | 9905 : 타이밍 컨트롤러 |
| | 9906 : 레지스터 | 9907 : 레지스터 컨트롤러 |
| | 9908 : Bus I/F | 9909 : ROM |
| | 9920 ROM I/F | |

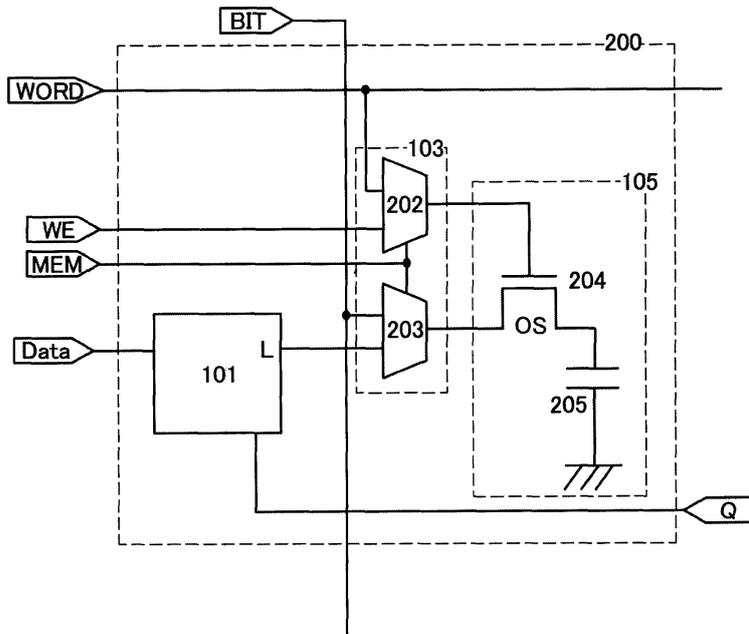
도면

도면1

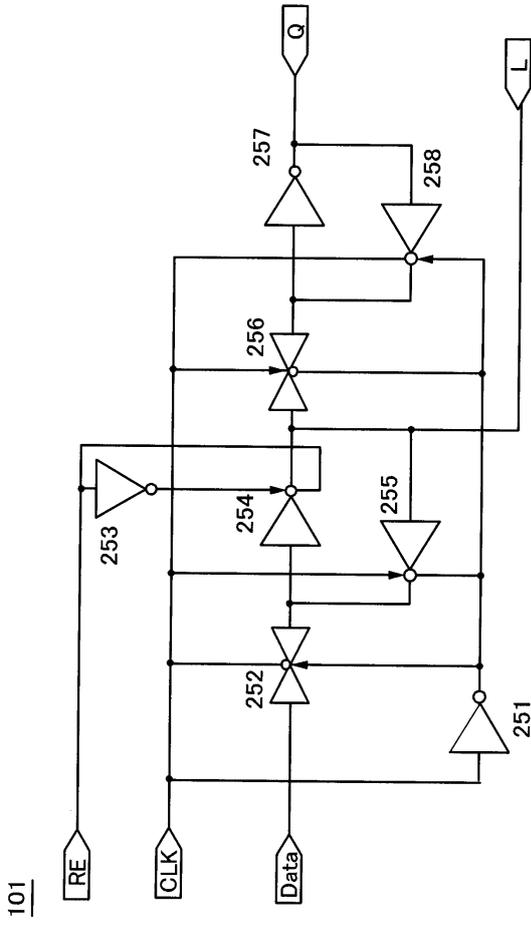
(A)



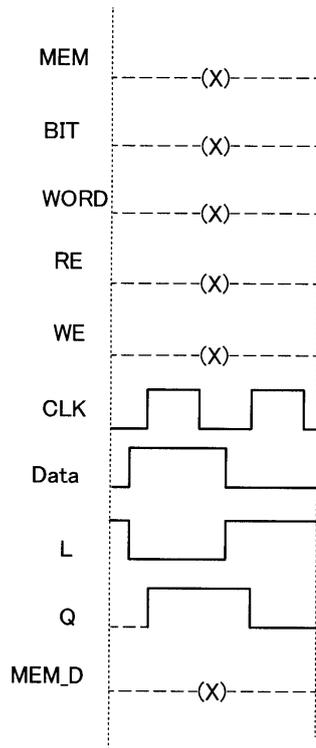
(B)



도면2

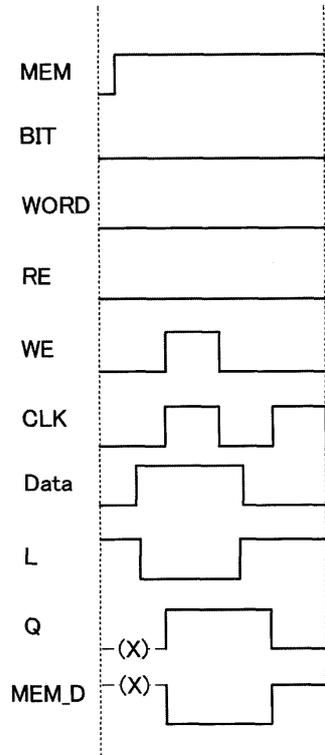


도면3

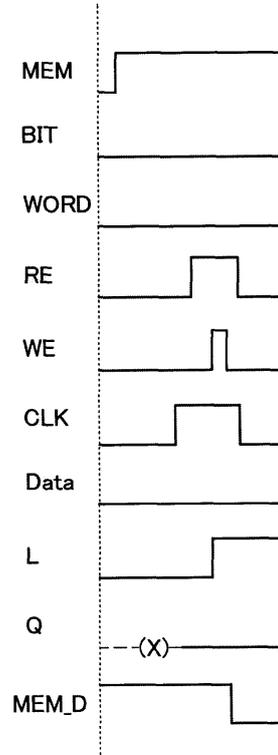


도면4

(A)

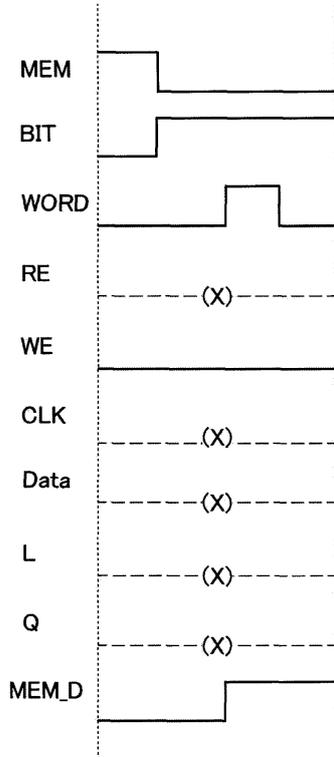


(B)

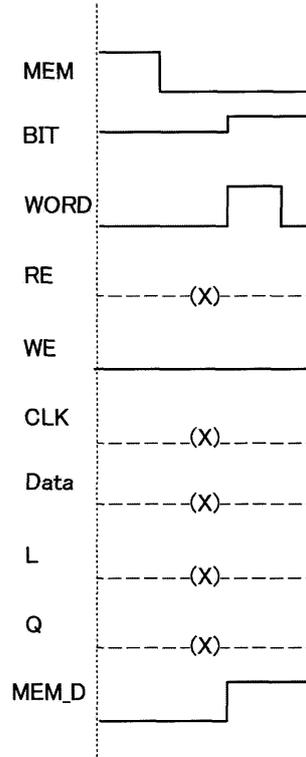


도면5

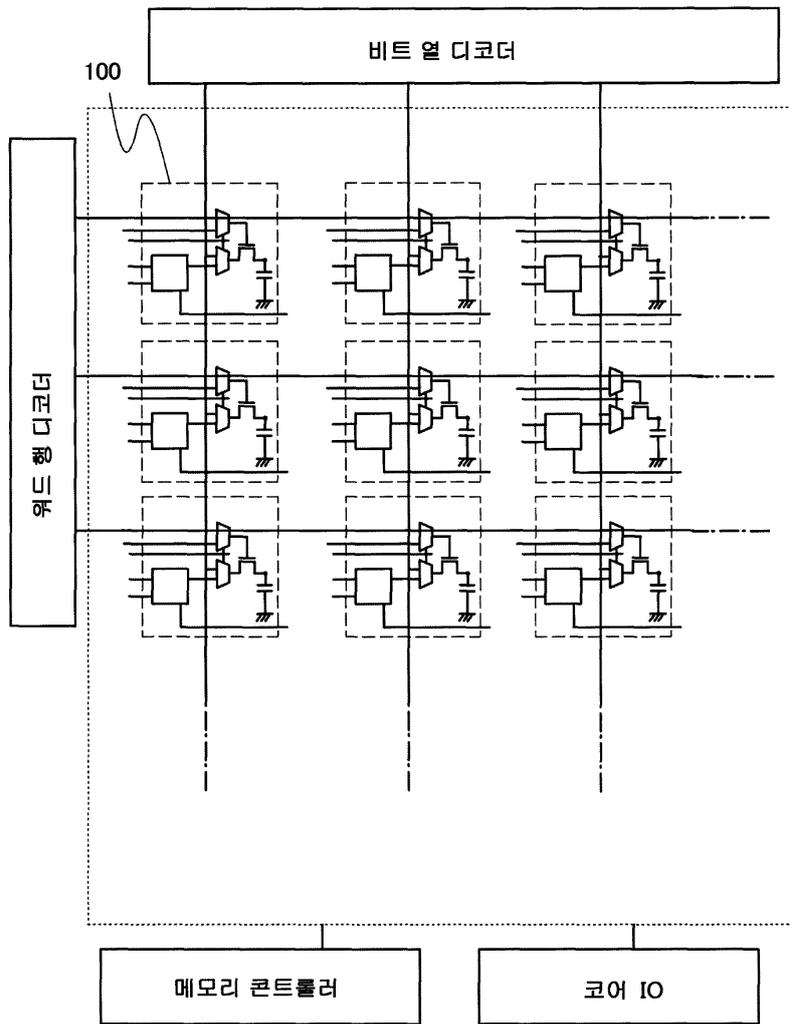
(A)



(B)

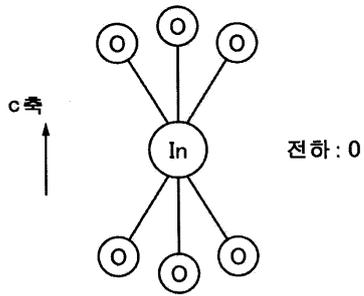


도면6

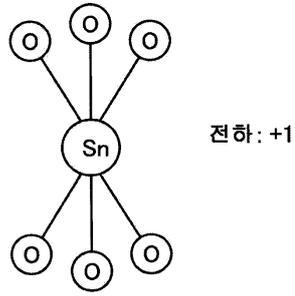


도면7

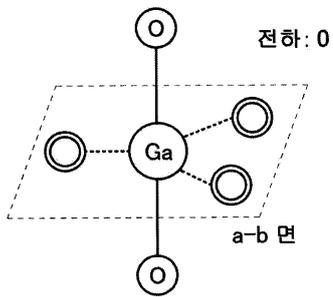
(A)



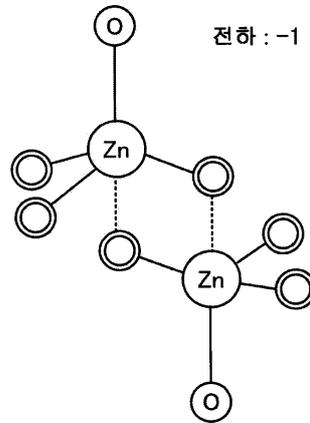
(D)



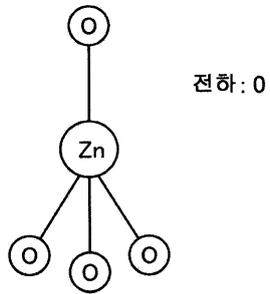
(B)



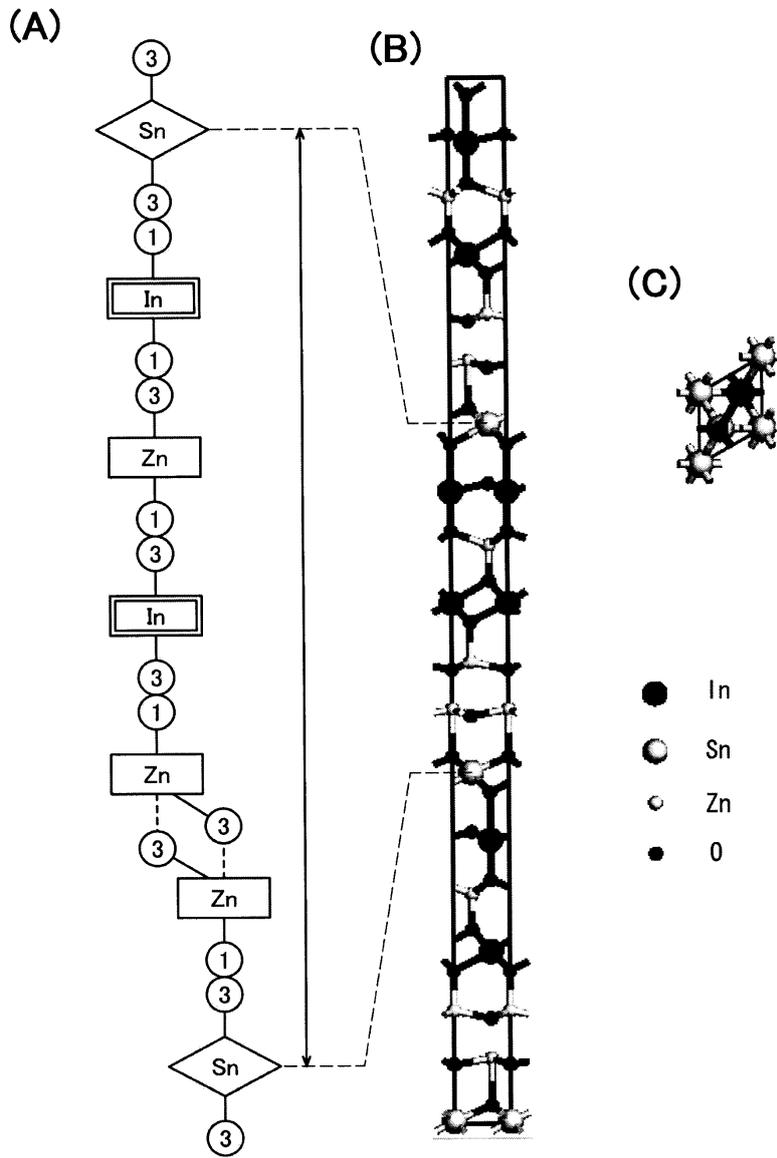
(E)



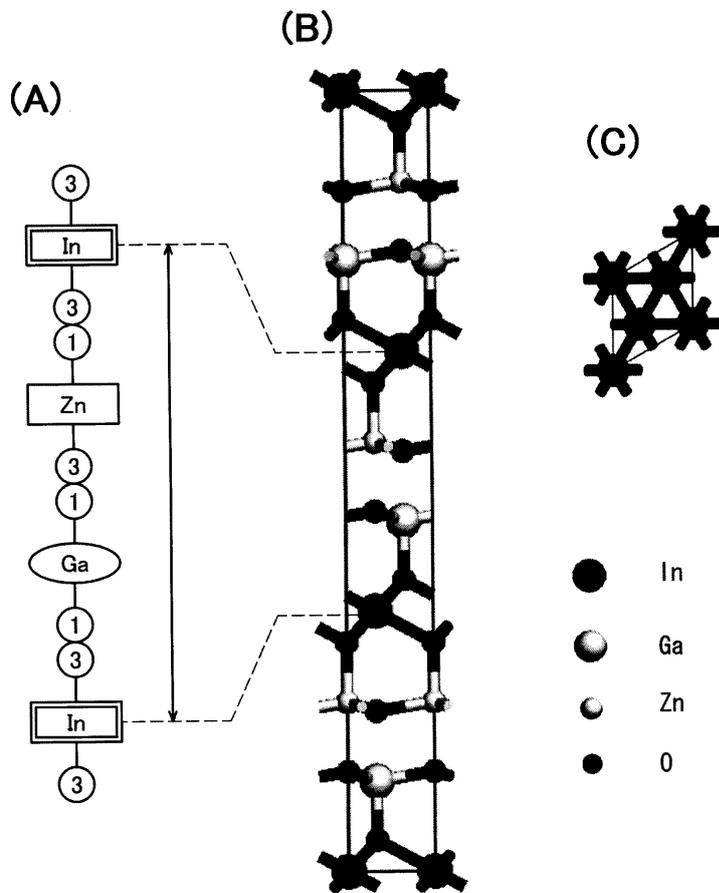
(C)



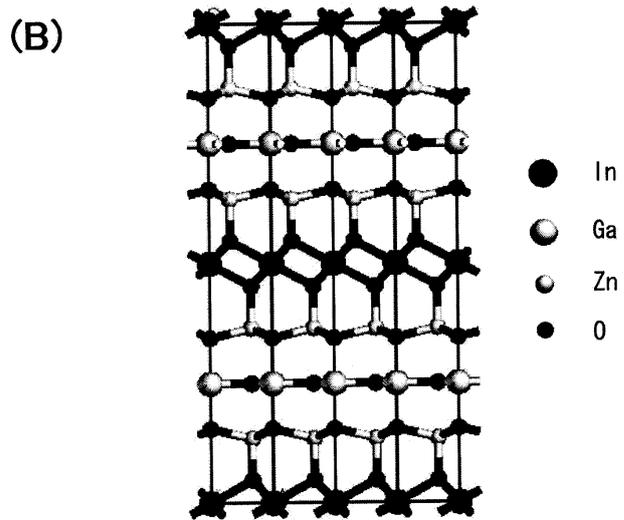
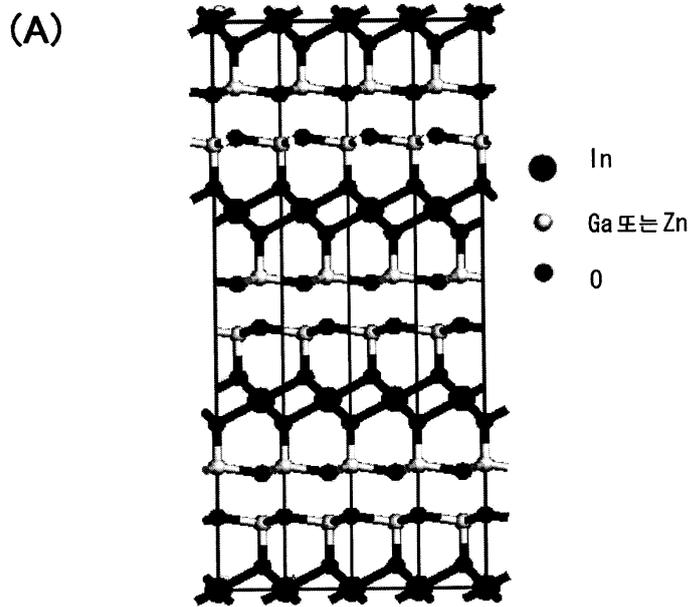
도면8



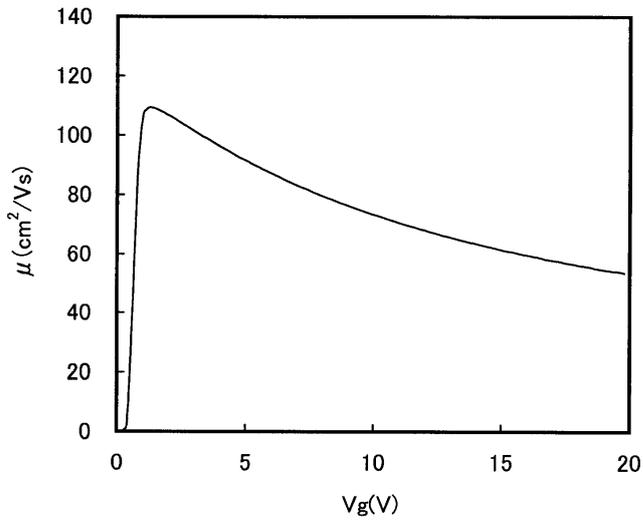
도면9



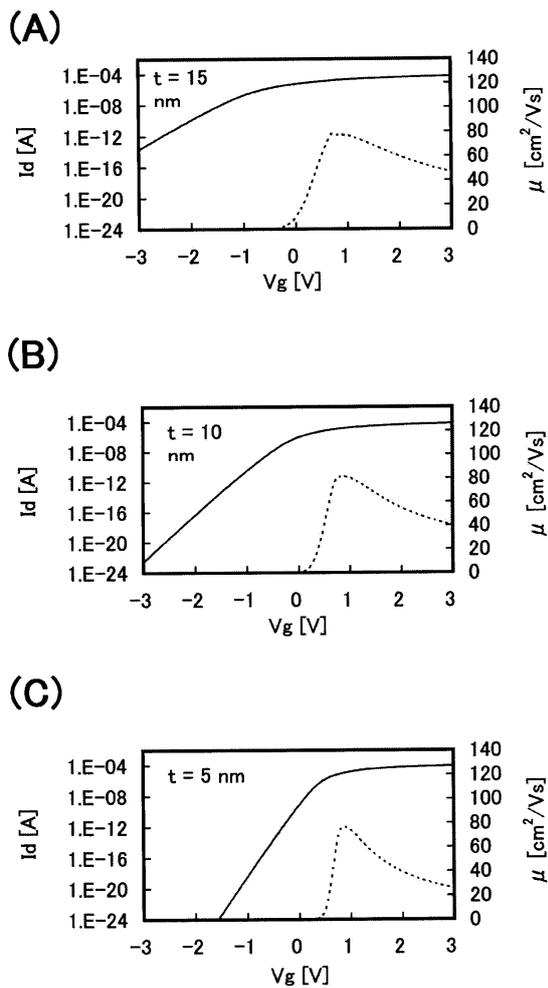
도면10



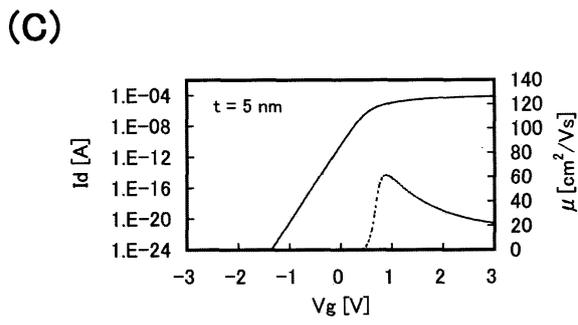
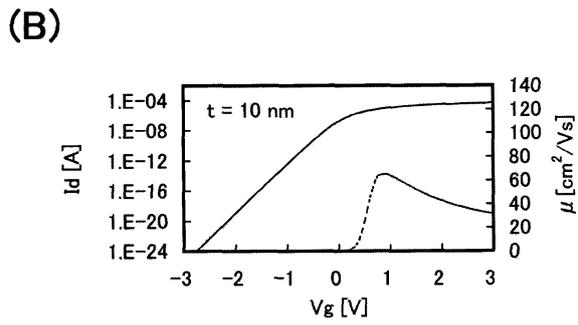
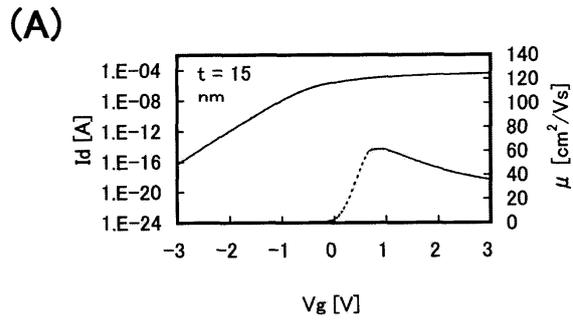
도면11



도면12

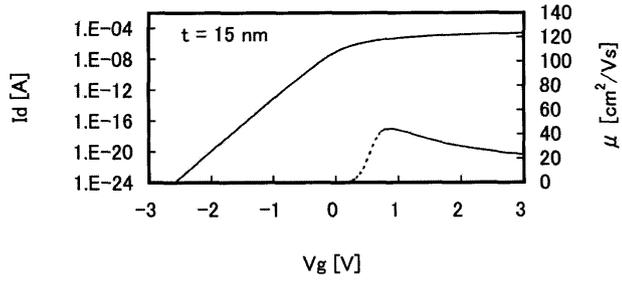


도면13

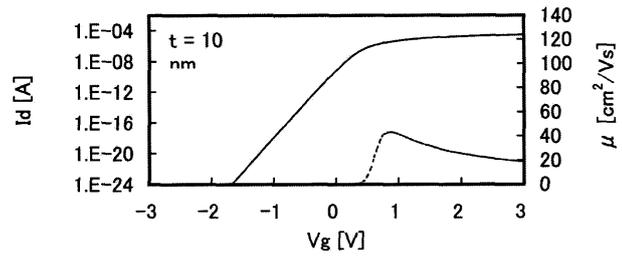


도면14

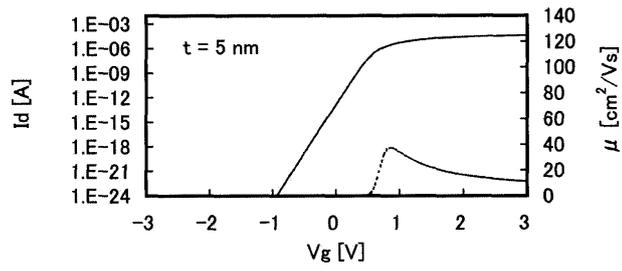
(A)



(B)

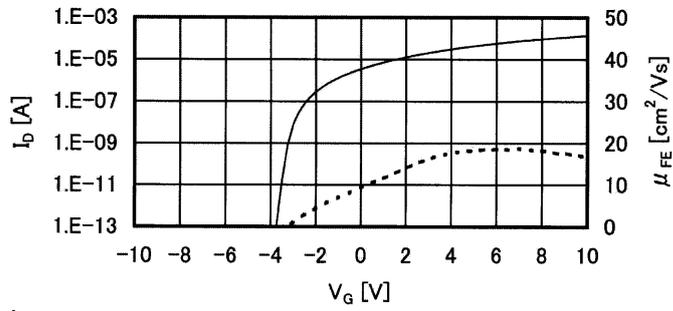


(C)

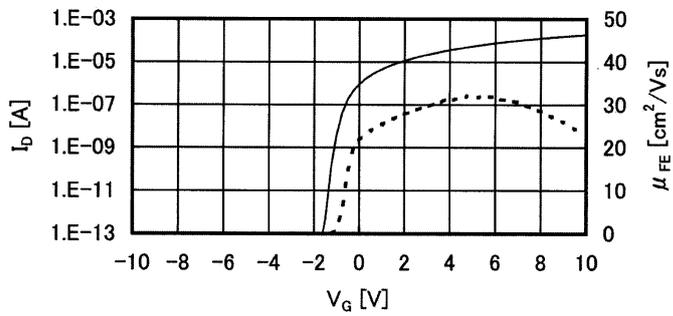


도면16

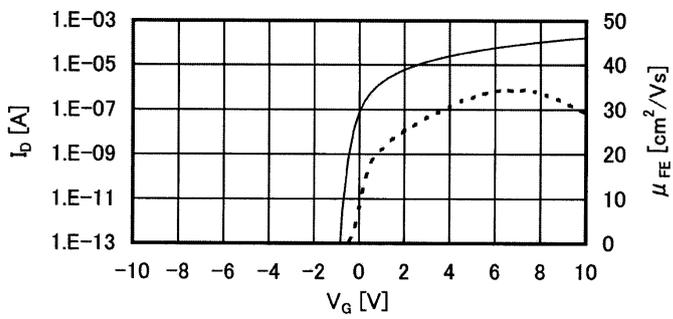
(A)



(B)

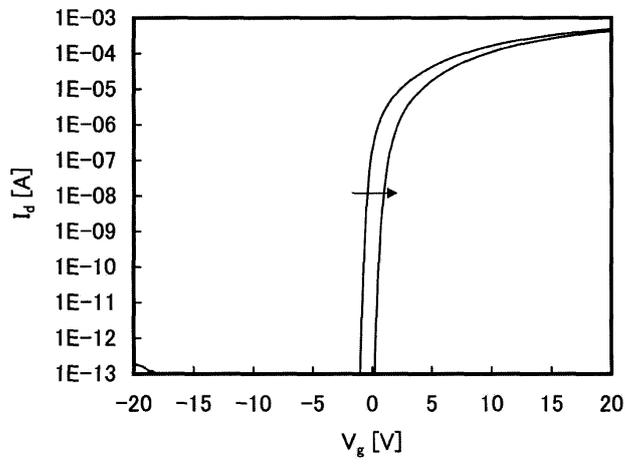


(C)

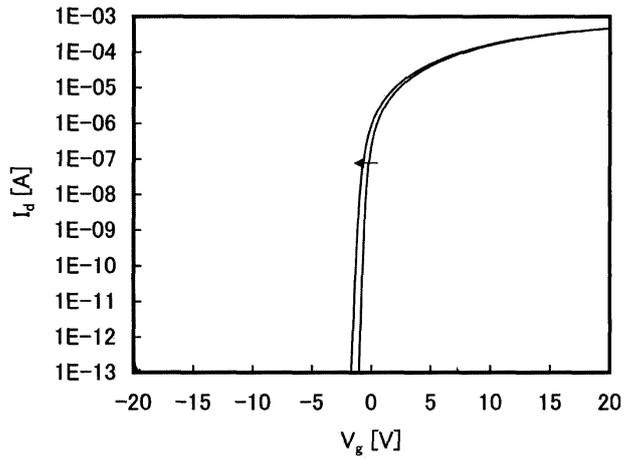


도면17

(A)

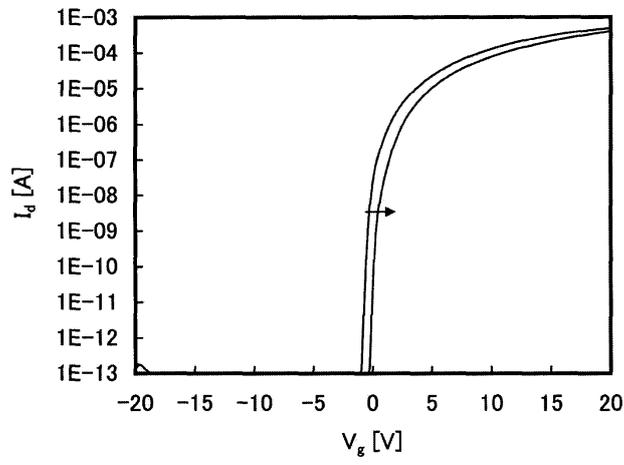


(B)

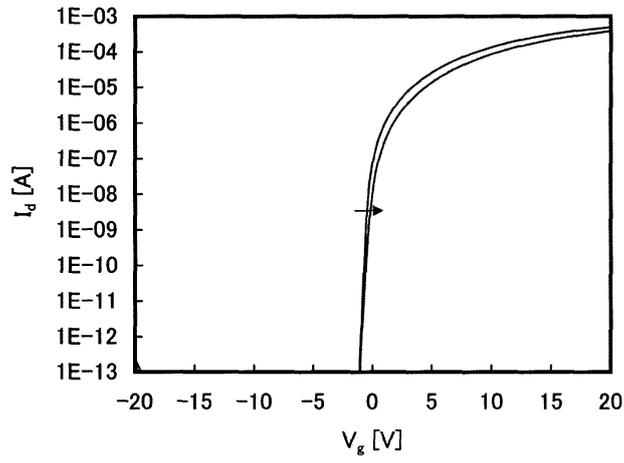


도면18

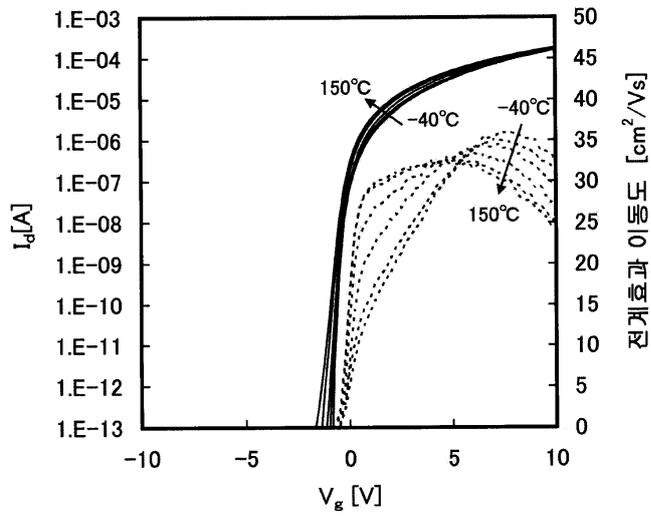
(A)



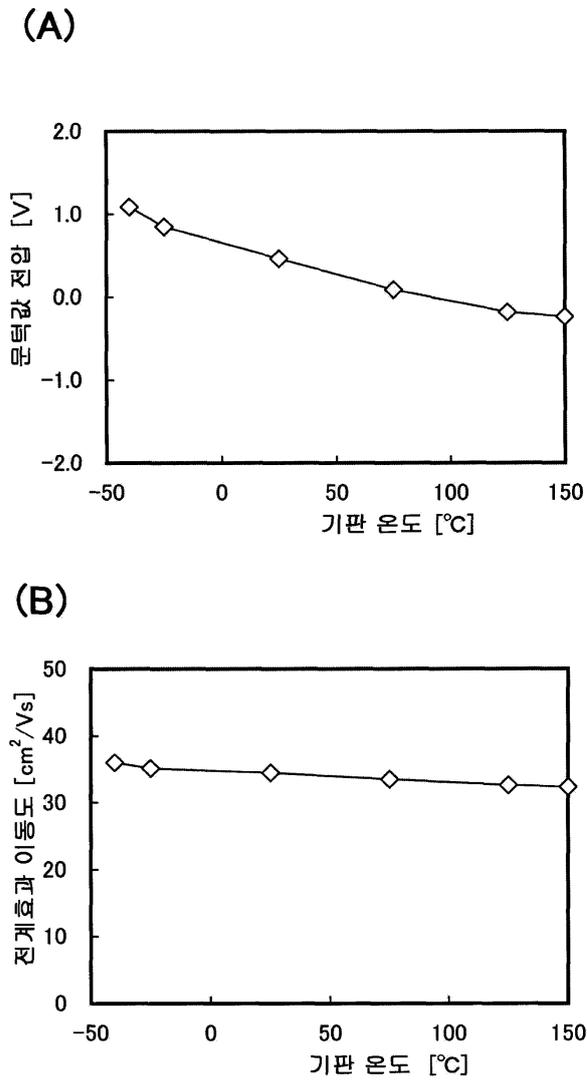
(B)



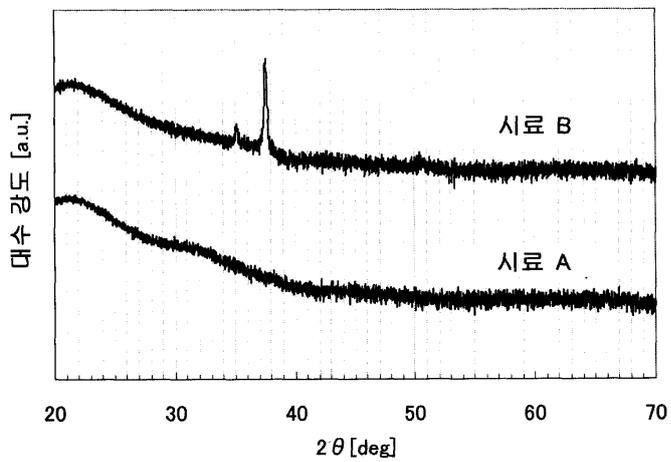
도면19



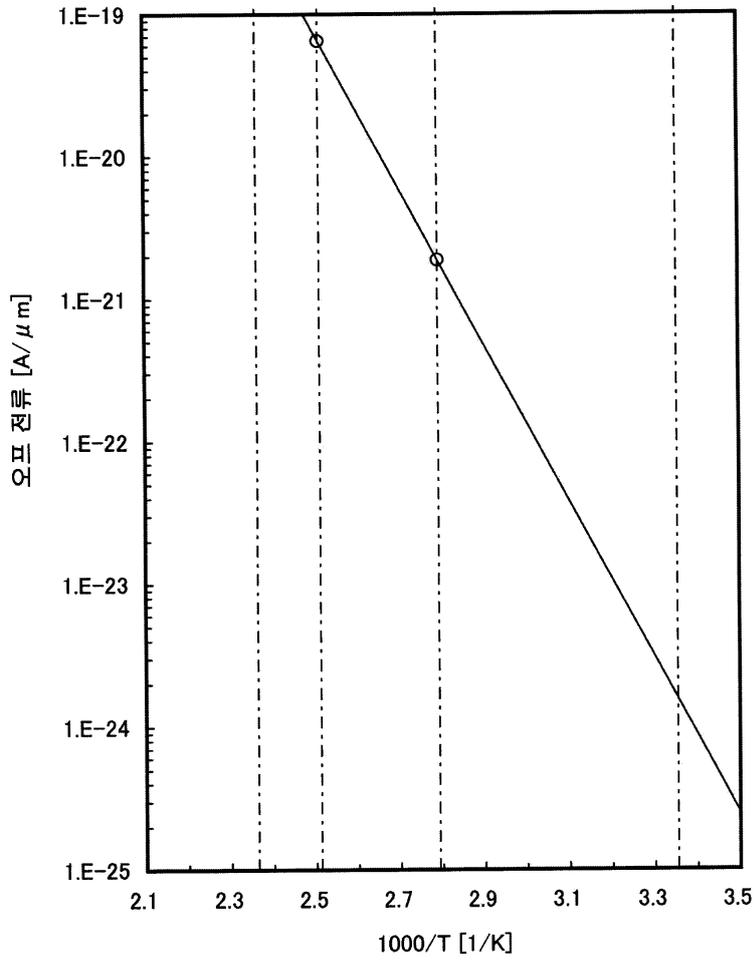
도면20



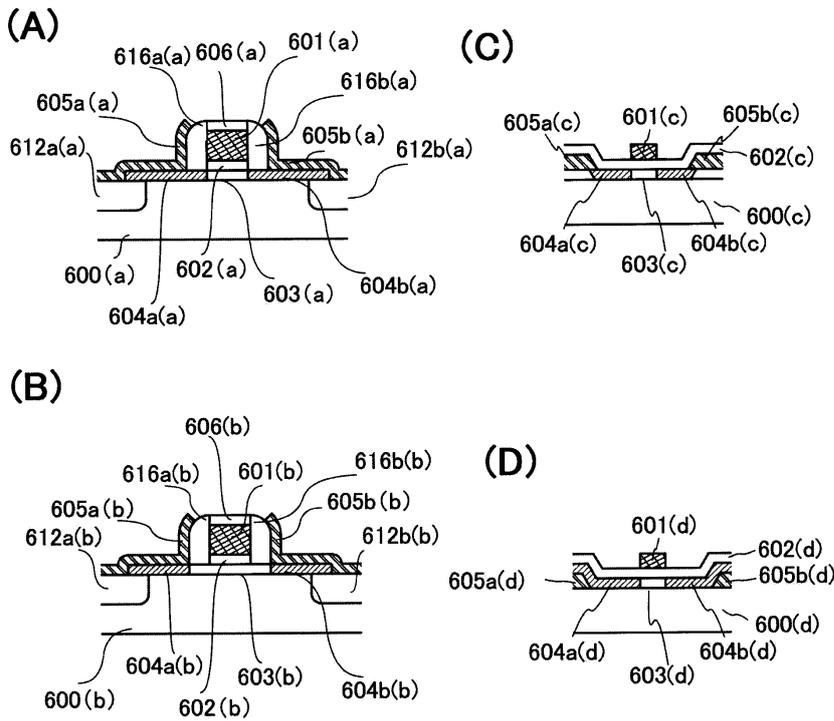
도면21



도면22



도면23



도면24

