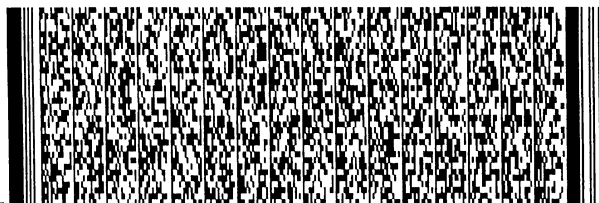


申請日期：	7/21/82	IPC分類
申請案號：	92109975	H01L 21/8239

(以上各欄由本局填註)

發明專利說明書 200423308

一、 發明名稱	中文	形成垂直式電晶體以及溝槽式電容的方法
	英文	Method for Forming Vertical Transistor and Trench Capacitor
二、 發明人 (共2人)	姓名 (中文)	1. 林瑄智 2. 陳逸男
	姓名 (英文)	1. Shian-Jyh Lin 2. Yi-Nan Chen
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 嘉義縣竹崎鄉義隆村大坪頂一鄰18號 2. 台北市北投區建民路151巷4號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



05485965 70111 91239 : Probe.pln

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關一種半導體元件之記憶單元(memory cell)，特別有關於一種形成垂直式電晶體以及溝槽式電容的方法。

【先前技術】

在積體電路(integrated circuit, IC)晶片上製作高密度植入之半導體元件時，必須考慮如何縮小每一個記憶單元(memory cell)的大小與電力消耗，以使其操作速度加快。在傳統的平面電晶體設計中，為了獲得一個最小尺寸之記憶單元，必須盡量將電晶體的閘極長度縮短，以減少記憶單元的橫向面積。但是，這會使閘極無法忍受較大的漏電流而必須相對應地降低位元線上的電壓，進而使得電容所儲存的電荷減少，所以在縮短閘極的橫向長度同時，還要考量如何製作一個具有較大電容量之電容，例如：增加電容之面積、減少電容板之間的有效介質厚度等等。由於在實際製作上無法同時滿足減少記憶單元面積且增加電容面積的條件，也無法進一步縮小有效介質的厚度，因此目前半導體業界廣泛使用一種垂直電晶體(vertical transistor)結構，可以將閘極長度維持在一個可得到低漏電流的適當值，不但不會減小位元線電壓，也不會增加記憶單元的橫向面積。此外，還包括以直接設置於垂直電晶體下方的深渠溝電容(deep trench capacitor)配合上述垂直電晶體，更進一步降低佔用記憶單元的額外面



五、發明說明 (2)

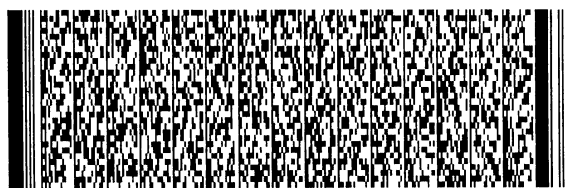
積。

目前垂直電晶體與溝槽式電容的製造方法，如第1圖所示，通常是在形成溝槽式電容C（由電極板20、電容介電層18以及埋入電極板16所組成）後，形成一導線結構（環狀絕緣層21、第一導電層24以及第二導電層22所構成）於上述溝槽式電容上方，再以高密度電漿（High Density Plasma; HDP）形成一用以絕緣（isolation）的溝槽頂氧化層26（Trench Top Oxide; TTO）於上述導線結構上。接著，再依序形成電晶體之閘極結構，包括閘極氧化層28、導電層（未圖示）、間隙壁（未圖示）、源極、汲極等以完成整個垂直電晶體以及溝槽式電容的製作。

然而，依照上述傳統製程使用高密度電漿方法形成溝槽頂氧化層（TTO）時，如第1圖所示，易形成表面傾斜的TTO 26，無法形成具有理想的平坦表面的溝槽頂氧化層。再者，上述溝槽頂氧化層的一致性（uniformity）不佳時，其中一側的溝槽側壁沒有氧化層的保護，造成絕緣效果不良，在後續形成之垂直電晶體下方容易有擴散過多的摻雜離子，例如砷（As），將嚴重影響垂直的閘極氧化層的可靠度（reliability），進而大幅降低整個半導體元件的性能。

【發明內容】

有鑑於此，本發明之目的即提供一種能克服習知缺點



五、發明說明 (3)

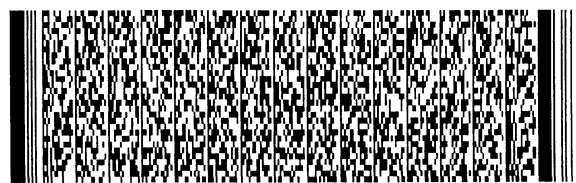
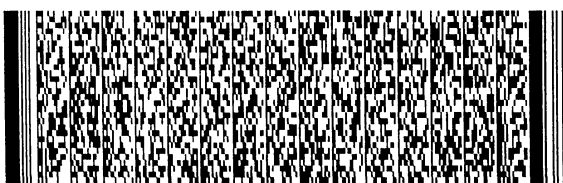
的形成垂直電晶體以及溝槽式電容的方法，以因應目前半導體產業上的需要。

本發明主要係藉由液相沈積方法 (Liquid Phase Deposition; LPD) 取代傳統的高密度電漿方法形成溝槽頂氧化層 (TTO)，由於上述液相沈積方法是將整個晶圓浸入化學溶液中，並非如習知高密度電漿方法，有沈積角度的問題，使氧化層可以均勻且一致地在溝槽內成長，所形成之溝槽頂氧化層的厚度一致，可充分發揮其絕緣效果，避免造成後續形成之閘極氧化層不良而製出性能優異的半導體元件。

為達成上述目的，本發明提供一種形成垂直電晶體以及溝槽式電容的方法，其步驟包括：提供形成有一溝槽以及一墊層結構於表面的一半導體基底；在該溝槽底部形成一電容；在該電容上形成一導線結構；在該溝槽之側壁上形成一介電層；以液相沈積方法於該導線結構上形成一厚度均勻之溝槽頂介電層；以及在該溝槽頂介電層上形成一電晶體，並以該溝槽頂介電層與其下之電容絕緣。

根據本發明之形成垂直電晶體以及溝槽式電容的方法，可形成厚度一致的溝槽頂氧化層，除了可充分發揮其絕緣效果之外，亦能提高後續形成之閘極氧化層可靠度而製出性能優異的半導體元件。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：



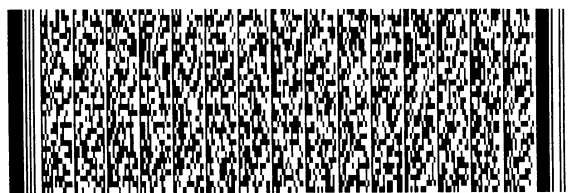
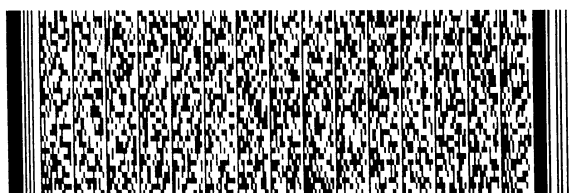
五、發明說明 (4)

【實施方式】

以下參照第2A～2G圖說明本發明之實施例形成垂直電晶體以及溝槽式電容的方法的製程剖面圖。

首先，如第2A圖所示，提供一半導體基底100，並於該半導體基底100上依序形成包括氧化層114以及氮化層112之墊層結構。接著，以圖案化之光阻層（未圖示）定義出溝槽之位置後，以例如反應性離子蝕刻（RIE）之蝕刻方式形成一溝槽125於該半導體基底中。

然後，在溝槽125之下面部分形成包括埋入式電極板116、順應性形成之電容介電層118以及電極板120的溝槽式電容。上述埋入式電極板116例如為N+型摻雜區，位於溝槽125底部的基底中，電極板120則為摻雜之多晶矽，電容介電層118則為例如氧化矽-氮化矽（ON）的疊層結構，或為氧化矽-氮化矽-氧化矽（ON₂O）的疊層結構。上述溝槽式電容C的形成可藉由習知方式進行，其詳細步驟包括在溝槽125之側壁及底部形成一N+型摻雜之介電層，例如砷矽玻璃（Arsenic Silicon Glass; ASG）後，填入一既定深度的光阻材料於溝槽125中，再以濕蝕刻移除未被光阻材料覆蓋之摻雜的介電層，接著移除光阻材料，並順應性沈積一絕緣層，例如四乙氧基矽烷（TEOS），用以防止摻雜之離子在後續的熱製程中擴散到未被摻雜之介電層覆蓋的溝槽125側壁周圍的基底中，接著以熱製程將摻雜之介電層中的離子驅入於基底中，形成N+型摻雜區作為埋入式電極板116。然後，移除絕緣層與摻雜之介電層，再



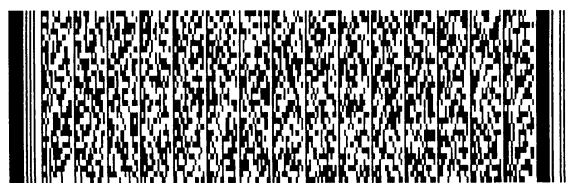
五、發明說明 (5)

順應性沈積一介電層於溝槽之側壁及底部，作為電容介電層118，並沈積一導電層填滿溝槽125，以作為電極板120。

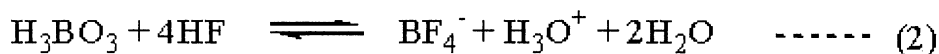
在完成上述電容結構後，如第2B圖所示，順應性沈積一絕緣層，例如氧化矽後，以蝕刻方式移除墊層結構以及電容上方的絕緣層122。接著沈積一第一導電層124填滿溝槽125，並回蝕刻使該第一導電層124至既定位置。然後再進行一次回蝕刻使該絕緣層122之高度低於該導電層124而成為環狀絕緣層122'，如第2C圖所示，接著沈積第二導電層，例如未摻雜之多晶矽或非晶矽於環狀絕緣層122'之上方，並回蝕刻使該第二導電層126之高度與該第一導電層124相等。上述第一導電層124、環狀絕緣層122'以及第二導電層126即構成導線結構。

接著，如第2D圖所示，沈積一介電層128，例如氮化層(SiN)，再以等向性蝕刻將第一導電層124上方之氮化層去除，而保留介電層128於側壁上，接著以在室溫下進行沈積的液相沈積方法(Liquid Phase Deposition; LPD)形成一介電層130，以覆蓋該第一導電層124。上述溝槽頂氧化層較佳之厚度範圍為10~1000 Å，其係用以絕緣阻隔上述導線結構與後續形成之控制閘極。

上述液相沈積方法，是將整個晶片浸於 H_2SiF_6 的溶液中，並滴入 H_3BO_3 溶液進行滴定(titration)；其化學反應示如下所示：

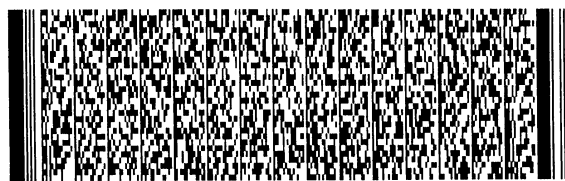


五、發明說明 (6)



上述反應式1用以沈積 SiO_2 ，而反應式2則用以消耗反應式中的產物HF，以避免逆向反應。 SiO_2 的沈積速度可藉由滴定控制。由於上述液相沈積方法是將整個晶圓浸入化學溶液中，並非如習知高密度電漿（HDP）方法，有沈積角度的問題，使氧化層可以均勻且一致地在溝槽內成長，能夠形成厚度一致之溝槽頂介電層。

接著，請參照第2E圖，以乾蝕刻移除此時位於溝槽側壁上的介電層128，僅剩下128'於溝槽頂介電層之兩側。並利用習知技術於溝槽頂氧化層130上方之溝槽上半部形成閘極氧化層132與閘極導電層140，閘極導電層140之材質例如是複晶矽、鎢矽合金、金屬或其組合。其方法例如是使用熱氧化法於溝槽頂氧化層130上方之溝槽側壁上形成閘極氧化層132，然後再於閘極氧化層132所包圍之區域中形成閘極導電層140。在本實施例中，閘極氧化層132及閘極導電層140係構成本發明之記憶體裝置中的控制閘極。然後實施一離子佈值，以在控制閘極周圍上方之基底100中形成一摻雜區作為垂直電晶體之源極160。汲極170的形成則是由後續之製程例如是熱擴散製程使摻雜於第一導電層124中的摻雜離子經由第二導電層126擴散至周圍基底100中而與控制閘極電性連接。

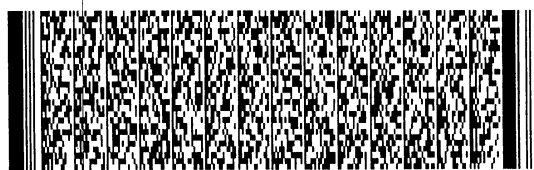


五、發明說明 (7)

接著，順應性形成一絕緣材料，例如氮化矽覆蓋該氮化矽層112以及溝槽之側壁及底部，並以非等向性蝕刻移除部分該絕緣材料，僅保留位於溝槽側壁上的絕緣材料作為間隙壁142，如第2F圖所示，最後以導電材料，例如摻雜之多晶矽填滿溝槽後，以化學機械研磨（CMP）將導電材料磨平，形成如第2F圖所示之導電層150。

根據本發明之形成垂直電晶體以及溝槽式電容的方法，藉由可在室溫進行沈積的液相沈積法形成表面平坦的溝槽頂氧化層，使其絕緣效果充分發揮，並能提高後續形成之閘極氧化層可靠度而製出性能優異的半導體元件。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



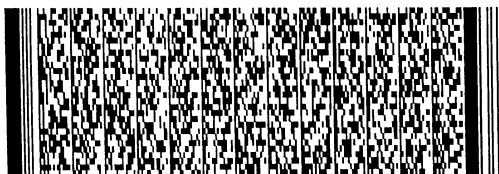
圖式簡單說明

第1圖為習知垂直電晶體以及溝槽式電容的剖面圖。

第2A～2F圖為說明本發明之實施例之製程剖面圖。

符號說明

- 100～半導體基底；
- 112～氮化層；
- 114～氧化層；
- 118～電容介電層；
- 120～電極板；
- 122'～環狀絕緣層；
- 124～第一導電層；
- 126～第二導電層；
- 128'～介電層；
- 130～溝槽頂氧化層；
- 132'～閘極氧化層；
- 140～閘極導電層；
- 142～間隙壁；
- 150～導電層
- 160～源極；
- 170～汲極。



四、中文發明摘要 (發明名稱：形成垂直式電晶體以及溝槽式電容的方法)

一種形成垂直式電晶體以及溝槽式電容的方法，其步驟包括：提供形成有一溝槽以及一墊層結構於表面的一半導體基底；在該溝槽底部形成一電容；在該電容上形成一導線結構；在該溝槽之側壁上形成一介電層；以液相沈積方法於該導線結構上形成一溝槽頂氧化層；移除未被該溝槽頂氧化層覆蓋之該介電層；在該溝槽之側壁上形成閘極氧化層；填入導電材料於該溝槽中形成一閘極導電層；在該溝槽之側壁上形成一間隙壁；以及以導電材料填滿溝槽形成一導電層。

伍、(一)、本案代表圖為：第2F圖。

(二)、本案代表圖之元件代表符號簡單說明：

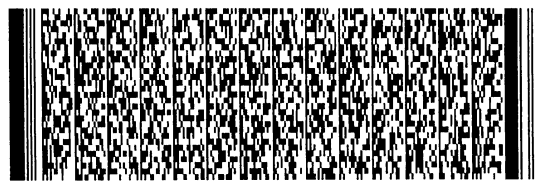
100～半導體基底；

112～氮化層；

114～氧化層；

六、英文發明摘要 (發明名稱：Method for Forming Vertical Transistor and Trench Capacitor)

A semiconductor substrate having a pad stack layer formed thereon and a trench is provided. A trench capacitor and a conductive wire are sequentially in the trench. A dielectric layer is then formed on the sidewalls of the trench, followed by the formation of a trench top oxide by liquid phase deposition. The dielectric layer is then selectively removed. Gate oxide is then

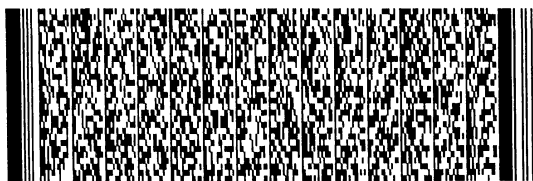


四、中文發明摘要 (發明名稱：形成垂直式電晶體以及溝槽式電容的方法)

118 ~ 電容介電層；
120 ~ 電極板；
122 ~ 環狀絕緣層；
124 ~ 第一導電層；
126 ~ 第二導電層；
128' ~ 介電層；
130 ~ 溝槽頂氧化層；
132' 閘極氧化層；
140 ~ 閘極導電層；
142 ~ 間隙壁；
150 ~ 導電層；
160 ~ 源極；
170 ~ 汲極。

六、英文發明摘要 (發明名稱：Method for Forming Vertical Transistor and Trench Capacitor)

formed on the sidewalls of the trench, and conductive material is filled in the trench to form a gate conductive layer. Dielectric spacers are then formed to cover the sidewalls of the trench. Finally, the trench is filled with conductive material to form a conductive layer.



六、申請專利範圍

1. 一種形成垂直式電晶體以及溝槽式電容的方法，包括：

提供形成有一溝槽以及一墊層結構於表面的一半導體基底；

在該溝槽底部形成一電容；

在該電容上形成一導線結構；

在該溝槽之側壁上形成一介電層；

以液相沈積方法於該導線結構上形成一厚度均勻之溝槽頂介電層；以及

在該溝槽頂介電層上形成一電晶體，並以該溝槽頂介電層與其下之電容絕緣。

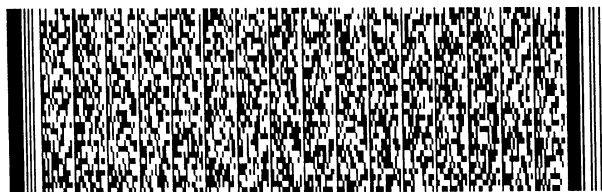
2. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該溝槽頂介電層為氧化層。

3. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該墊層結構包括一氮化層以及一氧化層。

4. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該電容包括一埋入式電極板，形成於該溝槽之底部基底中、一電容介電層，順應性形成於該溝槽底部以及電極板。

5. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該介電層為氮化矽。

6. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該導線結構包括一環狀絕緣層



六、申請專利範圍

，位於該溝槽側壁、一第一導電層，被該環狀絕緣層包圍，且該環狀絕緣層之高度低於該第一導電層以及一第二導電層，形成於該環狀絕緣層上且其高度於該第一導電層相等。

7. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該液相沈積方法是在室溫下進行。

8. 如申請專利範圍第7項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該液相沈積方法是在 H_2SiF_6 的溶液中，並滴入 H_3BO_3 溶液進行反應。

9. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，還包括實施一離子佈值，以溝槽上方之基底中形成一摻雜區作為源極。

10. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，還包括以熱擴散方式將摻雜於第一導電層中的摻雜離子經由第二導電層擴散至周圍基底中形成汲極。

11. 如申請專利範圍第1項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該位於該溝槽頂介電層上的電晶體包括一閘極導電層、間隙壁以及一導電層。

12. 一種形成垂直式電晶體以及溝槽式電容的方法，包括：

提供形成有一溝槽以及一墊層結構於表面的一半導體基底；



六、申請專利範圍

在該溝槽底部順應性形成一既定高度的摻雜介電層後，將該摻雜之離子擴散到溝槽側壁周圍之基底中形成埋入式電極板；

順應性形成一介電層至該既定高度於該溝槽底部作為電容介電層；

填入一導電材料至該既定高度作為電極板；

沿著溝槽側壁形成一環狀絕緣層；

以導電材料填入該溝槽中形成一第一導電層；

回蝕刻該第一導電層至一既定深度；

移除部分該環狀絕緣層，使該環狀絕緣層之表面低於該第一導電層之表面；

以導電材料填入該環狀絕緣層與該第一導電層之間形成一第二導電層，其中該第二導電層之高度與該第一導電層之高度相同；

在該溝槽之側壁上形成一介電層；

以等向性蝕刻將第二導電層上的介電層移除；

以液相沈積方法於該導線結構上形成一厚度均勻之溝槽頂氧化層；

移除未被該溝槽頂氧化層覆蓋之該介電層；

在該溝槽之側壁上形成閘極氧化層；

填入導電材料於該溝槽中形成一閘極導電層；

在該溝槽之側壁上形成一間隙壁；以及

以導電材料填滿溝槽形成一導電層。

13. 如申請專利範圍第12項所述之形成垂直式電晶體



六、申請專利範圍

以及溝槽式電容的方法，其中該墊層結構包括一氮化層以及一氧化層。

14. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該介電層為氮化矽。

15. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該液相沈積方法是在室溫下進行。

16. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，其中該閘極導電層為多晶矽。

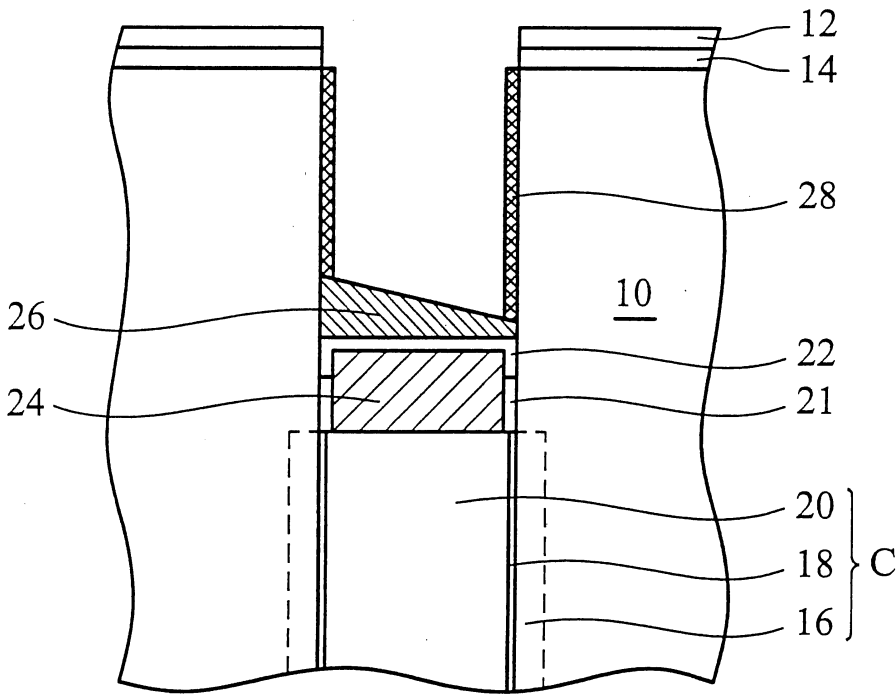
17. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，其中間隙壁為氮化矽。

18. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，其中導電層為多晶矽。

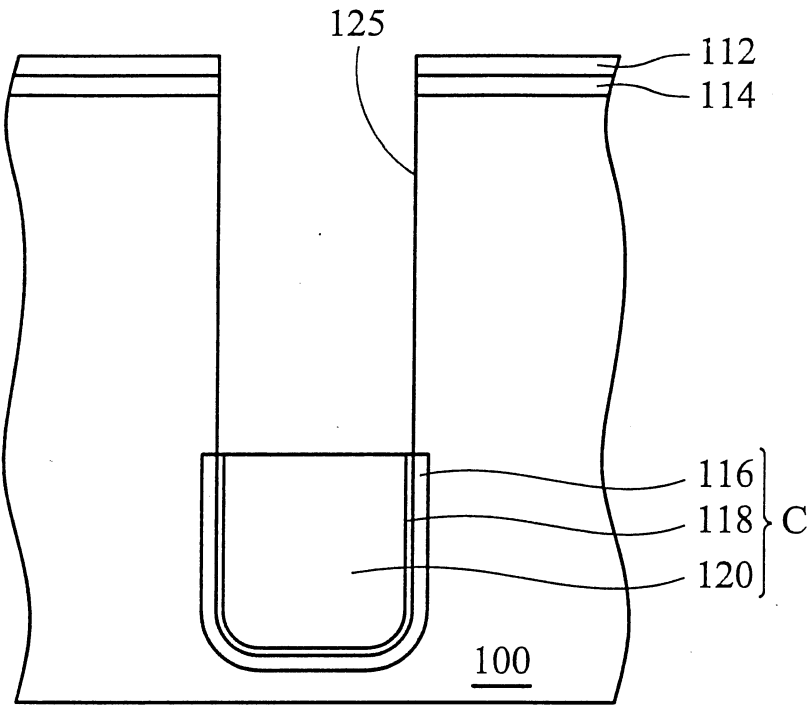
19. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，還包括實施一離子佈值，以溝槽上方之基底中形成一摻雜區作為源極。

20. 如申請專利範圍第12項所述之形成垂直式電晶體以及溝槽式電容的方法，還包括以熱擴散方式將摻雜於第一導電層中的摻雜離子經由第二導電層擴散至周圍基底中形成汲極。

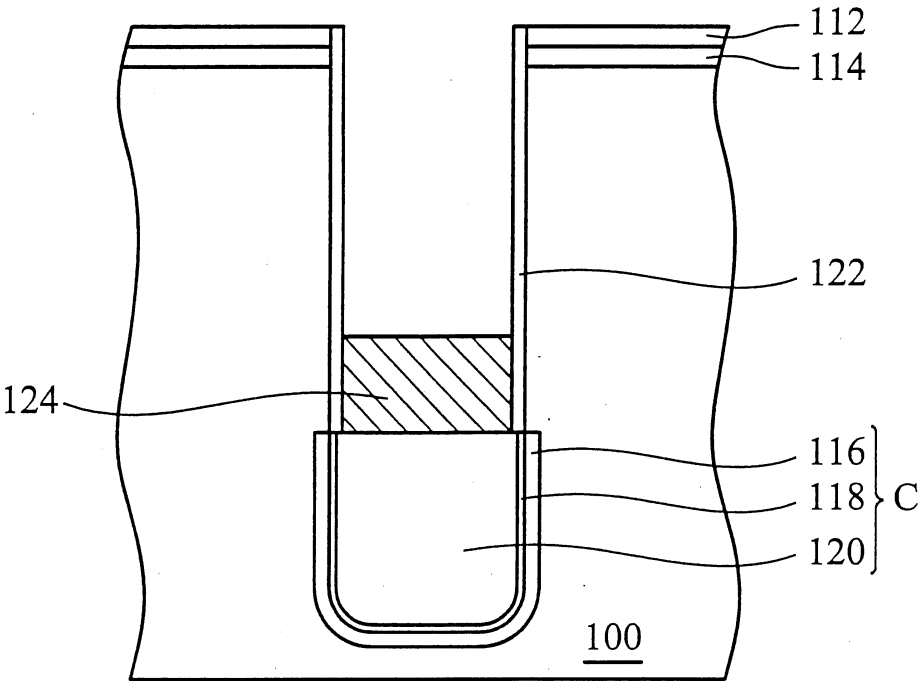




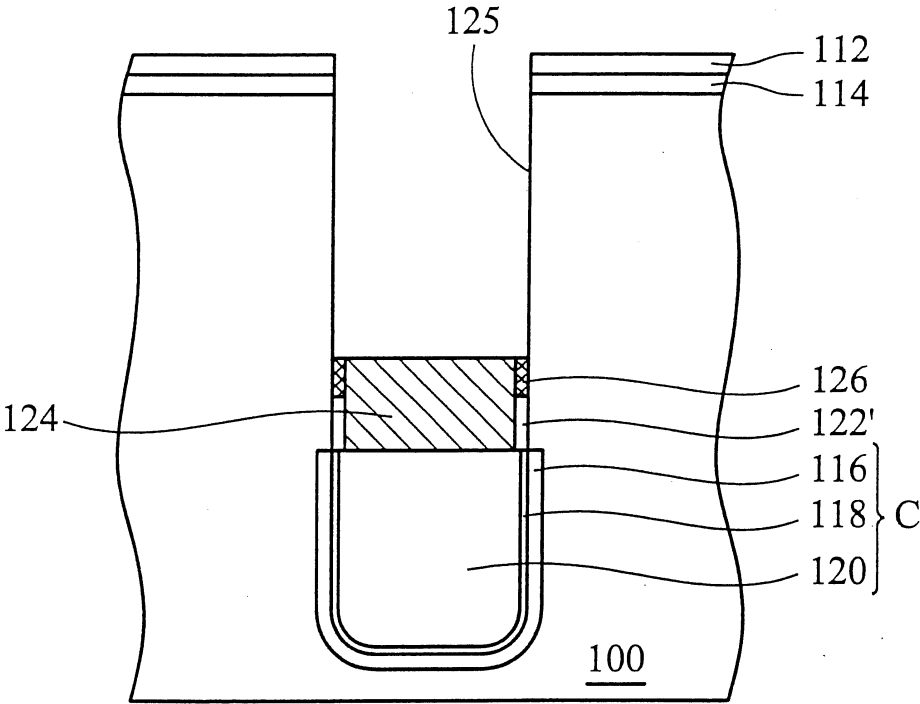
第 1 圖



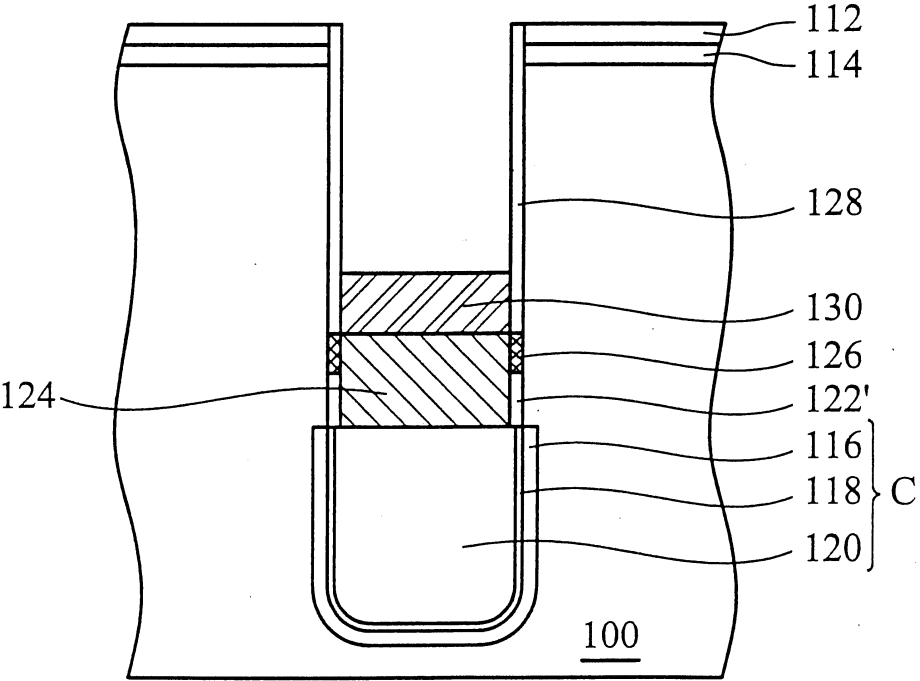
第 2A 圖



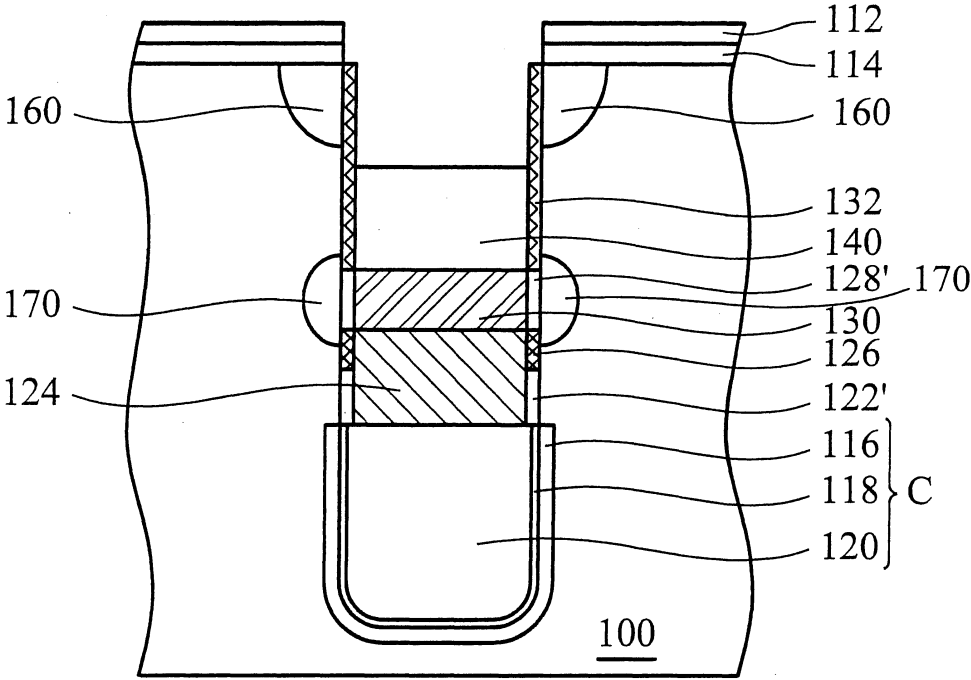
第 2B 圖



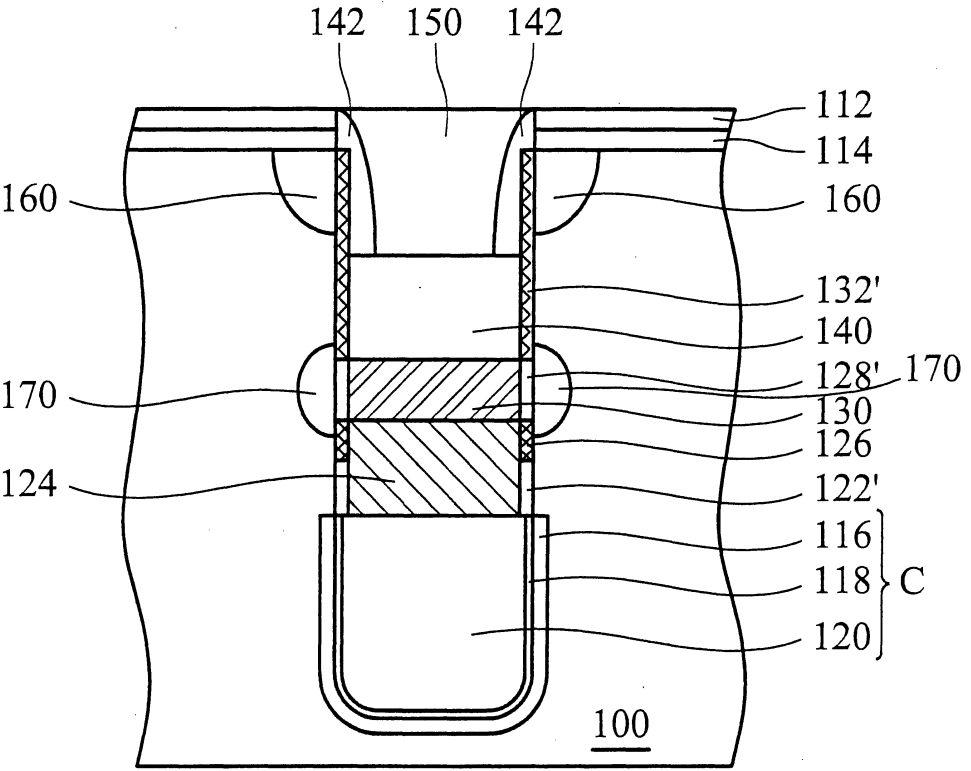
第 2C 圖



第 2D 圖



第 2E 圖



第 2F 圖