

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4381043号
(P4381043)

(45) 発行日 平成21年12月9日(2009.12.9)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl.

F I

G09G	3/28	(2006.01)	G09G	3/28	K
G09G	3/20	(2006.01)	G09G	3/20	641E
G09G	5/00	(2006.01)	G09G	3/20	641G
H04N	5/66	(2006.01)	G09G	3/20	642A
			G09G	5/00	520J

請求項の数 3 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2003-178113 (P2003-178113)
 (22) 出願日 平成15年6月23日(2003.6.23)
 (65) 公開番号 特開2005-17357 (P2005-17357A)
 (43) 公開日 平成17年1月20日(2005.1.20)
 審査請求日 平成18年5月25日(2006.5.25)

(73) 特許権者 000005821
 パナソニック株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 110001025
 特許業務法人藤村合同特許事務所
 (72) 発明者 上山口 潤
 山梨県中巨摩郡田富町西花輪2680番地
 パイオニア株式会社内
 (72) 発明者 鈴木 雅博
 山梨県中巨摩郡田富町西花輪2680番地
 パイオニア株式会社内
 (72) 発明者 重田 哲也
 山梨県中巨摩郡田富町西花輪2680番地
 パイオニア株式会社内

最終頁に続く

(54) 【発明の名称】 表示パネルの駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数の表示ライン各々に画素を担う画素セルが配置されている表示パネルを入力映像信号に基づく画素データに応じて駆動する表示パネルの駆動装置であって、

前記画素データに応じて、前記表示ラインの隣接する複数からなる表示ライン群内の各表示ラインに配置されている画素セルの各々を発光させる発光駆動手段を備え、

前記発光駆動手段は、前記表示ライン群内の各表示ラインに夫々異なるラインディザオフセット値を割り当て、各表示ラインに割り当てられている前記ラインディザオフセット値を当該表示ラインに属する前記画素セルに対応した前記画素データに加算することにより多階調化画素データを得る多階調化処理部と、

前記表示ライン群内の各表示ラインに輝度の重み付け値を割り当て、前記多階調化画素データに応じて、前記画素セルをその画素セルが属する表示ラインに割り当てられている前記輝度の重み付け値に基づく輝度重みを付けた輝度レベルで発光させる駆動部と、を含み、

互いに隣接する表示ライン間における前記画素セル同士の輝度差の偏倚量が所定値以内となるように、前記表示ライン群内の各表示ラインに割り当てべき前記ラインディザオフセット値及び前記輝度の重み付け値の各々が設定されていることを特徴とする表示パネルの駆動装置。

【請求項2】

前記表示ライン群内の各表示ラインに対する前記輝度の重み付け値の割り当てを所定期間

毎に変更する重み付け変更手段を更に備えたことを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】

前記重み付け変更手段は、1 の前記輝度の重み付け値が割り当てられるべき前記表示ラインが前記所定期間毎に上方に位置する表示ライン及び下方に位置する表示ラインに交互に推移するように前記輝度の重み付け値の割り当て変更を行うことを特徴とする請求項 2 記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、画素を担う画素セルが各表示ライン上に配置されている表示パネルの駆動装置に関する。

【0002】

【従来の技術】

最近、2次元画像表示パネルとして、複数の放電セルがマトリクス状に配列されたプラズマディスプレイパネル（以下、PDPという）が注目されている。更に、かかるPDPにて入力映像信号に対応した画像を表示させる為の駆動方法としてサブフィールド法が知られている。サブフィールド法では、1フィールドの表示期間を複数のサブフィールドに分割し、入力映像信号によって表される輝度レベルに応じて放電セルの各々を各サブフィールド毎に選択的に放電発光させる。これにより、1フィールド期間内での総発光期間に対応した中間輝度が視覚されるのである。

【0003】

図1は、かかるサブフィールド法に基づく発光駆動シーケンスの一例を示す図である（例えば、特許文献1の図14参照）。

図1に示す発光駆動シーケンスでは、1フィールド期間をサブフィールドSF1～SF14なる14個のサブフィールドに分割している。これらSF1～SF14の内の先頭のサブフィールドSF1のみで、PDPの全放電セルを点灯モードに初期化せしめる（Rc）。又、サブフィールドSF1～SF14各々では、入力映像信号に応じて放電セルを消灯モードに設定し（Wc）、点灯モードに設定されている放電セルのみをこのサブフィールドに割り当てられている期間に亘り放電発光させる（Ic）。

【0004】

図2は、かかる発光駆動シーケンスに基づいて駆動される各放電セルの1フィールド期間内での発光駆動パターンの一例を示す図である（例えば、特許文献1の図27参照）。

図2に示す発光パターンによれば、先頭のサブフィールドSF1において点灯モードに初期化された放電セルは、黒丸印にて示す如く、SF1～SF14の内のいずれか1のサブフィールドで消灯モードに設定され、それ以降、点灯モードに復帰することはない。よって、消灯モードに設定されるまでの間、白丸印にて示されるように、放電セルは各サブフィールドにおいて連続して放電発光する。この際、図2に示す15通りの発光パターンの各々は1フィールド期間内での総発光期間が夫々異なるので、15通りの中間輝度が表現されることになる。すなわち、(N+1)階調（Nはサブフィールドの数）分の中間輝度表示が可能となるのである。

【0005】

ところが、かかる駆動方法では、1フィールドを分割するサブフィールドの数に限度がある為、階調数が不足するという問題が生じる。そこで、この階調数不足を補うべく、入力映像信号に対して誤差拡散及びディザ処理の如き多階調化処理を施すようにしている。

先ず、誤差拡散処理では、入力映像信号を各画素毎の例えば8ビットの画素データに変換し、その上位6ビット分を表示データ、残りの下位2ビット分を誤差データと捉える。そして、周辺画素各々に対応した上記画素データにおける誤差データの各々を重み付け加算したものを、上記表示データに反映させる。かかる動作により、原画素における下位2ビット分の輝度が周辺画素によって擬似的に表現され、それ故に8ビットよりも少ない6ビ

10

20

30

40

50

ット分の表示データにて、上記 8 ビット分の画素データと同等の輝度階調表現が可能になる。そして、この誤差拡散処理によって得られた 6 ビットの誤差拡散処理画素データに対してディザ処理を施す。ディザ処理では、互いに隣接する複数の画素を 1 画素単位とし、この 1 画素単位内の各画素に対応した上記誤差拡散処理画素データに夫々、互いに異なる係数値からなるディザ係数を夫々割り当てて加算する。かかるディザ係数の加算によれば、1 画素単位で眺めた場合には、ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが可能となる。そこで、上記ディザ加算画素データの上位 4 ビット分を抽出し、これを多階調化画素データ P D s として、図 2 に示す如き 1 5 通りの発光パターン各々に割り当てるのである。

【 0 0 0 6 】

しかしながら、ディザ処理等により画素データに対して規則的にディザ係数の加算を行うと、入力映像信号とは何ら関係のない疑似模様、いわゆるディザパターンが視覚される場合があり、画質を損ねてしまうという問題があった。

【 0 0 0 7 】

【特許文献 1】

特開 2 0 0 0 - 2 2 7 7 7 8 号公報(図 1 4、図 2 7)

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明は、上記の問題を解決するためになされたものであり、ディザパターンの抑制された良好な画像表示を行うことが可能な表示パネルの駆動装置を提供することを目的とする。

【 0 0 0 9 】

【課題を解決するための手段】

請求項 1 記載による表示パネルの駆動装置は、複数の表示ライン各々に画素を担う画素セルが配置されている表示パネルを入力映像信号に基づく画素データに応じて駆動する表示パネルの駆動装置であって、前記画素データに応じて、前記表示ラインの隣接する複数からなる表示ライン群内の各表示ラインに配置されている画素セルの各々を発光させる発光駆動手段を備え、前記発光駆動手段は、前記表示ライン群内の各表示ラインに夫々異なるラインディザオフセット値を割り当て、各表示ラインに割り当てられている前記ラインディザオフセット値を当該表示ラインに属する前記画素セルに対応した前記画素データに
加算することにより多階調化画素データを得る多階調化処理部と、前記表示ライン群内の各表示ラインに輝度の重み付け値を割り当て、前記多階調化画素データに応じて、前記画素セルをその画素セルが属する表示ラインに割り当てられている前記輝度の重み付け値に基づく輝度重みを付けた輝度レベルで発光させる駆動部と、を含み、互いに隣接する表示ライン間における前記画素セル同士の輝度差の偏倚量が所定値以内となるように、前記表示ライン群内の各表示ラインに割り当てべき前記ラインディザオフセット値及び前記輝度の重み付け値の各々が設定されている。

【 0 0 1 0 】

【発明の実施の形態】

以下、本発明の実施例を図を参照しつつ説明する。

図 3 は、本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の概略構成を示す図である。

図 3 において、プラズマディスプレイパネルとしての P D P 1 0 0 は、表示面を担う前面基板(図示せぬ)と、放電ガスの封入された放電空間を挟んで前面基板と対向した位置に配置されている背面基板(図示せぬ)とを備える。前面基板上には、互いに交互にかつ平行に配置されている帯状の行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ が形成されている。背面基板上には、上記行電極各々に交叉して配置されている帯状の列電極 $D_1 \sim D_m$ が形成されている。尚、行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ は、一对の行電極 X 及び Y にて P D P 1 0 0 の第 1 表示ライン ~ 第 n 表示ラインを担う構造となっており、各行電極対と列電極との交叉部(放電空間を含む)に画素を担う放電セル G が形成されている。すなわち、P D P 1 0 0 には

10

20

30

40

50

、 $(n \times m)$ 個の放電セル $G_{(1,1)} \sim G_{(n,m)}$ がマトリクス状に形成されているのである。

【0011】

画素データ変換回路1は、入力映像信号を各画素毎の例えば6ビットの画素データPDに変換してこれを多階調化処理回路2に供給する。多階調化処理回路2は、ラインディザオフセット値生成回路21、加算器22、及び下位ビット切り捨て回路23から構成される。

ラインディザオフセット値生成回路21は、先ず、PDP100の第1～第n表示ラインを、夫々8ライン分だけ離間したものと士でグループ化した8つの表示ライン群、すなわち、

第1、第9、第17、・・・、第 $(n-7)$ なる第 $(8N-7)$ 表示ライン群、
 第2、第10、第18、・・・、第 $(n-6)$ なる第 $(8N-6)$ 表示ライン群、
 第3、第11、第19、・・・、第 $(n-5)$ なる第 $(8N-5)$ 表示ライン群、
 第4、第12、第20、・・・、第 $(n-4)$ なる第 $(8N-4)$ 表示ライン群、
 第5、第13、第21、・・・、第 $(n-3)$ なる第 $(8N-3)$ 表示ライン群、
 第6、第14、第22、・・・、第 $(n-2)$ なる第 $(8N-2)$ 表示ライン群、
 第7、第15、第23、・・・、第 $(n-1)$ なる第 $(8N-1)$ 表示ライン群、
 第8、第16、第24、・・・、第 n なる第 $(8N)$ 表示ライン群、

10

[Nは、 $(1/8) \cdot n$ 以下の自然数]

なる表示ライン群各々に対応させて、夫々「0」～「7」なる値を有する8つのラインディザオフセット値LDを生成する。この際、ラインディザオフセット値生成回路21は、
 図4(a)～図4(h)に示す如く、ラインディザオフセット値LD各々の各表示ライン群に対する割り当て変更を、各フィールド毎に且つ8フィールドを1サイクルとして繰り返し実行する。

20

【0012】

すなわち、ラインディザオフセット値生成回路21は、最初の第1フィールドでは図4(a)に示す如く、

第 $(8N-7)$ 表示ライン群に対しては「0」、
 第 $(8N-6)$ 表示ライン群に対しては「3」、
 第 $(8N-5)$ 表示ライン群に対しては「6」、
 第 $(8N-4)$ 表示ライン群に対しては「1」、
 第 $(8N-3)$ 表示ライン群に対しては「4」、
 第 $(8N-2)$ 表示ライン群に対しては「7」、
 第 $(8N-1)$ 表示ライン群に対しては「2」、
 第 $(8N)$ 表示ライン群に対しては「5」、

30

なる値を有するラインディザオフセット値LDを夫々割り当てる。

【0013】

又、次の第2フィールドでは図4(b)に示す如く、

第 $(8N-7)$ 表示ライン群に対しては「4」、
 第 $(8N-6)$ 表示ライン群に対しては「7」、
 第 $(8N-5)$ 表示ライン群に対しては「2」、
 第 $(8N-4)$ 表示ライン群に対しては「5」、
 第 $(8N-3)$ 表示ライン群に対しては「0」、
 第 $(8N-2)$ 表示ライン群に対しては「3」、
 第 $(8N-1)$ 表示ライン群に対しては「6」、
 第 $(8N)$ 表示ライン群に対しては「1」、

40

なる値を有するラインディザオフセット値LDを夫々割り当てる。

【0014】

又、その次の第3フィールドでは図4(c)に示す如く、

第 $(8N-7)$ 表示ライン群に対しては「2」、
 第 $(8N-6)$ 表示ライン群に対しては「5」、

50

第(8N-5)表示ライン群に対しては「0」、
 第(8N-4)表示ライン群に対しては「3」、
 第(8N-3)表示ライン群に対しては「6」、
 第(8N-2)表示ライン群に対しては「1」、
 第(8N-1)表示ライン群に対しては「4」、
 第(8N)表示ライン群に対しては「7」、
 なる値を有するラインディザオフセット値LDを夫々割り当てる。

【0015】

又、第4フィールドでは図4(d)に示す如く、
 第(8N-7)表示ライン群に対しては「6」、
 第(8N-6)表示ライン群に対しては「1」、
 第(8N-5)表示ライン群に対しては「4」、
 第(8N-4)表示ライン群に対しては「7」、
 第(8N-3)表示ライン群に対しては「2」、
 第(8N-2)表示ライン群に対しては「5」、
 第(8N-1)表示ライン群に対しては「0」、
 第(8N)表示ライン群に対しては「3」、
 なる値を有するラインディザオフセット値LDを夫々割り当てる。

10

【0016】

又、第5フィールドでは図4(e)に示す如く、
 第(8N-7)表示ライン群に対しては「1」、
 第(8N-6)表示ライン群に対しては「4」、
 第(8N-5)表示ライン群に対しては「7」、
 第(8N-4)表示ライン群に対しては「2」、
 第(8N-3)表示ライン群に対しては「5」、
 第(8N-2)表示ライン群に対しては「0」、
 第(8N-1)表示ライン群に対しては「3」、
 第(8N)表示ライン群に対しては「6」、
 なる値を有するラインディザオフセット値LDを夫々割り当てる。

20

【0017】

又、第6フィールドでは図4(f)に示す如く、
 第(8N-7)表示ライン群に対しては「5」、
 第(8N-6)表示ライン群に対しては「0」、
 第(8N-5)表示ライン群に対しては「3」、
 第(8N-4)表示ライン群に対しては「6」、
 第(8N-3)表示ライン群に対しては「1」、
 第(8N-2)表示ライン群に対しては「4」、
 第(8N-1)表示ライン群に対しては「7」、
 第(8N)表示ライン群に対しては「2」、
 なる値を有するラインディザオフセット値LDを夫々割り当てる。

30

【0018】

又、第7フィールドでは図4(g)に示す如く、
 第(8N-7)表示ライン群に対しては「3」、
 第(8N-6)表示ライン群に対しては「6」、
 第(8N-5)表示ライン群に対しては「1」、
 第(8N-4)表示ライン群に対しては「4」、
 第(8N-3)表示ライン群に対しては「7」、
 第(8N-2)表示ライン群に対しては「2」、
 第(8N-1)表示ライン群に対しては「5」、
 第(8N)表示ライン群に対しては「0」、

40

50

なる値を有するラインディザオフセット値 $L D$ を夫々割り当てる。

【 0 0 1 9 】

又、第 8 フィールドでは図 4 (h) に示す如く、
 第 ($8 N - 7$) 表示ライン群に対しては「 7 」、
 第 ($8 N - 6$) 表示ライン群に対しては「 2 」、
 第 ($8 N - 5$) 表示ライン群に対しては「 5 」、
 第 ($8 N - 4$) 表示ライン群に対しては「 0 」、
 第 ($8 N - 3$) 表示ライン群に対しては「 3 」、
 第 ($8 N - 2$) 表示ライン群に対しては「 6 」、
 第 ($8 N - 1$) 表示ライン群に対しては「 1 」、
 第 ($8 N$) 表示ライン群に対しては「 4 」、
 なる値を有するラインディザオフセット値 $L D$ を夫々割り当てる。

10

【 0 0 2 0 】

そして、ラインディザオフセット値生成回路 2 1 は、画素データ変換回路 1 から供給された画素データ $P D$ に対応した放電セルの属する表示ラインに割り当てられている上記ラインディザオフセット値 $L D$ を加算器 2 2 に供給する。

加算器 2 2 は、画素データ変換回路 1 から供給された画素データ $P D$ に上記ラインディザオフセット値 $L D$ を加算したラインオフセット加算画素データ $L F$ を下位ビット切り捨て回路 2 3 に供給する。下位ビット切り捨て回路 2 3 は、ラインオフセット加算画素データ $L F$ の下位 3 ビット分を切り捨て、残りの上位 3 ビット分を多階調化画素データ $M D$ として駆動データ変換回路 3 に供給する。

20

【 0 0 2 1 】

駆動データ変換回路 3 は、多階調化画素データ $M D$ を図 5 に示す如きデータ変換テーブルに従って 4 ビットの画素駆動データ $G D$ に変換してこれをメモリ 4 に供給する。

メモリ 4 は、4 ビットの画素駆動データ $G D$ を順次取り込んで記憶する。そして、1 画像フレーム (n 行 \times m 列) 分の画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ の書き込みが終了する度に、メモリ 4 は、画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ 各々を各ビット桁 (第 0 ~ 第 3 ビット) 毎に分離し、夫々、後述するサブフィールド $S F 0 \sim S F 3$ に対応させて 1 表示ライン分ずつ読み出す。メモリ 4 は、読み出した 1 表示ライン分 (m 個) の画素駆動データビットを画素駆動データビット $D B 1 \sim D B (m)$ として列電極駆動回路 5 に供給する。

30

【 0 0 2 2 】

すなわち、先ず、サブフィールド $S F 0$ において、メモリ 4 は、画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ 各々の第 0 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット $D B 1 \sim D B (m)$ として列電極駆動回路 5 に供給する。次に、サブフィールド $S F 1$ において、メモリ 4 は、画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ 各々の第 1 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット $D B 1 \sim D B (m)$ として列電極駆動回路 5 に供給する。次に、サブフィールド $S F 2$ において、メモリ 4 は、画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ 各々の第 2 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット $D B 1 \sim D B (m)$ として列電極駆動回路 5 に供給する。次に、サブフィールド $S F 3$ において、メモリ 4 は、画素駆動データ $G D_1$ 、 $1 \sim G D_{n, m}$ 各々の第 3 ビットのみを 1 表示ライン分ずつ読み出し、これらを画素駆動データビット $D B 1 \sim D B (m)$ として列電極駆動回路 5 に供給する。

40

【 0 0 2 3 】

駆動制御回路 6 は、

第 1 フィールドでは図 6 (a)、
 第 2 フィールドでは図 6 (b)、
 第 3 フィールドでは図 6 (c)、
 第 4 フィールドでは図 6 (d)、
 第 5 フィールドでは図 7 (e)、
 第 6 フィールドでは図 7 (f)、

50

第7フィールドでは図7(g)、
 第8フィールドでは図7(h)、
 に示す発光駆動シーケンスに従ってPDP100を階調駆動させるべき各種タイミング信号を発生し、上記列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々に供給する。尚、上記の如き図6(a)~図7(h)にて示される一連の駆動が繰り返し実行される。

【0024】

ここで、列電極駆動回路5、行電極Y駆動回路7及び行電極X駆動回路8の各々は、駆動制御回路6から供給されたタイミング信号に応じてPDP100を下記の如く駆動すべき各種駆動パルス(図示せぬ)を発生してPDP100の列電極 $D_1 \sim D_m$ 、行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ に印加する。

10

尚、図6(a)~図7(h)に示す発光駆動シーケンスでは、入力映像信号における各フィールドを5つのサブフィールドSF0~SF4にて構成している。

【0025】

先ず、先頭のサブフィールドSF0では、リセット行程R、及びアドレス行程W0を順次実行する。リセット行程Rでは、PDP100の全ての放電セル $G_{(1,1)} \sim G_{(n,m)}$ を一斉にリセット放電せしめて、放電セル $G_{(1,1)} \sim G_{(n,m)}$ 各々を点灯モード(所定量の壁電荷が形成された状態)に初期化する。又、アドレス行程W0では、PDP100の第1~第n表示ライン各々に配置されている放電セルGを1表示ライン分ずつ順次、図5に示す如き画素駆動データGDに応じて選択的に消去放電せしめて消灯モード(壁電荷が消去された状態)に推移せしめる。尚、かかるアドレス行程W0において消去放電の生起されなかった放電セルは、その直前までの状態、つまり点灯モードを維持する。

20

【0026】

次に、サブフィールドSF1~SF3の各々は、更に8つのサブフィールド $SF1_1 \sim SF1_8$ 、 $SF2_1 \sim SF2_8$ 、 $SF3_1 \sim SF3_8$ に夫々分割されている。尚、サブフィールド $SF1_1 \sim SF1_8$ 、 $SF2_1 \sim SF2_8$ 、 $SF3_1 \sim SF3_8$ 各々では、下記の如きアドレス行程W1~W8を実行する。

アドレス行程W1では、PDP100に形成されている全放電セル $G_{(1,1)} \sim G_{(n,m)}$ の内の第1、第9、第17、・・・、及び第(n-7)表示ラインからなる第(8N-7)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W1によれば、第(8N-7)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

30

【0027】

アドレス行程W2では、第2、第10、第18、・・・、及び第(n-6)表示ラインからなる第(8N-6)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W2によれば、第(8N-6)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

40

【0028】

アドレス行程W3では、第3、第11、第19、・・・、及び第(n-5)表示ラインからなる第(8N-5)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W3によれば、第(8N-5)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0029】

アドレス行程W4では、第4、第12、第20、・・・、及び第(n-4)表示ラインからなる

50

第(8N-4)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W4によれば、第(8N-4)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0030】

アドレス行程W5では、第5、第13、第21、・・・、及び第(n-3)表示ラインからなる第(8N-3)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W5によれば、第(8N-3)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

10

【0031】

アドレス行程W6では、第6、第14、第22、・・・、及び第(n-2)表示ラインからなる第(8N-2)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W6によれば、第(8N-2)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

20

【0032】

アドレス行程W7では、第7、第15、第23、・・・、及び第(n-1)表示ラインからなる第(8N-1)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W7によれば、第(8N-1)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

【0033】

アドレス行程W8では、第8、第16、第24、・・・、及び第n表示ラインからなる第(8N)表示ラインに配置されている放電セルのみを、画素駆動データに応じて選択的に消去放電せしめる。この際、消去放電の生起された放電セルは消灯モードに設定され、生起されなかった放電セルはその直前までの状態を維持する。すなわち、アドレス行程W8によれば、第(8N)番目の表示ラインに配置されている放電セルが画素駆動データに応じて消灯モード又は点灯モードのいずれか一方に設定されるのである。

30

【0034】

ここで、図6(a)に示す発光駆動シーケンスにおいては、
 SF1₁、SF2₁、SF3₁各々において上記アドレス行程W6、
 SF1₂、SF2₂、SF3₂各々において上記アドレス行程W3、
 SF1₃、SF2₃、SF3₃各々において上記アドレス行程W8、
 SF1₄、SF2₄、SF3₄各々において上記アドレス行程W5、
 SF1₅、SF2₅、SF3₅各々において上記アドレス行程W2、
 SF1₆、SF2₆、SF3₆各々において上記アドレス行程W7、
 SF1₇、SF2₇、SF3₇各々において上記アドレス行程W4、
 SF1₈、SF2₈、SF3₈各々において上記アドレス行程W1、
 を夫々実行する。

40

【0035】

又、図6(b)に示す発光駆動シーケンスにおいては、
 SF1₁、SF2₁、SF3₁各々において上記アドレス行程W2、
 SF1₂、SF2₂、SF3₂各々において上記アドレス行程W7、
 SF1₃、SF2₃、SF3₃各々において上記アドレス行程W4、
 SF1₄、SF2₄、SF3₄各々において上記アドレス行程W1、

50

S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 6、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 3、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 8、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 5、
 を夫々実行する。

【0036】

又、図6(c)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 8、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 5、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 2、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 7、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 4、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 1、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 6、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 3、
 を夫々実行する。

10

【0037】

又、図6(d)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 4、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 1、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 6、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 3、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 8、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 5、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 2、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 7、
 を夫々実行する。

20

【0038】

又、図7(e)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 3、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 8、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 5、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 2、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 7、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 4、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 1、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 6、
 を夫々実行する。

30

【0039】

又、図7(f)に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 7、
 S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 4、
 S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 1、
 S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 6、
 S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 3、
 S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 8、
 S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 5、
 S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 2、
 を夫々実行する。

40

【0040】

50

又、図7 (g) に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 5、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 2、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 7、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 4、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 1、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 6、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 3、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 8、
を夫々実行する。

10

【 0 0 4 1 】

そして、図7 (h) に示す発光駆動シーケンスにおいては、

S F 1₁、S F 2₁、S F 3₁各々において上記アドレス行程W 1、
S F 1₂、S F 2₂、S F 3₂各々において上記アドレス行程W 6、
S F 1₃、S F 2₃、S F 3₃各々において上記アドレス行程W 3、
S F 1₄、S F 2₄、S F 3₄各々において上記アドレス行程W 8、
S F 1₅、S F 2₅、S F 3₅各々において上記アドレス行程W 5、
S F 1₆、S F 2₆、S F 3₆各々において上記アドレス行程W 2、
S F 1₇、S F 2₇、S F 3₇各々において上記アドレス行程W 7、
S F 1₈、S F 2₈、S F 3₈各々において上記アドレス行程W 4、
を夫々実行する。

20

【 0 0 4 2 】

尚、上記サブフィールドS F 1₁～S F 1₈、S F 2₁～S F 2₈及びS F 3₁～S F 3₈各々では、上記アドレス行程W 1～W 8各々の直前において、点灯モードに設定されている放電セルのみを期間「1」に亘り継続して放電発光せしめるサステイン行程Iを実行する。そして、最後尾のサブフィールドS F 4では、点灯モードに設定されている放電セルのみを期間「1」に亘り継続して放電発光せしめるサステイン行程Iのみを実行する。

【 0 0 4 3 】

駆動制御回路6は、図6 (a)～図6 (d)及び図7 (e)～図7 (h) に示される発光駆動シーケンスに従って、図8～図15に示す如き発光駆動を行う。

30

尚、図8は、図6 (a) の発光駆動シーケンスに基づく発光駆動パターン、
図9は、図6 (b) の発光駆動シーケンスに基づく発光駆動パターン、
図10は、図6 (c) の発光駆動シーケンスに基づく発光駆動パターン、
図11は、図6 (d) の発光駆動シーケンスに基づく発光駆動パターン、
図12は、図7 (e) の発光駆動シーケンスに基づく発光駆動パターン、
図13は、図7 (f) の発光駆動シーケンスに基づく発光駆動パターン、
図14は、図7 (g) の発光駆動シーケンスに基づく発光駆動パターン、
図15は、図7 (h) の発光駆動シーケンスに基づく発光駆動パターン、
を夫々示す図である。

【 0 0 4 4 】

40

先ず、最低輝度を表す[1 0 0 0]なる画素駆動データGDが供給された場合、下記の如き第1階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第0ビットが論理レベル1であることから、サブフィールドS F 0のアドレス行程W 0において放電セルに対して消去放電(黒丸にて示す)が生起され、この放電セルが消灯モードに遷移する。この際、図6 (a)～図6 (d)及び図7 (e)～図7 (h) に示す駆動によれば、1フィールド表示期間内において放電セルを消灯モードから点灯モード状態に遷移させることが可能な機会は、先頭のサブフィールドS F 0のリセット行程Rだけである。よって、一旦、消灯モードに遷移してしまった放電セルは1フィールド表示期間を通して消灯状態に保持される。

【 0 0 4 5 】

50

すなわち、[1 0 0 0]なる画素駆動データGDに応じた第1階調駆動によれば、各放電セルは1フィールド表示期間を通して消灯状態を保ち、図16に示す如く輝度レベル0の駆動が為されることになる。

次に、上記[1 0 0 0]よりも1段階だけ高輝度を表す[0 1 0 0]なる画素駆動データGDが供給された場合、下記の如き第2階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第1ビットが論理レベル1であることから、サブフィールドSF1のアドレス行程W1～S8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程Iにおいて連続してサステイン放電発光が為される。例えば、図6(a)に示す発光駆動シーケンスでは、

第(8N-7)表示ライン群に消去放電を為すアドレス行程W6をSF1₁、
 第(8N-6)表示ライン群に消去放電を為すアドレス行程W3をSF1₂、
 第(8N-5)表示ライン群に消去放電を為すアドレス行程W8をSF1₃、
 第(8N-4)表示ライン群に消去放電を為すアドレス行程W5をSF1₄、
 第(8N-3)表示ライン群に消去放電を為すアドレス行程W2をSF1₅、
 第(8N-2)表示ライン群に消去放電を為すアドレス行程W7をSF1₆、
 第(8N-1)表示ライン群に消去放電を為すアドレス行程W4をSF1₇、
 第(8N)表示ライン群に消去放電を為すアドレス行程W1をSF1₈、
 において夫々実行するようにしている。

【0046】

よって、図8の白丸及び二重丸にて示すように、

第(8N-7)表示ラインではSF1₁～SF1₈、
 第(8N-6)表示ラインではSF1₁～SF1₅、
 第(8N-5)表示ラインではSF1₁～SF1₂、
 第(8N-4)表示ラインではSF1₁～SF1₇、
 第(8N-3)表示ラインではSF1₁～SF1₄、
 第(8N-2)表示ラインではSF1₁、
 第(8N-1)表示ラインではSF1₁～SF1₆、
 第(8N)表示ラインではSF1₁～SF1₃、

各々のサステイン行程Iにおいて放電セルが連続してサステイン放電する。

【0047】

すなわち、[0 1 0 0]なる画素駆動データGDに応じた第2階調駆動によれば、各表示ラインに配置されている放電セルは、1フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図16に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「8」、
 第(8N-6)表示ラインに配置されている放電セルは輝度レベル「5」、
 第(8N-5)表示ラインに配置されている放電セルは輝度レベル「2」、
 第(8N-4)表示ラインに配置されている放電セルは輝度レベル「7」、
 第(8N-3)表示ラインに配置されている放電セルは輝度レベル「4」、
 第(8N-2)表示ラインに配置されている放電セルは輝度レベル「1」、
 第(8N-1)表示ラインに配置されている放電セルは輝度レベル「6」、
 第(8N)表示ラインに配置されている放電セルは輝度レベル「3」、

にて夫々駆動される。

【0048】

又、上記[0 1 0 0]よりも1段階だけ高輝度を表す[0 0 1 0]なる画素駆動データGDが供給された場合には、下記の如き第3階調駆動に基づく発光表示が為される。つまり、画素駆動データGDの第2ビットが論理レベル1であることから、サブフィールドSF2のアドレス行程W1～S8各々において各放電セルに対して消去放電(二重丸にて示す)が生起される。この際、先頭のサブフィールドSF0のリセット行程Rで放電セルが点

10

20

30

40

50

灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程 I において連続してサステイン放電発光が為される。例えば、図 6 (a) に示す発光駆動シーケンスでは、

第 (8 N - 7) 表示ライン群に消去放電を為すアドレス行程 W 6 を S F 2₁、
 第 (8 N - 6) 表示ライン群に消去放電を為すアドレス行程 W 3 を S F 2₂、
 第 (8 N - 5) 表示ライン群に消去放電を為すアドレス行程 W 8 を S F 2₃、
 第 (8 N - 4) 表示ライン群に消去放電を為すアドレス行程 W 5 を S F 2₄、
 第 (8 N - 3) 表示ライン群に消去放電を為すアドレス行程 W 2 を S F 2₅、
 第 (8 N - 2) 表示ライン群に消去放電を為すアドレス行程 W 7 を S F 2₆、
 第 (8 N - 1) 表示ライン群に消去放電を為すアドレス行程 W 4 を S F 2₇、
 第 (8 N) 表示ライン群に消去放電を為すアドレス行程 W 1 を S F 2₈、
 において夫々実行するようにしている。

10

【 0 0 4 9 】

よって、図 8 の白丸及び二重丸にて示すように、

第 (8 N - 7) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₈、
 第 (8 N - 6) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₅、
 第 (8 N - 5) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₂、
 第 (8 N - 4) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₇、
 第 (8 N - 3) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₄、
 第 (8 N - 2) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁、
 第 (8 N - 1) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₆、
 第 (8 N) 表示ラインでは S F 1₁ ~ S F 1₈、 S F 2₁ ~ S F 2₃、
 各々のサステイン行程 I において放電セルが連続してサステイン放電する。

20

【 0 0 5 0 】

すなわち、[0 0 1 0] なる画素駆動データ G D に応じた第 3 階調駆動によれば、各表示ラインに配置されている放電セルは、1 フィールド表示期間を通して生起された上記サステイン放電に伴う発光の期間に対応した輝度レベル、つまり、図 1 6 に示す如く、

第 (8 N - 7) 表示ラインに配置されている放電セルは輝度レベル「 1 6 」、
 第 (8 N - 6) 表示ラインに配置されている放電セルは輝度レベル「 1 3 」、
 第 (8 N - 5) 表示ラインに配置されている放電セルは輝度レベル「 1 0 」、
 第 (8 N - 4) 表示ラインに配置されている放電セルは輝度レベル「 1 5 」、
 第 (8 N - 3) 表示ラインに配置されている放電セルは輝度レベル「 1 2 」、
 第 (8 N - 2) 表示ラインに配置されている放電セルは輝度レベル「 9 」、
 第 (8 N - 1) 表示ラインに配置されている放電セルは輝度レベル「 1 4 」、
 第 (8 N) 表示ラインに配置されている放電セルは輝度レベル「 1 1 」、
 にて夫々駆動される。

30

【 0 0 5 1 】

又、上記 [0 0 1 0] よりも 1 段階だけ高輝度を表す [0 0 0 1] なる画素駆動データ G D が供給された場合には、下記の如き第 4 階調駆動に基づく発光表示が為される。つまり、画素駆動データ G D の第 3 ビットが論理レベル 1 であることから、サブフィールド S F 3 のアドレス行程 W 1 ~ S 8 各々において各放電セルに対して消去放電 (二重丸にて示す) が生起される。この際、先頭のサブフィールド S F 0 のリセット行程 R で放電セルが点灯モードに初期化されてから、上記の如き消去放電が生起されるまでの間に存在する各サステイン行程 I において連続してサステイン放電発光が為される。例えば、図 6 (a) に示す発光駆動シーケンスでは、

40

第 (8 N - 7) 表示ライン群に消去放電を為すアドレス行程 W 6 を S F 3₁、
 第 (8 N - 6) 表示ライン群に消去放電を為すアドレス行程 W 3 を S F 3₂、
 第 (8 N - 5) 表示ライン群に消去放電を為すアドレス行程 W 8 を S F 3₃、
 第 (8 N - 4) 表示ライン群に消去放電を為すアドレス行程 W 5 を S F 3₄、
 第 (8 N - 3) 表示ライン群に消去放電を為すアドレス行程 W 2 を S F 3₅、

50

第(8N-2)表示ライン群に消去放電を為すアドレス行程W7をSF3₆、
 第(8N-1)表示ライン群に消去放電を為すアドレス行程W4をSF3₇、
 第(8N)表示ライン群に消去放電を為すアドレス行程W1をSF3₈、
 において夫々実行するようにしている。

【0052】

よって、図8の白丸及び二重丸にて示すように、

第(8N-7)表示ラインではSF1₁~SF2₈、SF3₁~SF3₈、

第(8N-6)表示ラインではSF1₁~SF2₈、SF3₁~SF3₅、

第(8N-5)表示ラインではSF1₁~SF2₈、SF3₁~SF3₂、

第(8N-4)表示ラインではSF1₁~SF2₈、SF3₁~SF3₇、

10

第(8N-3)表示ラインではSF1₁~SF2₈、SF3₁~SF3₄、

第(8N-2)表示ラインではSF1₁~SF2₈、SF3₁、

第(8N-1)表示ラインではSF1₁~SF2₈、SF3₁~SF3₆、

第(8N)表示ラインではSF1₁~SF2₈、SF3₁~SF3₃、

各々のサスティン行程Iにおいて放電セルが連続してサスティン放電する。

【0053】

すなわち、[0001]なる画素駆動データGDに応じた第4階調駆動によれば、各放電セルは、1フィールド表示期間を通して生起された上記サスティン放電に伴う発光の期間に対応した輝度レベル、つまり、図16に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「24」、

20

第(8N-6)表示ラインに配置されている放電セルは輝度レベル「21」、

第(8N-5)表示ラインに配置されている放電セルは輝度レベル「18」、

第(8N-4)表示ラインに配置されている放電セルは輝度レベル「23」、

第(8N-3)表示ラインに配置されている放電セルは輝度レベル「20」、

第(8N-2)表示ラインに配置されている放電セルは輝度レベル「17」、

第(8N-1)表示ラインに配置されている放電セルは輝度レベル「22」、

第(8N)表示ラインに配置されている放電セルは輝度レベル「19」、

にて夫々発光する。

【0054】

又、最高輝度を表す[0000]なる画素駆動データGDが供給された場合には、下記の如き第5階調駆動に基づく発光表示が為される。つまり、画素駆動データGDのいずれのビットも論理レベル0であることから、1フィールド表示期間を通して消去放電が一切生起されない。よって、放電セルは、SF1₁~SF1₈、SF2₁~SF2₈、SF3₁~SF3₈、及びSF4各々のサスティン行程Iにおいて連続して放電発光する。

30

【0055】

すなわち、[0000]なる画素駆動データGDに応じた第5階調駆動によれば、各放電セルは、1フィールド表示期間を通して生起された上記サスティン放電に伴う発光の期間に対応した輝度レベル、つまり、図16に示す如く、

第(8N-7)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N-6)表示ラインに配置されている放電セルは輝度レベル「25」、

40

第(8N-5)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N-4)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N-3)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N-2)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N-1)表示ラインに配置されている放電セルは輝度レベル「25」、

第(8N)表示ラインに配置されている放電セルは輝度レベル「25」、

にて夫々発光する。

【0056】

このように、上記駆動においては、[1000]、[0100]、[0010]、[0001]、又は[0000]なる5通りの画素駆動データGDに応じて、5段階分の輝度を

50

表現し得る第1～第5階調駆動が実施される。この際、隣接する8つの表示ライン各々に異なる輝度の重み付けをもたせ、第1～第5階調駆動毎に、その輝度重み付けに対応した輝度レベルにて隣接する8つの表示ライン各を異なる輝度レベルで駆動するようにしている。

【0057】

例えば、図6(a)に示す如き第1フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「8」、
第(8N-6)表示ライン：「5」、
第(8N-5)表示ライン：「2」、
第(8N-4)表示ライン：「7」、
第(8N-3)表示ライン：「4」、
第(8N-2)表示ライン：「1」、
第(8N-1)表示ライン：「6」、
第(8N)表示ライン：「3」、

の如き輝度の重み付けが割り当てられている。

【0058】

又、図6(b)に示す如き第2フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「4」、
第(8N-6)表示ライン：「1」、
第(8N-5)表示ライン：「6」、
第(8N-4)表示ライン：「3」、
第(8N-3)表示ライン：「8」、
第(8N-2)表示ライン：「5」、
第(8N-1)表示ライン：「2」、
第(8N)表示ライン：「7」、

の如き輝度の重み付けが割り当てられている。

【0059】

又、図6(c)に示す如き第3フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「6」、
第(8N-6)表示ライン：「3」、
第(8N-5)表示ライン：「8」、
第(8N-4)表示ライン：「5」、
第(8N-3)表示ライン：「2」、
第(8N-2)表示ライン：「7」、
第(8N-1)表示ライン：「4」、
第(8N)表示ライン：「1」、

の如き輝度の重み付けが割り当てられている。

【0060】

又、図6(d)に示す如き第4フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「2」、
第(8N-6)表示ライン：「7」、
第(8N-5)表示ライン：「4」、
第(8N-4)表示ライン：「1」、
第(8N-3)表示ライン：「6」、
第(8N-2)表示ライン：「3」、
第(8N-1)表示ライン：「8」、

第(8N)表示ライン：「5」、
の如き輝度の重み付けが割り当てられている。

【0061】

又、図7(e)に示す如き第5フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「7」、
第(8N-6)表示ライン：「4」、
第(8N-5)表示ライン：「1」、
第(8N-4)表示ライン：「6」、
第(8N-3)表示ライン：「3」、
第(8N-2)表示ライン：「8」、
第(8N-1)表示ライン：「5」、
第(8N)表示ライン：「2」、

10

の如き輝度の重み付けが割り当てられている。

【0062】

又、図7(f)に示す如き第6フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「3」、
第(8N-6)表示ライン：「8」、
第(8N-5)表示ライン：「5」、
第(8N-4)表示ライン：「2」、
第(8N-3)表示ライン：「7」、
第(8N-2)表示ライン：「4」、
第(8N-1)表示ライン：「1」、
第(8N)表示ライン：「6」、

20

の如き輝度の重み付けが割り当てられている。

【0063】

又、図7(g)に示す如き第7フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「5」、
第(8N-6)表示ライン：「2」、
第(8N-5)表示ライン：「7」、
第(8N-4)表示ライン：「4」、
第(8N-3)表示ライン：「1」、
第(8N-2)表示ライン：「6」、
第(8N-1)表示ライン：「3」、
第(8N)表示ライン：「8」、

30

の如き輝度の重み付けが割り当てられている。

【0064】

又、図7(h)に示す如き第8フィールドの発光駆動シーケンスに従った駆動では、隣接する8つの表示ライン各々には、

第(8N-7)表示ライン：「1」、
第(8N-6)表示ライン：「6」、
第(8N-5)表示ライン：「3」、
第(8N-4)表示ライン：「8」、
第(8N-3)表示ライン：「5」、
第(8N-2)表示ライン：「2」、
第(8N-1)表示ライン：「7」、
第(8N)表示ライン：「4」、

40

の如き輝度の重み付けが割り当てられている。

50

【 0 0 6 5 】

従って、

図 6 (a) の発光駆動シーケンスに従った駆動では図 8 、
 図 6 (b) の発光駆動シーケンスに従った駆動では図 9 、
 図 6 (c) の発光駆動シーケンスに従った駆動では図 1 0 、
 図 6 (d) の発光駆動シーケンスに従った駆動では図 1 1 、
 図 7 (e) の発光駆動シーケンスに従った駆動では図 1 2 、
 図 7 (f) の発光駆動シーケンスに従った駆動では図 1 3 、
 図 7 (g) の発光駆動シーケンスに従った駆動では図 1 4 、
 図 7 (h) の発光駆動シーケンスに従った駆動では図 1 5 、
 なる発光駆動パターンにて示されるように、隣接する 8 つの表示ライン各々に属する放電セルを、上記重み付けに基づき夫々異なる輝度レベルで発光させるのである。

10

【 0 0 6 6 】

次に、入力映像信号に応じて為される実際の駆動動作について、図 6 (a) に示す如き第 1 フィールドでの駆動を例にとって説明する。

例えば、隣接する 8 つの表示ライン各々に属する 1 列分の放電セルに対応した 6 ビットの画素データ P D がいずれも [0 1 0 1 0 0] である場合、ラインディザオフセット値生成回路 2 1 は、図 1 7 に示す如く、各表示ラインに対応した画素データ P D の各々に図 4 (a) に示す如きラインディザオフセット値 L D を夫々加算する。かかるラインディザオフセット値 L D の加算により、図 1 7 に示す如く各表示ライン毎に、

20

第 (8 N - 7) 表示ライン： [0 1 0 1 0 0] 、
 第 (8 N - 6) 表示ライン： [0 1 0 1 1 1] 、
 第 (8 N - 5) 表示ライン： [0 1 1 0 1 0] 、
 第 (8 N - 4) 表示ライン： [0 1 0 1 0 1] 、
 第 (8 N - 3) 表示ライン： [0 1 1 0 0 0] 、
 第 (8 N - 2) 表示ライン： [0 1 1 0 1 1] 、
 第 (8 N - 1) 表示ライン： [0 1 0 1 1 0] 、
 第 (8 N) 表示ライン： [0 1 1 0 0 1] 、

なるラインオフセット加算画素データ L F が得られる。

【 0 0 6 7 】

下位ビット切り捨て回路 2 3 は、これらラインオフセット加算画素データ L F 各々の下位 3 ビット分を切り捨て、残りの上位 3 ビット分を多階調化画素データ M D として得る。すなわち、隣接する 8 つの表示ライン各々に対応して図 1 7 に示すように、

30

第 (8 N - 7) 表示ライン： [0 1 0] 、
 第 (8 N - 6) 表示ライン： [0 1 0] 、
 第 (8 N - 5) 表示ライン： [0 1 1] 、
 第 (8 N - 4) 表示ライン： [0 1 0] 、
 第 (8 N - 3) 表示ライン： [0 1 1] 、
 第 (8 N - 2) 表示ライン： [0 1 1] 、
 第 (8 N - 1) 表示ライン： [0 1 0] 、
 第 (8 N) 表示ライン： [0 1 1] 、

40

なる多階調化画素データ M D が得られる。この際、かかる多階調化画素データ M D は駆動データ変換回路 3 によって下記の如き 5 ビットの画素駆動データ G D に変換される。

【 0 0 6 8 】

第 (8 N - 7) 表示ライン： [0 0 1 0] 、
 第 (8 N - 6) 表示ライン： [0 0 1 0] 、
 第 (8 N - 5) 表示ライン： [0 0 0 1] 、
 第 (8 N - 4) 表示ライン： [0 0 1 0] 、
 第 (8 N - 3) 表示ライン： [0 0 0 1] 、
 第 (8 N - 2) 表示ライン： [0 0 0 1] 、

50

第(8N-1)表示ライン:[0010]、

第(8N)表示ライン:[0001]、

従って、図8に示す如き発光駆動パターンにより、これら隣接する8つの表示ライン各々に属する放電セルは、

第(8N-7)表示ラインに配置されている放電セルは「16」、

第(8N-6)表示ラインに配置されている放電セルは「13」、

第(8N-5)表示ラインに配置されている放電セルは「18」、

第(8N-4)表示ラインに配置されている放電セルは「15」、

第(8N-3)表示ラインに配置されている放電セルは「20」、

第(8N-2)表示ラインに配置されている放電セルは「17」、

第(8N-1)表示ラインに配置されている放電セルは「14」、

第(8N)表示ラインに配置されている放電セルは「19」、

なる輝度レベルにて夫々発光駆動される。

【0069】

この際、8つの表示ライン各々における輝度レベルを平均した輝度レベルが視覚されることになる。

以上の如く、図3に示されるプラズマディスプレイ装置においては、隣接する8つの表示ライン毎に、各表示ラインに対応した画素データPDに夫々異なるラインディザオフセット値LDを加算すると共に、隣接する8つの表示ラインに夫々異なる輝度の重み付けをもたせて発光駆動している。かかる駆動により、隣接する表示ライン間において輝度差を生じさせる、いわゆるラインディザ処理を実施する。

【0070】

ここで、上記ラインディザ処理では、PDP100内において、互いに隣接する表示ライン間での輝度差の偏倚を略均一とすべく、その偏倚量を所定値以内に収まるように制限している。例えば、[010100]なる画素データPDが供給された場合には、図17に示す如く、

第(8N-7)及び第(8N-6)表示ライン間の輝度差は「3」、

第(8N-6)及び第(8N-5)表示ライン間の輝度差は「5」、

第(8N-5)及び第(8N-4)表示ライン間の輝度差は「3」、

第(8N-4)及び第(8N-3)表示ライン間の輝度差は「5」、

第(8N-3)及び第(8N-2)表示ライン間の輝度差は「3」、

第(8N-2)及び第(8N-1)表示ライン間の輝度差は「3」、

第(8N-1)及び第(8N)表示ライン間の輝度差は「5」、

となり、輝度差の偏倚は「2」である。

【0071】

尚、その他の画素データPDが供給された場合にも同様に、互いに隣接する表示ライン間での輝度差の偏倚は「2」以内になっている。

例えば図8に示される発光駆動パターンによれば、隣接する8つの表示ライン各々に属する放電セルは、夫々、図16に示す如き5階調分の輝度レベルで発光することになる。この際、本発明によるラインディザ処理では、画素データPDにラインディザオフセット値LDを加算することにより、ある表示ラインを第k階調駆動(k=1、2、3、4、5)する際には、その隣接表示ラインを第k階調駆動又は第(k+1)階調駆動するようにしている。よって、例えば、第(8N-7)表示ラインに配置されている放電セルを第3階調駆動によって輝度レベル「16」にて発光駆動する際には、第(8N-6)表示ラインに配置されている放電セルは第3階調駆動によって輝度レベル「13」にて発光、又は第4階調駆動によって輝度レベル「21」にて発光駆動される。従って、第(8N-6)表示ラインに配置されている放電セルが第3階調駆動される場合には第(8N-7)表示ラインとの輝度差は「3」、一方、第4階調駆動される場合にはその輝度差は「5」となり、両者の偏倚は「2」となる。

【0072】

10

20

30

40

50

このように、ラインディザ処理を実施するにあたり、互いに隣接する表示ライン間での輝度差の偏倚量を所定範囲内に制限させることにより、輝度の偏りの少ない高品質なディザ表示を実現しているのである。

更に、本発明によるラインディザ処理においては、入力映像信号における第1～第8フィールドを1サイクルとして、図18に示す如く各フィールド毎に、隣接する8つの表示ライン各々に対するラインディザ処理の重み付けを変更するようにしている。

【0073】

すなわち、

「0」なるラインディザオフセット値LDを画素データPDに加算すると共に「8」なる輝度重み付けに対応した発光駆動を行う第1ラインディザ処理、

10

「1」なるラインディザオフセット値LDを画素データPDに加算すると共に「7」なる輝度重み付けに対応した発光駆動を行う第2ラインディザ処理、

「2」なるラインディザオフセット値LDを画素データPDに加算すると共に「6」なる輝度重み付けに対応した発光駆動を行う第3ラインディザ処理、

「3」なるラインディザオフセット値LDを画素データPDに加算すると共に「5」なる輝度重み付けに対応した発光駆動を行う第4ラインディザ処理、

「4」なるラインディザオフセット値LDを画素データPDに加算すると共に「4」なる輝度重み付けに対応した発光駆動を行う第5ラインディザ処理、

「5」なるラインディザオフセット値LDを画素データPDに加算すると共に「3」なる輝度重み付けに対応した発光駆動を行う第6ラインディザ処理、

20

「6」なるラインディザオフセット値LDを画素データPDに加算すると共に「2」なる輝度重み付けに対応した発光駆動を行う第7ラインディザ処理、

「7」なるラインディザオフセット値LDを画素データPDに加算すると共に「1」なる輝度重み付けに対応した発光駆動を行う第8ラインディザ処理、

各々の各表示ラインに対する割り当てをフィールド毎に変更しているのである。

【0074】

例えば、図18に示す如く第1フィールドでは、

第(8N-7)表示ライン：第1ラインディザ処理、

第(8N-6)表示ライン：第4ラインディザ処理、

第(8N-5)表示ライン：第7ラインディザ処理、

30

第(8N-4)表示ライン：第2ラインディザ処理、

第(8N-3)表示ライン：第5ラインディザ処理、

第(8N-2)表示ライン：第8ラインディザ処理、

第(8N-1)表示ライン：第3ラインディザ処理、

第(8N)表示ライン：第6ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0075】

又、第2フィールドでは、

第(8N-7)表示ライン：第5ラインディザ処理、

第(8N-6)表示ライン：第8ラインディザ処理、

40

第(8N-5)表示ライン：第3ラインディザ処理、

第(8N-4)表示ライン：第6ラインディザ処理、

第(8N-3)表示ライン：第1ラインディザ処理、

第(8N-2)表示ライン：第4ラインディザ処理、

第(8N-1)表示ライン：第7ラインディザ処理、

第(8N)表示ライン：第2ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0076】

又、第3フィールドでは、

第(8N-7)表示ライン：第3ラインディザ処理、

50

第(8N-6)表示ライン：第6ラインディザ処理、
第(8N-5)表示ライン：第1ラインディザ処理、
第(8N-4)表示ライン：第4ラインディザ処理、
第(8N-3)表示ライン：第7ラインディザ処理、
第(8N-2)表示ライン：第2ラインディザ処理、
第(8N-1)表示ライン：第5ラインディザ処理、
第(8N)表示ライン：第8ラインディザ処理、
の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0077】

又、第4フィールドでは、

第(8N-7)表示ライン：第7ラインディザ処理、
第(8N-6)表示ライン：第2ラインディザ処理、
第(8N-5)表示ライン：第5ラインディザ処理、
第(8N-4)表示ライン：第8ラインディザ処理、
第(8N-3)表示ライン：第3ラインディザ処理、
第(8N-2)表示ライン：第6ラインディザ処理、
第(8N-1)表示ライン：第1ラインディザ処理、
第(8N)表示ライン：第4ラインディザ処理、
の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0078】

又、第5フィールドでは、

第(8N-7)表示ライン：第2ラインディザ処理、
第(8N-6)表示ライン：第5ラインディザ処理、
第(8N-5)表示ライン：第8ラインディザ処理、
第(8N-4)表示ライン：第3ラインディザ処理、
第(8N-3)表示ライン：第6ラインディザ処理、
第(8N-2)表示ライン：第1ラインディザ処理、
第(8N-1)表示ライン：第4ラインディザ処理、
第(8N)表示ライン：第7ラインディザ処理、
の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0079】

又、第6フィールドでは、

第(8N-7)表示ライン：第6ラインディザ処理、
第(8N-6)表示ライン：第1ラインディザ処理、
第(8N-5)表示ライン：第4ラインディザ処理、
第(8N-4)表示ライン：第7ラインディザ処理、
第(8N-3)表示ライン：第2ラインディザ処理、
第(8N-2)表示ライン：第5ラインディザ処理、
第(8N-1)表示ライン：第8ラインディザ処理、
第(8N)表示ライン：第3ラインディザ処理、
の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0080】

又、第7フィールドでは、

第(8N-7)表示ライン：第4ラインディザ処理、
第(8N-6)表示ライン：第7ラインディザ処理、
第(8N-5)表示ライン：第2ラインディザ処理、
第(8N-4)表示ライン：第5ラインディザ処理、
第(8N-3)表示ライン：第8ラインディザ処理、
第(8N-2)表示ライン：第3ラインディザ処理、
第(8N-1)表示ライン：第6ラインディザ処理、

10

20

30

40

50

第(8N)表示ライン：第1ラインディザ処理、
の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0081】

又、第8フィールドでは、

第(8N-7)表示ライン：第8ラインディザ処理、
第(8N-6)表示ライン：第3ラインディザ処理、
第(8N-5)表示ライン：第6ラインディザ処理、
第(8N-4)表示ライン：第1ラインディザ処理、
第(8N-3)表示ライン：第4ラインディザ処理、
第(8N-2)表示ライン：第7ラインディザ処理、
第(8N-1)表示ライン：第2ラインディザ処理、
第(8N)表示ライン：第5ラインディザ処理、

の如く第1～第8ラインディザ処理が各表示ラインに割り当てられる。

【0082】

この際、本発明においては、各ラインディザ処理が割り当てられるべき表示ラインは、各フィールド毎に画面の上方に位置する表示ライン及び下方に位置する表示ラインに交互に変更されるようになっている。

例えば、図18において、「4」なるラインディザオフセット値LDを画素データPDに加算すると共に「4」なる輝度重み付けに対応した発光駆動を行う第5ラインディザ処理は、第1フィールドでは第(8N-3)表示ラインに割り当てられている。ところが第2フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-3)表示ラインよりも画面の下方に位置する第(8N-7)表示ラインに対して施されることになる。又、第3フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-7)表示ラインより画面の上方に位置する第(8N-1)表示ラインに対して施されることになる。又、第4フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-1)表示ラインより画面の下方に位置する第(8N-5)表示ラインに対して施されることになる。又、第5フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-5)表示ラインより画面の上方に位置する第(8N-6)表示ラインに対して施されることになる。又、第6フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-6)表示ラインより画面の下方に位置する第(8N-2)表示ラインに対して施されることになる。又、第7フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-2)表示ラインより画面の上方に位置する第(8N-4)表示ラインに対して施されることになる。又、第8フィールドでは第5ラインディザ処理は、矢印にて示す如くこの第(8N-4)表示ラインより画面の下方に位置する第(8N)表示ラインに対して施されることになる。

【0083】

これにより、PDP100の画面に表示されている映像の鑑賞者がその視線を画面内においてずらしても、この間、同一輝度で発光する画素を連続して眺める可能性が低くなるので、疑似輪郭の視覚されにくい良好なディザ表示が為されるようになる。

尚、上述の実施例では、8ライン飛ばしで8つの表示ライン群に分け、それに対応してサブフィールドSF(k)を8つの下位サブフィールドSF(k)₁～SF(k)₈に分割して8ラインディザ処理を実施する構成を示したが分割数は8つに限ぎらず、4分割、6分割等いずれでも良い。例えば、4分割する場合、4ライン飛ばしで、

第(4N-3)表示ライン、
第(4N-2)表示ライン、
第(4N-1)表示ライン、
第(4N)表示ライン、

の如き4つの表示ライン群に分け、それに対応してサブフィールドSF(k)を4つのサブフィールドSF(k)₁～SF(k)₄に分割して4ラインディザ処理を実施する構成とする。この場合、ラインディザオフセット値は4つの異なる値に設定される。

【図面の簡単な説明】

【図 1】サブフィールド法に基づく発光駆動シーケンスの一例を示す図である。

【図 2】図 1 に示される発光駆動シーケンスに基づいて駆動される各放電セルの 1 フィールド期間内での発光駆動パターンの一例を示す図である。

【図 3】本発明による表示パネルの駆動装置を搭載したプラズマディスプレイ装置の構成を示す図である。

【図 4】ラインディザオフセット値 LD の一例を示す図である。

【図 5】図 3 に示される駆動データ変換回路 3 におけるデータ変換テーブルを示す図である。

【図 6】第 1 フィールド～第 4 フィールドでの発光駆動シーケンスの一例を示す図である

10

【図 7】第 5 フィールド～第 8 フィールドでの発光駆動シーケンスの一例を示す図である

【図 8】図 6 (a) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である

【図 9】図 6 (b) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である

【図 10】図 6 (c) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図 11】図 6 (d) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

20

【図 12】図 7 (e) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図 13】図 7 (f) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図 14】図 7 (g) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図 15】図 7 (h) に示す発光駆動シーケンスに基づく発光駆動パターンを示す図である。

【図 16】各表示ライン毎に第 1 ～第 5 階調駆動各々による輝度レベルを表す図である。

30

【図 17】[0 1 0 1 0 0] なる画素データ PD が供給された場合におけるラインディザ処理の動作を説明する為の図である。

【図 18】各表示ラインに対するラインディザの重み付けの遷移を表す図である。

【主要部分の符号の説明】

- 2 多階調化処理回路
- 3 駆動データ変換回路
- 6 駆動制御回路
- 2 1 ラインディザオフセット値生成回路
- 1 0 0 PDP

【 図 13 】

表示ライン 0 1 2 3	表示ライン								表示ライン								表示ライン 0 1 2 3				
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7					
0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	0
1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0

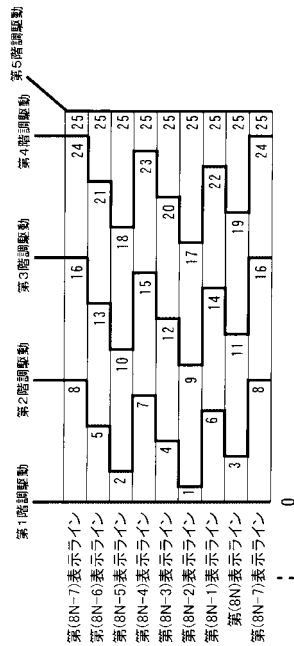
【 図 14 】

表示ライン 0 1 2 3	表示ライン								表示ライン								表示ライン 0 1 2 3				
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7					
0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	0
1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0

【 図 15 】

表示ライン 0 1 2 3	表示ライン								表示ライン								表示ライン 0 1 2 3				
	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7					
0	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	●	0
1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
2	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0
3	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	0

【 図 16 】



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 1 0 1 B

(72)発明者 本田 広史
東京都大田区大森西4丁目15番5号 パイオニア株式会社内

(72)発明者 長久保 哲朗
東京都大田区大森西4丁目15番5号 パイオニア株式会社内

審査官 橋本 直明

(56)参考文献 特開平10-149132(JP,A)
特開平09-258689(JP,A)
特開平06-295160(JP,A)
国際公開第01/071702(WO,A1)
特開平07-295508(JP,A)
特開平06-301353(JP,A)
特開平06-295161(JP,A)
特開平06-282242(JP,A)
特開平08-286634(JP,A)
特開平09-081072(JP,A)
特開2000-188702(JP,A)
特開2001-092404(JP,A)
特開2001-350446(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/28
G09G 3/20
G09G 5/00
H04N 5/66