[19]中华人民共和国国家知识产权局

[51]Int.Cl[7]
H04N 5/44
H03K 19/01
H03G 3/20

[12]发明专利说明书

[21] ZL 专利号 91103192.8

[45]授权公告日 2000 年 3 月 15 日

[11]授权公告号 CN 1050485C

[22]申请日 1991.5.6 [24]颁证日 1999.12.10
[21]申请号 91103192.8
[30]优先权
[32]1990.5.7 [33]US [31]520,204
[73]专利权人 汤姆森消费电子有限公司
地址 美国印第安纳州
[72]发明人 B·A·坎菲尔德 R·T·弗林
[56]参考文献
US3,916,327 1975.10.28 H03G3/20
审查员 宋焰琴

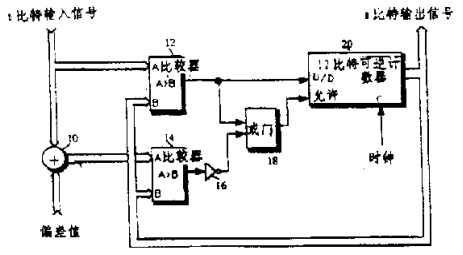
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 吴增勇 曹济洪

权利要求书 3 页 说明书 7 页 附图页数 3 页

[54]发明名称 信号参数调整装置

[57]摘要

信号时间常数控制装置包括可逆计数器 20 以计数时钟信号脉冲。此计数值被 用作为输出信号。此输出信号与输入信号比较以提供决定计数器向上或向下计数的第一控制信号。输出信号与偏离一个固定值的输入信号比较,以提供一个 与第一控制信号"或"逻辑的信号,而此"或"信号被用来使计数器"允许" /"不允许"工作。将一固定偏差值加到将被比较的输入信号上可解除该系统 在相对固定振幅输入信号的时段期间交替加/减 1 的计数。



ISSN1008-4274

权 利 要 求 书

1．一种信号调整装置，包括:

一个用以接收输入信号值的输入端;

一个用以提供输出信号值的输出端;

用以提供一个第一信号的装置(12)，响应所述输入和输出信号值，以在该输入信号值分别大于或小于该输出信号值时提供具有第一或第二状态的第一信号;

用以提供一个第二信号的另一装置(10，14，16; 400)，响应所述输入信号值和所述输出信号值，以提供第二信号;

所述第二信号在所述输入信号值大于所述输出信号值一个预定的偏差值时呈现所述第二状态，反之则呈现所述第一状态;

确定装置(18)，用以确定所述第一或第二信号是否呈现一预定的所述第一或第二状态之一;

存储装置（20)，用以储存输出信号值，该装置响应由所述第一信号呈现的状态和所述确定装置的输出，以增加或减小所述输出值;

其特征在于:

所述确定装置（18）是一个逻辑或门，以对所述第一和第二信号进行“或”运算，产生一个“或”运算后的信号; 以及

所述存储装置(20)是一个可逆计数器，该计数器能响应呈现一预定状态的所述“或”运算后的信号而增加或减小计数值，且在所述第一信号呈现一预定的所述第一和第二状态之一时直接由所述第一信号调整而增加所述计数值，而在所述第一信号呈现所述第一和第二状态的另一状态时减小所述计数值。

2. 根据权利要求 1 所述的信号调整装置，其特征在于，上述用以在该输入信号值分别大于或小于上述输出信号值时提供具有第一或第二状态的第一信号的装置包括一个“具有第一和第二输入端以分别施加上述输入及输出信号的”比较器，并且被安排得仅在上述输入信号值大于该输出信号值时提供一个逻辑高输出值。

3. 根据权利要求 1 所述的信号调整装置，其特征在于，上述的“用以在上述偏差输入信号值分别大于或小于上述输出信号值时提供一个具有第二或第一状态的第二信号的”装置包括:

一个“具有第一和第二输入端用以分别施加该偏差输入及输出信号的”比较器，并且被安排得仅在上述输入信号值大于上述输出信号值时提供一个逻辑高的输出值；以及

耦合到该比较器上用以将上述比较器提供的输出值反相以产生上述第二信号的装置.

4. 根据权利要求 1 所述的调整装置，其特征在于，该调整装置用以调整一个二进制信号，其中

所述输入端用以接收一个二进制输入信号;

所述输出端用以提供一个二进制输出信号；并且

该调整装置还包括:

一个二进制偏差信号源;

耦合到该输入端和该信号源的装置，用以对上述二进制偏差信号和上述二进制输入信号进行求和运算，以提供一个二进制偏差输入信号;

一个第一比较器，具有第一及第二输入端，用以分别施加所述二进制输入和二进制输出信号，并且被安排得仅在该二进制输入信号值大于该二进制输出信号值时提供一个逻辑高输出值;

一个第二比较器，具有第一及第二输入端，用以分别施加所述二进制偏差输入和二进制输出信号，并且安排得仅在该二进制偏差输入信号值大于该二进制输出信号值时提供一个逻辑高输出值:

耦合到上述第二比较器以将该第二比较器提供的输出值反相的装置;

一个或门电路，用以对上述第一比较器和用以反相的上述装置所提供的信号进行“或”运算，以产生一个“允许”信号;

一个可逆计数器，具有耦合到上述第一比较器的一个U / D控制端、耦合到该或门电路的一个“允许”端、一个用以接收时钟信

号的时钟输入端、以及耦合到所述输出端的一个计数输出端。

说　明　书

信号参数调整装置

本发明涉及对控制信号参数变化进行控制的电路.

许多诸如电视接收器、视频盒式录像机，音频信号处理器之类的系统产生控制信号来调节该系统，以对发生在振幅或频率参数范围内的输入信号进行可靠操作．电视接收器中的这种控制信号就是一个例子，它包括自动增益控制(AGC) 信号及自动色度控制(ACC) 信号．这些控制信号一般是在一个闭环子系统内产生的，该闭环系统包括例如一个增益控制元件，该元件具有一个输入端以接收待控制的信号以及一个输出端，可在该输出端上得出已控参数输入信号．控制信号是由响应该已控制输出信号的装置产生的，用以相对于一参考值计量该信号的一个特定参数，并产生例如用以控制该控制元件的一个差值。

在许多系统中并不希望把控制信号的突然变化即时地加到信号控制元件上，因为突然的信号变化会产生不利的影响．例如，自动增益控制信号的突然变化会在重放的视频图像中产生闪烁．因此，控制信号通常经一个低通滤波器耦合到信号控制元件上。

美国专利 US－A－3916327 提出了一种使用比较电路和可逆计数器的可变输出分压装置的方案.

最近，前述的许多系统用数字硬件来实施，其中信号以二进制信号格式来处理（这里所述的“二进制信号”是指定义代表一个信号的一个参数（如振幅）所用的数码和以多个 1 和多个 0 形成的取样数据信号，并且还试图包括二进制信号、 2 的补码信号、ＢＣＤ信号、葛莱码信号等等）．在处理二进制格式的信号时，对于各种原因用模拟电路的简单数字模拟的电路形式来实现某些处理功能是不便利的．具有长时间常数的数字式低通滤波器就是一个例子，该滤波器需要许多取样值延迟元件、加重电路以及数字式求和电路。

本发明的目的在于提供一种控制参数变化的控制信号，使之可消除各种急剧的变化，以避免控制电路有不良的输出效应。

为实现上述目的，本发明提供了一种信号调整装置，它包括：

一个用以接收输入信号值的输入端；

一个用以提供输出信号值的输出端；

用以提供一个第一信号的装置，响应所述输入和输出信号值，以在该输入信号值分别大于或小于该输出信号值时提供具有第一或第二状态的第一信号；

用以提供一个第二信号的另一装置，响应所述输入信号值和所述输出信号值，以提供第二信号；

所述第二信号在所述输入信号值大于所述输出信号值一个预定的偏差值时呈现所述第二状态，反之则呈现所述第一状态；

确定装置，用以确定所述第一或第二信号是否呈现一预定的所述第一或第二状态之一；

存储装置，用以储存输出信号值，该装置响应由所述第一信号呈现的状态和所述确定装置的输出，以增加或减小所述输出值；

其特征在于：

所述确定装置是一个逻辑或门，以对所述第一和第二信号进行“或”运算，产生一个“或”运算后的信号；以及

所述存储装置是一个可逆计数器，该计数器能响应呈现一预定状态的所述“或”运算后的信号而增加或减小计数值，且在所述第一信号呈现一预定的所述第一和第二状态之一时直接由所述第一信号调整而增加所述计数值，而在所述第一信号呈现所述第一和第二状态的另一状态时减小所述计数值。

本发明包括用以控制一个信号的一个参数（诸如时间常数）的电路。该电路包括用以加或减对应于具有已控时间常数的一个输出信号的存储值的装置。响应该输出信号及输入信号的比较器电路。调整该用以加或减存储值的装置以预定的速率来有选择性地加或减该存储值。

图 1 和图 2 示出体现本发明的交替数字信号调整电路的方块图;

图 3 示出为理解本发明操作用的波形图; 以及

图 4 示出体现本发明的一个模拟控制信号调整电路的局部方块图及局部原理图.

图 1 示出调整信号装置的一个数字式实施例. 在图 1 中, 假定待调整的“输入信号”是按N比特并行的比特格式编排的, 还假定已调整的信号“输出”是按N比特并行的比特格式编排的. 此输出信号是由一个P比特可逆计数器 20 (P ≥ N) 产生的, 但由计数器 20 提供的计数值中仅N个最高有效位在输出信号中得到利用.

上述输入信号加到比较器 12 的一个输入端A上, 上述输出信号耦合到比较器 12 的第二输入端B上. 每当该输入信号大于该输出信号时, 比较器 12 提供一个逻辑 1 输出信号值. 反之, 则提供一个逻辑 0 输出值. 由比较器 12 所提供的逻辑电平被耦合到计数器 20 上/下控制端 (U / D) 上. 逻辑 1 及 0 的U / D控制值调整该计数器 20 分别向上及向下计数.

该输入信号还耦合到信号加法器 10 上. 一个固定值的偏差数目加到信号加法器的第二输入端上. 信号加法器 10 提供一个等于输入信号与偏差数之和的输出信号. 名义上, 一个安排到和数字N比特值的信号加法器具有一个 (N + 1) 比特输出端. 但该信号加法器所提供的输出信号中仅N个最高有效值被利用. 该偏差数目是相当小的值 (例如 2 到 6).

由信号加法器 10 提供的输出信号被耦合到比较器 14 的一个输入端A上, 而输出信号耦合到其第二输入端B上. 每当加法器 10 提供的信号大于该输出信号时, 比较器 14 提供逻辑 1 输出值, 反之, 提供逻辑 0 输出值. 由比较器 14 提供的输出信号加到反相器 16 上, 其中逻辑值被反相(互补) .

比较器 12 及反相器 16 的输出信号被分别耦合到两输入端或门 18 的各自相关输入端上. 或门 18 提供的输出信号为逻辑 1 值时允许该

计数器加／减计数，而当其是逻辑 0 值时使该计数器解除加／减计数。

一个时钟信号加到计数器 20 的时钟输入端C上，当计数器 20 许可工作时，计数器 20 每个时钟脉冲对其目前计数值加／减 1..假设计数器 20 一个 12 比特计数器，而且N=7，则N比特输出信号至多在每 32 个时钟脉冲加／减 1. 时间常数（亦即，输出信号的转换速率）由时钟信号的频率决定. 因此，时钟信号的频率是一个设计选定值.

图 1 电路的操作将参照图 3 的信号波形来描述. 参考图 3，为了方便，该输入信号和该输出信号是以模拟形式画出的. 假设输入信号的取样速率比加到计数器的进钟信号的频率大得多. 还假设P等于N，也就是说，计数器 20 是一个N比特计数器. 于是，在当计数器被允许工作时，该输出信号将为每个时钟信号加／减计数. 信号“输入”耦合到比较器 12 的A输入端上，信号“输入加偏差”耦合到比较器 14 的A输入端上. 信号“输出”耦合到比较器 12 及 14 的各自相应的B输入端上. 波形“A > B 12”及“A > B 14”分别是比较器 12 及 14 对给定的输入信号提供的输出信号. 波形“允许”是由或门 18 提供的输出信号.

在时刻 t_1-t_4 时，计数器 20 被允许工作而比较器 12 的输出是高电平. 在此时段期间，计数器 20 被调定以每个信号时钟周期对其计数值加 1 . 可以看出，信号“输出”以与信号“输入”的转换率相比要相当慢的速率正向地转换.

在时刻 t_5-t_{10} 时，计数器 20 再次地被允许工作，然而在此时段期间比较器 12 输出是低电平，于是计数器 20 被调定得使其计数值减值. 信号“输出”按每个时钟信号周期减 1，产生了与信号“输入”的转换率相比要长得多的一个负向转换率. 在“允许”信号是低电平的所有的其他时刻上，解除计数器加或减的计数. 在这些时刻期间，最后的计数值存储在该计数器内.

比较器 12 允许该计数器工作以跟随正向输入信号变化，而比较

器 14 加上反相器 16 允许该计数器追随负向输入信号变化。在耦合到比较器 14 的输入信号上施加的偏差值与之合并，以当输入信号为一个较固定的数值（例如在时间 t_4 及 t_5 之间）时解除该系统交替地加、减 1。

如图 1 及图 3 所示，信号“输出”的正向和反向转换率是相等的。可藉助在加和减计数的时段期间有选择性地给计数器施加不同频率的时钟信号，以使上述两转换率不相等。比较器 12 的输出信号可用以在即将施加到计数器的两个时钟信号之间做选择。

如图 3 所示，因为假设P 等于N，所以输出信号在每个时钟周期加／减 1。此外，P 比N 多Q 比特，此输出信号将在每 2Q 时钟周期加／减 1。

图 2 所示的装置类似于图 1 所示的装置，但除了信号偏差施加在耦合到比较器 14 的输出信号上而不是到施加到比较器 14 的输入信号上以外。图 2 中，偏差值及输出信号分别耦合到减法器 400 的减数及被减数输入端上，其中固定的偏差值要从输出信号中减去。“输出信号减去由减法器产生的偏差值”耦合到比较器 14 的B 输入端上。此电路的运算类似于根据图 1 电路所描述的运算。

同时参考图 1 及图 2 的电路，如果输入信号的动态范围包含了能由N 比特信号代表的全部可能值，则可以理解信号加法器 10 及减法器 400 的输出值可溢出和下溢。溢出和下溢必须被防止，否则该电路将产生错误的结果。这一点可藉助将加法器 10 或减法器 400 所提供的输出值箝位到在溢出和／或下溢发生时的时段期间对应于其动态范围极限的数值上来完成。这种电路对数字信号处理领域里的技术人员而言是众所皆知的，这里不再赘述。

图 4 示出本发明的一个模拟型实施例。这个电路可使用在需要提供一个相当长的时间常数的信号的集成电路上。该电路比简单的低通滤波器更有利，因其利用一个相当低值的电容器这可以以集成形式来实现。

在图 4 中，模拟输入信号被耦合到端子 200 上，而偏差值 Vref

被耦合到端子 201 上. 输出信号可从连接点 220 上得到. 输入及输出信号耦合到对应于图 1 中比较器 12 的比较器 208 的各自相应的输入端上. 输入信号及偏差值经电阻器R1 及R2 加到节点 202 上. 电阻器R1 、R2 、R7 以及放大器 204 和 206 形成一个电压求和网路. 电阻器R1 、R2 及R7 具有相同阻值. 假定放大器 204 具有高增益, 于是由放大器 206 提供的输出信号等于输入电压加上偏值电压. 此输入电压加偏差电压是该输入信号和偏差信号的放大值. 输入信号加偏差信号及输出信号耦合到响应于图 1 中比较器 14 的比较器 210 的各自相应的输入端上. 比较器 208 及 210 仅在施加到其正输入端的信号大于加到负输入端上的信号时提供高电平输出信号, 反之则提供低电平输出信号.

由比较器 208 及 210 提供的输出信号被施加到一包括射极耦合晶体管 212 信电阻器R3 的模拟或门的各自相应的输入端上. 此或门的输出被耦合以控制开关S1 , 有选择性地让时钟信号通过到其他的开关S2 及S3 . 此时钟信号当其被耦合到开关S2 及S3 时关闭开关S2 及S3 , 这时它呈现为一个高电平脉冲, 而当它呈现为一个低电平时打开开关S2 及S3 . 耦合在开关S2 及S3 的控制端及地电位之间的电阻器R6 保证开关S2 及S3 在无时钟脉冲时是打开的.

从比较器 208 来的输出信号在缓冲放大器 214 中反相并且被耦合到开关S2 及S3 的信号输入端上. 开关S2 及S3 的信号输出端分别被耦合到P 型晶体管P1 及n 型晶体管N1 的控制极上, 该二晶体管被连接以相对于连接点 220 作为门控电流源. 积分电容器C1 耦合在连接点 220 及一固定电压点之间.

晶体管P1 当其控制极被偏置得相当负时使充电电流过电容器C1, 而当其控制电极被偏置得相当正时有效地开路. 晶体管N1 当其控制极被偏置得相当正时使放电电流过电容器C1 , 而在其控制极被偏置得相当负时有效地开路. 耦合在晶体管P1 的控制极及一正电源电位之间的电阻器R4 以及耦合在晶器管N1 的控制极与地

之间的电阻器R5 保证晶体管P1 和N1 在开关S2 及S3 打开时被截止。

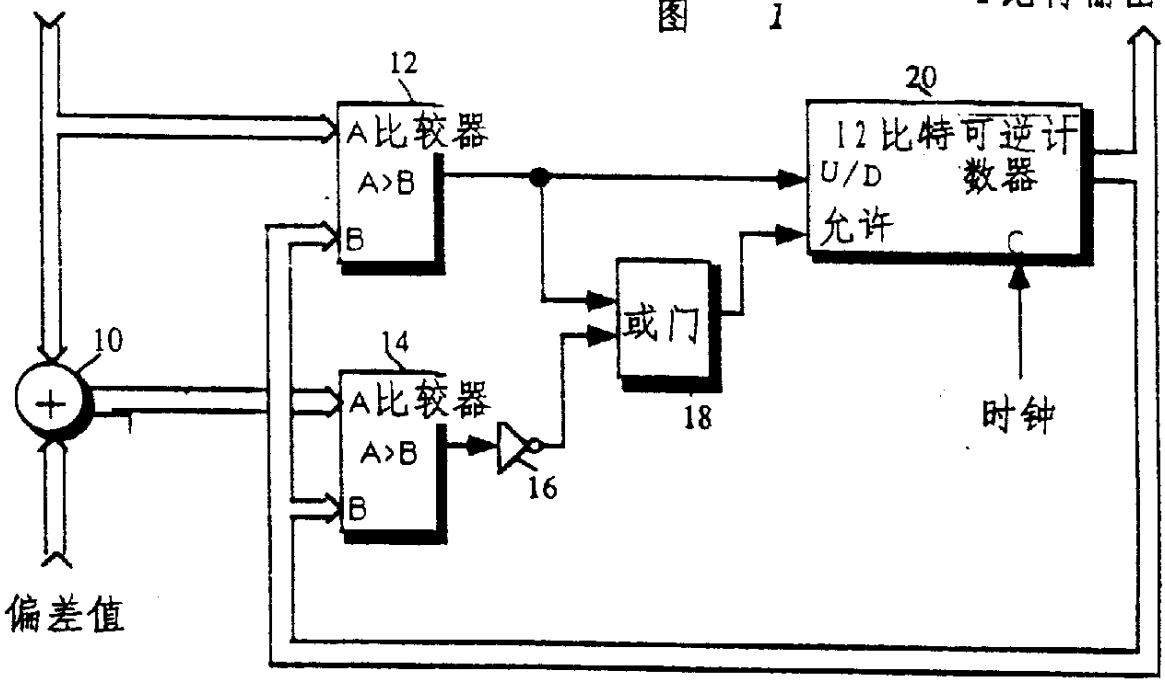
当开关S1 被或门闭合（允许工作）时，电容器C1 根据比较器 208 输出是高值还是低值而分别有选择性地充电或放电。充电（或放电）的增量是根据时钟脉冲的宽度及晶体管P1 （N1)的参数而定。正向或负向输出转换率将根据晶体管P1 及N1 所选择的有关设计参数而决定是相等或是不等。

在开关S1 闭合时，在连接点 220 处的输出信号对每个时钟脉冲将加／减 1。此响应速率可藉助在输出(220) 与比较器 208 及 210 输入端之间的反馈路径中含有一衰减器而加长。

说　明　书　附　图

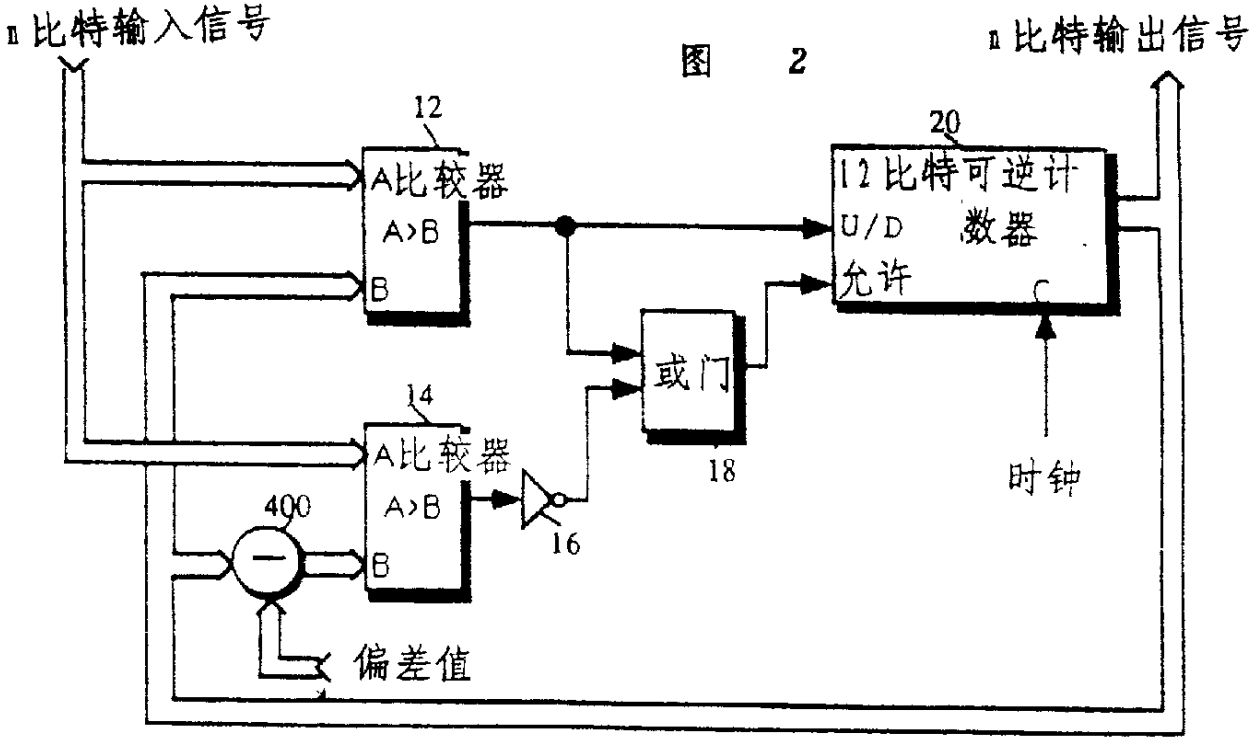
n 比特输入信号

图　1



n 比特输入信号

图　2



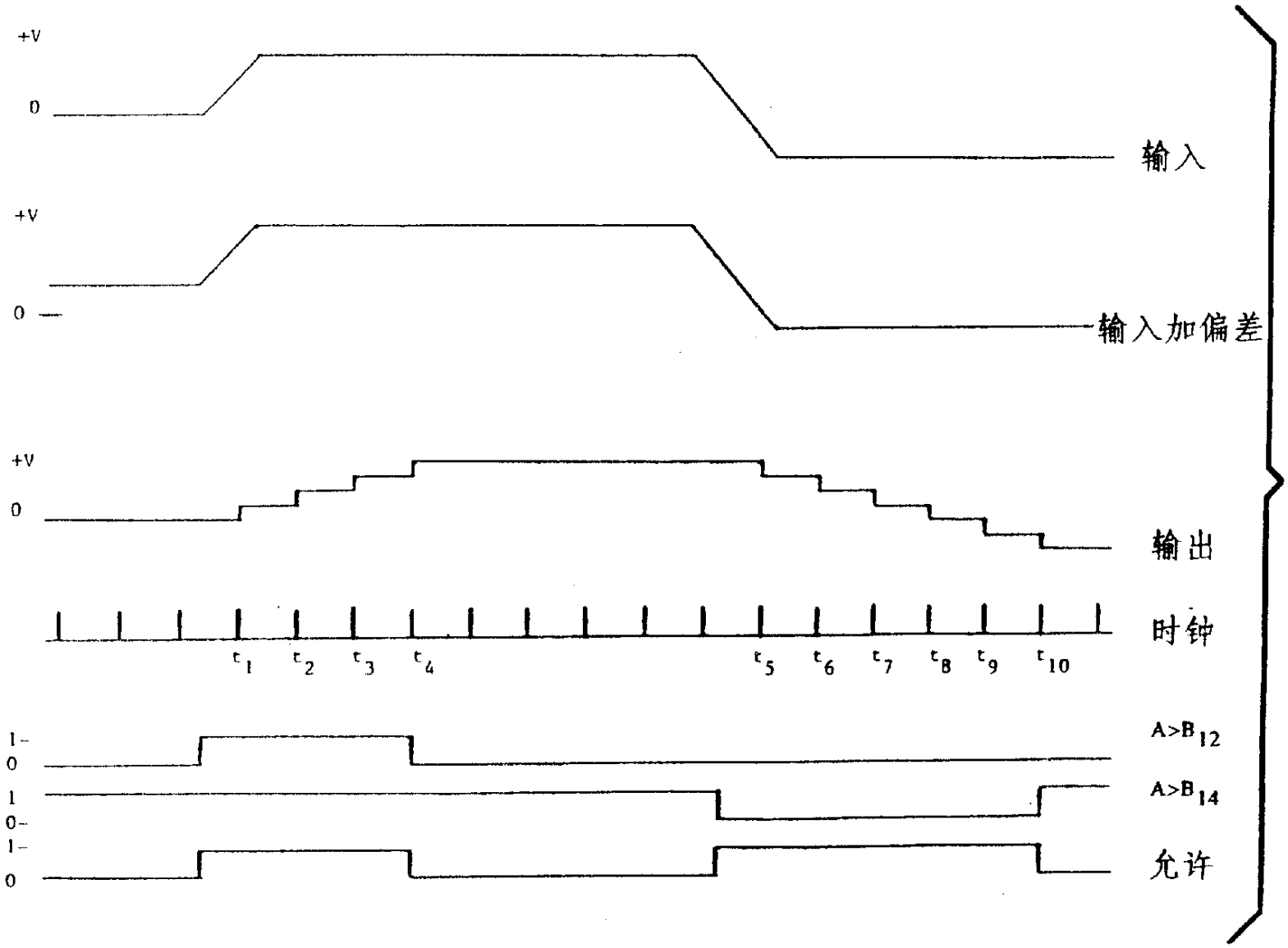

+V
0
输入
+V
0
输入加偏差
+V
0
输出
时钟
t_1 t_2 t_3 t_4 t_5 t_6 t_7 t_8 t_9 t_{10}
1
0
$A>B_{12}$
1
0
$A>B_{14}$
1
0
允许

图 3

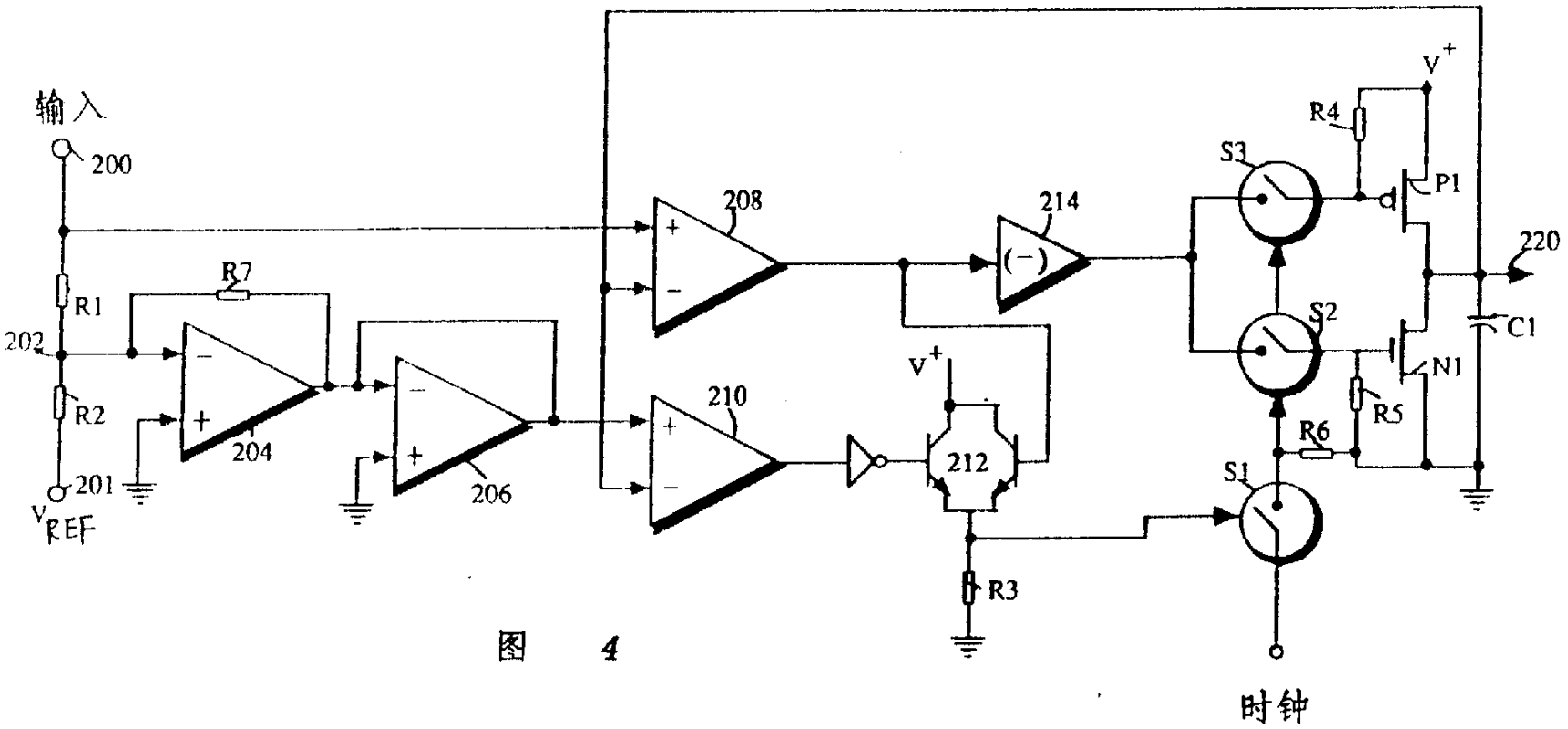

输入
200
R1
202
R2
201
V_{REF}
R7
204
206
208
210
214
212
R3
V^+
R4
S3
P1
S2
N1
R5
R6
S1
220
C1
时钟

图 4