



(12)发明专利

(10)授权公告号 CN 103404028 B

(45)授权公告日 2017.07.28

(21)申请号 201280010229.2

(22)申请日 2012.02.24

(65)同一申请的已公布的文献号

申请公布号 CN 103404028 A

(43)申请公布日 2013.11.20

(30)优先权数据

13/034,438 2011.02.24 US

(85)PCT国际申请进入国家阶段日

2013.08.23

(86)PCT国际申请的申请数据

PCT/US2012/026430 2012.02.24

(87)PCT国际申请的公布数据

W02012/116251 EN 2012.08.30

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72)发明人 S·史露娜卡拉苏 R·E·西摩

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.

H03K 17/693(2006.01)

H03M 1/12(2006.01)

(56)对比文件

US 6525574 B1, 2003.02.25,

US 6667707 B2, 2003.12.23,

US 6707403 B1, 2004.03.16,

CN 1617438 A, 2005.05.18,

审查员 马婷婷

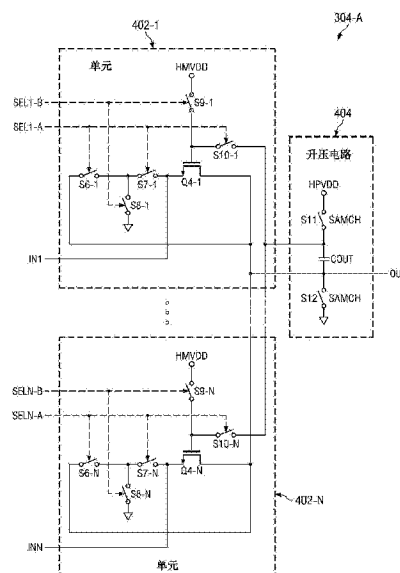
权利要求书3页 说明书4页 附图6页

(54)发明名称

高速高压多路复用器

(57)摘要

本发明提供一种设备,其包括:负电压轨;正电压轨;多个多路复用器单元,其中每个多路复用器单元由多个选择信号中的至少一个控制,并且其中当控制信号无效时禁用每个多路复用器单元,并且其中每个多路复用器单元包括:输入端子;输出端子;开关网络,其耦合到所述负电压轨;以及升压开关,其耦合到所述输入端子、所述输出端子和所述开关网络;以及升压电路,其耦合到每个所述多路复用器单元的所述输出端子、每个多路复用器单元的所述开关网络以及所述正电压轨,其中所述升压电路由所述控制信号控制。



1. 一种用于对信号进行多路复用的电路,其包括:

负电压轨;

正电压轨;

多个多路复用器单元,其中每个多路复用器单元由多个选择信号中的至少一个控制,并且其中当控制信号无效时禁用每个多路复用器单元,并且其中每个多路复用器单元包括:

输入端子;

输出端子;

开关网络,其耦合到所述负电压轨;以及

升压开关,其耦合到所述输入端子、所述输出端子和所述开关网络;以及

升压电路,其耦合到每个所述多路复用器单元的所述输出端子、每个多路复用器单元的所述开关网络以及所述正电压轨,其中所述升压电路由所述控制信号控制,

其中所述升压电路进一步包括:

第一开关,其耦合到所述正电压轨和每个多路复用器单元的所述开关网络,其中当所述控制信号有效时激活所述第一开关;

第二开关,其耦合到接地端和每个多路复用器单元的所述输出端子,其中当所述控制信号有效时激活所述第二开关;以及

电容器,其耦合在所述第一开关与所述第二开关之间,以及

其中每个升压开关进一步包括NMOS晶体管,所述NMOS晶体管在源极处耦合到所述输入端子,在漏极处耦合到所述输出端子并且在栅极处耦合到所述开关网络,

其中每个开关网络进一步包括:

第三开关,其耦合到所述NMOS晶体管的所述源极;

第四开关,其耦合在所述第三开关与所述输出端子之间;

第五开关,其耦合到在所述第三开关与所述第四开关之间的节点,并耦合到接地端;

第六开关,其耦合在所述负电压轨与所述NMOS晶体管的所述栅极之间;以及

第七开关,其耦合在所述第一开关与所述NMOS晶体管的所述栅极之间。

2. 根据权利要求1所述的电路,其中所述电路的输入范围是 $\pm 12\text{V}$ 。

3. 根据权利要求1所述的电路,其中所述电路的输入范围是 $\pm 10\text{V}$ 。

4. 根据权利要求1所述的电路,其中所述电路的输入范围是 $\pm 5\text{V}$ 。

5. 根据权利要求1所述的电路,其中所述电路的输入范围是 0V 至 10V 。

6. 根据权利要求1所述的电路,其中所述电路的输入范围是 0V 至 5V 。

7. 根据权利要求1所述的电路,其中所述负电压轨具有 -15V 的电压。

8. 根据权利要求1所述的电路,其中每个多路复用器单元进一步包括传输门,所述传输门耦合在所述输出端子与所述升压电路之间。

9. 一种用于数字化模拟输入信号的电路,其包括:

负电压轨;

正电压轨;

多路复用器,其具有多个多路复用器单元,其中每个多路复用器单元由多组选择信号中的至少一组控制,并且其中每个多路复用器单元包括:

输入端子；

输出端子；

开关网络，其耦合到所述负电压轨；以及

升压开关，其耦合到所述输入端子、所述输出端子和所述开关网络；以及

升压电路，其耦合到每个所述多路复用器单元的所述输出端子、每个多路复用器单元的所述开关网络和所述正电压轨，其中所述升压电路由控制信号控制；

模拟数字转换器即ADC，其耦合到每个多路复用器单元的所述输出端子，其中所述ADC在采样阶段期间采样来自所述多路复用器的输出信号并且在转换阶段期间执行转换，并且其中在所述转换阶段期间禁用每个多路复用器单元，

其中所述升压电路进一步包括：

第一开关，其耦合到所述正电压轨和每个多路复用器单元的所述开关网络；

第二开关，其耦合到接地端和每个多路复用器单元的所述输出端子，其中当在至少一部分所述采样阶段期间使所述控制信号有效时激活所述第一开关和所述第二开关；以及

电容器，其耦合在所述第一开关与所述第二开关之间，

其中每组选择信号进一步包括第一选择信号和第二选择信号，

其中每个升压开关进一步包括NMOS晶体管，所述NMOS晶体管在源极处耦合到所述输入端子，在漏极处耦合到所述输出端子并且在栅极处耦合到所述开关网络，

其中每个开关网络进一步包括：

第三开关，其耦合到所述NMOS晶体管的所述源极，并且所述第三开关由该组选择信号的所述第一选择信号控制；

第四开关，其耦合在所述第三开关与所述输出端子之间，并且所述第四开关由该组选择信号的所述第一选择信号控制；

第五开关，其耦合到在所述第三开关与所述第四开关之间的节点并耦合到接地端，其中所述第五开关由该组选择信号的所述第二选择信号控制；

第六开关，其耦合在所述负电压轨与所述NMOS晶体管的所述栅极之间，其中所述第六开关由该组选择信号的所述第二选择信号控制；以及

第七开关，其耦合在所述第一开关与所述NMOS晶体管的所述栅极之间，其中所述第七开关由该组选择信号的所述第一选择信号控制。

10. 根据权利要求9所述的电路，其中所述多路复用器的输入范围是 $\pm 12\text{V}$ 。

11. 根据权利要求9所述的电路，其中所述多路复用器的输入范围是 $\pm 10\text{V}$ 。

12. 根据权利要求9所述的电路，其中所述多路复用器的输入范围是 $\pm 5\text{V}$ 。

13. 根据权利要求9所述的电路，其中所述多路复用器的输入范围是 0V 至 10V 。

14. 根据权利要求9所述的电路，其中所述多路复用器的输入范围是 0V 至 5V 。

15. 根据权利要求9所述的电路，其中所述负电压轨具有 -15V 的电压。

16. 根据权利要求9所述的电路，其中所述第一开关、所述第二开关、所述第三开关、所述第四开关、所述第五开关、所述第六开关和所述第七开关是CMOS开关。

17. 根据权利要求9所述的电路，其中所述电路进一步包括升压逻辑，所述升压逻辑在所述转换阶段期间使所述多组选择信号中的每一个无效。

18. 根据权利要求9所述的电路，其中每个多路复用器单元进一步包括传输门，所述传

输门耦合在所述输出端子与所述升压电路之间。

19. 一种通过使用具有多个信道的多路复用器来数字化多个模拟输入信号的至少一部分选定模拟输入信号的方法, 其中每个信道与所述模拟输入信号中的至少一个相关联, 并且其中每个信道与一对选择信号相关联, 并且其中每个信道包括具有输入端子、输出端子和升压NMOS开关的单元, 所述方法包括:

使来自每对选择信号的第一选择信号有效, 从而将每个单元的所述输入端子和所述输出端子解耦;

当来自每对选择信号的所述第一选择信号有效时, 在采样阶段的初始部分期间对升压电容器充电;

使与选定模拟输入信号相关联的第二选择信号有效, 以便将与所述选定模拟输入信号相关联的单元的所述输入端子和所述输出端子耦合到一起, 并提供存储在所述升压电容器上的电压给相关联的升压NMOS开关; 以及

数字化所述选定模拟输入信号的部分,

其中使所述第一选择信号有效的步骤进一步包括激活耦合到在每个单元中的所述输入端子和所述输出端子之间的节点上的开关, 以便使每个单元中的所述节点接地,

其中所述升压电容器是升压电路的一部分, 以及

其中所述升压电路进一步包括:

第一开关, 其耦合到正电压轨和每个多路复用器单元的开关网络, 其中当控制信号有效时激活所述第一开关;

第二开关, 其耦合到接地端和每个多路复用器单元的所述输出端子, 其中当所述控制信号有效时激活所述第二开关; 以及

所述升压电容器, 其耦合在所述第一开关与所述第二开关之间, 以及其中每个升压开关进一步包括NMOS晶体管, 所述NMOS晶体管在源极处耦合到所述输入端子, 在漏极处耦合到所述输出端子并且在栅极处耦合到所述开关网络,

其中每个开关网络进一步包括:

第三开关, 其耦合到所述NMOS晶体管的所述源极;

第四开关, 其耦合在所述第三开关与所述输出端子之间;

第五开关, 其耦合到在所述第三开关与所述第四开关之间的节点, 并耦合到接地端;

第六开关, 其耦合在负电压轨与所述NMOS晶体管的所述栅极之间; 以及

第七开关, 其耦合在所述第一开关与所述NMOS晶体管的所述栅极之间。

20. 根据权利要求19所述的方法, 其中所述多路复用器的输入范围是 $\pm 12\text{V}$ 。

21. 根据权利要求19所述的方法, 其中所述多路复用器的输入范围是 $\pm 10\text{V}$ 。

22. 根据权利要求19所述的方法, 其中所述多路复用器的输入范围是 $\pm 5\text{V}$ 。

23. 根据权利要求19所述的方法, 其中所述多路复用器的输入范围是 0V 至 10V 。

24. 根据权利要求19所述的方法, 其中所述多路复用器的输入范围是 0V 至 5V 。

25. 根据权利要求19所述的方法, 其中所述负电压轨具有 -15V 的电压。

26. 根据权利要求19所述的方法, 其中每个多路复用器单元进一步包括传输门, 所述传输门耦合在所述输出端子与所述升压电路之间。

高速高压多路复用器

技术领域

[0001] 本发明总体涉及多路复用器,并更具体地涉及通常与模拟数字转换器(ADC)一起使用的高速高压多路复用器。

背景技术

[0002] 图1和图2示出了常规的多信道数据转换器系统100。系统100一般包括:多路复用器(MUX)102;模拟数字转换器(ADC)104,其可以例如是以250k个样本每秒(SPS)的速度操作的逐次逼近型寄存器(SAR)ADC;升压逻辑106;以及选择逻辑108。通常,多路复用器102接收若干模拟输入信号IN1至INN,以便向ADC104提供多路复用的模拟信号,所述模拟信号被ADC104转换成数字输出信号DOUT。升压逻辑106和选择逻辑108一般基于采样信号SAMPLE(使用选择信号SEL1至SELN)执行模拟输入信号IN1至INN的交叉存取(interleaving)。多路复用器102(其可在图2中更详细地看出)一般包含单元202-1至202-N(其中每个对应于多路复用器102的一个信道)。每个单元202-1至202-N一般分别包括开关S1-1至S5-1到S1-N至S5-N、电容器C1至CN、晶体管Q1-1至Q3-1到Q1-N至Q3-N(其一般均是NMOS晶体管)以及传输门204-1/206-1至204-N/206-N。

[0003] 多路复用器102的操作(在图2中更详细地示出)一般取决于样本信号SAMPLE的相位。最初,通过使选择信号SEL1-A至SELN-A无效并使选择信号SEL1-B至SELN-B有效,电容器C1至CN被充电到正压轨HPVDD上的电压。在电容器C1至CN充电之后并且作为示例,如果假设选定信道1(单元202-1),则使选择信号SEL1-A有效,同时使SEL1-B(以及SEL2-A/SEL2B至SELN-A/SELN-B)无效。这允许在采样瞬间来自输入信号IN1的电压加上存储在电容器C1上的电压(即+15V)最初被施加到开关Q1-1和Q2-1的栅极上。随着施加升压电压,在采样瞬间的输入信号的IN1电压通过开关Q1-1和传输门204-1被传送到开关Q2-1和传输门206-1上(其一般执行与开关Q1-1和传输门204-1相同的功能)。一般提供开关Q2-1/Q3-1至Q2-N/Q3-N和传输门206-1从而减少串扰,因为这些组件一般消除输入和输出之间的寄生电容。

[0004] 虽然单元202-1至202-N一般减少串扰(部分由于通过开关Q3-1至Q3-N提供的接地),但其存在一些缺点。亦即,开关Q2-1至Q2-N的重复可能有问题。因为大量的开关Q1-1/Q2-1至Q1-N/Q2-N被用于减少高频操作时的输入电阻,所以这些开关占用相当大量的面积。此外,这些串联开关Q1-1/Q2-1至Q1-N/Q2-N限制了ADC104的操作速度。因此,需要改进的多路复用器。

[0005] 在美国专利6,404,237;7,064,599;7,268,610和7,471,135以及美国专利公开2002/0175740中描述了常规电路的一些示例。

发明内容

[0006] 一个示例实施例提供一种设备,其包括:负电压轨;正电压轨;多个多路复用器单元,其中每个多路复用器单元由多个选择信号中的至少一个控制,并且其中当控制信号无效时禁用每个多路复用器单元,并且其中每个多路复用器单元包括:输入端子;输出端子;

开关网络,其耦合到负电压轨;以及升压开关,其耦合到输入端子、输出端子和开关网络;以及升压电路,其耦合到每个多路复用器单元的输出端子、每个多路复用器单元的开关网络和正电压轨,其中升压电路由控制信号控制。

[0007] 在一个示例性实施例中,该升压电路进一步包括:第一开关,其耦合到正电压轨和每个多路复用器单元的开关网络,其中当控制信号有效时激活第一开关;第二开关,其耦合到接地端和每个多路复用器单元的输出端子,其中当控制信号有效时激活第二开关;以及电容器,其耦合在第一开关与第二开关之间。

[0008] 在一个示例性实施例中,每个升压开关进一步包括NMOS晶体管,所述NMOS晶体管在其源极处耦合到其输入端子,在其漏极处耦合到其输出端子并且在其栅极处耦合到其开关网络。

[0009] 在一个示例性实施例中,每个开关网络进一步包括:第三开关,其耦合到其NMOS晶体管的源极;第四开关,其耦合在第三开关与其输出端子之间;第五开关,其耦合到在第三开关与第四开关之间的节点,并耦合到接地端;第六开关,其耦合在负电压轨与其NMOS晶体管的栅极之间;以及第七开关,其耦合在第一开关与其NMOS晶体管的栅极之间。

[0010] 在一个示例性实施例中,该设备的输入范围是 $\pm 12\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 0V 至 10V 和 0V 至 5V 。

[0011] 在一个示例性实施例中,该负电压轨具有约 -15V 的电压。

[0012] 在一个示例性实施例中,每个多路复用器单元进一步包括传输门,所述传输门耦合在其输出端子与升压电路之间。

[0013] 在一个示例性实施例中,提供一种设备。该设备包括:负电压轨;正电压轨;多路复用器,其具有多个多路复用器单元,其中每个多路复用器单元由多组选择信号中的至少一组控制,并且其中每个多路复用器单元包括:输入端子;输出端子;开关网络,其耦合到负电压轨;以及升压开关,其耦合到输入端子、输出端子和开关网络;以及升压电路,其耦合到每个多路复用器单元的输出端子、每个多路复用器单元的开关网络和正电压轨,其中升压电路由控制信号控制;模拟数字转换器(ADC),其耦合到每个多路复用器单元的输出端子,其中ADC在采样阶段期间采样来自多路复用器的输出信号并且在转换阶段期间执行转换,并且其中在转换阶段期间禁用每个多路复用器单元。

[0014] 在一个示例性实施例中,该升压电路进一步包括:第一开关,其耦合到正电压轨和每个多路复用器单元的开关网络;第二开关,其耦合到接地端和每个多路复用器单元的输出端子,其中当在至少一部分采样阶段期间使控制信号有效时激活第一开关和第二开关;以及电容器,其耦合在第一开关与第二开关之间。

[0015] 在一个示例性实施例中,每组选择信号进一步包括第一选择信号和第二选择信号。

[0016] 在一个示例性实施例中,每个升压开关进一步包括NMOS晶体管,所述NMOS晶体管在其源极处耦合到其输入端子,在其漏极处耦合到其输出端子并且在其栅极处耦合到其开关网络。

[0017] 在一个示例性实施例中,每个开关网络进一步包括:第三开关,其耦合到其NMOS晶体管的源极,并且第三开关由其选择信号组的第一选择信号控制;第四开关,其耦合在第三开关与其输出端子之间,并且第四开关由其选择信号组的第一选择信号控制;第五开关,其

耦合到在第三开关与第四开关之间的节点并耦合到接地端,其中第五开关由其选择信号组的第二选择信号控制;第六开关,其耦合在负电压轨与其NMOS晶体管的栅极之间,其中第六开关由其选择信号组的第二选择信号控制;以及第七开关,其耦合在第一开关与其NMOS晶体管的栅极之间,其中第七开关由其选择信号组的第一选择信号控制。

[0018] 在一个示例性实施例中,该第一、第二、第三、第四、第五、第六和第七开关是CMOS开关。

[0019] 在一个示例性实施例中,该设备进一步包括在转换阶段期间使多组选择信号中的每组无效的升压逻辑。

[0020] 在一个示例性实施例中,提供一种通过使用具有多个信道的多路复用器来数字化多个模拟输入信号的至少一部分选定模拟输入信号的方法。每个信道与模拟输入信号中的至少一个相关联并且与一对选择信号相关联,并且其中每个信道包括具有输入端子、输出端子和升压NMOS开关的单元。该方法包括:使来自每对选择信号的第一选择信号有效,从而将每个单元的输入端子和输出端子解耦;当来自每对选择信号的第一选择信号有效时,在采样阶段的初始部分期间对升压电容器充电;使与选定模拟输入信号相关联的第二选择信号有效,以便将与选定模拟输入信号相关联的单元的输入端子和输出端子耦合到一起,并提供存储在升压电容器上的电压给相关联的升压NMOS开关;以及数字化所述选定模拟输入信号的部分。

[0021] 在一个示例性实施例中,使第一选择信号有效的步骤进一步包括激活耦合到在每个单元中的输入端子和输出端子之间的节点上的开关,以便使每个单元中的节点接地。

附图说明

[0022] 参考附图描述了示例性实施例,其中:

[0023] 图1示出常规系统的示例;

[0024] 图2示出图1的多路复用器(MUX)的示例;

[0025] 图3示出示例性系统;以及

[0026] 图4-6示出图3的多路复用器的示例。

具体实施方式

[0027] 图3示出系统300的示例。该系统300一般具有 $\pm 12\text{V}$ 、 $\pm 10\text{V}$ 、 $\pm 5\text{V}$ 、 0V 至 10V 以及 0V 至 5V 的输入范围,并且在系统300中,多路复用器(MUX)304和升压逻辑302一般代替系统100的多路复用器102和升压逻辑106。正如多路复用器102,多路复用器304(其示例可在图4-6中更详细地看出并且其分别被标记为304-A、304-B和304-C)一般包含单元402-1至402-N、501-1至502-N或602-1至602-N;然而,每个多路复用器304-A、304-B和304-C也包括升压电路404(图4)。该升压电路404可减少升压电容器的数量(其被提供在每个单元202-1至202-N中)。

[0028] 在图4所示的多路复用器304-A的实施方式中,单元402-1至402-N一般包括开关S6-1至S10-1到S6-N至S10-N(其可以是CMOS开关)以及升压开关Q4-1至Q4-N(其可以是NMOS晶体管)。升压电路404一般包括开关S11和S12(其可以是CMOS开关)以及升压电容器COUT,并且由采样充电信号SAMCH(其一般由升压逻辑302提供并且一般在非采样阶段或转换阶段

期间发生)控制。假设(例如)与单元402-1相关联的信道被选定,则其输入信号IN1可在采样时钟信号SAMPLE的采样阶段期间被发送到ADC104。在该示例中非采样阶段或转换阶段期间,使选择信号SEL1-B至SELN-B有效,同时使选择信号SEL1-A至SELN-A无效。这驱动开关S8-1至S8-N将每个单元402-1至402-N的输入与输出之间的节点接地,并且驱动开关S9-1至S9-N将开关Q4-1至Q4-N的栅极耦合到负电压轨HMVDD(从而通常确保开关Q4-1至Q4-N是断开的)。此外,开关S11和S12由采样充电信号SAMCH(其一般由升压逻辑302提供)驱动,从而允许升压电容器COUT被充电到正电压轨HPVDD上的电压(即+15V)。一旦升压电容器COUT被充电到该电压(即+15V),则采样充电信号SAMCH禁用开关S11和S12,同时使选择信号SEL1-A(在该示例中)有效并且使选择信号SEL1-B至SELN-B无效。使选择信号SEL1-A有效将驱动开关S6-1、S7-1和S10-1,以便单元402-1的输出和输入端子通过开关S7-1和S6-1耦合到一起。此外,升压电容器COUT的顶板被耦合到开关Q4-1的栅极上,这允许在采样瞬间来自输入信号IN1的电压加上存储在电容器C1上的电压(即+15V)被施加到开关Q4-1的栅极上。因此,在采样瞬间来自输入信号IN1的电压可以作为多路复用器304的输出信号OUT被提供给ADC104。然后,在转换阶段期间,使选择信号SEL1-A/SEL1-B至SELN-A/SELN-B无效。如果通过选择逻辑108选择,则该相同过程随后可应用于每个单元402-2至402-4。

[0029] 如图所示,多路复用器304可提供许多与多路复用器102相同的益处,但不具有相同的缺点。在多路复用器304中,每个信道或每个单元(即402-1)的开关(即Q4-1)的数量被减少,这减少了多路复用器304相比多路复用器102所占用的面积,并且不限制ADC104的速度。此外,因为开关S8-1至S8-N在转换阶段期间和采样阶段期间使每个单元402-1至402-N的输入和输出端子之间的节点接地(对于未选定的信道或单元),所以减少了串扰。此外,由于采用了升压电路404,所以可减少升压电容器(其通常占用相当大量的面积)的数量。

[0030] 图5示出了以与多路复用器304-A类似的方式操作的多路复用器304-B的另一种实施方式。在单元502-1至502-N的配置中,多路复用器304-A和304-B之间的差异一般在于已经去除开关S7-1至S7-N和S8-1至S8-N并且已经包括传输门504-1至504-N。在该配置中,升压电容器COUT的底板被耦合到每个传输门504-1至504-N上(在“去除”端子处),而不是每个单元(如多路复用器304-A)的输出端子上。与多路复用器102相比,这一般减少低频下的串扰。此外,传输门504-1至504-N可被视为并联而具有降低的电阻,以便可以做得更小,从而减少寄生电容并改善稳定时间(settling time)。

[0031] 图6示出了以与多路复用器304-A类似的方式操作的多路复用器304-C的另一种实施方式。正如多路复用器304-B,在单元602-1至602-N的配置中,多路复用器304-A和304-C之间的差异一般在于开关S7-1至S7-N和S8-1至S8-N。多路复用器304-C超过多路复用器304-B的优点在于已经去除了传输门504-1至504-N(减少面积)。虽然多路复用器304-C不像多路复用器304-A那样在采样期间将每个未选定单元的输入和输出端子之间的节点耦合到接地端(以及在转换期间针对所有单元),因此在串扰方面多路复用器304-C与多路复用器304-A相比存在性能缺点。然而,多路复用器304-C确实比多路复用器304-A占用更小的面积(这在一些应用中可能是优选的)。

[0032] 本领域技术人员将理解,在所要求保护的发明范围内,可以对所描述的示例性实施例做出修改,并且许多其它实施例是可能的。

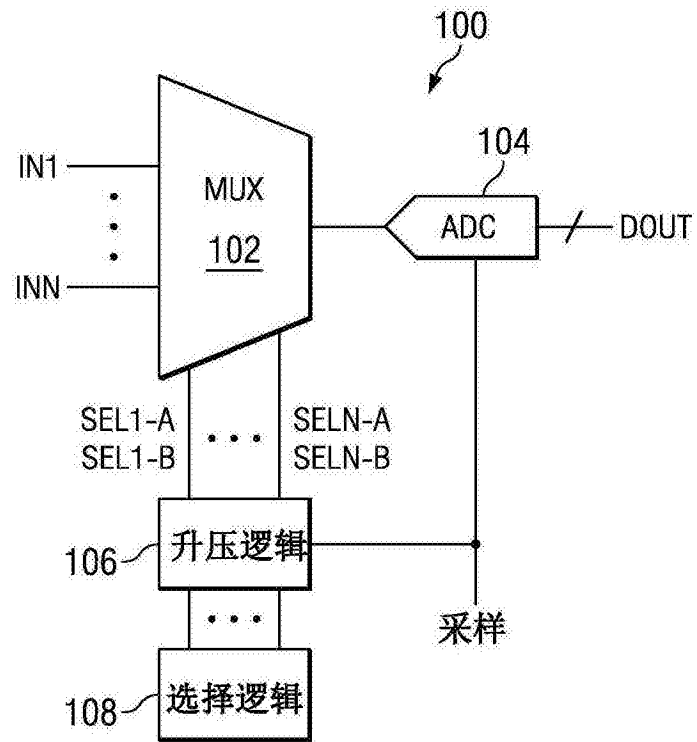


图1

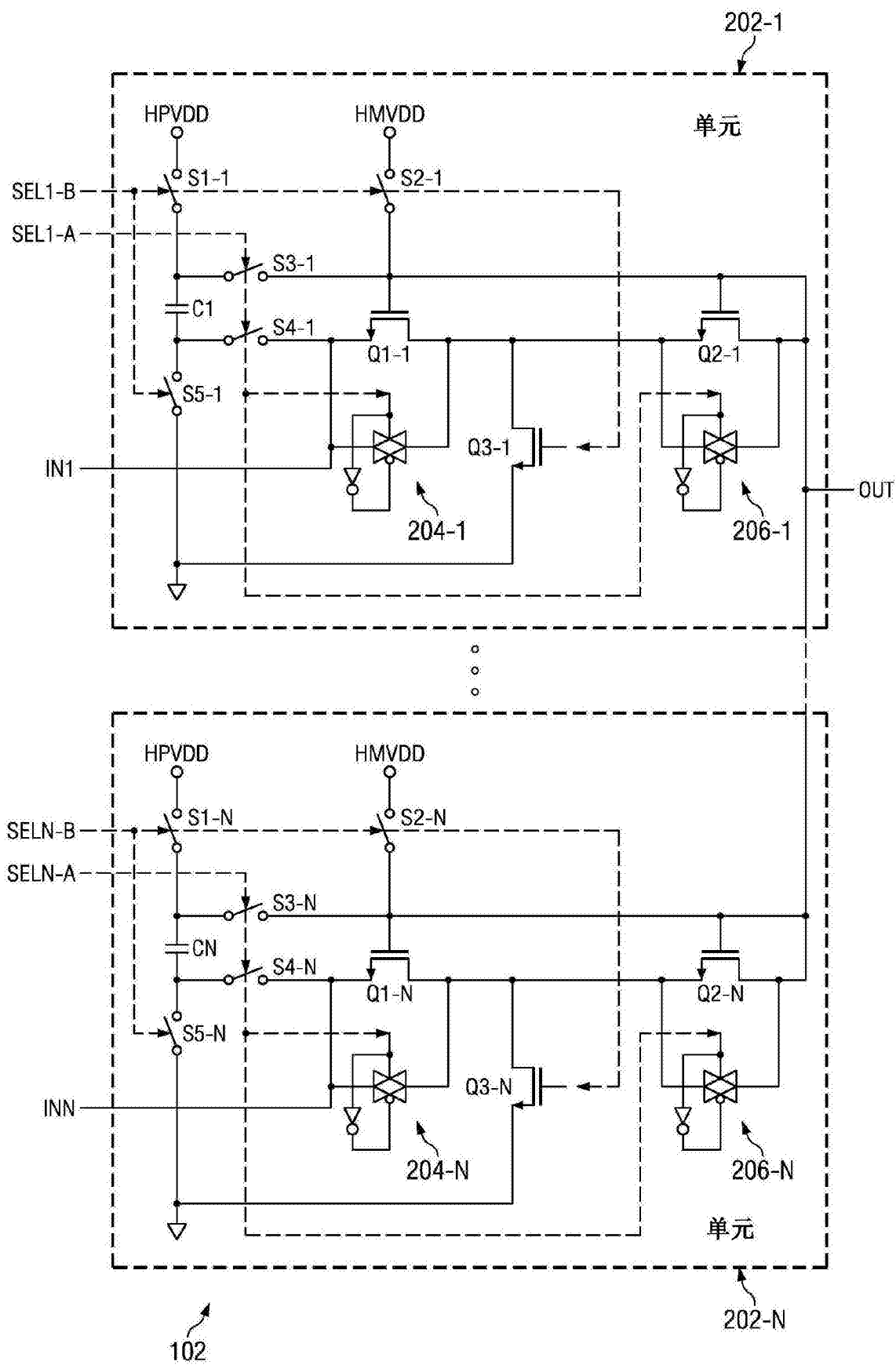


图2

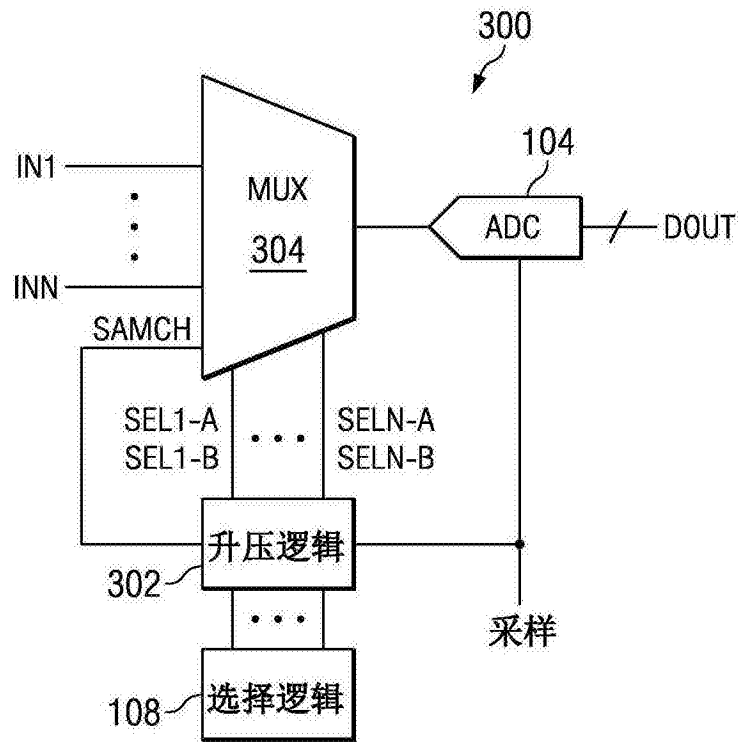


图3

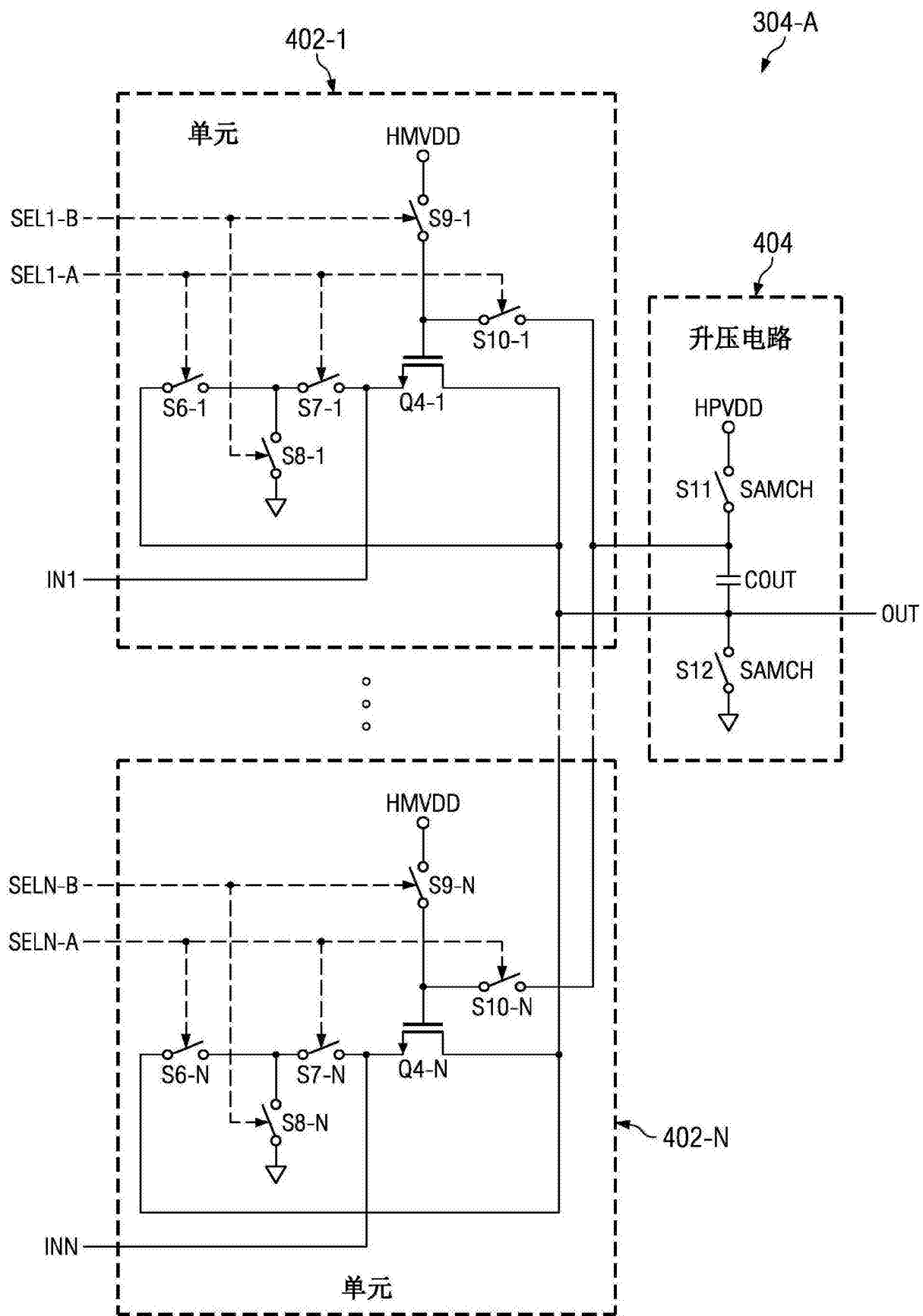


图4

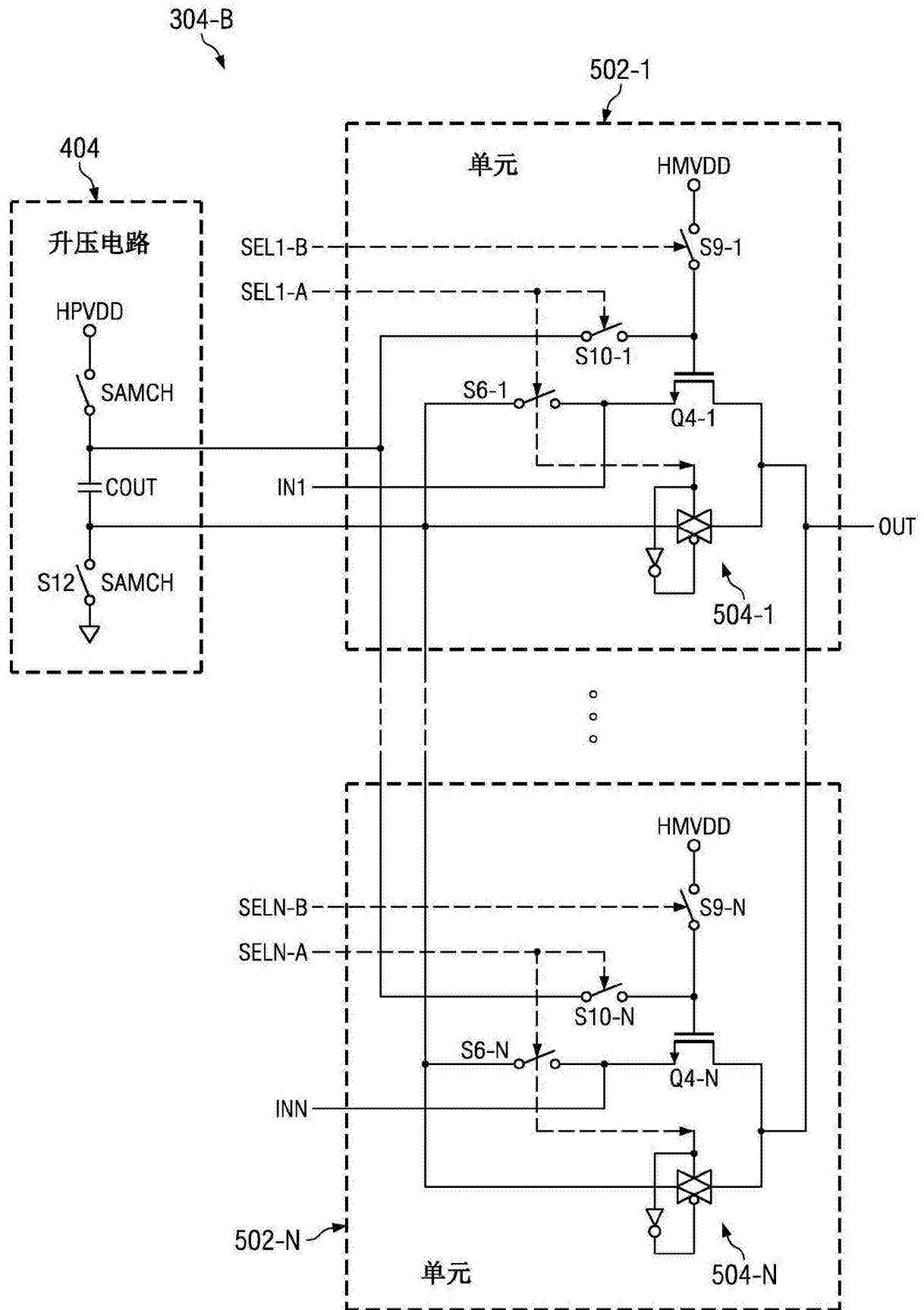


图5

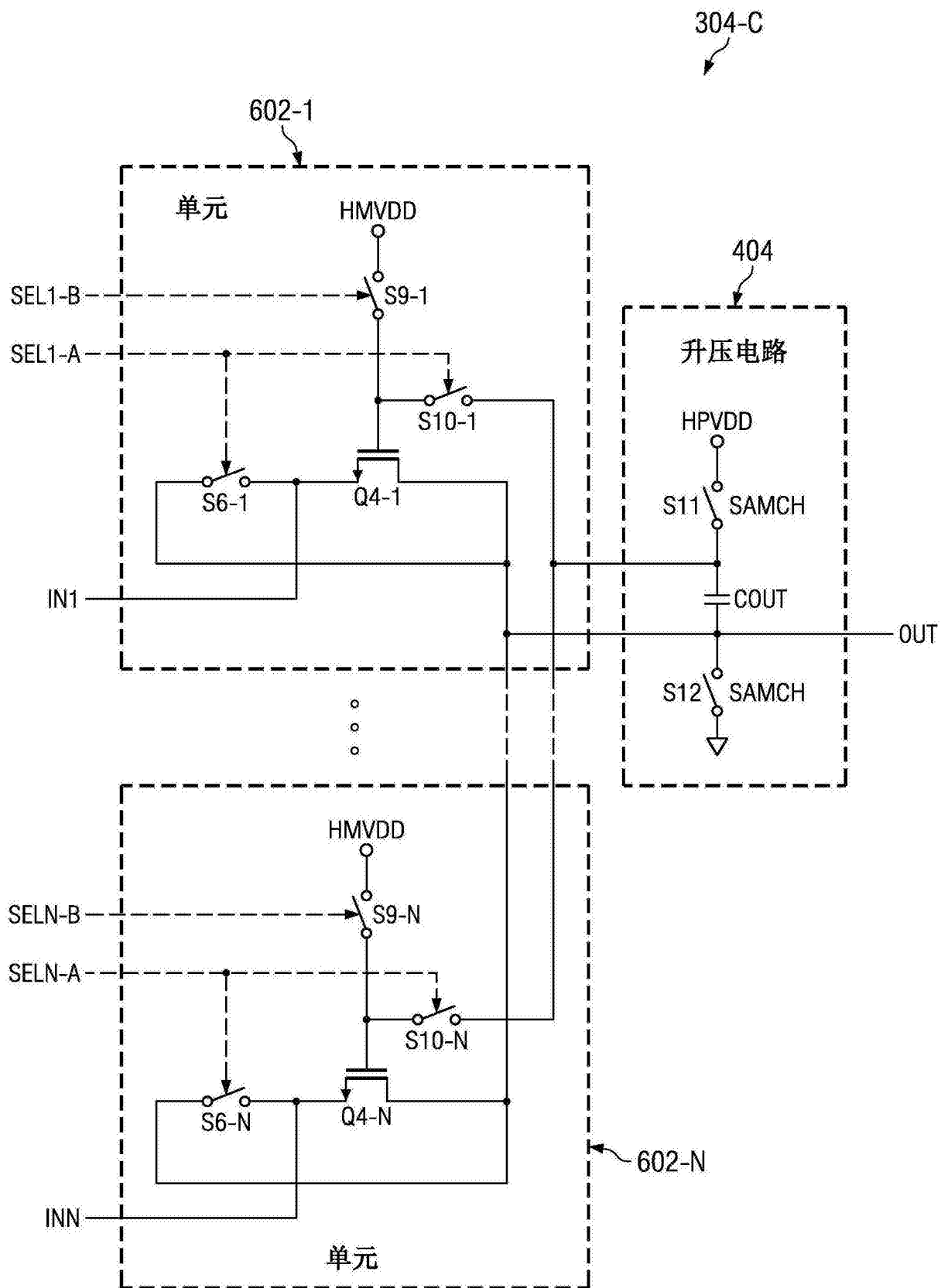


图6