

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年10月11日 (11.10.2007)

PCT

(10) 国際公開番号
WO 2007/114103 A1

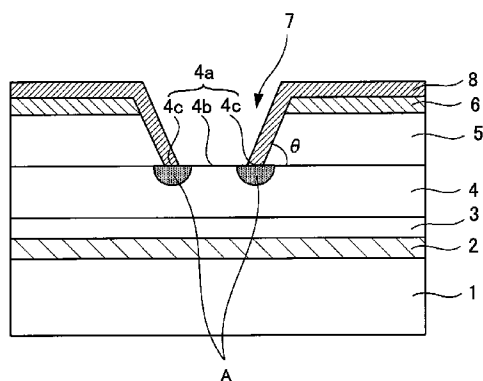
- (51) 国際特許分類:
H01J 1/312 (2006.01) H01J 29/04 (2006.01)
H01J 9/02 (2006.01) H01J 31/12 (2006.01)
- (21) 国際出願番号: PCT/JP2007/056214
- (22) 国際出願日: 2007年3月26日 (26.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-096990 2006年3月31日 (31.03.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): パイオニア株式会社 (PIONEER CORPORATION) [JP/JP]; 〒1538654 東京都目黒区目黒1丁目4番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 亮太 (TANAKA, Ryota) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 根岸 伸安 (NEGISHI, Nobuyasu)

- [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 酒村 一到 (SAKEMURA, Kazuto) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 奥田 義行 (OKUDA, Yoshiyuki) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 中田 智成 (NAKADA, Tomonari) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 渡辺 温 (WATANABE, Atsushi) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 吉川 高正 (YOSHIKAWA, Takamasa) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP). 小笠原 清秀 (OGASAWARA, Kiyohide) [JP/JP]; 〒3502288 埼玉県鶴ヶ島市富士見6丁目1番2号 パイオニア株式会社総合研究所内 Saitama (JP).
- (74) 代理人: 水野 勝文, 外 (MIZUNO, Katsufumi et al.); 〒1000005 東京都千代田区丸の内2丁目2番3号丸の内仲通りビル721 Tokyo (JP).

[続葉有]

(54) Title: ELECTRON EMISSION ELEMENT, DISPLAY EMPLOYING ELECTRON EMISSION ELEMENT, AND METHOD FOR FABRICATING ELECTRON EMISSION ELEMENT

(54) 発明の名称: 電子放出素子、電子放出素子を用いた表示装置及び電子放出素子の製造方法



(57) Abstract: An electron emission element in which electron emission efficiency is enhanced while protecting the element against damage. The electron emission element comprises an amorphous electron supply layer (4), an insulator layer (5) formed on the electron supply layer (4), and an upper electrode (6) formed on the insulator layer (5), and emits electrons when an electric field is applied between the electron supply layer (4) and the upper electrode (6). The electron emission element has a recess (7), which is formed by cutting the upper electrode (6) and the insulator layer (5) to expose the electron supply layer (4), and a carbon layer (8) covering the upper electrode (6) and the recess (7) excepting the inside portion (4b) of the exposed surface (4a) of the electron supply layer (4) while being in contact with the edge portion (4c) thereof.

(57) 要約:

電子放出素子の電子放出の効率を向上させるとともに素子の損傷を防止する。非結晶質の電子供給層 (4) と、電子供給層 (4) 上に形成された絶縁体層 (5) と、絶縁体層 (5) 上に形成された上部電極 (6) とを有し、電子供給層 (4) と上部電極 (6) 間に電界が印加されたときに電子を放出する電子放出素子であって、上部電極 (6) と絶縁体層 (5) が切り欠かれ電子供給層 (4) が露出した凹部 (7) と、上部電極 (6) と凹部 (7) 上を電子供給層 (4) の露出面 (4 a) の内側部分 (4 b) を除いて覆い電子供給層 (4) の露出面 (4 a) の縁部分 (4 c) に接触する炭素層 (8) とを有する。

WO 2007/114103 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電子放出素子、電子放出素子を用いた表示装置及び電子放出素子の製造方法

技術分野

[0001] 本発明は、電子放出素子、電子放出素子を用いた表示装置及び電子放出素子の製造方法に関する。

背景技術

[0002] 電子放出素子を用いたフラットパネルディスプレイなどの表示装置では、電子放出源から真空中に電子を放出し蛍光体に衝突させて発光させることで、明るくてコントラストの高い画面を実現する。

[0003] 従来のスピント型の電子放出素子では、基板上に円錐形状の電子銃と、この電子銃の先端に対応する位置が開口したゲート電極とを形成し、この電子銃の先端部からコレクタ電極に向けて電子を放出するが、電子銃が立体的な構造となるため製造工程が複雑になり、素子の微細化が難しい。

[0004] また、面放出型の電子放出素子は、下部電極上に半導体層、絶縁体層、上部電極を積層して、電極間に電圧を印加することで上部電極の表面から電子を放出する。このような面放出型の素子は、積層構造であるため微細構造を作製しやすくなるが、低電圧で高出力とするために絶縁体層を薄膜化するとピンホールなどの欠陥が発生することがある。

[0005] そこで、特許文献1では、金属－絶縁体－半導体のMIS (Metal Insulator Semiconductor) 構造の素子において、半導体層に非結晶質の材料を用い、絶縁体層の膜厚が漸次減少する島領域を設け、この島領域の上部、下部又は内部に炭素層を形成し、島領域の膜厚が最小になる領域又はその近傍の電子供給層に結晶領域を設けている。このような構造によれば、島領域がエミッションサイトとして働き、島領域から放出される電子の量が増加する。また、島領域以外では絶縁体層をある程度の厚みとしても電子放出量を維持することができるため、絶縁体層のピンホールなどの欠陥を防止する。

特許文献1:特表2005-512280号公報

発明の開示

発明が解決しようとする課題

[0006] しかしながら、エミッションサイトの広範囲において、炭素層と電子供給層が接触すると、通電時に電子放出に寄与しないリーク電流が増大し効率が低下することがある。また、通電時に炭素層が発熱するため多量の熱量が失われることがある。さらに、炭素層の発熱によって電子供給層が広い範囲で結晶化され、この結晶化による体積変化によって素子が損傷又は破壊されることがある。特許文献1の構成では、島状領域全体に炭素層が設けられているため、炭素層と電子供給層の接触面積の調整が難しい。

[0007] 本発明が解決しようとする課題としては、上述した問題が一例として挙げられる。そこで、本発明の目的としては、電子放出の効率を向上させるとともに素子の損傷を防止する電子放出素子、電子放出素子を用いた表示装置及び電子放出素子の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明の電子放出素子は、請求項1に記載のとおり、非結晶質の電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された電極とを有し、前記電子供給層と前記電極間に電界が印加されたときに電子を放出する電子放出素子であって、前記電極と前記絶縁体層が切り欠かれ前記電子供給層が露出した凹部と、前記電極と前記凹部上を前記電子供給層の露出面の内側部分を除いて覆い前記電子供給層の露出面の縁部分に接触する炭素層とを有することを特徴とする。

[0009] 本発明の電子放出素子を用いた表示装置は、請求項8に記載のとおり、電子放出素子と、前記電子放出素子から放出される電子が衝突することで発光する発光体とを有し、前記電子放出素子が上記した電子放出素子であることを特徴とする。

[0010] 本発明の電子放出素子の製造方法は、請求項9に記載のとおり、非結晶質の電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された電極とを有し、前記電子供給層と前記電極間に電界が印加されたときに電子を

放出する電子放出素子の製造方法であって、前記電極と前記絶縁体層が切り欠かれ前記電子供給層が露出した凹部を形成する工程と、前記電極と前記凹部上に前記電子供給層の露出面の内側部分を除いて覆い前記電子供給層の露出面の縁部分に接触する炭素層を形成する工程とを有することを特徴とする。

図面の簡単な説明

[0011] [図1]図1は、本発明の実施の形態の電子放出素子の概略断面図である。

[図2]図2は、本発明の実施の形態の電子放出素子の動作を説明するための図である。

[図3]図3は、本発明の実施の形態の電子放出素子の変形例の概略断面図である。

[図4]図4は、本発明の実施の形態の電子放出素子の変形例の概略断面図である。

[図5]図5は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図6]図6は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図7]図7は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図8]図8は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図9]図9は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図10]図10は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図11]図11は、本発明の実施の形態の電子放出素子の製造方法を説明するための図である。

[図12]図12は、本発明の実施の形態の電子放出素子の製造方法の変形例を説明するための図である。

[図13]図13は、本発明の実施例(a)及び比較例(b)の電子放出素子のI-V特性の測定結果を示すグラフである。

符号の説明

- [0012] 1 基板
2 下部電極
3 バリア層
4 電子供給層
5 絶縁体層
6 上部電極
7 凹部
8 炭素層
9 前面基板
10 コレクタ電極
11 蛍光体

発明を実施するための最良の形態

- [0013] 以下、本発明に係る実施の形態について図面を参照して説明する。なお、以下の説明における例示が本発明を限定することはない。
- [0014] 本実施の形態の電子放出素子の断面模式図を図1に示す。
- [0015] 図1に示す電子放出素子は、金属—絶縁体—半導体のMIS構造であり、Si(シリコン)基板などの基板1と、基板1上に形成されるAl(アルミニウム)などの下部電極2と、下部電極2上に形成されTiN(窒化チタン)などからなるバリア層3と、バリア層3上に形成されSiにB(ホウ素)がドーピングされた半導体からなる非結晶質の電子供給層4と、電子供給層4上に形成される SiO_x ($x=0.1\sim 2.0$)などからなる絶縁体層5と、絶縁体層5上に形成されるW(タングステン)などの上部電極(電極)6とを有する。バリア層3は下部電極2のAlが電子供給層4のSiへ拡散することを防止するために設けられている。
- [0016] 電子放出素子には、上部電極6と絶縁体層5が電子供給層4まで切り欠かれた凹部7が設けられ、電子供給層4が凹部7の底面(図中4a部分)で露出している。上部電極6と凹部7上には、電子供給層4の露出面4aの内側部分4bを除いて覆い、露出面4aの縁部分4cに接触する炭素層8が形成されている。そして、炭素層8と接触す

る領域の電子供給層4が結晶相Aとなっている。

[0017] 図2に示すように、電子放出素子の上部電極6側に真空を介して前面基板9上に形成されたコレクタ電極10が配置され、下部電極2と上部電極6間に電圧Vdを印加することで、上部電極6側から電子が放出され、コレクタ電極10に集められる。また、コレクタ電極10上に発光体としての蛍光体層11が形成されており、電子放出素子からコレクタ電極10へ放出された電子が蛍光体層11に衝突することで、蛍光体層11が発光する。

[0018] 凹部7は、上部電極6と絶縁体層5が切り欠かれて電子供給層4が露出した部分であり、円形の底面側から開口部にかけて直径が広がったコーン形状である。凹部7の形状は、これに限定されず、円形、方形、ライン形状などの底面とすることができる。

[0019] また、凹部7の側面は、絶縁体層5の側壁が電子供給層4面となす角 θ が $0 < \theta < 135^\circ$ となるようにするとよい。 θ は0よりも大きければ凹部7を形成することができるが、 θ が 135° 以上となると、炭素層8を凹部7上に形成するときに凹部8の側壁が陰となって炭素層8が凹部7の側壁及び底面の外周縁部分に回り込みにくくなり、連続した炭素層8を形成することができない場合がある。なお、素子が微細であるため、スパッタリング法などを用いることで、 θ が 135° より小さければ、連続した炭素層8を形成することができ、素子を適正に駆動することができる。

[0020] 凹部7がエミッションサイトとして用いられ、通電時にはこの部分に電子が集中して放出される。これによって、電子放出量を維持しながら、凹部7以外の領域の絶縁体層5を厚くし、絶縁体層5のピンホールなどの欠陥を防止することができる。

[0021] 炭素層8は、上部電極6と凹部7上に電子供給層4の露出面4aの内側部分4bを除いて形成されており、上部電極6上から、凹部7の側壁の斜面を覆い、電子供給層4の露出面4aの縁部分4cに接触する。すなわち、炭素層8は電子供給層4の露出面4aのうち縁部分4cのみに接触する。

[0022] 電子供給層4の露出面4aにおいて、電子供給層4と炭素層8の接触部分は、露出面4aの直径に対し外周縁から30%未満の幅、より好ましくは25%未満の幅とするとよい。この範囲で通電時の電流を局所的に集中させるとともに、電子放出量を良好に維持することができる。

- [0023] 炭素層8は、電子供給層4の露出面4aの縁部分4cに接し、内側部分4bには接していないことで、通電時の電流を露出面4aの縁部分4cに集中させ、内側部分4bへの電流の流れを抑制し、電子放出の効率を上げる。また、通電による炭素層8の発熱もまた露出面4aの縁部分4cに限定されるため、熱量を抑えることができる。また、炭素層8の発熱が露出面4aの縁部分4cに集中されるため、電子供給層4の露出面4aの縁部分4cを結晶化し、内側部分4bの結晶化を抑制する。これによって、結晶相Aの領域を狭め、電子供給層4の体積変化を抑えて、素子の損傷又は破壊を防止することができる。
- [0024] 炭素層8の材料としては、無定形炭素、グラファイト、カルビン、フラーレン(C_{2n})、ダイヤモンドライクカーボン、カーボンナノチューブ、カーボンナノファイバー、カーボンナノホーン、カーボンナノコイル、カーボンナノプレート、ダイヤモンドなどの形態の炭素、又は、ZrC、SiC、WC、MoC、HfCなどの炭素化合物などが挙げられる。
- [0025] 炭素層8の厚さとしては、0.1~100nm、より好ましくは0.1~60nmが好ましい。炭素層8が薄いと均質な層を形成しにくくなり、炭素層8が厚過ぎると無効電流が大きくなり素子の効率が低下することがある。
- [0026] 炭素層8の変形例を図3に示す。
- [0027] 図3の炭素層8は、電子供給層4の露出面4aの縁部分4cに接し、内側部分4bでは隆起して盛り上がりドーム形状8aとなっている。
- [0028] このような炭素層8の形状においても、電子供給層4の露出面4aの内側部分4bには炭素層8が接しないで、縁部分4cのみに接するため、図1の素子と同様の効果を発揮する。また、通電時の炭素層8の発熱によって、電子供給層4の露出面4aの縁部分4cのみが結晶化され、その内側部分4bの結晶化を抑制する。
- [0029] また、素子は真空空間で使用されるため、この炭素層8のドーム形状8aの内部8bは真空状態となる。ドーム形状8aの内部8bが真空絶縁状態であることで、エミッションサイト近傍の絶縁性が良好に保たれ、無効電流が低減される。
- [0030] 結晶相Aは、電子供給層4の露出面4aの縁部分4cで、電子供給層4が炭素層8と接触する領域に形成される。好ましくは、結晶相Aは、電子供給層4が炭素層8と接触する部分、すなわち電子供給層4の縁部分4cを中心として断面形状が略半円であ

り、円形の縁部分4cに沿ってリング状に形成される。結晶相Aの断面半円形状の半径としては特に限定されないが、電子供給層4と炭素層8の接触部分を中心として、電子供給層4の露出面4aの中心部分を超えない程度とすることで、結晶相Aをリング状とすることができる。なお、結晶相Aの形状は断面半円形状に限定されず、電子供給層4の露出面4aの内側部分4bを除いて絶縁体層5側の表面近傍全面に結晶相Aが形成されてもよい。

[0031] また、結晶相Aの粒径としては特に限定されないが、0.1nmから上述した結晶相Aの領域に相当する大きさまでとするとよい。0.1nmより小さい粒径では測定装置の解像度の限界を超えるため粒径の調整が難しくなる。

[0032] 電子供給層4の露出面4aの縁部分4cに結晶相Aが形成されることで、通電時に結晶相Aに電流を集中させることができ、低い電圧で電子放出量を増加させることができる。また、結晶相Aが電子供給層4の露出面4aの縁部分4cの領域に局所的に形成され、内側部分4bでの形成が抑制されるため、電子供給層4の体積変化が抑制され素子の破壊を防止することができる。

[0033] また、結晶相Aの断面形状が略半円となることは、通電時に電子供給層4の露出面4aの縁部分4cに電流を集中させジュール熱を発生させた結果であり、すなわち通電時に無効な電流が低減されている状態である。そして、このように効率的に結晶相Aを形成することで、電子供給層4の体積変化を抑えて、素子の変形や破壊を防止することができる。

[0034] また、図4に示すように、結晶相Aの周りに結晶相Aよりも結晶粒径が小さい小粒径の結晶相Bをさらに有してもよい。この結晶相Bは、熱源である炭素層8と電子供給層4の接触界面から離れた位置にあるため、結晶相Aよりも小さな熱量を受けて小さな結晶粒径で形成される。このように、結晶相Aの周囲の電子供給層4が非結晶相ではなく結晶相Bであっても、電子放出量を維持することができる。また、結晶相Bの粒径が小さいため電子供給層4の体積変化を抑えて、素子の変形や破壊を防止することができる。

[0035] この結晶相Bが電子供給層4の露出面4aの中心部を中心として断面形状が略半円となっている構成は、通電時に炭素層8と電子供給層4の接触部分に電流を集中さ

せジュール熱を発生させ、効率的に結晶相Bを形成した結果であり、このような構成によれば、電子供給層4の体積変化を抑え、素子の変形及び破壊を防止することができる。なお、図4の結晶相Bの断面形状は模式的に示されているため横長の半楕円となっているが、結晶相Bの大きさに合わせて電子供給層4を厚くすることで中心から等しい距離で弧を描く略半円とすることも可能である。

[0036] 結晶相Bの結晶粒径は、結晶相Aの結晶粒径よりも小さければよく、好ましくは0.1 nm程度と微小なものである。なお、結晶相Bの結晶粒径を結晶相Aの結晶粒径よりも若干小さい程度と大きくしてもよい。結晶相Bは結晶粒が小さいため、体積膨張も少なく、安定している。

[0037] このような電子放出素子では、上部電極6と下部電極2間に電圧を印加すると、上部電極6側より電子供給層4へ電流が流れ、電子は電子供給層4を拡散しながら上部電極6へ流れるように構成される。そして、通電時には、電子供給層4の露出面4aの縁部分4c、すなわち炭素層8と電子供給層4の接触部分に電流が集中し電流密度が大きくなる。したがって、この部分に電子が集中して電子放出量が増加する。

[0038] また、炭素層8と電子供給層4の接触部分に電流が集中すると高いジュール熱が発生するため、このジュール熱によって、電子供給層4が露出面4aの縁部分4cに沿って結晶相Aとなる。この結晶相Aは温度を下げてもその形態を保つ。結晶相Aが形成されると、以降の通電では、炭素層8と電子供給層4の接触部分に電流が集中する際に、非結晶質の領域から結晶相Aへ電流の流れが促進されるため、この部分にさらに電流を集中させることができる。

[0039] これらの工程を経て、注入電流の一部が絶縁体層5をトンネリングすることにより凹部7から電子が放出される素子となる。すなわち、絶縁体層5には様々な準位にトラップが存在する。電子供給層4から熱励起により注入された電子はホッピング伝導により絶縁体層5のSiO_x中を流れるが、一部は電子供給層4側のトラップに捕獲される。捕獲された電子は固定化されたチャージとして働くため、真空側の絶縁体層5に大きなバンドベンディングを生じ、強電界が生じる。この強電界により電子は高いエネルギーを持つホットエレクトロンとなり、真空中へ放出されると考えられる。

[0040] このような電子放出素子によれば、炭素層と電子供給層の接触部分が限定されて

いるため、この接触部分に電流を集中させ、電子放出の効率を向上することができる。また、この接触部分に通電時の炭素層のジュール熱が集中されるため、電子供給層の結晶相を露出面の縁部分に局所的に形成し、電子放出の効率を維持しながら、結晶化による体積変化を抑えて素子の損傷を防止することができる。

[0041] 次に、本実施の形態の電子放出素子の製造方法について説明する。

[0042] 電子放出素子の製造方法では、基板上に順に下部電極、バリア層、電子供給層、絶縁体層、及び上部電極を形成し、絶縁体層と上部電極を切り欠いて凹部を形成し、この上に炭素層を形成する。そして、凹部底面の内側部分から炭素層を剥離する。または、凹部底面の内側部分上の炭素層を電子供給層面から遠ざかる方向に隆起させてドーム形状とする。

[0043] なお、変形例として、凹部を形成した後に、凹部底面の内側部分に対応するマスクを用いたマスキングによって、炭素層を上部電極上と凹部底面の縁部分上に形成することも可能である。また、電子供給層を形成した後に、マスキングによって、絶縁体層と上部電極を形成して、凹部を作製することも可能である。

[0044] 成膜方法としては、物理堆積法又は化学堆積法を用いることができる。物理堆積法はPVD (Physical vapor deposition) 法として知られ、これには真空蒸着法、分子線エピタキシー法、スパッタリング法、イオン化蒸着法、レーザーアブレーション法などがある。化学堆積法はCVD (Chemical vapor deposition) 法として知られ、これには熱CVD法、プラズマCVD法、OMCVD (Organic-metal chemical vapor deposition) 法などがある。これらの中でも、物理堆積法のスパッタリング法が特に好ましい。

[0045] 電子放出素子の製造方法の一例を図5から図12に示す。

[0046] まず、図5に示すように、熱酸化膜を形成したSi基板1上にAl下部電極2とTiNバリア層3をスパッタリング法により成膜する。バリア層3上に、図6に示すように、B濃度を1.1%の割合でドーピングしたSi+Bからなる非結晶質の電子供給層4をスパッタリング法により成膜する。電子供給層4上に、図7に示すように、SiO_x絶縁体層5をTEOS (Tetra ethoxysilane) を原料ガスに用いたプラズマCVD法により成膜する。なお、絶縁体層5はスパッタリング法によっても形成してもよい。絶縁体層5上に、図8に示すように、W上部電極6をスパッタリング法により成膜する。

- [0047] そして、図9に示すように、フォトエッチング工程により上部電極6と絶縁体層5を電子供給層4まで取り除き凹部7をパターンニング形成する。凹部7形成後、図10に示すように、上部電極6と凹部7上に炭素層8をスパッタリング法により成膜する。
- [0048] 次に、図11に示すように、上部電極6と下部電極2間に電圧を印加することで、炭素層8と電子供給層4が接触している領域で、炭素層8が通電によってジュール熱を発生し、このジュール熱によって電子供給層4の露出面4aの内側部分4bの炭素層8が焼失して剥離される。このとき、炭素層8が露出面4a上に接触したままで電流が流れ、露出面4aに接触する炭素層8全体にジュール熱が発生したことで、露出面4aの内側部分4bの炭素層8が焼失し剥離されたと考えられる。
- [0049] また、図12に示すように、このジュール熱を露出面4aの縁部分4cに集中させるように制御することで、電子供給層4の露出面4aの内側部分4bの炭素層8が熱膨張によって隆起してドーム形状8aとなる。例えば、露出面4aの縁部分4cにくぼみを形成しその部分に電流を集中しやすくすることで図12に示すドーム形状8aとすることができる。なお、凹部7の外周縁部分にくぼみを設けなければ図11に示す剥離状態とすることができる。また、電子供給層へのドーピング量を局所的に変化させることでも炭素層8の剥離状態とドーム形状とを制御することができる。
- [0050] このように炭素層8を隆起させてドーム形状8aとすることで、電子供給層4の露出面4aの内側部分4bから取り除いた炭素層8がドーム形状8aとなり素子上に固定されるため、取り除いた炭素層8を洗浄などで除去する必要がなくなる。
- [0051] また、図9において、凹部7を形成した後に、炭素層8を形成する前の段階で、前処理としてRFプラズマエッチングなどのプラズマ処理、洗浄処理又はベーキングなどの熱処理をしておくことで、その後炭素層8を形成し、炭素層8を電子供給層4の露出面4aの内側部分4bから剥離するとき、炭素層8の剥離を促進することができる。洗浄処理としては、加熱 H_2SO_4 洗浄、薄いHF液洗浄、純水洗浄、アセトン洗浄、アルコール洗浄などが挙げられる。なお、これらの前処理ではそれ以前に成膜した層、特に最表面の層に対してダメージを与えてしまう可能性があるが、それも踏まえた範囲で制御すればよい。
- [0052] 炭素層の剥離又は隆起と同時に、通電時に発生する炭素層8のジュール熱が、電

子供給層4の露出面4aの縁部分4cに伝熱されて、縁部分4cを中心とした領域が加熱されて結晶化し、結晶相Aが形成される。このときの電圧は、低電圧から高電圧にかけて徐々に増加するように掃引して印加し、ダイオード電流が減少し又はダイオード電流に変曲点が発生してエミッション電流が流れるまで行う。

[0053] また、結晶相Aの断面形状を炭素層8との接触部分を中心とした略半円とするためには、炭素層8と電子供給層4の接触部分、すなわち電子供給層4の露出面4aの縁部分4cにジュール熱を集中させて、この縁部分4cから放射状に熱を伝達する。

[0054] 具体的には、結晶相Aの大きさは、電子供給層4の露出面4aの縁部分4cで発生する熱量を制御することで調整することができる。熱量の制御は印加電圧や電圧の掃引速度によって行うことができる。また、通常、基板1上には複数の凹部7を設けて素子を構成するが、凹部7の数(密度)や配列方法によって熱量を制御することができる。

[0055] また、通電時における電圧の掃引速度を制御することで、結晶相Aの大きさを調整することができる。掃引速度を遅くすると凹部7以外の領域まで熱が伝わり、凹部7の温度が上昇しやすくなり、より低電圧で電子供給層4を結晶化させることができる。掃引速度が速すぎると大電流によって素子が破壊することがある。これより、掃引速度を0.001~5V/secとすることで、過度に発生するジュール熱を抑制して結晶相Aの大きさを調整することができる。なお、これより早い掃引速度でも可能である。その場合、印加電圧をある幅を持ったパルス状とするとよい。

[0056] また、通電において素子に流れる電流量を制御、すなわち電流制限を掛けることで電子供給層4の結晶相Aの領域を制御し素子の破壊を防止することができる。この方法では、同様に炭素層8の剥離又は隆起時の変形量を制御することもできる。例えば、トランジスタなどの駆動回路を用いることで電流制限を掛けることができる。

[0057] また、凹部7の角度(θ)と絶縁層5の厚みとを調整することでも、結晶相Aの形状や大きさを制御することができる。

[0058] 結晶相Aの周囲に結晶相Aよりも結晶粒径が小さい結晶相Bを形成するためには、結晶相Aと同様に電子供給層4の露出面4aの縁部分4cの熱量を調整するとよい。また、結晶相Bの断面形状を電子供給層4の露出面4aの中心部を中心とした略半円と

するためには、結晶相Aと同様に調整するとよい。

- [0059] 電子放出素子の製造方法において、炭素層8が剥離し結晶相Aが形成されるまでの工程は、セルフコントロールと総称するメカニズムによって説明される。
- [0060] セルフコントロールによれば、通電によって発生したジュール熱によって炭素層8が自動的に浮き上がり、炭素層8と電子供給層4との接触面積が減ることで、ジュール熱のうち過剰な熱を抑制する。図11に示す炭素層8の剥離は、セルフコントロールが過剰に発生したジュール熱に対応できない場合に起こると考えられ、ジュール熱によって凹部7の内側部分の炭素層8が焼失する。図12に示す炭素層8の隆起は、セルフコントロールで過剰の熱を抑制したときに起こる。この場合、凹部7の内側部分では炭素層8がドーム形状8aとなり空洞の領域8bが発生する。セルフコントロールの結果として、炭素層8と電子供給層4との接触部に電流が集中し、その直下の電子供給層4が結晶化し、結晶相Aが形成される。
- [0061] セルフコントロールによれば、素子の破壊を大幅に低減でき、電子放出素子をより安定的に製造することができるようになる。
- [0062] 炭素層8を電子供給層4の露出面4aの内側部分4bから剥離するためには、炭素層8と内側部分4bとの付着強度の制御が重要となる。
- [0063] 上述したように、炭素層8を形成する前の下地表面に、前処理としてエッチング処理、洗浄処理又は熱処理を行うことで、炭素層8の付着強度を制御することができる。また、炭素層8の成膜条件を制御させたり、炭素層8の材料そのものを変えることで、炭素層8と電子供給層4の付着強度を調整することも可能である。さらに、炭素層8の付着強度は、炭素層8と上部電極6又は電子供給層4との接地面積や形状を変化させるといった構造面からも制御することができる。例えば、凹部7の底面を多段階段構又はデインプル構造にすることによって付着強度を制御することができる。また、凹部7の形状を円形、楕円、長円形、多角形又は閉曲線などにすることも制御することができる。
- [0064] 炭素層8の付着強度を制御することにより、凹部7以外の炭素層8が剥離又は隆起することを防止することができ、凹部7底面の内側部分のみで炭素層8の剥離又は隆起を起こすことができる。

- [0065] 電子放出素子の破壊を防止するために、電子供給層4の結晶相Aの面積は小さくすることが望ましい。
- [0066] 上述したように、炭素層8と電子供給層4の接触面積を限定することで、結晶相Aが形成される領域を接触部分の周辺に抑えることができる。このような構成では、注入電流を低くしても、接触面積が小さいため、接触部分に電流が集中し、高いジュール熱を得ることができる。すなわち、炭素層8が電子供給層4に接する部分の面積が小さいという構造によって、少ない注入電流を用いて、電子供給層4全体の結晶化を防止しながら、この接触部分に電流を集中させ、高いジュール熱を得て、局所的に結晶相Aを形成することができる。
- [0067] 電子供給層4の結晶相Aを狭い方向へ抑制することができるため、電子放出素子の微細化を考えた場合に有利である。結晶化領域の抑制は、低電流動作する素子の作製につながる。すなわち消費電力を低減することができる。また、電子放出素子は通常、真空中に封止した形で電子を放出させるので、素子の破壊を抑制できるとしてガス放出が低減し、装置全体として長寿命化することができる。
- [0068] 電子供給層の材料としては、上述したスパッタ法やCVD法により成膜したIIIb族或いはVb族の元素をドーピングしたアモルファスシリコン(a-Si)が特に有効であるが、a-Siのダンプリングボンドを水素で終端させた水素化アモルファスシリコン、更にSiの一部を炭素で置換した水素化アモルファスシリコンカーバイトや、Siの一部を窒素で置換した水素化アモルファスシリコンナイトライド、又はSiの代わりにゲルマニウム、Ge-Si、炭化シリコン、砒素ガリウム、リン化インジウム、セレン化カドミウム又はCuInTe₂など、IV族、III-V族、II-VI族などの単体半導体及び化合物半導体なども用いられ、ホウ素、ガリウム、リン、インジウム、砒素又はアンチモンをドーピングしたシリコンなども用いられる。又はAl、Au、Ag、Cuなどの金属でも有効であるが、Sc、Ti、Cr、Mn、Fe、Co、Ni、Zn、Ga、Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Cd、Ln、Sn、Ta、W、Re、Os、Ir、Pt、Tl、Pb、La、Ce、Pr、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luなども用いられる。
- [0069] この電子供給層の厚みは、0.1nm～10 μ mとするとよい。0.1nm未満であると均質な層を形成しにくく結晶相Aを適正に形成することができないことがあり、10 μ mよ

り厚いと成膜時間が長くなるという問題がある。

[0070] また、Si+Bの電子供給層では、Bのドーピング濃度を0.1~20.0%とするとよい。Bのドーピング濃度を低くした方が膜浮きが軽減され、素子の破壊抑制につながるが、Bのドーピング濃度が少な過ぎても抵抗値が高くなるため、高い印加電圧が必要となる。

[0071] 絶縁体層の材料としては、上述した SiO_x (xは原子比を示す)が特に有効であるが、 LiO_x 、 LiN_x 、 NaO_x 、 KO_x 、 RbO_x 、 CsO_x 、 BeO_x 、 MgO_x 、 MgN_x 、 CaO_x 、 CaN_x 、 SrO_x 、 BaO_x 、 ScO_x 、 YO_x 、 YN_x 、 LaO_x 、 LaN_x 、 CeO_x 、 PrO_x 、 NdO_x 、 SmO_x 、 EuO_x 、 GdO_x 、 TbO_x 、 DyO_x 、 HoO_x 、 ErO_x 、 TmO_x 、 YbO_x 、 LuO_x 、 TiO_x 、 ZrO_x 、 ZrN_x 、 HfO_x 、 HfN_x 、 ThO_x 、 VO_x 、 VN_x 、 NbO_x 、 NbN_x 、 TaO_x 、 TaN_x 、 CrO_x 、 CrN_x 、 MoO_x 、 MoN_x 、 WO_x 、 WN_x 、 MnO_x 、 ReO_x 、 FeO_x 、 FeN_x 、 RuO_x 、 OsO_x 、 CoO_x 、 RhO_x 、 IrO_x 、 NiO_x 、 PdO_x 、 PtO_x 、 CuO_x 、 CuN_x 、 AgO_x 、 AuO_x 、 ZnO_x 、 CdO_x 、 HgO_x 、 BO_x 、 BN_x 、 AlO_x 、 AlN_x 、 GaO_x 、 GaN_x 、 InO_x 、 SiN_x 、 GeO_x 、 SnO_x 、 PbO_x 、 PO_x 、 PN_x 、 AsO_x 、 SbO_x 、 SeO_x 、 TeO_x などの金属酸化物又は金属窒化物を用いることができる。

[0072] また、 LiAlO_2 、 Li_2SiO_3 、 Li_2TiO_3 、 $\text{Na}_2\text{Al}_2\text{O}_4$ 、 NaFeO_2 、 Na_4SiO_4 、 K_2SiO_3 、 K_2TiO_3 、 K_2WO_4 、 Rb_2CrO_4 、 CS_2CrO_4 、 MgAl_2O_4 、 MgFe_2O_4 、 MgTiO_3 、 CaTiO_3 、 CaWO_4 、 CaZrO_3 、 $\text{SrFe}_{12}\text{O}_{19}$ 、 SrTiO_3 、 SrZrO_3 、 BaAl_2O_4 、 $\text{BaFe}_{12}\text{O}_{19}$ 、 BaTiO_3 、 $\text{Y}_3\text{Al}_5\text{O}_{12}$ 、 $\text{Y}_3\text{Fe}_5\text{O}_{12}$ 、 LaFeO_3 、 $\text{La}_3\text{Fe}_5\text{O}_{12}$ 、 $\text{La}_2\text{Ti}_2\text{O}_7$ 、 CeSnO_4 、 CeTiO_4 、 $\text{Sm}_3\text{Fe}_5\text{O}_{12}$ 、 EuFeO_3 、 $\text{Eu}_3\text{Fe}_5\text{O}_{12}$ 、 GdFeO_3 、 $\text{Gd}_3\text{Fe}_5\text{O}_{12}$ 、 DyFeO_3 、 $\text{Dy}_3\text{Fe}_5\text{O}_{12}$ 、 HoFeO_3 、 $\text{Ho}_3\text{Fe}_5\text{O}_{12}$ 、 ErFeO_3 、 $\text{Er}_3\text{Fe}_5\text{O}_{12}$ 、 TmFeO_3 、 LuFeO_3 、 $\text{Lu}_3\text{Fe}_5\text{O}_{12}$ 、 NiTiO_3 、 Al_2TiO_3 、 FeTiO_3 、 BaZrO_3 、 LiZrO_3 、 MgZrO_3 、 HfTiO_4 、 NH_4VO_3 、 AgVO_3 、 LiVO_3 、 BaNb_2O_6 、 NaNbO_3 、 SrNb_2O_6 、 KTaO_3 、 NaTaO_3 、 SrTa_2O_6 、 CuCr_2O_4 、 Ag_2CrO_4 、 BaCrO_4 、 K_2MoO_4 、 Na_2MoO_4 、 NiMoO_4 、 BaWO_4 、 Na_2WO_4 、 SrWO_4 、 MnCr_2O_4 、 MnFe_2O_4 、 MnTiO_3 、 MnWO_4 、 CoFe_2O_4 、 ZnFe_2O_4 、 FeWO_4 、 CoMoO_4 、 CoTiO_3 、 CoWO_4 、 NiFe_2O_4 、 NiWO_4 、 CuFe_2O_4 、 CuMoO_4 、 CuTiO_3 、 CuWO_4 、 Ag_2MoO_4 、 Ag_2WO_4 、 ZnAl_2O_4 、 ZnMoO_4 、 ZnWO_4 、 CdSnO_3 、 CdTiO_3 、 CdMoO_4 、 CdWO_4 、 NaAlO_2 、 MgAl_2O_4 、 SrAl_2O_4 、 $\text{Gd}_3\text{Ga}_5\text{O}_{12}$

、 InFeO_3 、 MgIn_2O_4 、 Al_2TiO_5 、 FeTiO_3 、 MgTiO_3 、 Na_2SiO_3 、 CaSiO_3 、 ZrSiO_4 、 K_2GeO_3 、 Li_2GeO_3 、 Na_2GeO_3 、 $\text{Bi}_2\text{Sn}_3\text{O}_9$ 、 MgSnO_3 、 SrSnO_3 、 PbSiO_3 、 PbMoO_4 、 PbTiO_3 、 SnO_2 — Sb_2O_3 、 CuSeO_4 、 Na_2SeO_3 、 ZnSeO_3 、 K_2TeO_3 、 K_2TeO_4 、 Na_2TeO_3 、 Na_2TeO_4 などの金属複合酸化物、 FeS 、 Al_2S_3 、 MgS 、 ZnS などの硫化物、 LiF 、 MgF_2 、 SmF_3 などのフッ化物、 HgCl 、 FeCl_2 、 CrCl_3 などの塩化物、 AgBr 、 CuBr 、 MnBr_2 などの臭化物、 PbI_2 、 CuI 、 FeI_2 などのヨウ化物、 LaB_6 、 CeB_6 などのランタノイド硼化合物、 TiB_2 、 ZrB_2 、 HfB_2 などの金属硼化合物、又は、 SiAlON などの金属酸化窒化物としても絶縁体層の材料として有効である。

[0073] さらに、絶縁体層の材料としてダイヤモンド、フラーレン(C_{2n})などの炭素、或いは、 Al_4C_3 、 B_4C 、 CaC_2 、 Cr_3C_2 、 Mo_2C 、 MoC 、 NbC 、 SiC 、 TaC 、 TiC 、 VC 、 W_2C 、 WC 、 ZrC などの金属炭化物も有効である。なお、フラーレン(C_{2n})は炭素原子だけからなり C_{60} に代表される球面籠状分子で C_{32} ～ C_{960} などがあり、また、上式中、 O_x 、 N_x の x は原子比を表す。

[0074] この絶縁体層の凹部以外の厚みは50nm以上、好ましくは100nm～1 μm 程度とする。本実施の形態では、凹部がエミッションサイトとして機能するため、凹部以外の領域の絶縁体層を厚くしても、電子放出量を増加することができる。これによって、絶縁体層の膜厚を増加してリーク電流を低減することで、その分必要なジュール熱に当てるのが可能である。なお、絶縁体層の膜厚が厚過ぎるとそれ以降の層のカバレッジが悪くなり、また、放出電子量が減少することがある。TEOSを用いたプラズマCVDによればリーク電流の原因となる欠陥を少なくすることができ絶縁体層を50nmとすることができる。スパッタリング法では100nm～1 μm とすることで欠陥を良好に防止することができる。

[0075] また、下部電極2の材料としては、上述したAlの他、Au、Pt、Wなどの一般にICの配線に用いられる材料や、クロム、ニッケル、クロムの3層構造、AlとNdの合金、AlとMoの合金、TiとNの合金などを用いることができる。

[0076] また、上部電極6の材料としては、上述したWの他、Pt、Au、Ru、Irなどの金属が有効であるが、Be、C、Al、Si、Sc、Ti、V、Br、Mn、Fe、Co、Ni、Cu、Zn、Ga、Y、Zr、Nb、Mo、Tc、Rh、Pd、Ag、Cd、In、Sn、Ta、Re、Os、Tl、Pb、La、Ce、Pr

、Nd、Pm、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Luなどを用いることができる。

実施例

[0077] 次に、本発明の実施例について説明する。

[0078] 本実施例では、熱酸化膜を形成したSi基板1上にAl下部電極2とTiNバリア層3をそれぞれスパッタリング法により膜厚600nmと150nmで成膜した。その上に、B濃度を1.1%の割合でドーピングした非結晶質のSiからなる電子供給層4をスパッタリング法により膜厚8.4 μ mで成膜した。その上に、SiO_x絶縁体層5をTEOSを用いたプラズマCVD法により膜厚300nmで成膜した。その上に、W上部電極6をスパッタリング法により膜厚60nmで成膜した。そして、上部電極6と絶縁体層5をフォトエッチング工程によって電子供給層4まで除去して深さ360nmの凹部7を形成した。凹部7において絶縁体層5の側面と電子供給層4のなす角 θ を70~100°の範囲で形成した。この凹部7は基板1上に10 μ m間隔で4×4個のマトリクス状に16個形成した。次に、炭素層8形成前の前処理として真空中で350℃のベーキング処理を2時間行った。その後、上部電極6と凹部7上に炭素層8をスパッタリング法により膜厚60nmで成膜した。

[0079] 比較例としては、炭素形成前に前処理としてベーキング処理を行わなかった他は、上述した実施例と同様の工程で素子を作製した。

[0080] 次に、上述した実施例と比較例の素子を真空中に設置し、上部電極6の上方にコレクタ電極10を配置した。上部電極6とコレクタ電極10の距離を2mmとした。上部電極6とコレクタ電極10間に1kVの電圧を印加した状態で、下部電極2と上部電極6間に20Vまでの電圧を掃引速度0.33V/sで印加した。この通電処理後の断面形状をTEMによって観察し、表面形状をSEMによって観察した。また、このときのサイト1個あたりのI-V特性を測定し、結果を図13に示す。図13(a)は本実施例の素子であり、図13(b)は比較例の素子である。なお、上記通電処理における掃引速度を含む電圧印加の条件は、一条件を提示するものであり、本発明はこれらに限定されるものでない。

[0081] TEM観察の結果、本実施例の炭素層8は、電子供給層4の露出面4aの縁部分4c

に接し、内側部分4bで隆起して盛り上がりドーム状8aとなっていることがわかった。これは、炭素層8の形成前に熱処理によって前処理をしたことで、通電時にセルフコントロール処理が働き、炭素層8が隆起したためと考えられる。また、炭素層8が電子供給層4の露出面4aの縁部分4cに接している箇所を中心として、電子供給層4が結晶相Aとなっていることがわかった。結晶相Aの断面形状は、略半円であり、電子供給層4の上面から深さ0.4 μm までであった。これは、炭素層8が電子供給層4の露出面4aの縁部分4cのみに接触するため、通電時のジュール熱を縁部分4cに集中させ内側部分4bの結晶化を抑制したためと考えられる。

[0082] これに対し、比較例の炭素層は、電子供給層の露出面の全面に接していた。そして、電子供給層の結晶相は、電子供給層の上面から5.0 μm まで深く広がり、本実施例よりも広い範囲で結晶化が進んでいた。これは、炭素層の形成前に前処理を行わなかったため、セルフコントロール処理が働かず、電子供給層と炭素層が接する面積が広くなり、通電時の炭素層からのジュール熱を過剰に受けて、電子供給層の結晶相が広がったと考えられる。

[0083] SEM観察の結果、本実施例の素子の表面状態には損傷が観察されなかったが、比較例では、円形凹部の縁部分を中心にして膨らみが観察され表面形状が損傷を受けているものがあつた。これは、比較例では炭素層が凹部底面全面に接するためジュール熱が大きくなり、電子供給層が広い範囲で結晶化して体積変化が大きくなり盛り上がったためと考えられる。

[0084] 本実施例のI-V特性は、図13(a)に示すように、ダイオード電流が印加電圧15V付近で減少し、エミッション電流が発生している。これは、下部電極2と上部電極6間の印加電圧が一定値を超えると、凹部7をエミッションサイトとして電子が放出されたためと考えられる。

[0085] 図13(b)に示す比較例では、印加電圧15V付近でダイオード電流が減少し、エミッション電流が発生しているが、このエミッション電流は電圧値が高くなるにつれて減少し、図13(a)に示す本実施例のものより小さな値である。

[0086] このように、本実施例では、上述したTEM及びSEM観察からわかるようにセルフコントロール処理が働いたため、炭素層8が電子供給層4の露出面4aの内側部分4bか

ら隆起し、通電時に電流が露出面4aの縁部分4cに集中して、電子放出が効率的に行われたと考えられる。

[0087] 以上説明したように、本発明の電子放出素子は、非結晶質の電子供給層と、電子供給層上に形成された絶縁体層と、絶縁体層上に形成された電極とを有し、電子供給層と電極間に電界が印加されたときに電子を放出する電子放出素子であって、電極と絶縁体層が切り欠かれ電子供給層が露出した凹部と、電極と凹部上を電子供給層の露出面の内側部分を除いて覆い電子供給層の露出面の縁部分に接触する炭素層とを有することで、電子放出の効率を向上させるとともに素子の損傷を防止することができる。

[0088] 本発明の電子放出素子を用いた表示装置は、電子放出素子と、電子放出素子から放出される電子が衝突することで発光する発光体とを有し、電子放出素子が上記した電子放出素子であることで、電子放出の効率を向上させるとともに素子の損傷を防止することができ、省エネルギーで長寿命の表示装置を提供することができる。

[0089] 本発明の電子放出素子の製造方法は、非結晶質の電子供給層と、電子供給層上に形成された絶縁体層と、絶縁体層上に形成された電極とを有し、電子供給層と電極間に電界が印加されたときに電子を放出する電子放出素子の製造方法であって、電極と絶縁体層が切り欠かれ電子供給層が露出した凹部を形成する工程と、電極と凹部上に電子供給層の露出面の内側部分を除いて覆い電子供給層の露出面の縁部分に接触する炭素層を形成する工程とを有することで、電子放出の効率を向上させるとともに素子の損傷を防止することができる。

[0090] 以上、本発明の具体的な実施形態に関して説明したが、本発明の範囲を逸脱しない限り様々な変形が可能であることは、当該技術分野における通常の知識を有する者にとって自明なことである。従って、本発明の技術的範囲は、上述した実施形態に限定されるものではなく、特許請求の範囲及びこれと均等なものに基づいて定められるべきである。

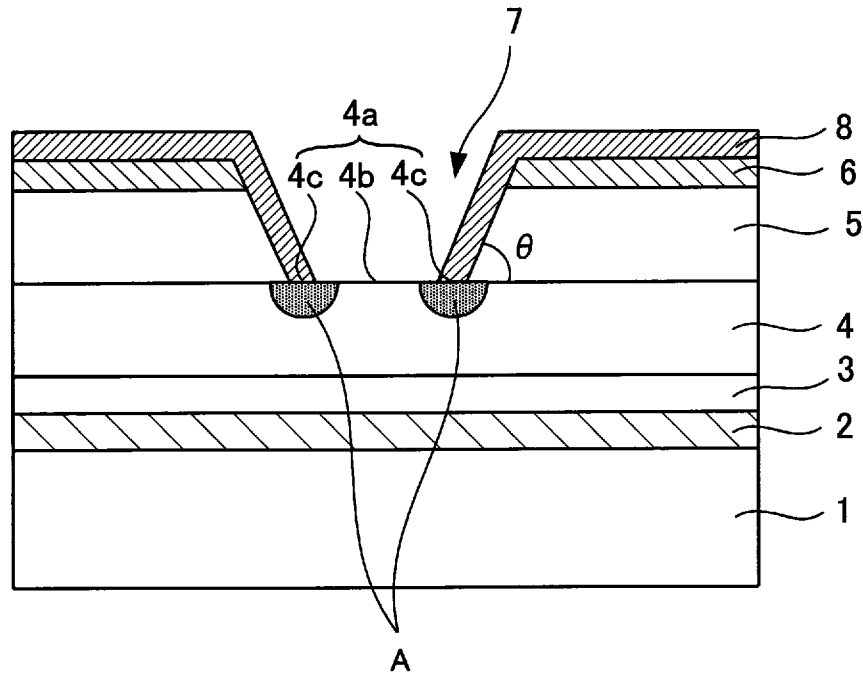
請求の範囲

- [1] 非結晶質の電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された電極とを有し、前記電子供給層と前記電極間に電界が印加されたときに電子を放出する電子放出素子であって、
- 前記電極と前記絶縁体層が切り欠かれ前記電子供給層が露出した凹部と、前記電極と前記凹部上を前記電子供給層の露出面の内側部分を除いて覆い前記電子供給層の露出面の縁部分に接触する炭素層とを有することを特徴とする電子放出素子。
- [2] 前記炭素層は、前記電子供給層の露出面の内側部分上でドーム形状となることを特徴とする請求項1に記載された電子放出素子。
- [3] 前記ドーム形状の内部は真空であることを特徴とする請求項2に記載された電子放出素子。
- [4] 前記炭素層と接触する領域の前記電子供給層が結晶相であることを特徴とする請求項1から3のいずれか1項に記載された電子放出素子。
- [5] 前記結晶相の断面形状は略半円であることを特徴とする請求項4に記載された電子放出素子。
- [6] 前記結晶相の周囲が前記結晶相よりも結晶粒子が小さい小粒径の結晶相であることを特徴とする請求項4又は5に記載された電子放出素子。
- [7] 前記小粒径の結晶相の断面形状は略半円であることを特徴とする請求項6に記載された電子放出素子。
- [8] 電子放出素子と、前記電子放出素子から放出される電子が衝突することで発光する発光体とを有し、前記電子放出素子が請求項1から7のいずれか1項に記載された電子放出素子であることを特徴とする電子放出素子を用いた表示装置。
- [9] 非結晶質の電子供給層と、前記電子供給層上に形成された絶縁体層と、前記絶縁体層上に形成された電極とを有し、前記電子供給層と前記電極間に電界が印加されたときに電子を放出する電子放出素子の製造方法であって、
- 前記電極と前記絶縁体層が切り欠かれ前記電子供給層が露出した凹部を形成する工程と、前記電極と前記凹部上に前記電子供給層の露出面の内側部分を除いて

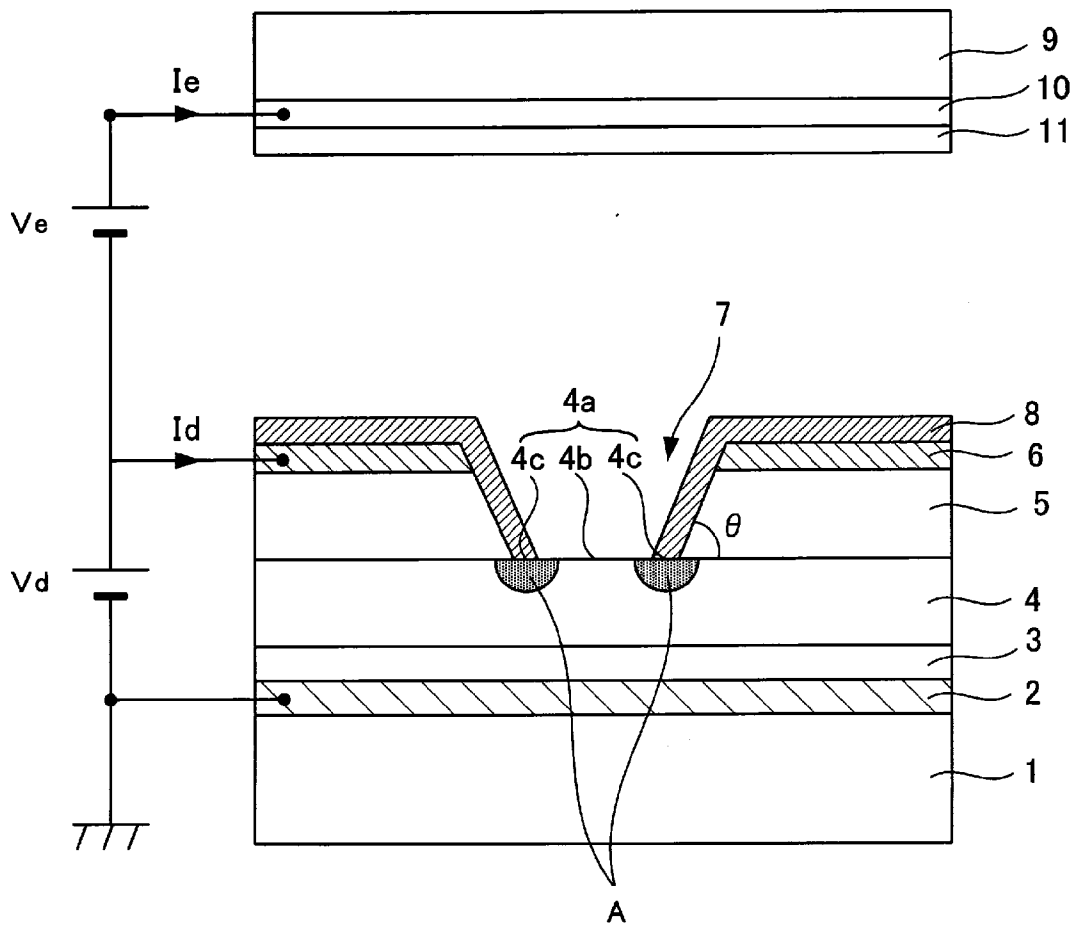
覆い前記電子供給層の露出面の縁部分に接触する炭素層を形成する工程とを有することを特徴とする電子放出素子の製造方法。

- [10] 前記炭素層を形成する工程では、前記電極と前記凹部上に前記炭素層を形成し、前記電子供給層と前記電極間に通電を行い、前記炭素層から発生するジュール熱によって、前記電子供給層の露出面の内側部分上から前記炭素層を剥離することを特徴とする請求項9に記載された電子放出素子の製造方法。
- [11] 前記炭素層を形成する工程では、前記電極と前記凹部上に前記炭素層を形成し、前記電子供給層と前記電極間に通電を行い、前記炭素層から発生するジュール熱によって、前記電子供給層の露出面の内側部分上の前記炭素層を隆起させドーム状とすることを特徴とする請求項9に記載された電子放出素子の製造方法。
- [12] 前記炭素層を形成する前の面にエッチング処理、洗浄処理又は熱処理を行うことを特徴とする請求項9から11のいずれか1項に記載された電子放出素子の製造方法。
- [13] 前記電子供給層と前記電極間に通電を行い、前記炭素層から発生するジュール熱によって、前記炭素層と接触する領域の前記電子供給層を結晶化する工程を有することを特徴とする請求項9から12のいずれか1項に記載された電子放出素子の製造方法。

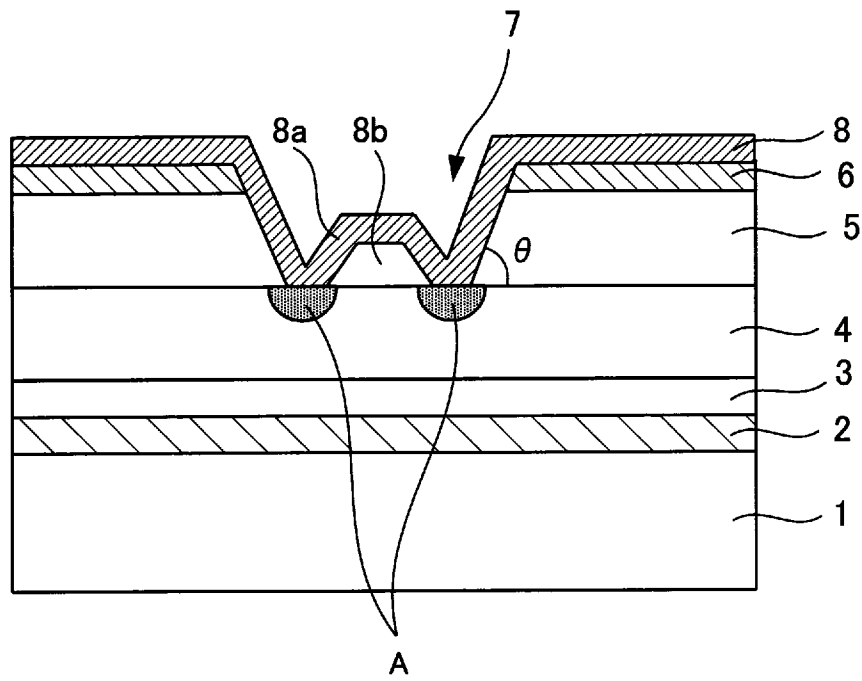
[図1]



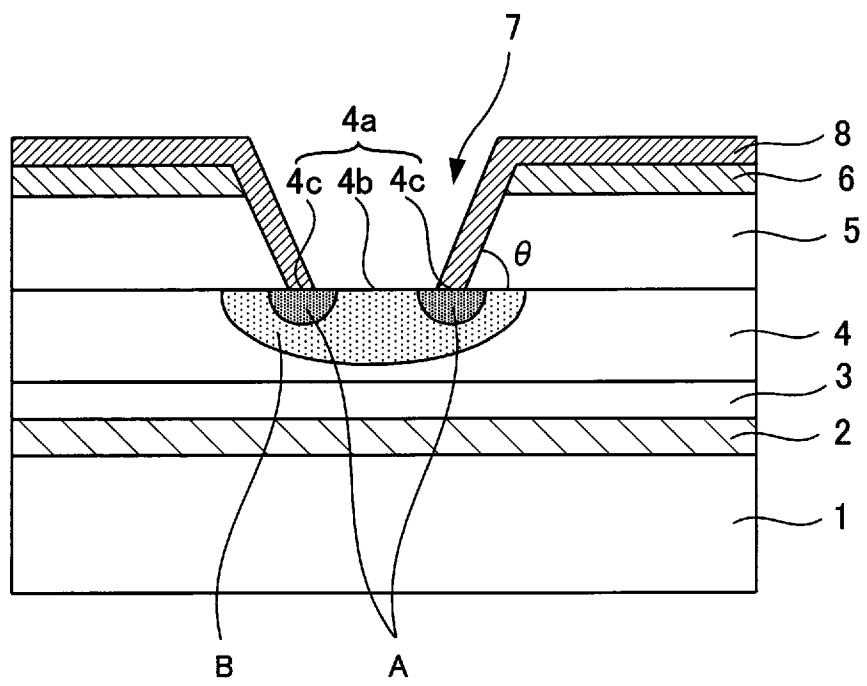
[図2]



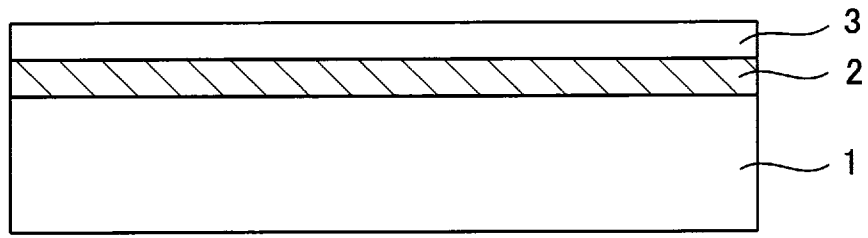
[図3]



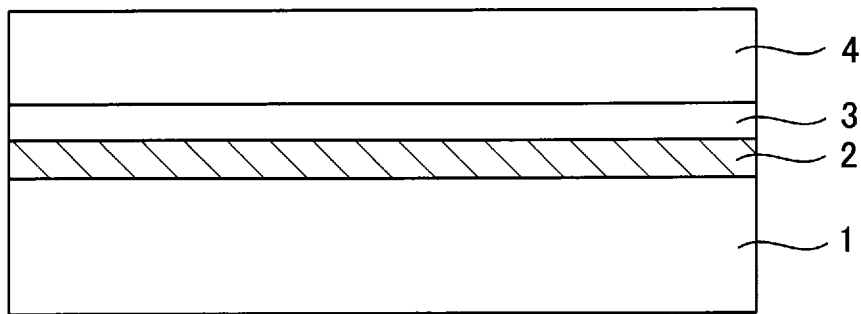
[図4]



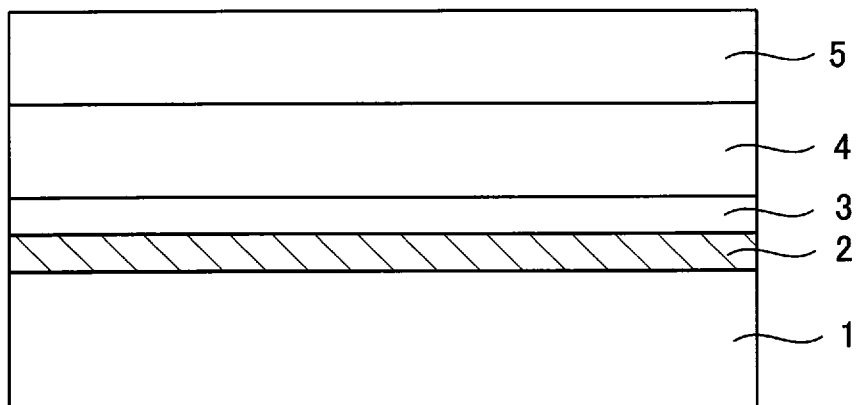
[図5]



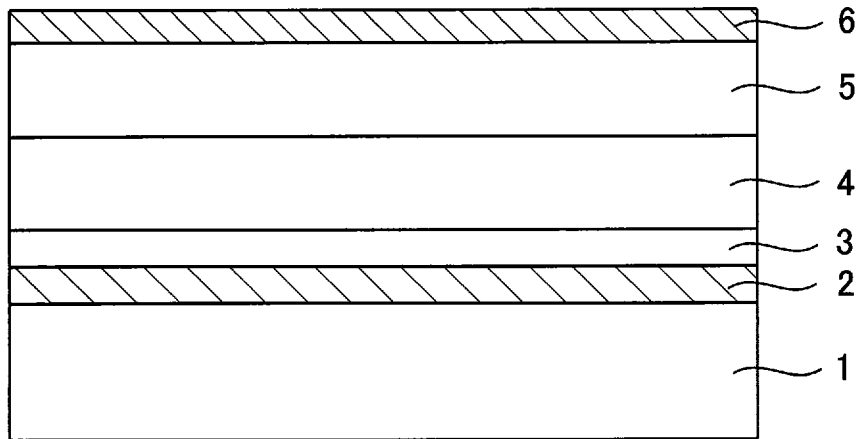
[図6]



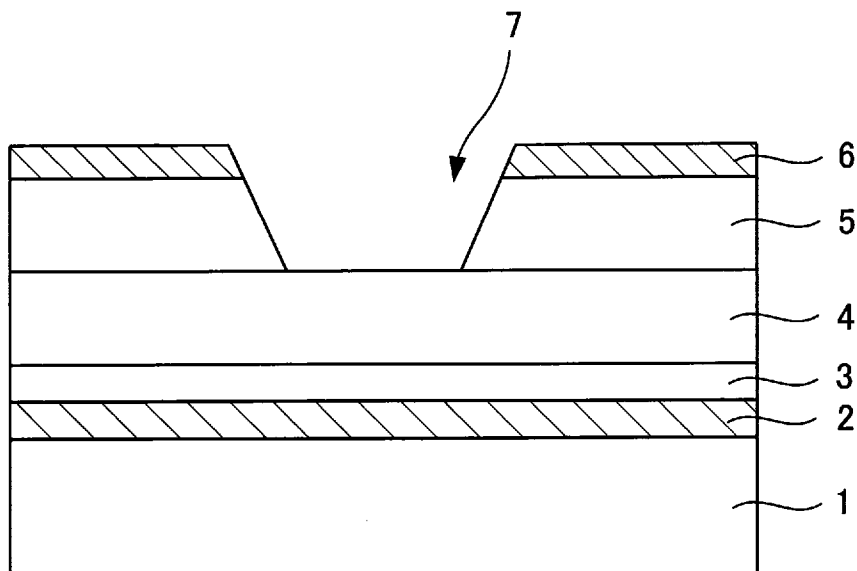
[図7]



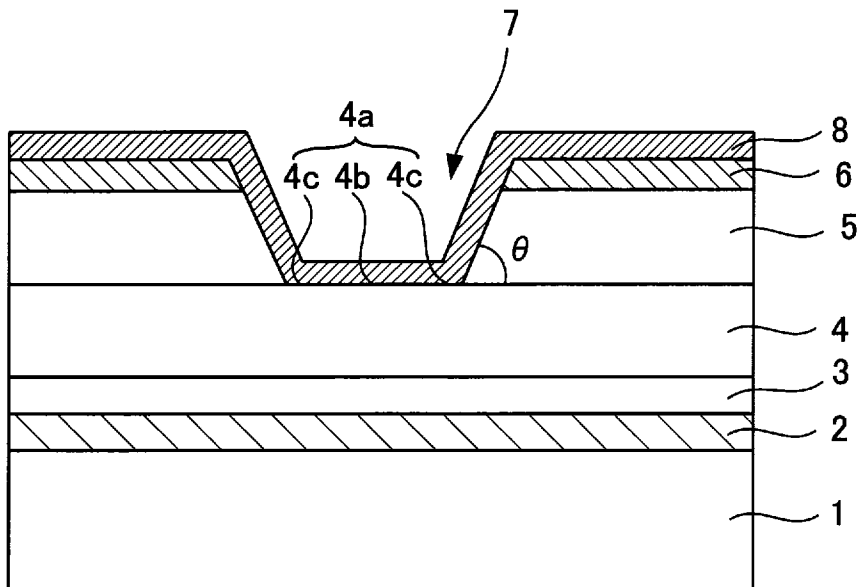
[図8]



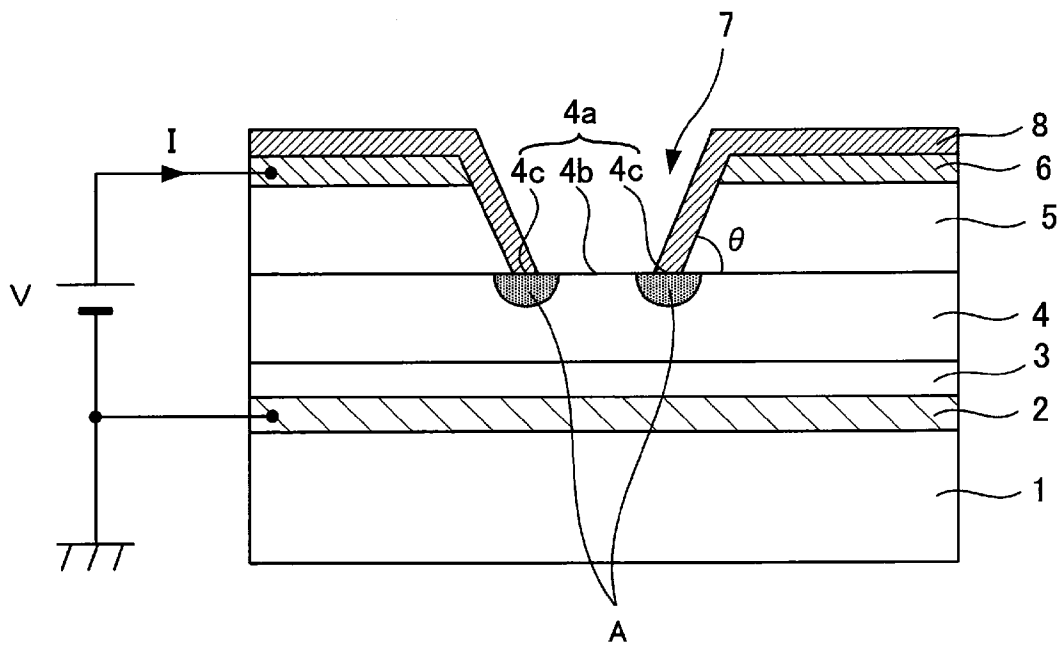
[図9]



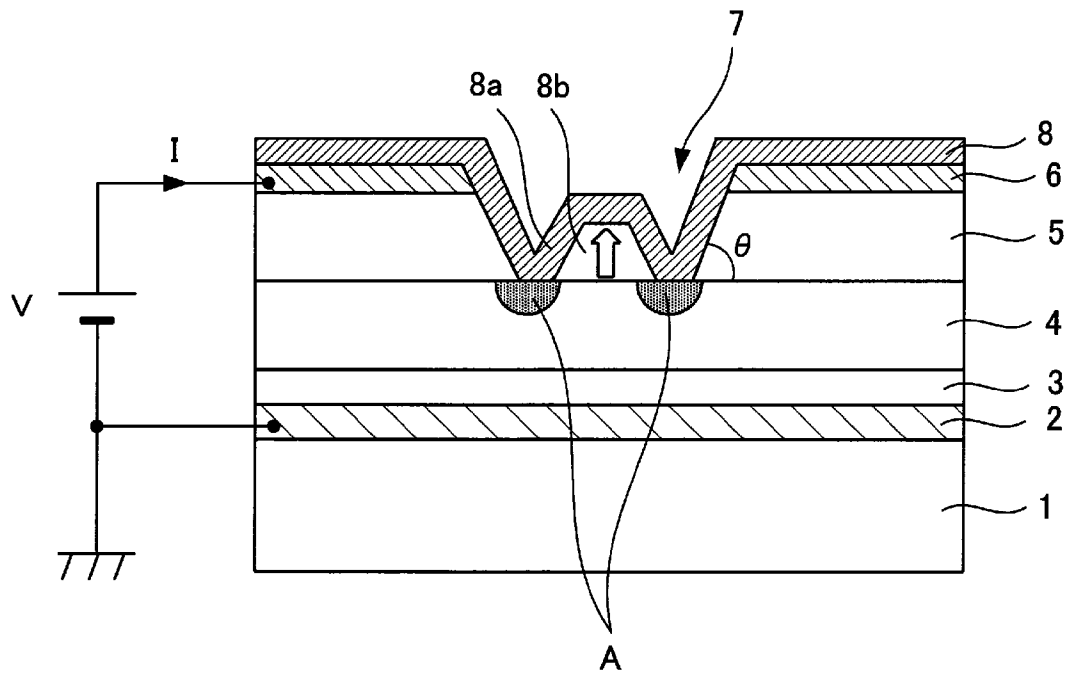
[図10]



[図11]

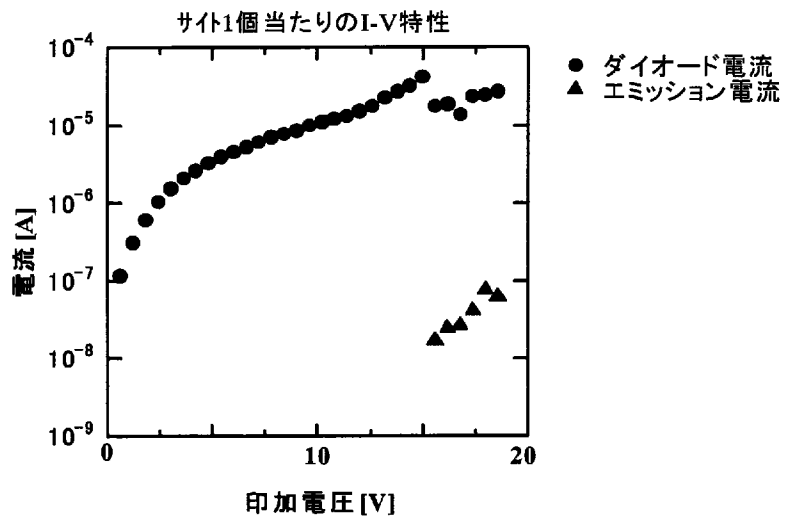


[図12]

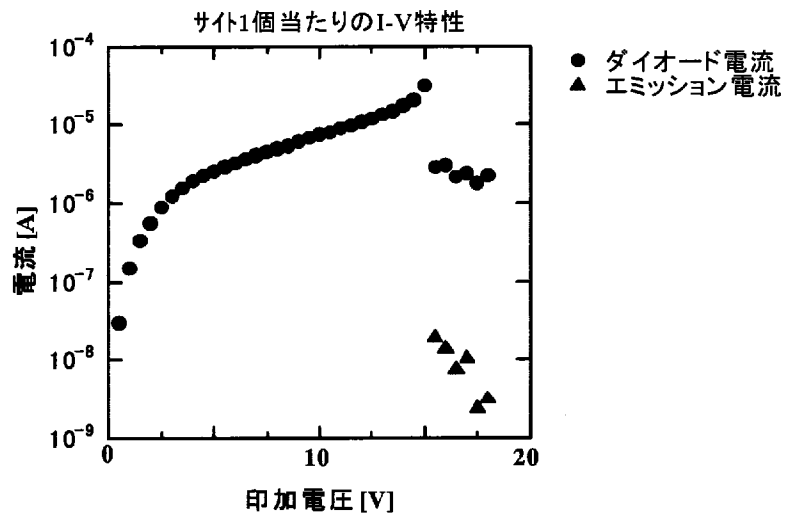


[図13]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056214

A. CLASSIFICATION OF SUBJECT MATTER

H01J1/312(2006.01) i, H01J9/02(2006.01) i, H01J29/04(2006.01) i, H01J31/12(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01J1/312, H01J9/02, H01J29/04, H01J31/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDream2)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-512280 A (Pioneer Electronic Corp.), 28 April, 2005 (28.04.05), Par. Nos. [0061] to [0092], [0107]; Figs. 1 to 12, 20 & WO 2003/049132 A1 & AU 2002354424 A1 & EP 1421594 A1 & US 2004/0251841 A1 & CN 1599941 A	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
11 May, 2007 (11.05.07)

Date of mailing of the international search report
22 May, 2007 (22.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01J1/312(2006.01)i, H01J9/02(2006.01)i, H01J29/04(2006.01)i, H01J31/12(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01J1/312, H01J9/02, H01J29/04, H01J31/12

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2007年
 日本国実用新案登録公報 1996-2007年
 日本国登録実用新案公報 1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 JSTPlus(JDream2)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-512280 A (パイオニア株式会社) 2005.04.28, 【0061】-【0092】、【0107】、【図1】-【図12】、【図20】 &WO 2003/049132 A1 &AU 2002354424 A1 &EP 1421594 A1 &US 2004/0251841 A1 &CN 1599941 A	1-13

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 11.05.2007	国際調査報告の発送日 22.05.2007
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 波多江 進 電話番号 03-3581-1101 内線 3226