(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102005439 B
(45)授权公告日 2013.05.29

(21)申请号 201010258686.6
(22)申请日 2010.08.20
(30)优先权数据
2009-197153 2009.08.27 JP
(73)专利权人 索尼公司
地址 日本东京
(72)发明人 御手洗俊 外崎峰广 池田浩一
(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 冯丽欣 陈桂香
(51)Int.Cl.
H01L 25/00(2006.01)
H01P 1/203(2006.01)

(56)对比文件
CN 1392755 A,2003.01.22,
US 2003060172 A1,2003.03.27,
CN 1694250 A,2005.11.09,

审查员 韩冰

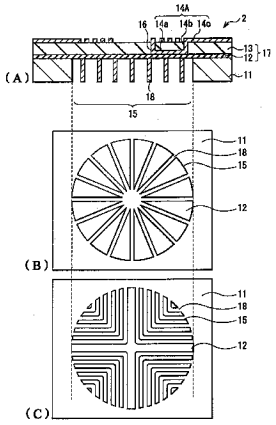
权利要求书1页 说明书6页 附图8页

(54)发明名称

高频器件

(57)摘要

本发明公开了具有机械强度得到提高的隔膜结构的高频器件。所述高频器件包括：基板，它具有开口；第一介电层，它由对所述基板的材料具有蚀刻选择性的材料形成，并被设置在所述基板上且覆盖所述开口；第二介电层，它位于所述第一介电层上；以及高频元件，它被设置在所述第二介电层上与所述开口相对的位置处。因此，提高了机械强度，并且提高了制造产率。



CN 102005439 B

1. 一种高频器件，其包括：

基板，它具有开口；

第一介电层，它由对所述基板的材料具有蚀刻选择性的材料形成，并被设置在所述基板上且覆盖所述开口；

第二介电层，它位于所述第一介电层上；以及

高频元件，它被设置在所述第二介电层上与所述开口相对的位置处，

其中，与所述基板一体形成有用于所述第一介电层和所述第二介电层的加强结构，并且所述加强结构具有将所述开口的内部分成多个区域的图形。

2. 如权利要求 1 所述的高频器件，其中，所述高频元件是电感器、天线、电容器或者传输线。

3. 如权利要求 2 所述的高频器件，其中，所述高频元件是电感器，并且所述加强结构具有将所述开口的内部从中央分成多个区域的放射状图形。

4. 如权利要求 2 所述的高频器件，其中，所述高频元件是具有线状辐射元件的天线，并且所述加强结构具有与所述辐射元件的长度方向垂直的图形。

5. 如权利要求 1 所述的高频器件，其中，所述基板由导电材料形成。

6. 如权利要求 1 所述的高频器件，其中，所述第二介电层由有机材料形成。

7. 如权利要求 6 所述的高频器件，其中，所述有机材料是苯并环丁烯、聚对二甲苯或聚酰亚胺。

8. 如权利要求 1 所述的高频器件，其中，所述介电层由无机材料形成。

9. 如权利要求 8 所述的高频器件，其中，所述无机材料是氧化硅或氮化硅。

10. 一种高频器件，其包括：

基板，它具有开口；

介电层，它被设置在所述基板上且覆盖所述开口；

高频元件，它被设置在所述介电层上与所述开口相对的位置处；以及

加强结构，它用于所述介电层且与所述基板一体形成，并具有将所述开口的内部分成多个区域的图形。

高频器件

[0001] 相关申请的交叉参考

[0002] 本申请包含与2009年8月27向日本专利局提交的日本优先权专利申请JP 2009-197153所公开的内容相关的主题，在此将该日本优先权专利申请的全部内容以引用的方式并入本文中。

技术领域

[0003] 本发明涉及用于微电子机械系统(Micro Electro Mechanical Systems,MEMS)的高频器件。

背景技术

[0004] 随着Si-CMOS(Complementary Metal Oxide Semiconductor,互补型金属氧化物半导体）的小型化，晶体管屏蔽频率已经飞跃地提高到100GHz以上。因此，不言而喻，能够适用于主要在现有无线器件中使用的几GHz频带，另外，期望能够适用于60GHz以上的毫米波段。这种应用是所谓的RF-CMOS电路。利用CMOS将基带部和RF前端部集成到一个芯片上，能够实现成本的大幅度降低，从而促进RF-CMOS电路的活跃发展。

[0005] RF-CMOS电路发展中的一项任务例如是电感器。在RF-CMOS中，使用阻抗（从几Ω cm～几kΩ cm）比在化合物半导体中使用的半绝缘性GaAs基板的阻抗低的Si基板。因此，在基板上形成有电感器的情况下，会产生该电感器与基板的电容性耦合以及涡流损耗等。结果，CMOS片上电感器的Q值减小，这是实现RF-CMOS电路的低电力消耗和低成本的障碍之一。

[0006] 作为提高包括电感器的高频元件的Q值的试验，已经进行了如下试验。即，通过将基板的一部分除去，试图减小高频元件与基板之间的寄生电容，或者试图抑制涡流损耗。例如，已经报导了下面的示例（例如，C.Y.Chi和G.M.Rebeiz的“Planer microwave and millimeter-wave lumped elements and coupled-line filters using micromachining techniques”IEEE Trans.Microwave Theory Tech.，vol.43，No.4，第730-738页，1995)。在本示例中，在通过使用氢氧化钾从Si基板的背面进行蚀刻而形成的隔膜上设置电感器。因此，提高了谐振频率，并且实现了高Q值（在30～40GHz下，Q值为50～60)。此外，下面还有另一个示例（例如，日本专利公开公报特开2002-222912号)。在本示例中，在高频多芯片模块(Multi Chip Module,MCM)中，通过深反应离子蚀刻(Deep Reactive Ion Etching,DRIE)从基板的背面选择性地除去基板，并在包含苯并环丁烯(benzocyclobuten，BCB)等的有机薄膜（隔膜）上形成滤波器和天线。因此，实现了具有小损失的陡峭频率特性。

[0007] 然而，通常，前述隔膜结构（薄膜结构）的机械强度很弱。此外，在从背面除去基板的蚀刻过程中对隔膜的损坏会使强度进一步减小。特别地，在隔膜的设计膜厚较小或者设计面积较大的情况下，装配过程中的芯片处理变得困难，另外，隔膜本身对自身的支撑也很困难。此外，例如，在电感器和天线的情况下，如果试图实现必要的特性值，则元件尺寸几乎是唯一确定的。因此，在隔膜结构上形成诸如电感器和天线等具有相对较大面积的元件的

情况下，就强度问题而言会使产率下降。要解决这种情况，就存在应当增大布线设计尺寸，例如，应当增加隔膜厚度的缺点。

发明内容

[0008] 鉴于上述缺点，在本发明中，期望提供一种具有机械强度得到提高的隔膜结构的高频器件。

[0009] 本发明实施例提供第一高频器件，其包括：基板，它具有开口；第一介电层，它由对所述基板的材料具有蚀刻选择性的材料形成，并被设置在所述基板上并覆盖所述开口；第二介电层，它位于所述第一介电层上；以及高频元件，它被设置在所述第二介电层上与所述开口相对的位置处。

[0010] 在所述第一高频器件中，在所述基板与作为元件形成层的所述第二介电层之间设置有阻挡层（第一介电层）。因此，在从所述基板的背面侧进行蚀刻从而形成所述开口时，不会损坏所述元件形成层（第二介电层）。

[0011] 本发明实施例提供了第二高频器件，其包括：基板，它具有开口；介电层，它被设置在所述基板上且覆盖所述开口；高频元件，它被设置在所述介电层上与所述开口相对的位置处；以及加强结构，它用于所述介电层且与所述基板一体形成，并具有将所述开口的内部分成多个区域的图形。

[0012] 在所述第二高频器件中，通过所述开口中的与所述基板一体形成的加强结构，增大了作为器件形成层的所述介电层的机械强度。

[0013] 根据本发明实施例的第一高频器件，作为阻挡层的所述第一介电层设置在所述基板与作为元件形成层的所述第二介电层之间。这样，能够防止所述元件形成层（第二介电层）被在所述基板中形成所述开口时进行的蚀刻损坏。因此，提高了机械强度，并且提高了制造产率。

[0014] 根据本发明实施例的第二高频器件，在所述基板的开口中设有与所述基板一体形成的加强结构，并且所述开口的内部被分成多个区域。因此，与所述第一高频器件中一样，提高了所述元件形成层（介电层）的机械强度，并且提高了制造产率。

[0015] 下面的说明将更全面地显示出本发明的其他和进一步的目的、特征及优点。

附图说明

[0016] 图 1 是本发明第一实施例的高频器件的平面图和截面图。

[0017] 图 2A ～图 2C 是图示了图 1 所示的高频器件的制造方法示例的截面图。

[0018] 图 3A ～图 3C 是图示了图 2A ～图 2C 后续步骤的截面图。

[0019] 图 4A 和图 4B 是图示了图 1 所示的高频器件的电感和 Q 值以及比较例的电感和 Q 值的特性图。

[0020] 图 5 是本发明第二实施例的高频器件的平面图和截面图。

[0021] 图 6 是本发明第三实施例的高频器件的平面图和截面图。

[0022] 图 7 是本发明第四实施例的高频器件的截面图。

[0023] 图 8 是图示了高频器件装配示例的截面图。

[0024] 图 9 是图示了高频器件变形例的平面图和截面图。

具体实施方式

[0025] 下面参照附图说明本发明的实施例，说明的顺序如下：

[0026] 第一实施例

[0027] (1) 整体结构

[0028] (2) 制造方法

[0029] 第二实施例

[0030] 具有加强结构的高频器件的整体结构

[0031] 第三实施例

[0032] 具有作为高频元件的天线的高频器件

[0033] 第四实施例

[0034] 装配示例

[0035] 1. 第一实施例

[0036] (1) 整体结构

[0037] 图 1 图示了本发明第一实施例的高频器件 1 的结构。图 1 中的部分 (A) 图示了俯视时高频器件 1 的平面结构。图 1 中的部分 (B) 图示了沿图 1 的部分 (A) 中的线 I-I 得到的截面结构。图 1 中的部分 (C) 图示了仰视时高频器件 1 的平面结构。高频器件 1 具有如下结构：在基板 11 上依次层叠有作为隔膜的阻挡层 12 以及介电层 13。在介电层 13(元件形成层) 上形成有高频元件 14。在基板 11 中，通过除去基板 11 的一部分形成有开口 15。

[0038] 基板 11 例如是硅基板。基板 11 可由诸如合成石英、玻璃、金属、树脂和树脂膜等其他材料制成。

[0039] 阻挡层 12(第一介电层) 由包含例如硅 (Si) 的介电材料形成。在蚀刻基板 11 时阻挡层 12 的材料相对于基板 11 具有选择性就足够了，并且根据基板 11 的材料对阻挡层 12 的材料进行适当选择。蚀刻是指诸如深反应离子蚀刻 (Deep Reactive Ion Etching,DRIE) 等干式蚀刻，但不限于此。例如，也可以使用湿式蚀刻。

[0040] 作为元件形成层的介电层 13(第二介电层) 由有机材料或无机材料形成。考虑尺寸、膜厚和所需高频特性等来选择材料。对于有机材料，例如能够使用诸如苯并环丁烯 (BCB)、聚酰亚胺 (PI)、聚对二甲苯 (parylene) 和类金刚石碳 (diamond-like carbon,DLC) 等低介电常数材料。对于无机材料，例如使用主要成分例如为 SiO_2 或 SiN 的材料。有机材料具有高频特性高以及容易形成厚膜等优点。此外，无机材料具有如下优点：尽管难以形成厚膜，但由于与 Si 的热膨胀差很小因而不易产生应力。

[0041] 高频元件 14 是由例如 AlCu 等金属材料形成的线圈状电感器 14A。在此情况下，电感器 14A 具有两层结构，但也可以具有一层结构。高频元件 14 形成在与形成于基板 11 中的开口 15 相对的位置处 (在开口 15 中)。

[0042] 下面，参照图 2A ～图 2C 以及图 3A ～图 3C 说明高频器件 1 的制造方法。

[0043] (2) 制造方法

[0044] 首先，如图 2A 所示，在基板 11 上形成阻挡层 12。在此情况下，由于基板 11 的材料是硅，因而形成对硅具有蚀刻选择性的氧化硅膜作为阻挡层 12。具体地，例如，在 1000℃下对厚度为 0.6mm 的硅基板 11 进行加热，从而在水蒸气气氛下通过热氧化，在基板 11 的正面

上形成厚度为 3μm 的氧化硅膜。接着，对基板 11 一侧（背面）上的氧化硅层进行研磨，并将其除去，从而得到例如厚度为 0.5mm 的基板 11。因此，在基板 11 的正面上形成了由氧化硅膜构成的阻挡层 12。

[0045] 随后，如图 2B 所示，例如，在阻挡层 12 上沉积 AlCu。通过例如干式蚀刻将生成物形成为给定形状，由此形成作为第一层的金属布线 14a。随后，如图 2C 所示，在阻挡层 12 和金属布线 14a 上形成介电层 13。在此情况下，使用例如作为在高频下具有低损耗的低介电常数材料的 BCB，通过旋转涂敷方法形成介电层 13。

[0046] 接着，如图 3A 所示，在介电层 13 中形成到达金属布线 14a 的通孔 16a 和 16b。此后，如图 3B 所示，在通孔 16a 和 16b 中以及介电层 13 上形成作为第二层的金属布线 14c。具体地，例如，与金属布线 14a 相同，沉积 AlCu，并通过光刻和干式蚀刻形成电感器的线圈状图形。此时，金属布线 14c 通过过孔接触部 14b 与金属布线 14a 电连接。

[0047] 最后，如图 3C 所示，从基板 11 的背面侧形成开口 15。具体地，例如，在基板 11 的背面上形成硬掩模。此后，例如通过深反应离子蚀刻 (Deep Reactive Ion Etching，DRIE) 对基板 11 进行蚀刻，从而形成开口 15 并得到所需的隔膜结构。对于蚀刻条件，使用通常被称作 BOSCH 处理的如下方法：通过交替地重复进行利用 SF_6 气体的蚀刻步骤以及利用 C_4F_8 的钝化步骤来获得垂直加工形状。此时，阻挡层 12 存在于基板 11 和介电层 13 之间。因此，蚀刻在阻挡层 12 中停止，并且不会损坏介电层 13。蚀刻方法不限于上述方法，也可以采用使用四甲基氢氧化铵水溶液 (TMAH) 等的湿式蚀刻方法。

[0048] 如上所述，本实施例的高频器件 1 具有隔膜结构，其中，在基板 11 上形成有阻挡层 12、介电层 13 和高频元件 14（电感器 14A），并且在基板 11 的与高频元件 14 相对的位置处设有开口 15。图 4A 和图 4B 图示了具有开口 15 的高频器件 1 与不具有开口（没有隔膜结构）的器件（比较例）之间的电感系数（图 4A）和 Q 值（图 4B）的比较。在图 4A 中，比较例的电感系数随着频率的增大而逐渐增大，而高频器件 1 的电感系数几乎恒定。在图 4B 中，发现在频率 5GHz 附近，比较例的 Q 值出现约 40 的峰值，而高频器件 1 的 Q 值不断增大，直到约 8GHz 以上的频率该 Q 值达到 70。从上述结果能够发现，在包括基板 11 中设有开口 15 的隔膜结构的情况下，器件能够用在较宽的频率范围内，特别是高频区域内。

[0049] 此外，在本实施例的高频器件 1 中，在基板 11 与介电层 13 之间设有阻挡层 12。因此，在基板 11 中形成开口 15 时，蚀刻在阻挡层 12 中停止。因此，在不损坏隔膜 17 中所包含的介电层 13 的情况下，能够提高隔膜 17 的机械强度。因此，能够提高制造产率。

[0050] 此外，可以独立于基板 11 的蚀刻条件自由地设定介电层 13 的材料和膜厚等。

[0051] 第二实施例

[0052] 图 5 图示了本发明第二实施例的高频器件 2 的截面结构。图 5 中的部分 (A) 图示了高频器件 2 的截面结构。图 5 中的部分 (B) 和部分 (C) 图示了仰视时高频器件 2 的平面结构。本实施例适于隔膜 17（阻挡层 12 和介电层 13）有必要具有较大面积的情况。与第一实施例相同的元件被赋予相同的附图标记，并不再赘述。

[0053] 与第一实施例类似地，高频器件 2 具有在基板 11 上的阻挡层 12、介电层 13 和高频元件 14（电感器 14A），但与第一实施例不同的是：高频器件 2 具有位于开口 15 中的加强结构 18。加强结构 18 与基板 11 一体成型，并且例如通过上述 DRIE 方法与基板 11 中的开口 15 同时形成。在由于留下基板 11 的部分作为加强结构 18 而在高频元件 14 中产生特性劣

化的情况下，加强结构 18 的图形被形成为使特性劣化最小化的结构。

[0054] 开口 15 的内部（即，介电层 13 上的高频元件 14）被加强结构 18 的图形分成多个区域。在此情况下，例如，该图形具有自开口 15 中央的放射状（图 5 中的部分 (B)），或者具有将开口 15 分成四等份的十字形状（图 5 中的部分 (C)）。因此，能够降低涡流的发生，并能够抑制 Q 值的下降。其他结构与第一实施例的结构实质上相同。

[0055] 在电感器 14A 需要较高电感系数的情况下，可以增大电感器 14A 的环路直径。这样，隔膜 17（即，开口 15）的面积应该随着环路直径的增大而增大。然而，如果单纯地增大隔膜 17 的面积，则会使机械强度下降。

[0056] 在本实施例的高频器件 2 中，在对基板 11 进行蚀刻来形成开口 15 时，将开口 15 中的部分基板留下以设置加强结构 18。加强结构 18 的图形将隔膜 17 分成多个小区域。因此，能够抑制会导致弯曲和断裂的机械强度的下降。因此，在高频器件 2 包括较大面积的隔膜 17 的情况下，可获得所需的机械强度，并能够提高制造产率。此外，通过设置加强结构 18，同时也能提高芯片自身的机械强度。因此，能够使装配时的处理变得容易。与第一实施例一样，通过在基板 11 与介电层 13 之间设置阻挡层 12，防止了蚀刻对介电层 13 的损坏。

[0057] 第三实施例

[0058] 图 6 图示了本发明第三实施例的高频器件 3。图 6 中的部分 (A) 图示了俯视时高频器件 3 的平面结构。图 6 中的部分 (B) 图示了沿图 6 的部分 (A) 中的线 II-II 得到的截面结构。图 6 中的部分 (C) 图示了仰视时高频器件 3 的平面结构。

[0059] 高频器件 3 包括作为高频元件 14 的天线 14B。天线 14B 是由线状辐射元件 14d、向辐射元件 14d 供电的供电线 14e 以及 GND 区域 14f 构成的倒 F 型片上天线。加强结构 18 具有与辐射元件 14d 的长度方向垂直的图形，并且将辐射元件 14d 分成多个区域。因此，在抑制了对于天线 14B 的方向性和频率变化的影响的同时，能够提高隔膜 17 的强度。其他结构与第一实施例的结构实质上相同。

[0060] 第四实施例

[0061] 图 7 图示了第四实施例的高频器件 4。在第二实施例中，阻挡层 12 与加强结构 18 一起设置。在本实施例中，没有设置阻挡层 12，而仅设置了加强结构 18。在此情况下，开口 15 不必是贯穿基板 11 的开口，也可以具有沟槽结构或凹部结构。通过采用这种结构，能够提高隔膜 17 的机械强度。

[0062] 装配示例

[0063] 图 8 图示了将例如高频器件 2 装配到印刷电路板 (Printed Circuit board, PCB) 23 上的示例。出于耐环境性和长期可靠性考虑，期望以气密密封状态装配高频器件 2。因此，在隔膜 17 的上方，利用由例如玻璃、石英和硅等制成的基板来设置晶片级封装的盖层 19 以密封隔膜 17。在隔膜 17 下方的基板 11 中，例如形成有穿透电极 (TSV) 20。利用穿透电极 20 和焊接突起 21 将芯片装配到 PCB 23 上。此后，利用模塑树脂 22 进行气密密封。高频器件 2 的装配方法不限于上述方法。不言而喻，能够使用各种气密密封方法的组合进行装配。

[0064] 已经参照第一～第四实施例以及装配示例对本发明进行了说明，但本发明不限于上述实施例，而是可以进行各种变形。例如，在上述实施例中，高频元件 14 设置在与开口 15 中的区域相对的位置处。然而，高频元件 14 可以从开口 15 伸出，只要高频元件 14 的特性

实质上不受影响即可。

[0065] 另外，加强结构 18 的图形不限于上述实施例的图形，也可以采用其他图形。此外，高频元件 14 的形式不限于电感器 14A 和天线 14B，也可以采用如电容器和高频传输线等其他形式。图 9 图示了例如适用于共面波导的高频器件 5。图 9 中的部分 (A) 图示了俯视时高频器件 5 的平面结构。图 9 中的部分 (B) 图示了沿图 9 的部分 (A) 中的线 III-III 得到的截面结构。图 9 中的部分 (C) 图示了仰视时高频器件 5 的平面结构。具体地，在高频区域中，由作为基板材料的 Si 所引起的介电损耗的影响很大。于是，通过将共面波导 14C 的中心导体 14h 以及中心导体 14h 两侧的槽 14g 和 14i 附近形成为隔膜结构，能够抑制损耗。此时，该隔膜结构在波导方向上延伸。因此，通过形成与波导方向垂直的加强结构 18，能够保持隔膜的强度。

[0066] 本领域技术人员应当理解，依据设计要求和其它因素，可以在本发明所附的权利要求或其等同物的范围内进行各种修改、组合、次组合及改变。

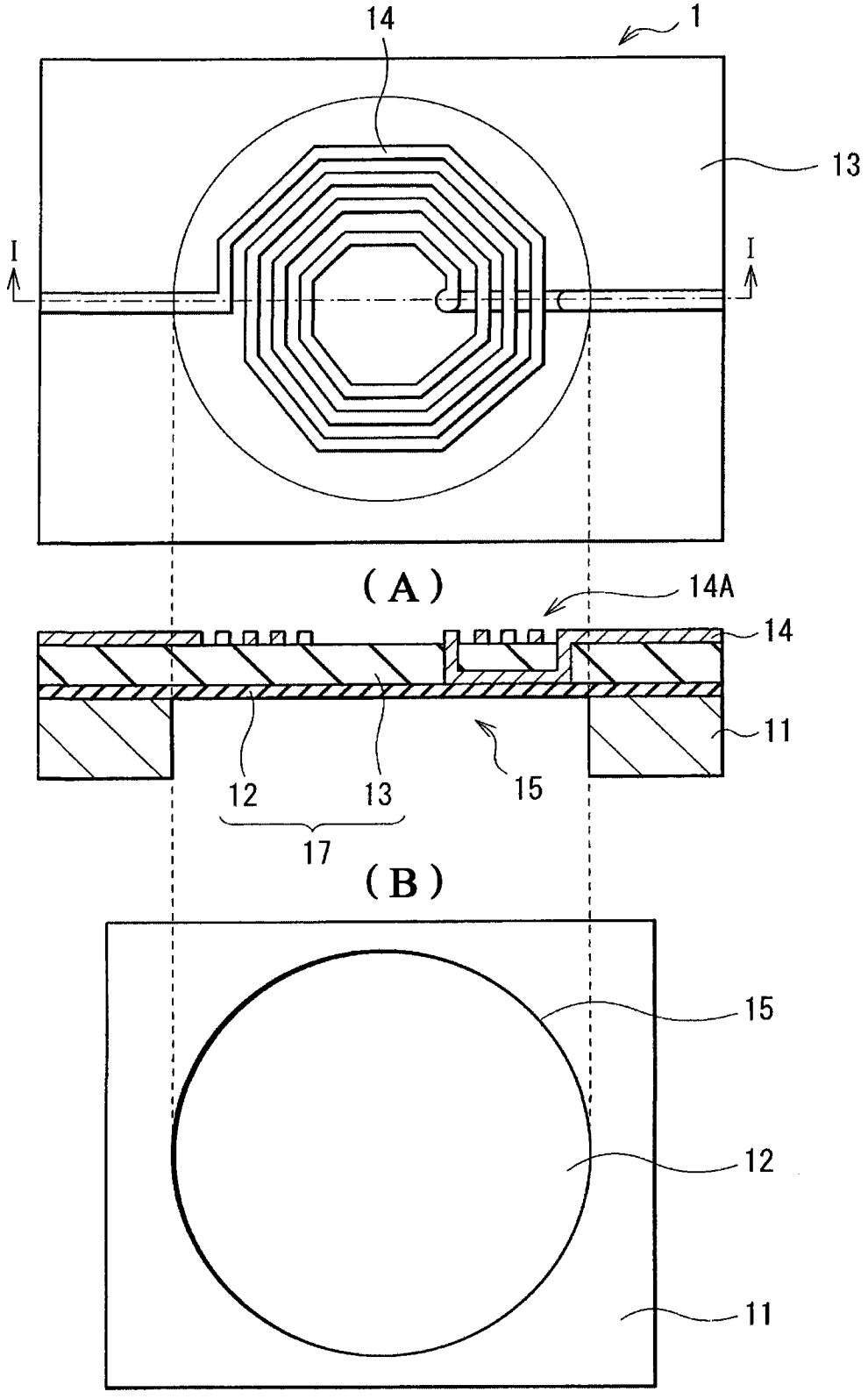


图 1

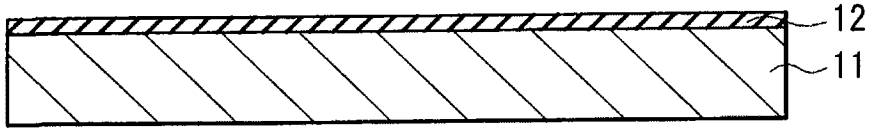


图 2A

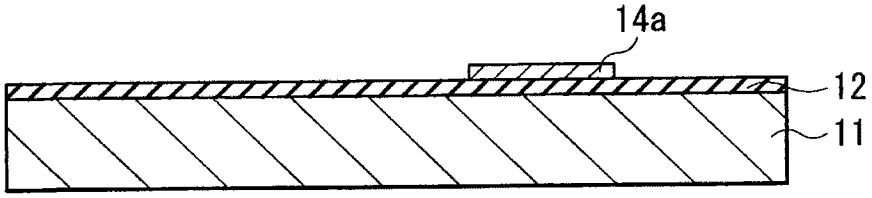


图 2B

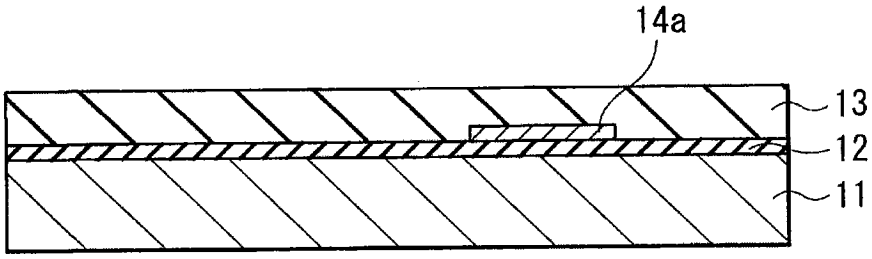


图 2C

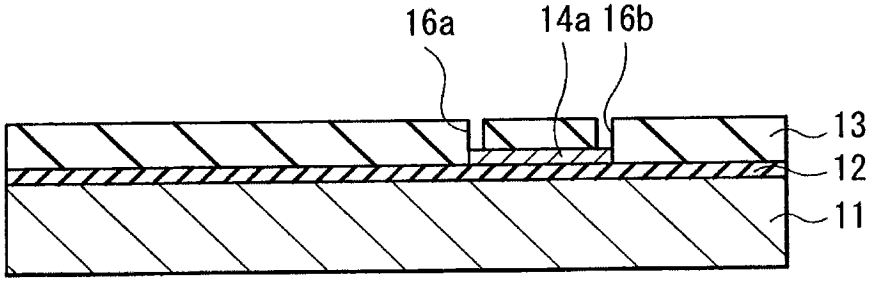


图 3A

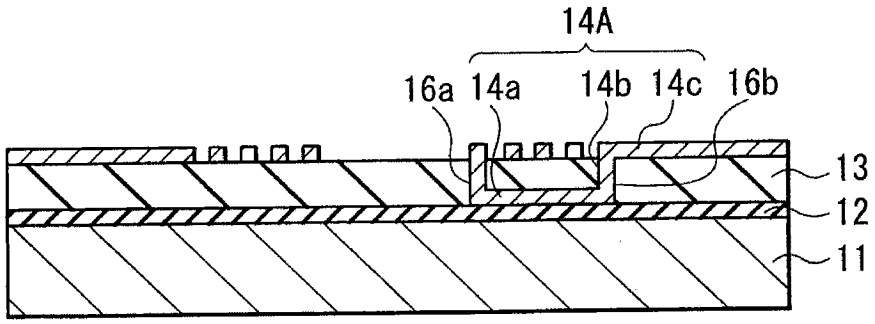

14A
16a
14a
14b
14c
16b
13
12
11

图 3B

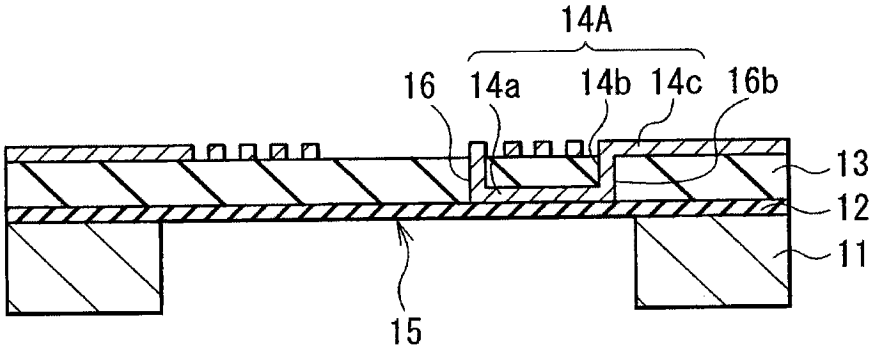

14A
16
14a
14b
14c
16b
13
12
11
15

图 3C

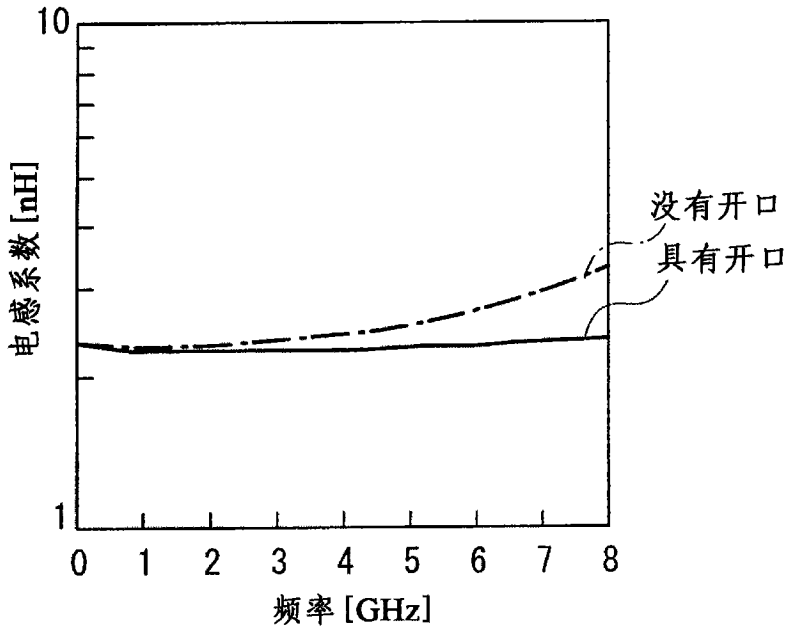

10
1
电感系数 [nH]
0
1
2
3
4
5
6
7
8
频率 [GHz]
没有开口
具有开口

图 4A

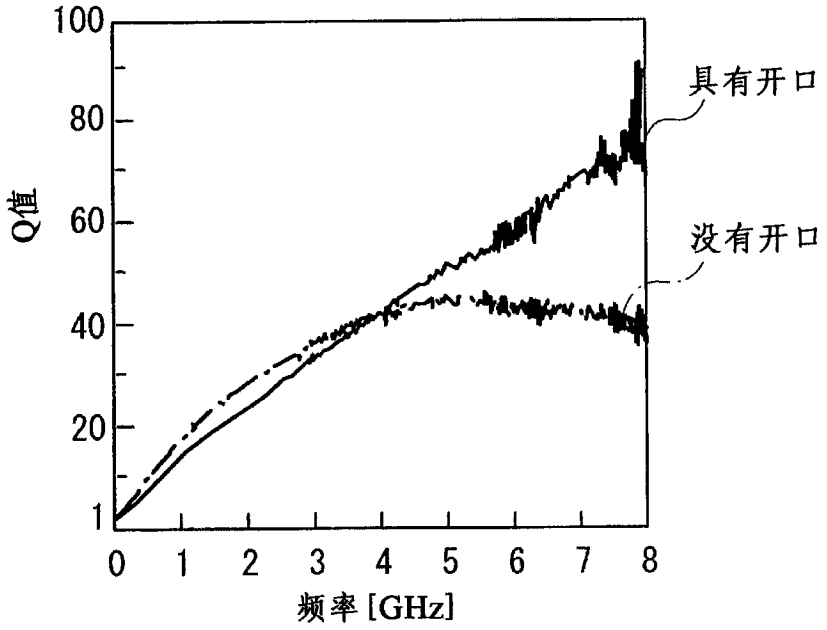


图 4B

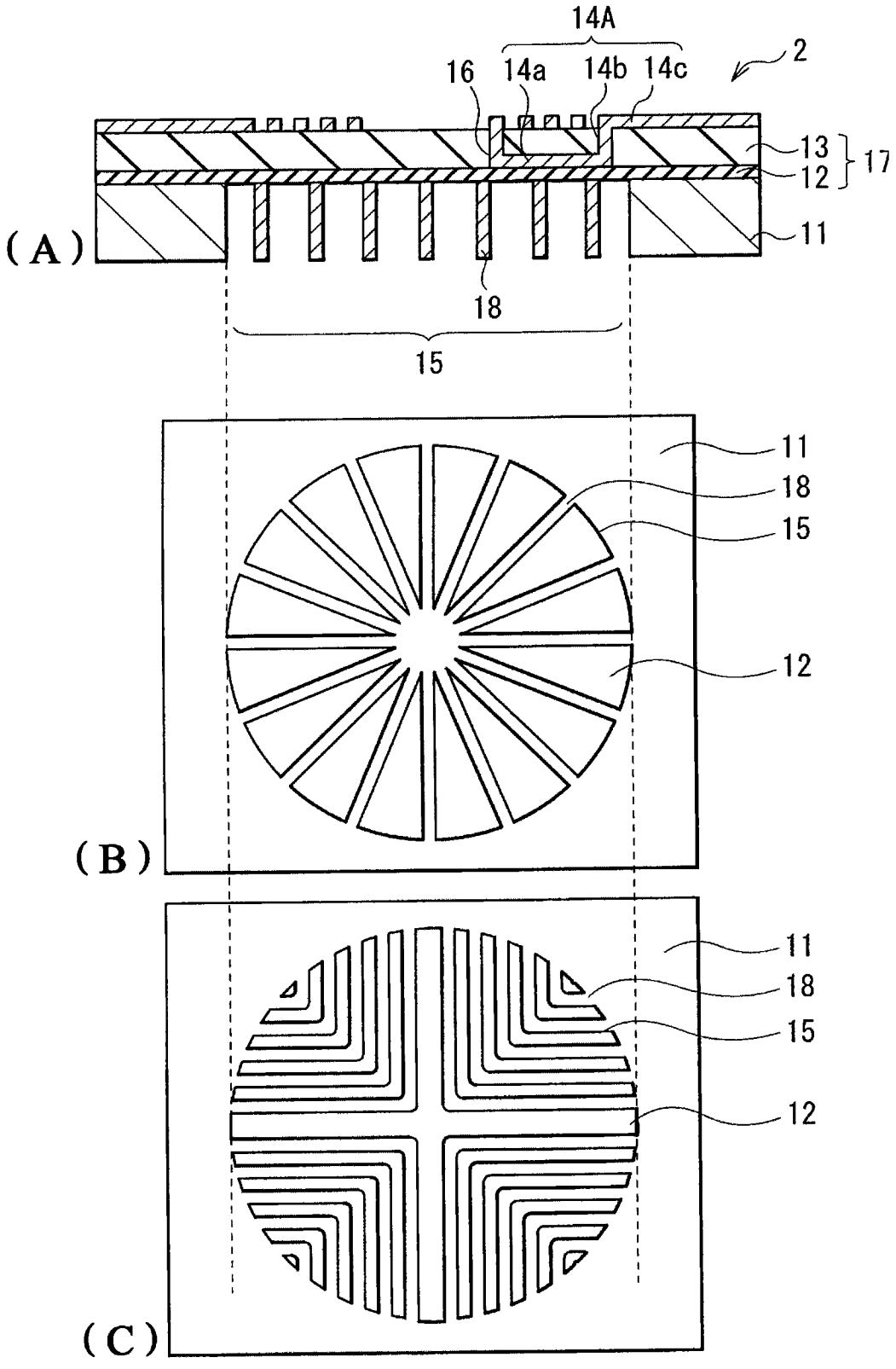


图 5

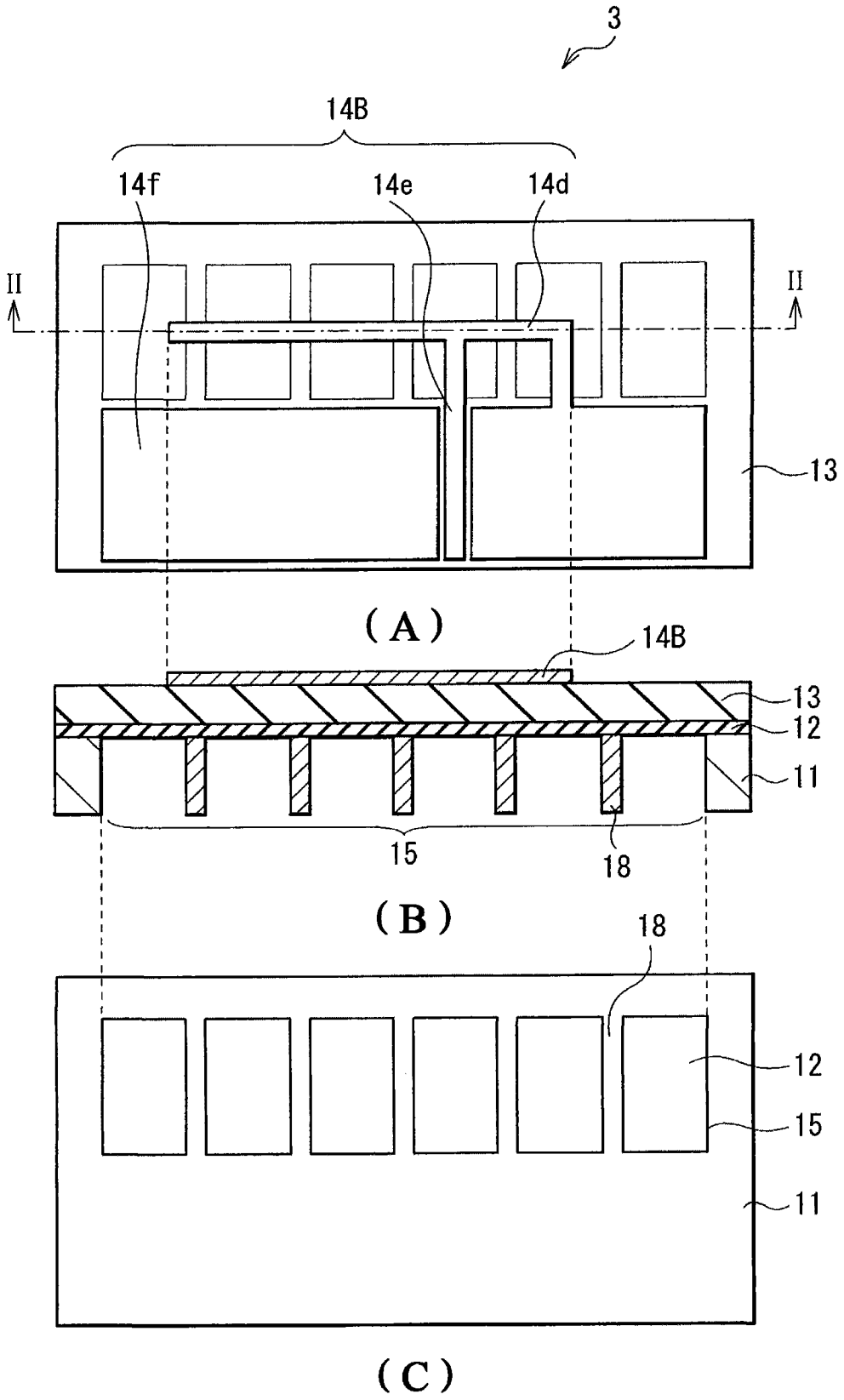


图 6

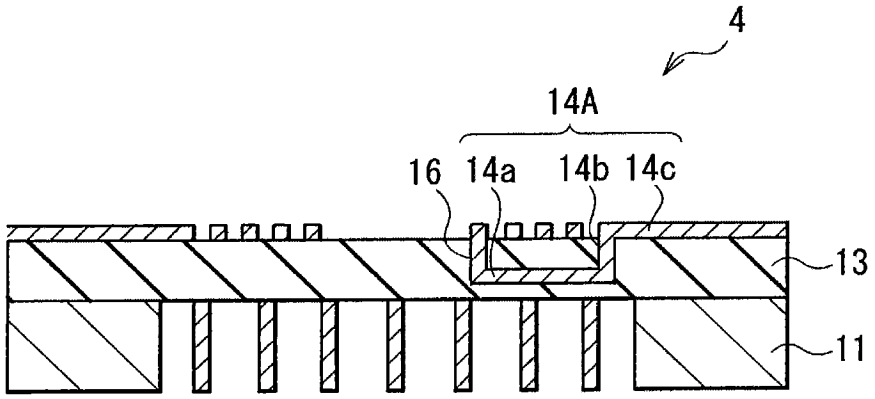


图 7

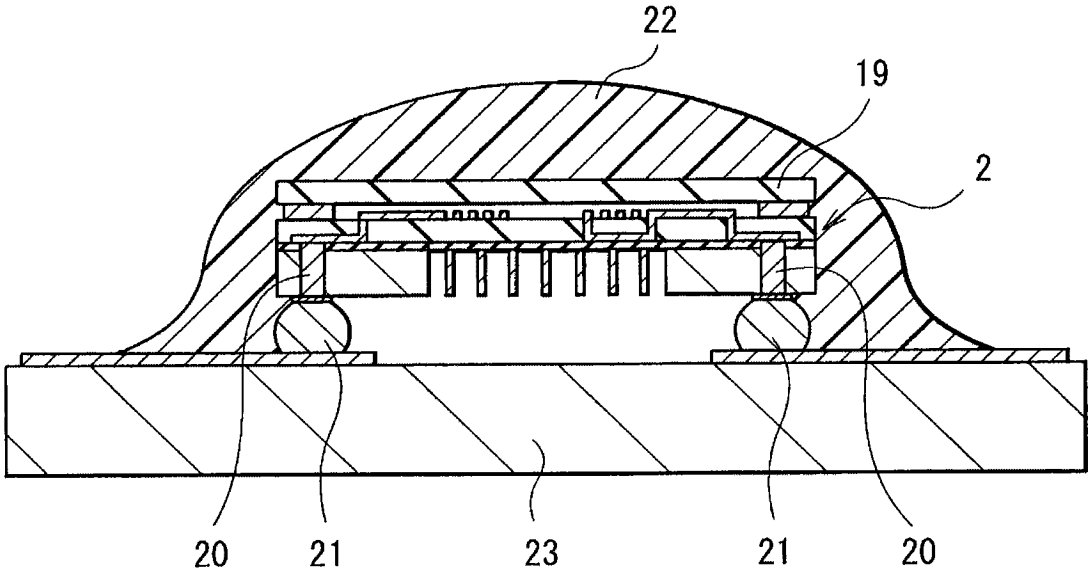


图 8

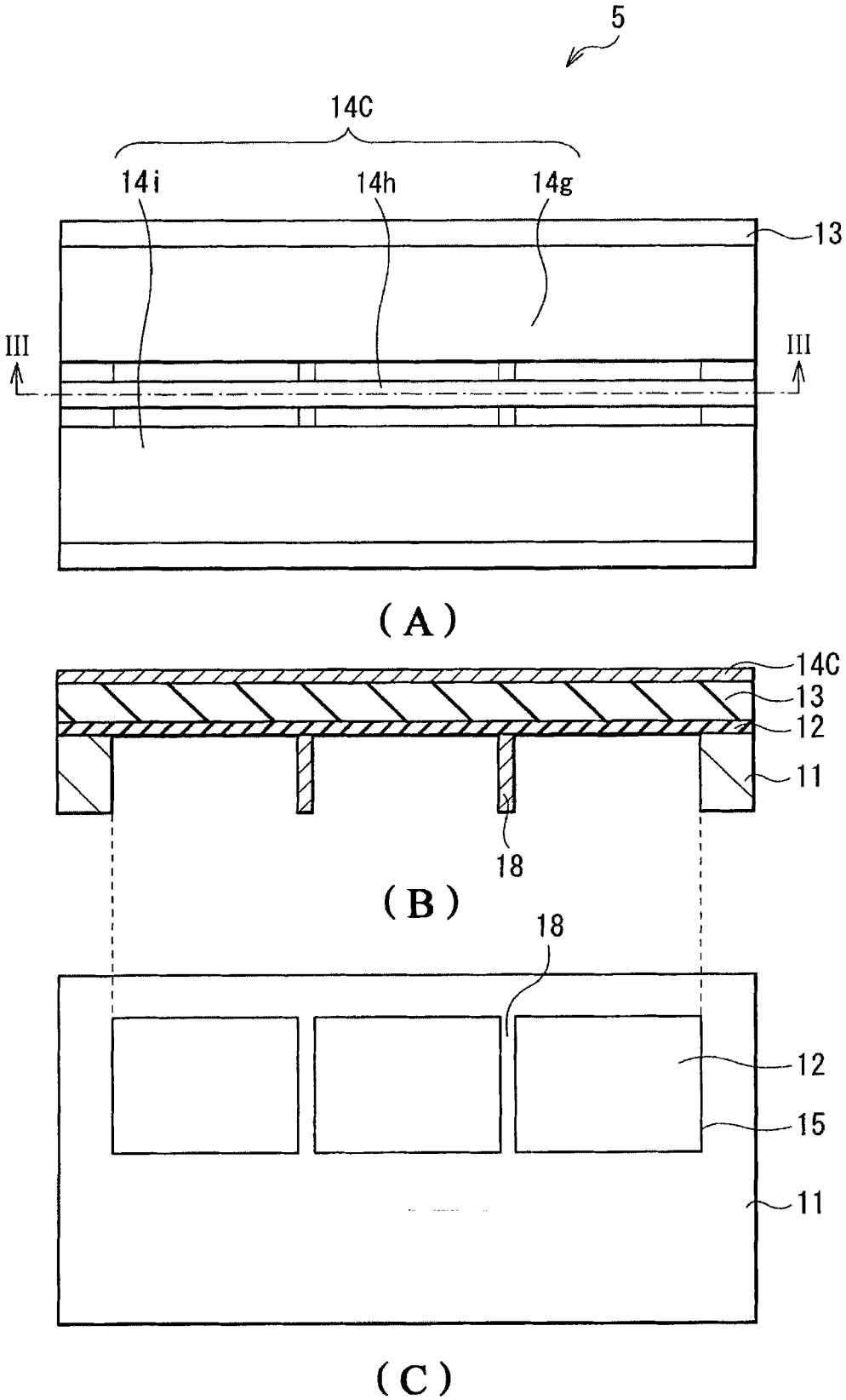


图 9