202247384

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202247384 A

(43)公開日： 中華民國 111 (2022) 年 12 月 01 日

(21)申請案號：111119534 (22)申請日： 中華民國 111 (2022) 年 05 月 25 日

(51)Int. Cl.： *H01L23/48 (2006.01)* *H01L23/522 (2006.01)*

(30)優先權：2021/05/25 美國 17/329,721

(71)申請人：新加坡商安靠科技新加坡控股私人有限公司 (新加坡) AMKOR TECHNOLOGY SINGAPORE HOLDING PTE. LTD. (SG)
新加坡

(72)發明人：陳尚炫 JIN, SANG HYUN (KR)；姜勇辰 KANG, YOUNG JIN (KR)；鄭金碩 JEONG, JIN SUK (KR)；鄭玧京 JEONG, YUN KYUNG (KR)

(74)代理人：閻啓泰；林景郁

申請實體審查：無 申請專利範圍項數：20 項 圖式數：5 共 51 頁

(54)名稱

半導體裝置和製造半導體裝置的方法

(57)摘要

在一個實例中，電子裝置包括基板，所述基板包括具有頂部表面和底部表面的第一介電質，以及在所述第一介電質中且包括第一通孔和所述第一通孔上方的第一跡線的第一導體。所述第一跡線包括第一跡線側壁和第一跡線基底，且所述第一通孔包括第一通孔側壁。所述第一導體包括在所述第一跡線側壁與所述第一跡線基底之間的第一弓形頂點，和在所述第一通孔側壁與所述第一跡線基底之間的第二弓形頂點，在所述基板的所述頂部表面上方的電子組件，以及在所述基板的所述頂部表面上方且接觸所述電子組件的橫向側的囊封物。本文中還公開其它實例和相關方法。

In one example, an electronic device, comprises a substrate, comprising a first dielectric having a top surface and a bottom surface, and a first conductor in the first dielectric and comprising a first via and a first trace over the first via. The first trace comprises a first trace sidewall and a first trace base, and the first via comprises a first via sidewall. The first conductor comprises a first arcuate vertex between the first trace sidewall and the first trace base, and a second arcuate vertex between the first via sidewall and the first trace base, an electronic component over the top surface of the substrate, and an encapsulant over the top surface of the substrate and contacting a lateral side of the electronic component. Other examples and related methods are also disclosed herein.

指定代表圖：

TW 202247384 A

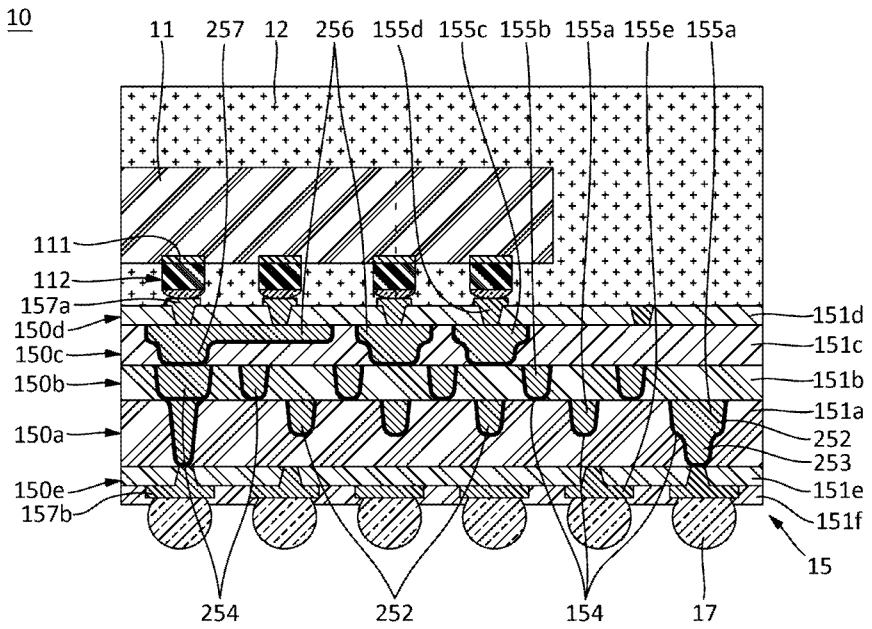


圖1

符號簡單說明：

10:電子裝置

11:電子組件

12:囊封物

15:基板

17:連接器/外部互連件

111:端子/組件端子

112:互連件

150a、150b、150c、150d、150e:重新分布層級

151a、151b、151c、151d、151e、151f:介電質層

154:晶種

155a、155b、155c、155d、155e:導體

157a:內部端子

157b:外部端子

252:第一跡線/第二跡線/跡線

253:通孔

254:跡線

256:跡線

257:通孔

專利案號：111119534
202247584

【發明摘要】

【中文發明名稱】 半導體裝置和製造半導體裝置的方法

【英文發明名稱】 SEMICONDUCTOR DEVICES AND METHODS OF MANUFACTURING SEMICONDUCTOR DEVICES

【中文】

在一個實例中，電子裝置包括基板，所述基板包括具有頂部表面和底部表面的第一介電質，以及在所述第一介電質中且包括第一通孔和所述第一通孔上方的第一跡線的第一導體。所述第一跡線包括第一跡線側壁和第一跡線基底，且所述第一通孔包括第一通孔側壁。所述第一導體包括在所述第一跡線側壁與所述第一跡線基底之間的第一弓形頂點，和在所述第一通孔側壁與所述第一跡線基底之間的第二弓形頂點，在所述基板的所述頂部表面上方的電子組件，以及在所述基板的所述頂部表面上方且接觸所述電子組件的橫向側的囊封物。本文中還公開其它實例和相關方法。

【英文】

In one example, an electronic device, comprises a substrate, comprising a first dielectric having a top surface and a bottom surface, and a first conductor in the first dielectric and comprising a first via and a first trace over the first via. The first trace comprises a first trace sidewall and a first trace base, and the first via comprises a first via sidewall. The first conductor comprises a first arcuate vertex between the first trace sidewall and the first trace base, and a second arcuate vertex between the first via sidewall and the first trace base, an electronic component over the top surface of the substrate, and an encapsulant over the top surface of the substrate and contacting a

lateral side of the electronic component. Other examples and related methods are also disclosed herein.

【指定代表圖】　　圖1

【代表圖之符號簡單說明】

10:電子裝置

11:電子組件

12:囊封物

15:基板

17:連接器/外部互連件

111:端子/組件端子

112:互連件

150a、150b、150c、150d、150e:重新分布層級

151a、151b、151c、151d、151e、151f:介電質層

154:晶種

155a、155b、155c、155d、155e:導體

157a:內部端子

157b:外部端子

252:第一跡線/第二跡線/跡線

253:通孔

254:跡線

256:跡線

257:通孔

【特徵化學式】

無

【發明說明書】

【中文發明名稱】　半導體裝置和製造半導體裝置的方法

【英文發明名稱】　SEMICONDUCTOR DEVICES AND METHODS OF MANUFACTURING SEMICONDUCTOR DEVICES

【技術領域】

【0001】　本揭示內容大體上涉及電子裝置，且更明確地說涉及半導體裝置和製造半導體裝置的方法。

【先前技術】

【0002】　現有的半導體封裝和用於形成半導體封裝的方法是不適當的，例如，導致成本過大、可靠性降低、性能相對低或封裝大小過大。藉由比較此類方法與本揭示內容並參考圖式，所屬領域的技術人員將清楚常規和傳統方法的其它限制和缺點。

【發明內容】

【0003】　在一個實例中，電子裝置包括基板，包括具有頂部表面和底部表面的第一介電質，以及在第一介電質中且包括第一通孔和第一通孔上方的第一跡線的第一導體。第一跡線包括第一跡線側壁和第一跡線基底，且第一通孔包括第一通孔側壁。第一導體包括在第一跡線側壁與第一跡線基底之間的第一弓形頂點，和在第一通孔側壁與第一跡線基底之間的第二弓形頂點，在基板的頂部表面上方的電子組件，以及在基板的頂部表面上方且接觸電子組件的橫向側的囊封物。

【0004】　在另一實例中，製造電子裝置的方法包括：提供第一介電質，其

具有頂部表面和底部表面；在第一介電質中從頂部表面提供第一跡線圖案，其中第一跡線圖案限定第一跡線，所述第一跡線包括第一跡線基底、第一跡線側壁和在第一跡線基底與第一跡線側壁之間的第一弓形頂點；在第一介電質中提供第一通孔圖案，其中第一通孔圖案限定第一通孔，所述第一通孔包括第一通孔側壁和在第一跡線基底與第一通孔側壁之間的第二弓形頂點；移除在第一跡線圖案和第一通孔圖案處的第一介電質的一部分以在第一介電質中曝露第一通孔開口和第一跡線開口；以及在第一通孔開口和第一跡線開口中提供第一導電材料以提供包括第一跡線和第一通孔的第一導體。

【0005】 在又另一示例中，製造電子裝置的方法包括：提供第一介電質，其具有頂部表面和底部表面，且第一介電質中的第一導體包括第一通孔和第一通孔上方的第一跡線；在第一介電質的頂部表面上方提供電子組件；以及提供在第一介電質的頂部表面上方且接觸電子組件的橫向側的囊封物。第一跡線包括第一跡線側壁和第一跡線基底，且第一通孔包括第一通孔側壁，且第一導體包括在第一跡線側壁與第一跡線基底之間的第一弓形頂點，以及在第一通孔側壁與第一跡線基底之間的第二弓形頂點。

【0006】 本揭示內容中包含其它實例。在圖式、申請專利範圍和/或本揭示內容的描述內容中可以找到此類實例。

【圖式簡單說明】

【0007】 [圖1]示出根據一實例的電子裝置的橫截面圖。

【0008】 [圖2A]到[圖2D]示出用於製造電子裝置的雙重鑲嵌製程的橫截面圖。

【0009】 [圖3A]到[圖3X]示出用於製造根據圖1中的實例的電子裝置的橫截面圖。

【0010】 [圖4A]到[圖4I]示出用於製造根據圖1中的實例的電子裝置的另一方法的橫截面圖。

【0011】 [圖5]示出根據一實例的電子裝置的橫截面圖。

【0012】 以下論述提供半導體裝置以及製造半導體裝置的方法的各種實例。此類實例是非限制性的，且所附請求項書的範圍不應限於公開的特定實例。在以下論述中，術語“實例”和“例如”是非限制性的。

【0013】 各圖說明一般構造方式，且可能省略熟知特徵和技術的描述和細節以避免不必要地混淆本揭示內容。另外，繪製圖中的元件未必按比例繪製。舉例來說，各圖中的一些元件的尺寸可能相對於其它元件放大，以幫助改進對本揭示內容中論述的實例的理解。不同圖中的相同參考標號表示相同元件。

【0014】 術語“或”表示由“或”連接的列表中的項目中的任何一或多個項目。作為實例，“x或y”表示三元素集合{(x), (y), (x, y)}中的任一元素。作為另一實例，“x、y或z”表示七元素集合{(x), (y), (z), (x, y), (x, z), (y, z), (x, y, z)}中的任一元素。

【0015】 術語“包括（comprises/comprising）”和/或“包含（includes/including）”是“開放”術語，且指定所陳述特徵的存在，但不排除一個或多個其它特徵的存在或添加。

【0016】 術語“第一”、“第二”等可以在本文中用於描述各種元件，並且這些元件不應受這些術語限制。這些術語僅用於將一個元件與另一個元件相區分。因此，例如，在不脫離本揭示內容的教示的情況下，可將本揭示內容中論述的第一元件稱為第二元件。

【0017】 除非另外指定，否則術語“耦接”可以用於描述彼此直接接觸的兩個元件或描述藉由一個或多個其它元件間接連接的兩個元件。例如，如果元件A耦接到元件B，則元件A可以直接接觸元件B或由介入元件C間接連接到元件B。

類似地，術語“在……上方”或“在……上”可用於描述彼此直接接觸的兩個元件或描述由一或多個其它元件間接連接的兩個元件。

【實施方式】

【0018】 圖1示出電子裝置的橫截面視圖。在圖1的實例中，電子裝置10可包含電子組件11、基板15、囊封物12和連接器17。

【0019】 電子組件11可包括耦接到互連件112的端子111。基板15可包括具有導體155a、155b、155c、155d或155e的導電結構155，包括限定導電路徑、跡線、通孔、內部端子157a或外部端子157b的一個或多個導電層或圖案。基板15可包括介電質結構151，其包括限定介電質151a、151b、151c、151d、151e或151f的一個或多個介電質層以用於提供導電結構155的結構完整性、分離或絕緣。在一些實例中，導體155a可在介電質層151a中且可包括通孔253和通孔253上方的跡線252。基板15可包括限定頂部表面和底部表面的介電質層中的一個或多個，在基板15的頂部表面上方具有電子組件11。囊封物12可在基板15的頂部表面上方且可接觸電子組件12的橫向側。連接器17可被視為基板15的部分，但在一些實施方案中可為任選的。基板15或連接器17可促進電子組件11連接到外部裝置，例如印刷電路板或另一電子或半導體組件。基板15、囊封物12和連接器17可保護電子組件11免受外部因素和/或環境曝露的影響。在一些實例中，可藉由首先提供或製造基板15的元件而提供基板15作為完整或幾乎完整的組件或結構。隨後可藉由在基板15的頂部表面上方提供電子組件11和囊封物12來製造電子裝置10，其中囊封物接觸電子組件11的橫向側。

【0020】 在一些實例中，介電質層151b可在介電質層151a上方。一個或多個跡線254可在介電質層151b中且可從介電質層151a的一個或多個跡線252偏移，例如成偏移圖案或佈置或者交錯圖案或佈置。多個跡線可在同一介電質層

中，例如跡線252可在介電質層151a中，跡線254可在介電質層151b中，跡線256可在介電質層151c中等等。在一些實例中，介電質層151a中的第一跡線252可在通孔253上方，且介電質層151a中的第二跡線252可從第一跡線252偏移。第二跡線252的頂側可從介電質層151a的頂部表面曝露，且介電質層151A可覆蓋第二跡線252的基底，例如下文論述的基底151-t2。在一些實例中，介電質層151b中的跡線252可從介電質層151b的頂部表面曝露且可接觸介電質層151b的頂部表面。

【0021】 在一些實例中，跡線254可在介電質層151b中且通孔253可在介電質層151a中，其中跡線254接觸通孔253，例如在圖1中的基板15的左側示出。在一些實例中，介電質層151c可在介電質層151a上方且可包括導體155c，所述導體包括通孔257和通孔257上方的跡線256，它們具有與如本文中所描述的介電質層151a的跡線252和通孔253相同或相似的側壁、頂點或基底。

【0022】 圖2A到2D示出用於製造電子裝置的製程的橫截面圖。圖2A示出製造製程的初始階段。

【0023】 在圖2A中，介電質151a可提供於載體160上。載體160可為基本上平面的板。舉例來說，載體160可包含或稱為板、晶圓、面板、半導體或條帶。在一些實例中，載體160可包括鋼、不銹鋼、鋁、銅、陶瓷、玻璃或晶圓。載體160可具有介於從約1 mm到約3 mm的範圍內的厚度和介於從約200 mm到約450 mm的範圍內的寬度。

【0024】 載體160可用以處置多個電子組件11的同時形成。載體160可通常應用於本揭示內容的一些實例。

【0025】 介電質151a的頂側和底側可為大體上平面的。在一些實例中，介電質151a可包含酚系樹脂、環氧樹脂、玻璃環氧樹脂、聚醯亞胺（PI）、聚酯、苯並環丁烯（BCB）、聚苯並噁唑（PBO）、雙馬來醯亞胺三嗪（BT）、矽樹脂、氧化物層（SiO_2），或氮化物層（Si_3N_4）。在一些實例中，介電質151a可具有光敏

性質。

【0026】 介電質151a可具有能夠容納跡線和通孔以用於提供圖案的厚度。舉例來說，介電質151a可具有介於從約1 μm到約50 μm的範圍內的厚度。舉例來說，介電質151a可藉由旋塗法或噴塗法提供。

【0027】 圖2B示出製造製程的稍後階段。在圖2B的實例中，跡線圖案151t可提供於介電質151a上。跡線圖案151t可包括重新分布層（RDL）圖案。遮罩限定跡線圖案151t可對準於介電質151a上方，並且接著用紫外線（UV）射線（UV光）照射。跡線圖案151t可藉由遮罩轉印到介電質151a上。在一些實例中，跡線圖案151t可具有介電質151a的總厚度的約20%到約80%的厚度。舉例來說，跡線圖案151t可具有介於從約0.2 μm到約40 μm的範圍內的厚度。在一些實例中，跡線圖案151t的輻射或顯影製程可產生具有曲率或斜率的側壁151-t1，以及在側壁151-t1與基底151-t2之間的為弓形而不是正方形或直線拐角的頂點151-t3。

【0028】 圖2C示出製造製程的稍後階段。在圖2C的實例中，通孔圖案151v可提供於介電質151a上。遮罩限定通孔圖案151v可對準於介電質151a上方，並且接著用紫外線射線照射。通孔圖案151v可由遮罩轉印到介電質151a上。

【0029】 在一些實例中，通孔圖案151v可具有介電質151a的總厚度的約20%到約80%的厚度。舉例來說，通孔圖案151v可具有介於從約0.2 μm到約40 μm的範圍內的厚度。在一些實例中，通孔圖案151v的輻射或顯影製程可產生具有曲率或斜率的側壁151-v1，可產生在側壁151-v1與基底151-v2之間的弓形的頂點151-v3，且可產生在通孔圖案151v與跡線圖案151t之間的弓形的頂點151-v4。可存在其中頂點151-v3可為正方形的實例。跡線圖案151t可與通孔圖案151v合併，使得頂點151-v4將通孔圖案151v的側壁151-v1與跡線圖案151t的基底151-t2或頂點151-t3合併。在一些實例中，傾斜側壁151t1或151v1或弓形頂點151-t3、151-v3或151-v4可耗散或削弱在較平坦表面的接合部處或在跡線或通孔的正方形頂點

處原本可能形成的應力點，從而減弱因應力開裂引起的故障的概率。

【0030】 用於限定通孔圖案151v的紫外線射線可具有大於用於提供跡線圖案151t的紫外線射線的強度。舉例來說，當用於曝露跡線圖案151t的紫外線射線具有為約10的強度時，用於曝露通孔圖案151v的紫外線射線具有為約20或更大的強度，例如，限定通孔圖案151v的射線的強度可為用於顯影跡線圖案151t的強度的兩倍或更多倍。因此，介電質151a上的通孔圖案151v可在比限定跡線圖案151t的深度更深的部分處限定。在一些實例中，通孔圖案151v可從跡線圖案151t的底側到載體160的頂側160a限定。在一些實例中，圖2B和2C的階段可為同時的，例如其中限定跡線圖案151t和通孔圖案151v的射線的強度是不同的。

【0031】 圖2D示出製造製程的稍後階段。在圖2D的實例中，例如藉由顯影和固化而移除介電質151a的不必要部分。舉例來說，可藉由使用顯影液移除用於跡線圖案151t和通孔圖案151v的介電質151a的相應部分來限定跡線開口152和通孔開口153。跡線開口152和通孔開口153可彼此連通或合併。通孔開口153可具有小於跡線開口152的寬度的寬度。

【0032】 在提供跡線開口152和通孔開口153之後，可在跡線開口152和通孔開口153中提供包括導電材料的導體155a（圖1）以提供通孔253和通孔253上方的跡線252（圖1），其具有由介電質層151a中的跡線開口152和通孔開口153限定的形狀。因此，跡線252可包括跡線側壁151-t1和跡線基底151-t2，且通孔253可包括通孔側壁151-v1和通孔基底151-v2。在一些實例中，導體155a可包括在跡線側壁151-t1與跡線基底151-t2之間的弓形頂點151-t3，以及在通孔側壁151-v1與跡線基底151-t2之間的另一弓形頂點151-v4。在一些實例中，導體155a可包括在通孔基底151-v2與通孔側壁151-v1之間的弓形頂點151-v3。可存在其中頂點151-v3可為正方形的實例。在一些實例中，跡線252和通孔253都可在包括介電質層151a的單個介電質材料層中，例如圖1中所示。在一些實例中，跡線252和通孔253可

構成例如圖1中所示的單片結構。在一些實例中，跡線252可從介電質層151a的頂部表面曝露，且通孔253可從介電質層151a的底部表面曝露。

【0033】 描述的製程可准許跡線和通孔圖案的製造的簡化。舉例來說，在常規雙鑲嵌製程中，首先提供介電質層，隨後提供通孔圖案，隨後提供另一介電質層，並且接著提供跡線圖案。然而，如針對圖2中的本發明製程所描述，可減少製程步驟的數目，且製程速度可增加。跡線圖案151t和通孔圖案151v都限定於介電質151a中，而不必提供第二介電質。在一些實例中，圖2的製程可被稱作雙重鑲嵌製程或雙倍曝光製程。並且，藉由應用此製程製造的基板可被稱為雙倍曝光基板或雙重鑲嵌基板。

【0034】 圖3A到3X示出用於製造根據圖1的實例的電子裝置10的橫截面圖。圖3的製造製程的一部分可包括或類似於圖2的製造製程。

【0035】 圖3A到3D呈現導致介電質151a中的跡線開口152和通孔開口153的製造階段。在一些實例中，圖3A到3D的製造階段、特徵或元件可對應地類似於或相同於針對圖2A到2D的製造階段描述的那些。為簡單起見，圖3中示出的輪廓具有筆直表面和正方形頂點，但此類輪廓可展現在圖2中分別示出和描述的一個或多個對應的傾斜表面或弓形頂點。

【0036】 圖3E示出製造製程的稍後階段。在圖3E的實例中，晶種154可提供於介電質151a上。在一些實例中，晶種154可包括一個或多個導電層，例如鈦（Ti）、鈦鎢（TiW）、鎳釩（NiV）或銅（Cu）。舉例來說，Ti、TiW、NiV或其它的一個或多個層可例如沉積作為屏障層，並且接著可在其上沉積Cu層。可藉由包含無電電鍍、電鍍和/或濺鍍的各種方法提供晶種154。在一些實例中，晶種154可具有介於從約0.01 μm到約1 μm的範圍內的厚度。

【0037】 圖3F示出製造製程的稍後階段。在圖3F的實例中，導體155a可提供於介電質151a上方的晶種154上。舉例來說，導體155a可包括、限定或稱為一

個或多個導電層、導電結構導電材料、重新分布層（RDL）、線圖案、導電圖案、電路圖案或導電路徑。在一些實例中，導體155a可包括一種或多種導電材料，例如銅、金或銀。導體155a可藉由例如無電電鍍、電鍍和/或濺鍍等各種方法提供。

【0038】 圖3G示出製造製程的稍後階段。在圖3G的實例中，可藉由移除介電質151a的頂部表面上方的導體155a以限定一個或多個跡線252來建立基板15的重新分布層級150a。舉例來說，薄化、蝕刻或例如藉由化學機械拋光（CMP）的拋光的移除製程可使導體155a薄化以曝露介電質151a的頂側。移除製程在介電質151a的跡線圖案151t和通孔圖案151v中限定跡線252和通孔253。跡線252的頂側和介電質151的頂側可為共面的。在一些實例中，如所描述限定的一個或多個跡線252可被稱為重新分布層（RDL）跡線。

【0039】 圖3H到3M示出製造製程的稍後階段。在圖3H到3M的實例中，重新分布層級150b（圖3M）可形成於重新分布層級150a上。如圖3M中所見，重新分布層級150b可包括介電質151b、導體155b和一個或多個跡線254，類似於重新分布層級150a的介電質151a、導體155a和一個或多個跡線252。在一些實例中，重新分布層級150b也可包括類似於重新分布層級150a的一個或多個通孔253的一個或多個通孔。

【0040】 在一些實例中，圖3H到3M的用於形成重新分布層級150b的階段可對應地類似於相對於圖3A到3G描述的用於形成重新分布層級150a的階段。舉例來說，圖3H階段可類似於圖3A階段，圖3I階段可類似於圖3A到3B階段，圖3J階段可類似於圖3C階段，圖3K階段可類似於圖3D階段，圖3L階段可類似於圖3E階段，且圖3M階段可類似於圖3F階段。

【0041】 在圖3H中，介電質151可提供於重新分布層級150a上方，類似於如關於圖3A或2A的介電質151a所描述。

【0042】 在圖3I中，跡線圖案151t可提供於介電質151b中，類似於如關於

圖3B或2B的介電質151a中的跡線圖案151t所描述。在一些實例中，通孔圖案151v可提供於介電質151b中，類似於如關於圖3C或2C的介電質151a中的通孔圖案151v所描述。

【0043】 在圖3J中，移除介電質151b的不必要部分，類似於如關於圖3D或2D的介電質151a的不必要部分所描述。

【0044】 在圖3K中，晶種154可提供於介電質151b上，類似於如關於圖3E的介電質151a上的晶種154所描述。

【0045】 在圖3L中，導體155b可提供於介電質151b上方的晶種154上，類似於如關於圖3F的介電質151a上方的晶種154所描述。

【0046】 在圖3M中，可藉由移除介電質151b的頂部表面上方的導體155b以限定一個或多個跡線254來建立基板15的重新分布層級150b，類似於如關於圖3G的藉由移除介電質151a的頂部表面上方的導體155a以限定一個或多個跡線252來建立重新分布層級150a所描述。

【0047】 如圖3M中所見，重新分布層級150b的一個或多個導體155b可與重新分布層級150a的一個或多個導體155a耦接。舉例來說，一個或多個跡線254（或對應通孔）可與一個或多個跡線152耦接。

【0048】 在一些實例中，如圖3M的橫截面圖和圖3M1的平面圖中所見，重新分布層級150b的跡線254可被佈置成使得它們與重新分布層級150a的跡線252平行而交替或交錯。為了增加RDL的密度，更多RDL線或跡線將需要佈置於同一區域中。然而，存在RDL分辨率的限制。並且，存在在受限區域內製作RDL線的限制，例如圖3M的跡線254和導體155b或跡線252和導體155a。舉例來說，如果RDL分辨率限制是[2 μm線/2 μm空間]，其中“線”對應於圖3M1中的跡線254的寬度，且其中“空間”對應於圖3M1中的跡線254之間的間隔，那麼在30 μm空間中可佈置的平行跡線的最大數目是7。然而，如果[2 μm線/4 μm空間]的RDL的平行跡

線跨越兩個重新分布層級彼此交錯佈置，如圖3M所示，那麼9條平行跡線可佈設於同一個30 μm空間內。在此情況下，在使用[2 μm線/4 μm空間]的RDL時實現RDL [2 μm線/1 μm空間]的相同效果。藉由此類交錯佈置，RDL密度可以增加或改進約30%。

【0049】 可執行額外階段以提供用於基板15的另外的重新分布層級。在一些實例中，額外階段可提供導電路徑或凸塊下金屬化（UBM）。

【0050】 圖3N示出製造製程的稍後階段。在圖3N的實例中，藉由類似於例如相對於圖3A到3G描述的重新分布層級150a的具有對應跡線252或通孔253的介電質151a和導體155a的那些階段的階段，可藉由在介電質151b上形成具有對應跡線256或通孔257的介電質151c和導體155c來限定重新分布層級150c。

【0051】 圖3O示出製造製程的稍後階段。在圖3O的實例中，介電質151d可提供於重新分布層級150c上方、導體155c的頂側和介電質151c的頂側上。在一些實例中，介電質151d可類似於介電質151a。在一些實例中，介電質151d可包括被稱作焊料遮罩。在一些實例中，介電質151d可包含電絕緣材料，例如聚合物聚醯亞胺（PI）、苯並環丁烯（BCB）、聚苯並噁唑（PBO）、雙馬來醯亞胺三嗪（BT）、模製材料、酚系樹脂、環氧樹脂、矽樹脂或丙烯酸酯聚合物。在一些實例中，介電質151d可藉由各種方法提供，例如旋塗、噴塗、印刷、PVD、CVD、MOCVD、ALD、LPCVD或PECVD。在一些實例中，介電質151d可具有介於從約1 μm到約50 μm的範圍內的厚度。

【0052】 圖3P示出製造製程的稍後階段。在圖3P的實例中，曝露跡線256的開口151d"可提供於介電質151d中。舉例來說，開口151d"可藉由蝕刻、雷射燒蝕或光學微影製程來提供。介電質151d可藉由開口151d"曝露跡線256的頂側。

【0053】 圖3Q示出製造製程的稍後階段。在圖3Q的實例中，可藉由從導體155d限定內部端子157a，從而覆蓋藉由開口151d"曝露的跡線256的頂側，來建

立重新分布層級150d。在一些實例中，可藉由使用光罩和遮罩圖案提供內部端子157a。內部端子157a可藉由開口151d"連接到跡線256。內部端子157a可包括或稱為導體、導電材料、導電層、重新分布層（RDL）、線圖案、跡線圖案、或電路圖案、襯墊或凸塊下金屬化。內部端子157a可包括一種或多種導電材料，例如銅、金或銀。內部端子157a可藉由各種方法提供，例如濺鍍、無電電鍍、電鍍、PVD、CVD、MOCVD、ALD、LPCVD或PECVD。在一些實例中，內部端子157a可具有介於從約1 μm到約100 μm的範圍內的厚度。

【0054】 在一些實例中，例如在圖1到3中描述，基板110可為重新分布層（“RDL”）基板。RDL基板可包括一個或多個導電重新分布層和一個或多個介電質層，其（a）可逐層形成於RDL基板將耦接的電子裝置上方，或（b）可逐層形成於載體上方，所述載體可在電子裝置和RDL基板耦接在一起之後完全移除或至少部分地移除。RDL基板可在圓形晶圓上以晶圓級製程逐層製造為晶圓級基板，和/或在矩形或方形面板載體上以面板級製程逐層製造為面板級基板。RDL基板可以加成堆積製程形成，所述加成堆積製程可以包含一個或多個介電質層與限定相應導電重新分布圖案或跡線的一個或多個導電層交替堆疊，所述導電重新分布圖案或跡線被配置成共同（a）將電跡線扇出電子裝置的覆蓋區外部，或（b）將電跡線扇入電子裝置的覆蓋區內。可使用電鍍製程或無電極鍍覆製程等鍍覆製程來形成導電圖案。導電圖案可包括導電材料，例如銅或其他可鍍覆金屬。可以使用光圖案化製程，例如光學微影製程和用於形成光學微影遮罩的光罩材料來製作導電圖案的位置。RDL基板的介電質層可用光圖案化製程來圖案化，且包含光學微影遮罩，其中光曝露於光圖案所需特徵，例如介電質層中的通孔。因此，介電質層可由例如聚醯亞胺（PI）、苯並環丁烯（BCB）或聚苯並噁唑（PBO）的光可界定（photo-definable）有機介電質材料製成。此類介電質材料可以液體形式旋塗或以其它方式塗布，而非以預成型的膜的形式附接。為了允許適當地形

成期望的光限定特徵，此類光可限定的介電質材料可以省略結構增強劑，或者可以是無填料的，並且沒有可能會干擾來自光圖案化製程的光的股線、織造物或其它顆粒。在一些實例中，無填料介電質材料的此類無填料特性可使得所得介電質層的厚度減小。儘管上文描述的光可限定介電質材料可以是有機材料，但是在其它實例中，RDL基板的介電質材料可以包括一個或多個無機介電質層。無機介電質層的一些實例可以包括氮化矽（Si3N4）、氧化矽（SiO2）和/或氮氧化矽（SiON）。一或多個無機介電質層可以不是藉由使用光限定的有機介電質材料而是藉由使用氧化或氮化製程生長無機介電質層而形成。此類無機介電質層可以是無填料的，而無股線、織造物或其它不同的無機顆粒。在一些實例中，RDL基板可以省略永久性芯結構或載體，例如包括雙馬來醯亞胺三嗪（BT）或FR4的介電質材料，並且這些類型的RDL基板可以稱為無芯基板。

【0055】 在其它實施方案中，基板110可為預成型基板。預成型基板可以在附接到電子裝置之前製造並且可以包括在相應導電層之間的介電質層。導電層可以包括銅，並且可以使用電鍍製程形成。介電質層可以是可以以預先形成的膜的形式而不是以液體的形式附接的相對較厚的不可光成像層，並且可以包含具有用於剛性和/或結構性支撐的股線、織造物和/或其它無機顆粒等填料的樹脂。由於介電質層是不可光成像的，因此可藉由使用鑽孔或雷射來形成通孔或開口等特徵。在一些實例中，介電質層可以包括預浸材料或味之素堆積膜（ABF）。預先形成的基板可包含永久性芯結構或載體，例如包括雙馬來醯亞胺三嗪（BT）或FR4的介電質材料，且介電質層和導電層可形成於永久性芯結構上。在其它實例中，預成型基板可以是無芯基板並且省略永久性芯結構，並且可以在犧牲載體上形成介電質層和導電層，所述犧牲載體在形成介電質層和導電層之後且在附接到電子裝置之前移除。預成形基板可又被稱為印刷電路板（PCB）或層壓基板。此類預成型的基板可藉由半加成製程或修改後的半加成製程來形成。

【0056】 圖3R示出製造製程的稍後階段。在圖3R的實例中，電子組件11可與基板15的內部端子157a耦接。在某一實例中，電子組件11可包含組件端子111和組件互連件112。

【0057】 在圖3R的實例中，電子組件11可藉由組件端子111耦接到組件互連件112。電子組件11可包括或稱為半導體晶粒、半導體裝置或半導體晶片。在一些實例中，電子組件11可包括整合電路、邏輯晶粒、微控制單元、記憶體、數位信號處理器、網路處理器、電力管理單元、音頻處理器、RF電路、天線結構、微機電（MEMS）裝置或無線基帶系統處理器。在一些實例中，電子組件11可具有介於從約30 μm到約800 μm的範圍內的厚度。在某一實例中，具有相同或不同特徵或功能性的多個不同電子組件11可耦接到基板15。

【0058】 在圖3R的實例中，至少一個組件端子111可提供於電子組件11的底側上。組件端子111可以是電子組件11的輸入或輸出端子或電力端子。組件端子111可與組件互連件112耦接。在一些實例中，組件端子111可被稱為晶粒襯墊或接合襯墊。在一些實例中，組件端子111可包括導電材料，例如鋁、銅、鋁合金或銅合金。組件端子111可具有介於從約10 μm到約100 μm的範圍內的寬度。組件端子111可具有介於從約1 μm到約50 μm的範圍內的厚度。

【0059】 在圖3R的實例中，組件互連件112可提供於組件端子111上。組件互連件112可藉由組件端子111與電子組件11耦接。組件互連件112可與內部端子157a的頂側耦接。在一些實例中，可藉由落球方法、網版印刷方法或電鍍方法中的一種或多種提供組件互連件112。在一些實例中，組件互連件112可包括或稱為導電球、焊料球、導電柱或支柱，或用焊料封端的導電柱或支柱。在一些實例中，組件互連件112可包括錫（Sn）、銀（Ag）、鉛（Pb）、銅（Cu）、Sn-Pb、Sn37-Pb、Sn95-Pb、Sn-Pb-Ag、Sn-Cu、Sn-Ag、Sn-Au、Sn-Bi，或Sn-Ag-Cu。在一些實例中，組件互連件112可具有介於從約0 mm到約0.1 mm的範圍內的大小。

【0060】 圖3S示出製造製程的稍後階段。在圖3S的實例中，囊封物12可覆蓋電子組件11、內部端子157a和基板15。在一些實例中，囊封物12可以包括或稱為環氧模製化合物、環氧樹脂模製樹脂，或密封劑。在一些實例中，囊封物12可包括或稱為模製部分、密封部分、囊封部分、保護部分、封裝、封蓋或主體。在一些實例中，可藉由壓縮模製方法、轉移模製方法、液體囊封物模製方法、真空層壓方法、膏印刷方法或薄膜輔助模製方法提供囊封物12。在一些實例中，囊封物12可包括例如覆蓋電子組件111的封蓋的金屬材料，或例如符合囊封物12的主體的外側的保形金屬材料。在一些實例中，囊封物12可具有介於從約0.03 μm到約1 μm的範圍內的厚度。囊封物12可藉由覆蓋電子組件11和內部端子157a而保護電子組件11和內部端子157a免受外部因素或外部環境的影響。在提供囊封物12之後，可移除載體160且可翻轉組合件。

【0061】 圖3T示出製造製程的稍後階段，其中組合件相對於圖3S是翻轉的且移除了載體160。在圖3T中，介電質151e可提供於基板15的重新分布層級150a上，類似於如關於圖3O的介電質151d所描述。

【0062】 在圖3U中，可提供穿過介電質151e的開口151e"以曝露重新分布層級150a的導體155a的部分，類似於如關於圖3P的穿過介電質151d的開口151d"曝露重新分布層級150d的導體155c的部分所描述。

【0063】 在圖3V中，可藉由導體155e限定通過介電質151e的開口151e"耦接到導體155a的曝露部分的外部端子157b來建立重新分布層級150e，類似於如關於圖3Q的藉由介電質151d的開口151d"耦接到導體155c的曝露部分的內部端子157a所描述。

【0064】 在圖3W中，介電質151f可提供於重新分布層級151e上，其中開口151f"曝露外部端子157b的部分。在一些實例中，介電質151f可在材料、特徵或形成方面類似於介電質151d。

【0065】 圖3X示出製造製程的稍後階段。在圖3X的實例中，外部互連件17可連接到外部端子157b。外部互連件17可藉由基板15與電子組件11耦接。在一些實例中，可藉由落球方法、網版印刷方法或電鍍方法提供外部互連件17。在一些實例中，外部互連件17可包括或稱為導電球、焊料球或導電凸塊。在一些實例中，外部互連件17可具有介於從約0.1 mm到約1 mm的範圍內的大小。在提供外部互連件17的情況下，可翻轉基板15以提供電子裝置10。

【0066】 圖4A到4I示出用於根據圖1中的實例的電子裝置10的另一製造製程的橫截面圖。圖4的製造製程的部分可包括或類似於圖2或3的製造製程。

【0067】 圖4A到4E呈現導致介電質151a中的被晶種154覆蓋的跡線開口152和通孔開口153的製造階段。圖4A到4ED的製造階段、特徵或元件可對應地類似於或相同於針對圖3A到3E或圖2A到2D的製造階段描述的那些。為簡單起見，圖4中示出的輪廓具有筆直表面和正方形頂點，但此類輪廓可展現在圖2中分別示出和描述的一個或多個對應的傾斜表面或弓形頂點。

【0068】 圖4F示出製造製程的稍後階段。在圖4F的實例中，導體155a可提供於介電質151a上方的晶種154上。圖4F的製造階段、特徵或元件可類似於針對圖3F的階段描述的那些。在一些實例中，圖4F中的導體155a的厚度可大於圖3F的階段中的導體155a的厚度。

【0069】 在圖3F到3G的先前實例中，介電質151a的頂側上方的導體155a的部分被移除。在圖4的本實例中，如下文將描述，可處理介電質151a的頂側上方的導體155a的部分以保持且提供額外重新分布圖案或重新分布層級，其包括在提供跡線252的相同導體155a之外的跡線254。

【0070】 圖4G示出製造製程的稍後階段。在圖4G的實例中，光罩158可提供於導體155a上，並且接著藉由在其上放置罩而曝露以轉印預定圖案。在一些實例中，可藉由旋塗法、噴塗法、浸塗法提供光罩158。光罩158的一部分可被顯影

且移除以限定開口158a。光罩158的其餘部分可充當用於限定包含跡線254的額外重新分布圖案的圖案。

【0071】 圖4H示出製造製程的稍後階段。在圖4H的實例中，導體155a和晶種154的對應於光罩158的開口158a的部分可例如藉由蝕刻而移除。導體155a的被光罩158覆蓋且限定通孔253、跡線252和跡線254的部分可保留。因此，重新分布層級150a和重新分布層級150b的重新分布圖案可限定於同一導體155a之外，而無需添加額外導體層。

【0072】 圖4I示出製造製程的稍後階段。在圖4I的實例中，可移除剩餘光罩158。在一些實例中，例如介電質151b的介電質可提供於跡線254周圍作為重新分布層級150b的部分。

【0073】 在圖4A到4I的製造階段之後可執行額外製程階段。在一些實例中，額外階段可提供與針對圖3N到3W描述的那些相似或相同的對應過程、元件或特徵。藉由上述製造階段，可提供圖1中的電子裝置10。

【0074】 圖5示出圖示電子裝置20的橫截面。電子裝置20的特徵、元件和製造可類似於上文關於電子裝置10所描述的那些。

【0075】 在圖5的實例中，基板15的定向可從圖1針對電子裝置10所示的定向反轉。此外，基板15可形成於電子組件11和囊封物12上。圖5示出省略了組件互連件112，但可存在其中組件互連件112可作為電子裝置20的部分保持耦接到組件端子111且受到囊封物12限界的實例。

【0076】 在一些實例中，電子組件11可提供於載體上。囊封物12可提供於載體上和電子組件11周圍。在一些實例中，在囊封物12在適當的位置的情況下，可移除載體。例如藉由移除載體或藉由研磨囊封物12的一部分，組件端子111或組件互連件112可從囊封物12曝露。

【0077】 介電質151d可形成於電子組件11和囊封物12上。介電質151d可經

圖案化以曝露組件端子111或組件互連件112。在一些實例中，介電質151d可為任選的。

【0078】 根據針對圖2A到2D、圖3A到3N或圖4A到4I描述的處理階段可在電子組件11和囊封物12上（而不是在載體160上）形成基板15。隨後可根據針對圖3T到3X描述的處理階段來完成基板15和電子裝置20。

【0079】 本揭示內容包含對某些實例的參考。然而，本領域的技術人員將理解，在不脫離本揭示內容的範圍的情況下可以進行各種改變且可以取代等效物。另外，在不脫離本揭示內容的範圍的情況下可對公開的實例作出修改。因此，希望本揭示內容不限於公開的實例，而是本揭示內容將包含屬所附申請專利範圍的範籌內的所有實例。

【符號說明】

【0080】

10:電子裝置

11:電子組件

12:囊封物

15:基板

17:連接器/外部互連件

111:端子/組件端子

112:互連件

150a、150b、150c、150d、150e:重新分布層級

151a、151b、151c、151d、151e、151f:介電質層

151e":開口

151f":開口

151t:跡線圖案

151-t1:側壁

151-t2:基底

151-t3:頂點

151v:通孔圖案

151-v1:側壁

151-v2:基底

151-v3:頂點

151-v4:頂點

152:跡線開口

153:通孔開口

154:晶種

155a、155b、155c、155d、155e:導體

157a:內部端子

157b:外部端子

158:光罩

158a:開口

160:載體

160a:頂側

252:第一跡線/第二跡線/跡線

253:通孔

254:跡線

256:跡線

257:通孔

【發明申請專利範圍】

【請求項1】一種電子裝置，其包括：

基板，其包括：

第一介電質，其具有頂部表面和底部表面，以及

第一導體，其在所述第一介電質中且包括第一通孔和所述第一通孔上方的第一跡線，

其中所述第一跡線包括第一跡線側壁和第一跡線基底，且所述第一通孔包括第一通孔側壁，且

其中所述第一導體包括在所述第一跡線側壁與所述第一跡線基底之間的第一弓形頂點，以及在所述第一通孔側壁與所述第一跡線基底之間的第二弓形頂點；

電子組件，其在所述基板的所述頂部表面上方；以及

囊封物，其在所述基板的所述頂部表面上方且接觸所述電子組件的橫向側。

【請求項2】根據請求項1所述的電子裝置，其中所述第一介電質包括單個介電質材料層。

【請求項3】根據請求項1所述的電子裝置，其中所述第一跡線和所述第一通孔構成單片結構。

【請求項4】根據請求項1所述的電子裝置，其中所述第一跡線從所述第一介電質的所述頂部表面曝露，且所述第一通孔從所述第一介電質的所述底部表面曝露。

【請求項5】根據請求項1所述的電子裝置，其中所述基板包括：

第二介電質，其在所述第一介電質上方，以及

所述第二介電質中的第二跡線，其從所述第一跡線偏移。

【請求項6】根據請求項1所述的電子裝置，其進一步包括：

第二跡線，其在所述第一介電質中且從所述第一跡線偏移，

其中所述第二跡線的頂側從所述第一介電質的所述頂部表面曝露，且所述第一介電質覆蓋所述第二跡線的基底。

【請求項7】根據請求項5所述的電子裝置，其中所述第二跡線從所述第二介電質的頂部表面曝露且接觸所述第一介電質的所述頂部表面。

【請求項8】根據請求項1所述的電子裝置，其中所述基板包括：

第二介電質，其在所述第一介電質上方，

第二跡線，其在所述第二介電質中，以及

第二通孔，其在所述第一介電質中，

其中所述第二跡線接觸所述第二通孔。

【請求項9】根據請求項1所述的電子裝置，其中所述基板包括：

第二介電質，其在所述第一介電質上方，以及

第二導體，其在所述第二介電質中，所述第二導體包括第二通孔和所述第二通孔上方的第二跡線，

其中所述第二跡線包括第二跡線側壁和第二跡線基底，且所述第二通孔包括第二通孔側壁，且

其中所述第二導體包括在所述第二跡線側壁與所述第二跡線基底之間的第三弓形頂點，以及在所述第二通孔側壁與所述第二跡線基底之間的第四弓形頂點。

【請求項10】一種製造電子裝置的方法，其包括：

提供第一介電質，所述第一介電質具有頂部表面和底部表面；

在所述第一介電質中從所述頂部表面提供第一跡線圖案，其中所述第一跡線圖案限定第一跡線，所述第一跡線包括第一跡線基底、第一跡線側壁以及在所述第一跡線基底與所述第一跡線側壁之間的第一弓形頂點；

在所述第一介電質中提供第一通孔圖案，其中所述第一通孔圖案限定第一通孔，所述第一通孔包括第一通孔側壁以及在所述第一跡線基底與所述第一通孔側壁之間的第二弓形頂點；

移除所述第一跡線圖案和所述第一通孔圖案處的所述第一介電質的一部分以曝露所述第一介電質中的第一通孔開口和第一跡線開口；以及

在所述第一通孔開口和所述第一跡線開口中提供第一導電材料以提供包括所述第一跡線和所述第一通孔的第一導體。

【請求項11】根據請求項10所述的方法，其進一步包括：

在所述第一介電質的所述頂部表面上方提供電子組件；以及

提供囊封物，所述囊封物在所述第一介電質的所述頂部表面上方且接觸所述電子組件的橫向側。

【請求項12】根據請求項10所述的方法，其中藉由使所述第一介電質從所述頂部表面曝露於紫外線（UV）光來提供所述第一跡線圖案和所述第一通孔圖案。

【請求項13】根據請求項10所述的方法，其中：

所述第一跡線圖案限定所述第一介電質中的第二跡線，

移除所述第一介電質的一部分以曝露所述第一介電質中的第二跡線開口，且

在所述第二跡線開口中提供所述第一導電材料以提供包括所述第二跡線的第二導體。

【請求項14】根據請求項13所述的方法，其進一步包括：

在所述第一介電質上方提供第二介電質，所述第二介電質具有頂部表面和底部表面，

在所述第二介電質中從所述第二介電質的所述頂部表面提供第二跡線圖案，所述第二跡線圖案限定第三跡線，

移除所述第二跡線圖案處的所述第二介電質的一部分以曝露第三跡線開口，且

在所述第三跡線開口中提供第二導電材料以提供包括所述第二跡線的第三導體，

其中所述第三跡線從所述第一跡線和所述第二跡線偏移。

【請求項15】根據請求項10所述的方法，其中：

所述第一跡線圖案限定所述第一介電質中的第二跡線，

所述第一通孔圖案限定所述第一介電質中的第二通孔，

移除所述第一介電質的一部分以曝露所述第一介電質中的第二跡線開口和第二通孔開口，且

在所述第二通孔開口和所述第二跡線開口中提供所述第一導電材料以提供所述第二跡線和所述第二通孔。

【請求項16】根據請求項15所述的方法，其中所述第二跡線的寬度與所述第二通孔的寬度基本上相同。

【請求項17】根據請求項15所述的方法，其進一步包括：

在所述第一介電質上方提供第二介電質，所述第二介電質具有頂部表面和底部表面，

在所述第二介電質中從所述第二介電質的所述頂部表面提供第二跡線圖案，其中所述第二跡線圖案限定第三跡線，

移除所述第二跡線圖案處的所述第二介電質的一部分以曝露第三跡線開口，且

在所述第三跡線開口中提供第二導電材料以提供所述第三跡線，

其中所述第三跡線從所述第二介電質的所述底部表面曝露且接觸所述第一介電質的所述第二跡線。

【請求項18】一種製造電子裝置的方法，所述方法包括：

提供具有頂部表面和底部表面的第一介電質，且所述第一介電質中的第一導體包括第一通孔和所述第一通孔上方的第一跡線；

在所述第一介電質的所述頂部表面上方提供電子組件；以及

提供囊封物，所述囊封物在所述第一介電質的所述頂部表面上方且接觸所述電子組件的橫向側；

其中所述第一跡線包括第一跡線側壁和第一跡線基底，且所述第一通孔包括第一通孔側壁；且

其中所述第一導體包括在所述第一跡線側壁與所述第一跡線基底之間的第一弓形頂點，以及在所述第一通孔側壁與所述第一跡線基底之間的第二弓形頂點。

【請求項19】根據請求項18所述的方法，其中所述第一介電質包括單個介電質材料層。

【請求項20】根據請求項18所述的方法，其中所述第一跡線和所述第一通孔構成單片結構。

【發明圖式】

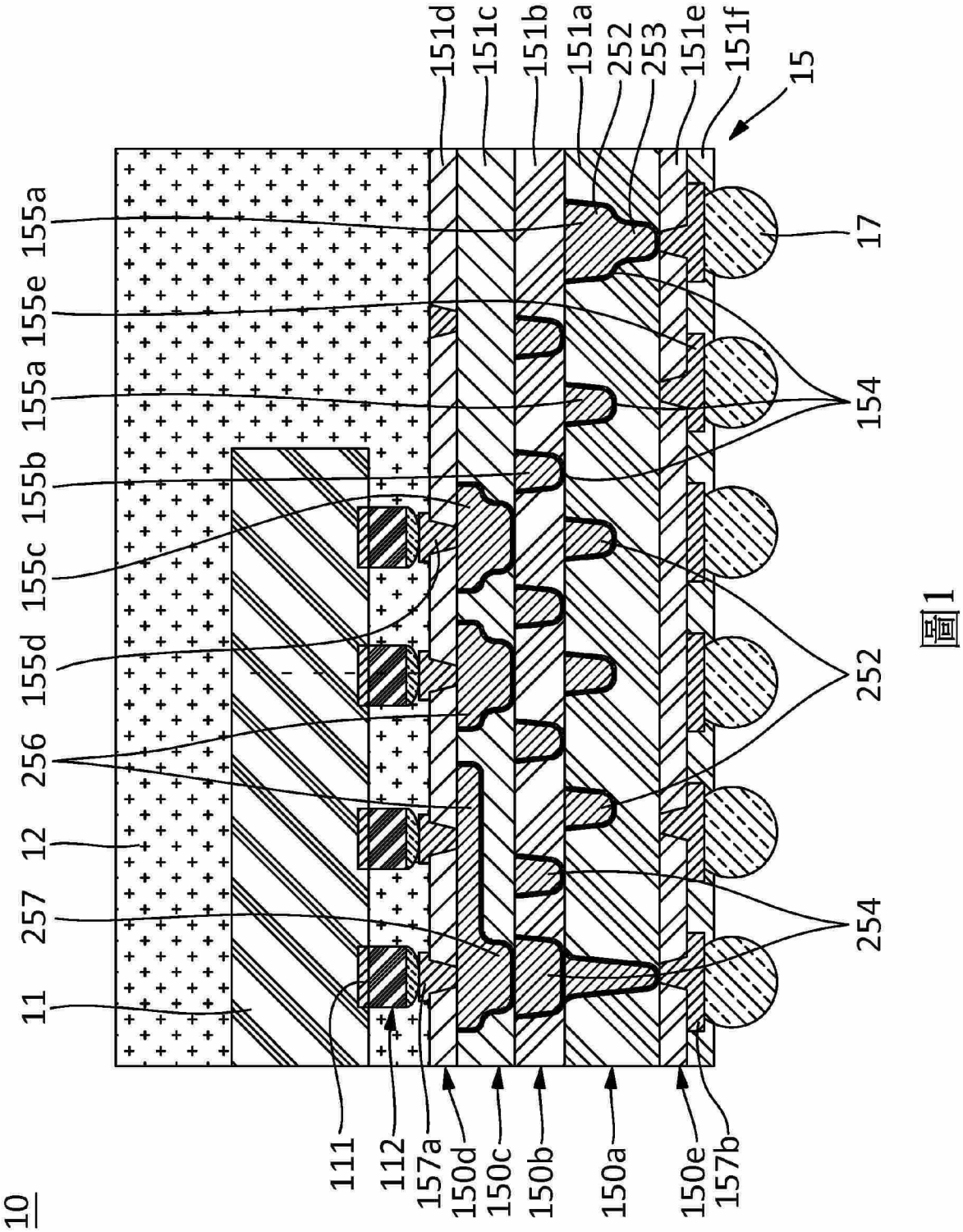

151d
151c
151b
151a
252
253
151e
151f
15
155a
155e
155a
155b
155c
155d
256
12
257
11
17
154
252
254
10
111
112
157a
150d
150c
150b
150a
150e
157b

圖1

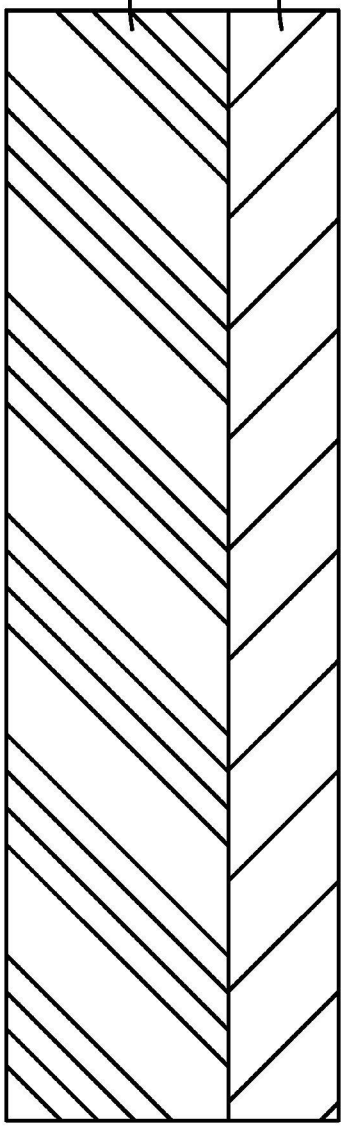


圖2A

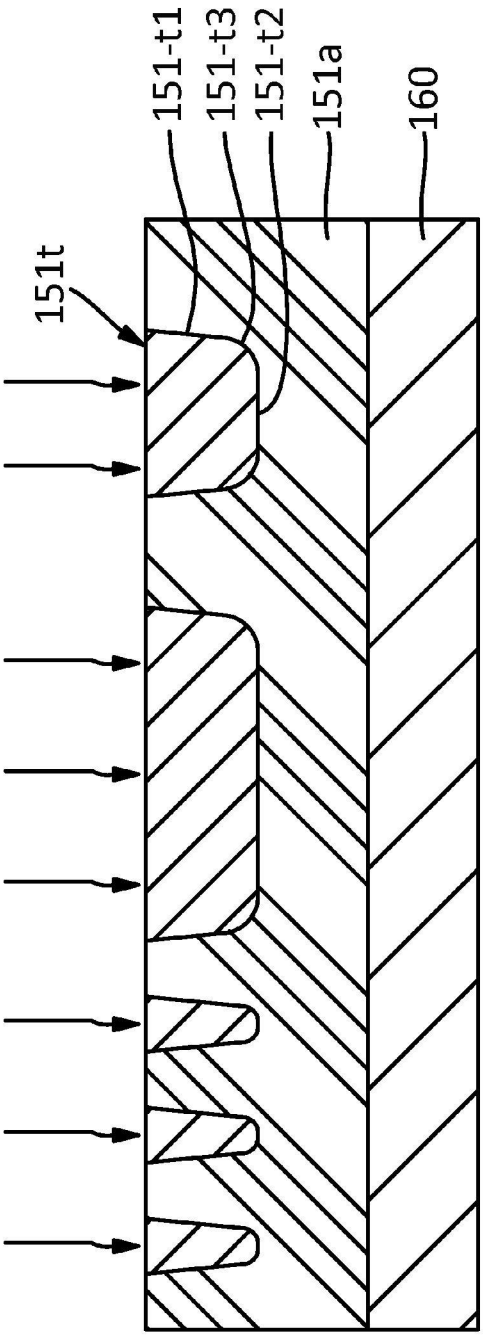


圖2B

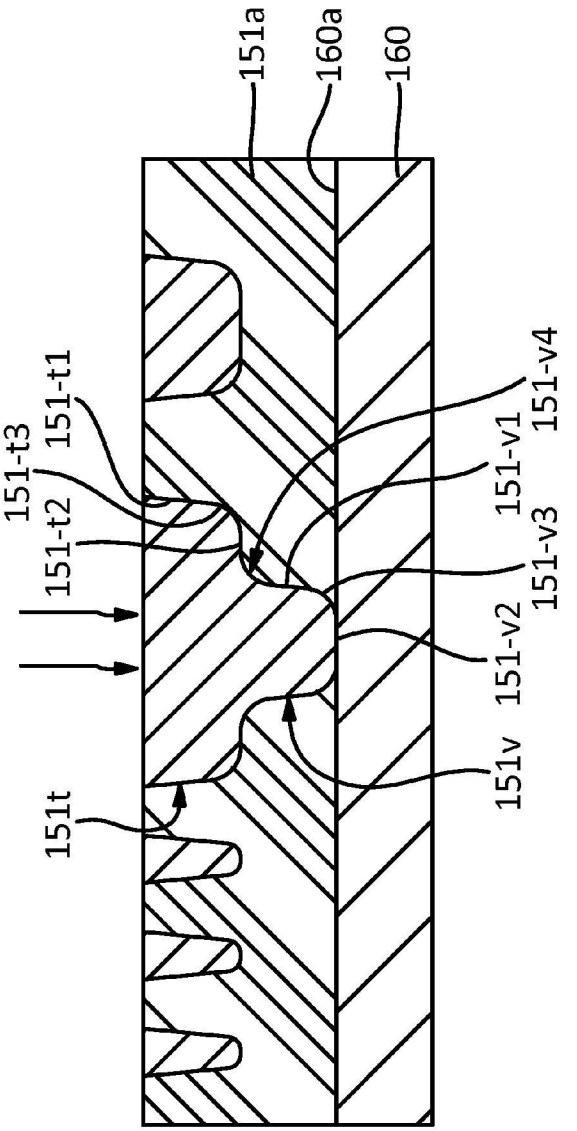

151a
160a
160
151-t3
151-t1
151-t2
151-v4
151-v1
151-v3
151-v2
151v
151t

圖2C

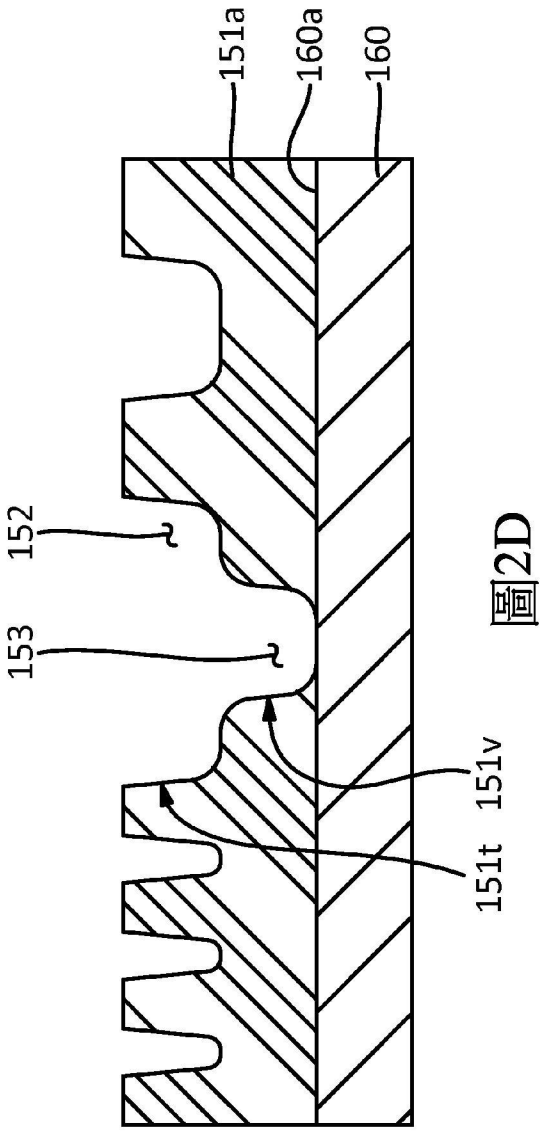

151a
160a
160
152
153
151v
151t

圖2D

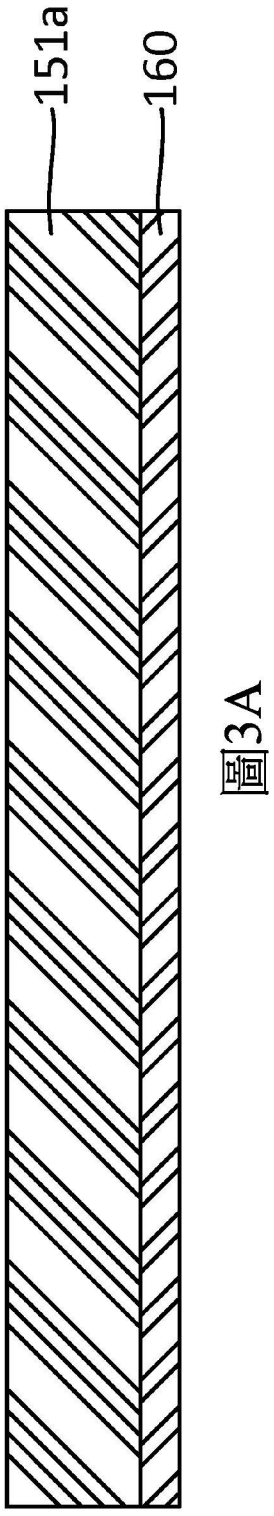


圖3A

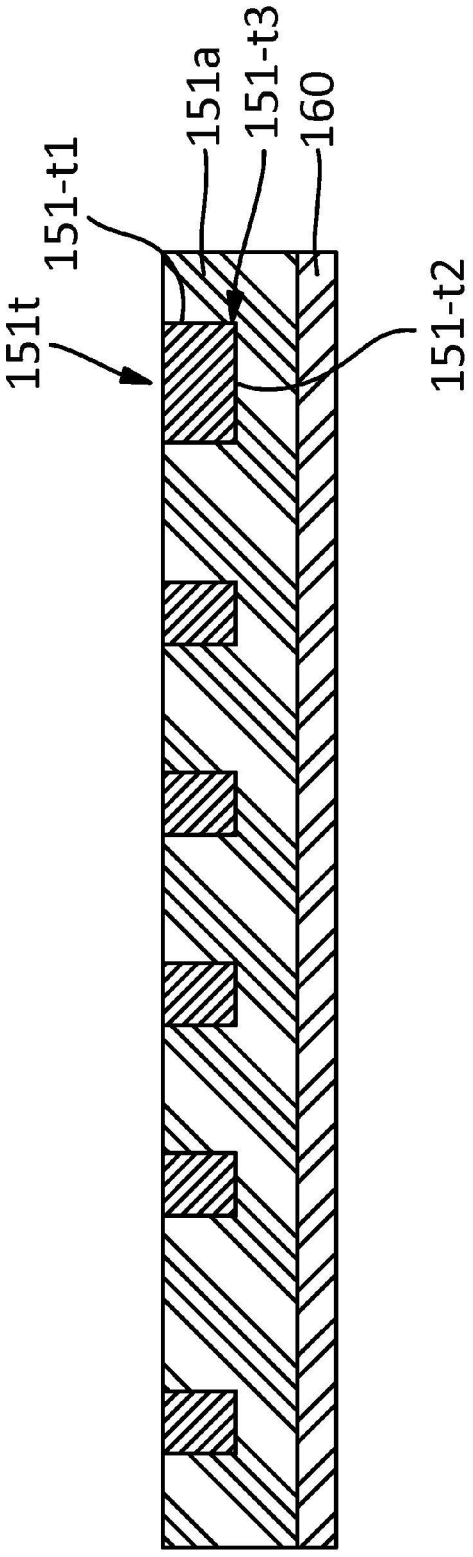


圖3B

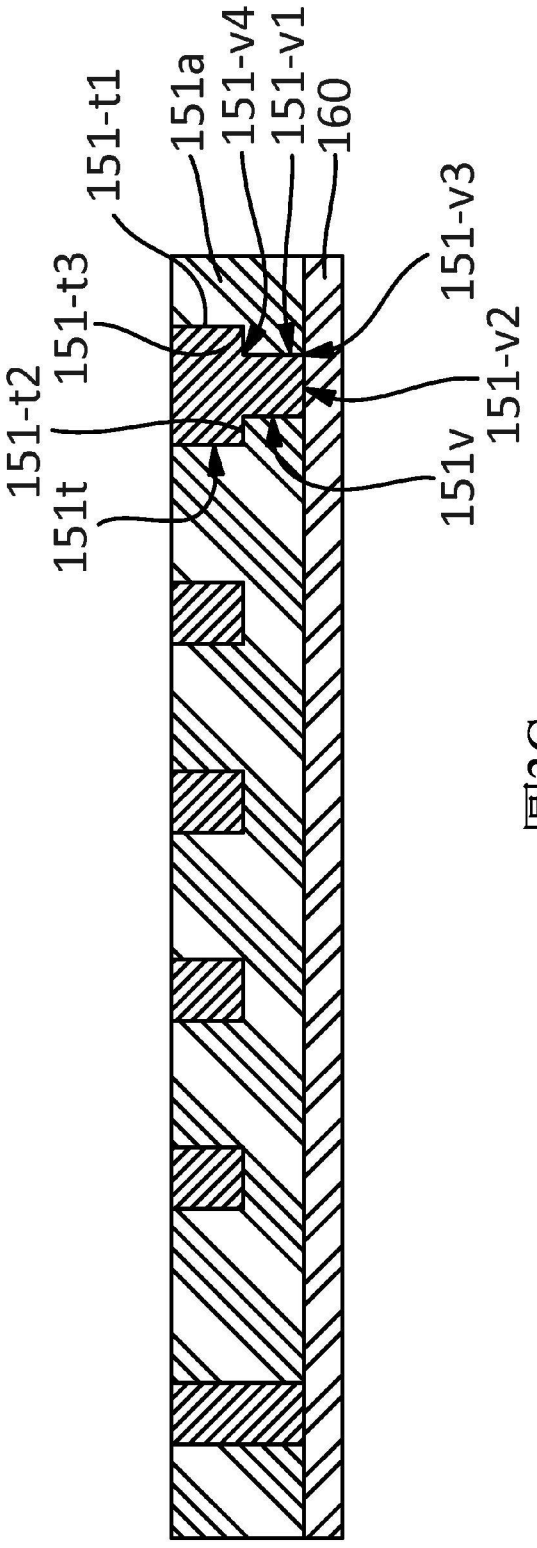

151-t1
151a
151-v4
151-v1
160
151-v3
151-t3
151-t2
151-v2
151t
151v

圖3C

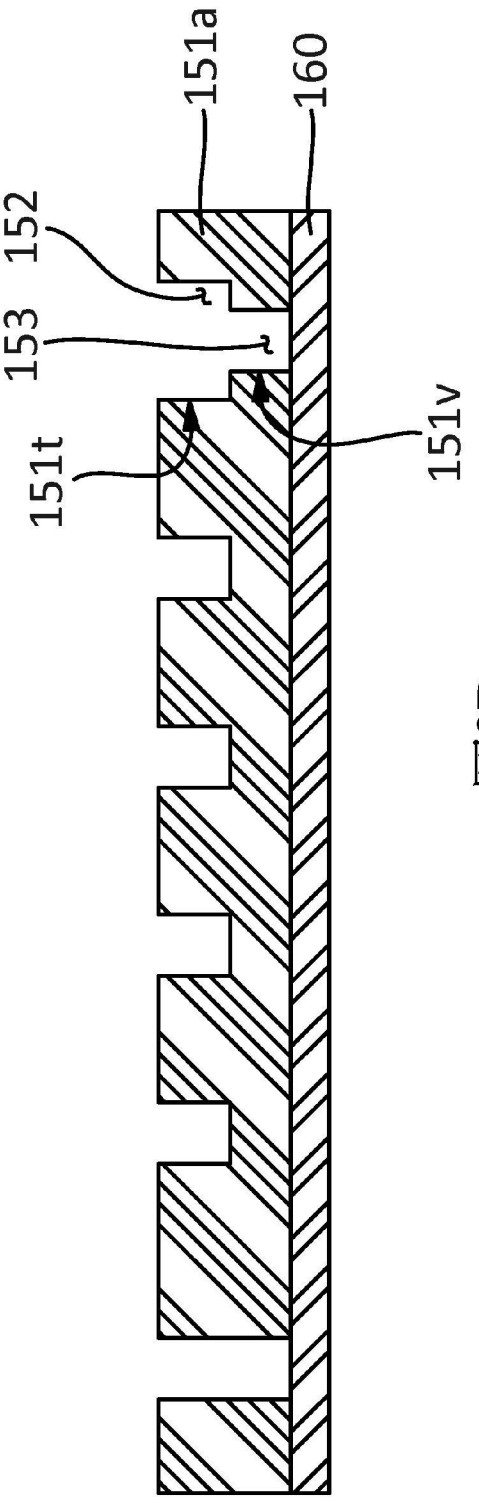

151a
160
152
153
151t
151v

圖3D

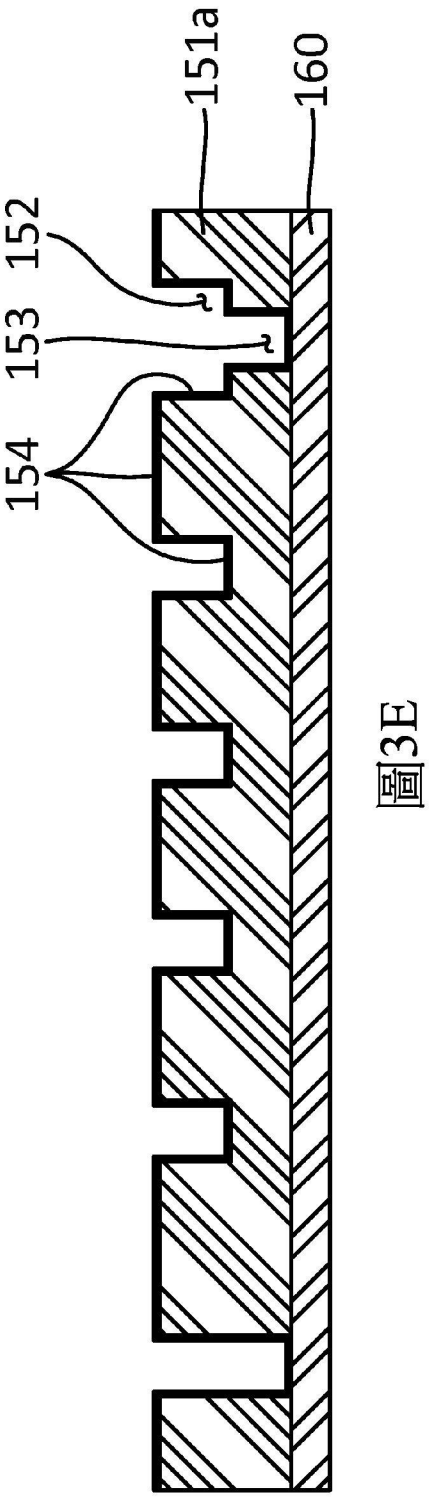


圖3E

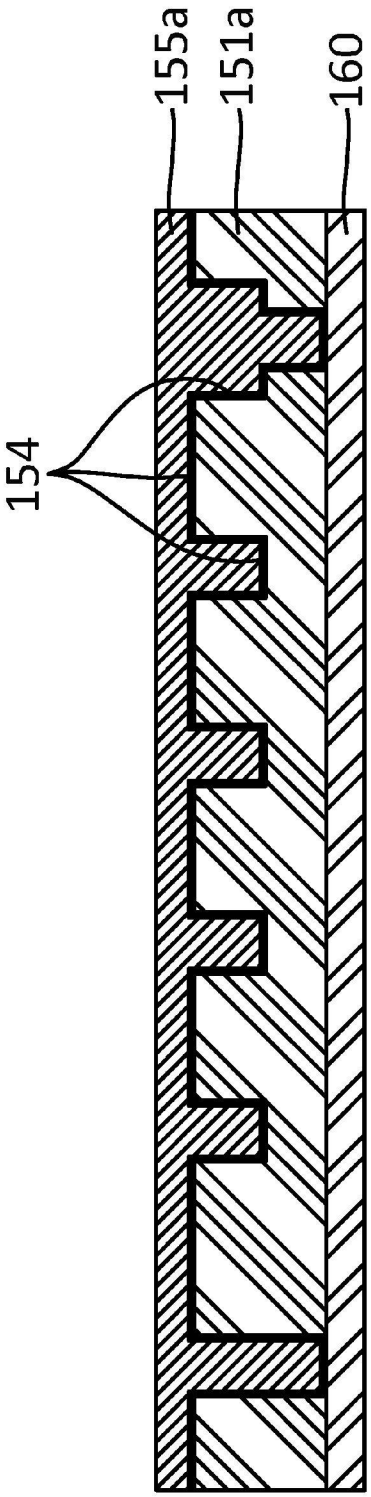


圖3F

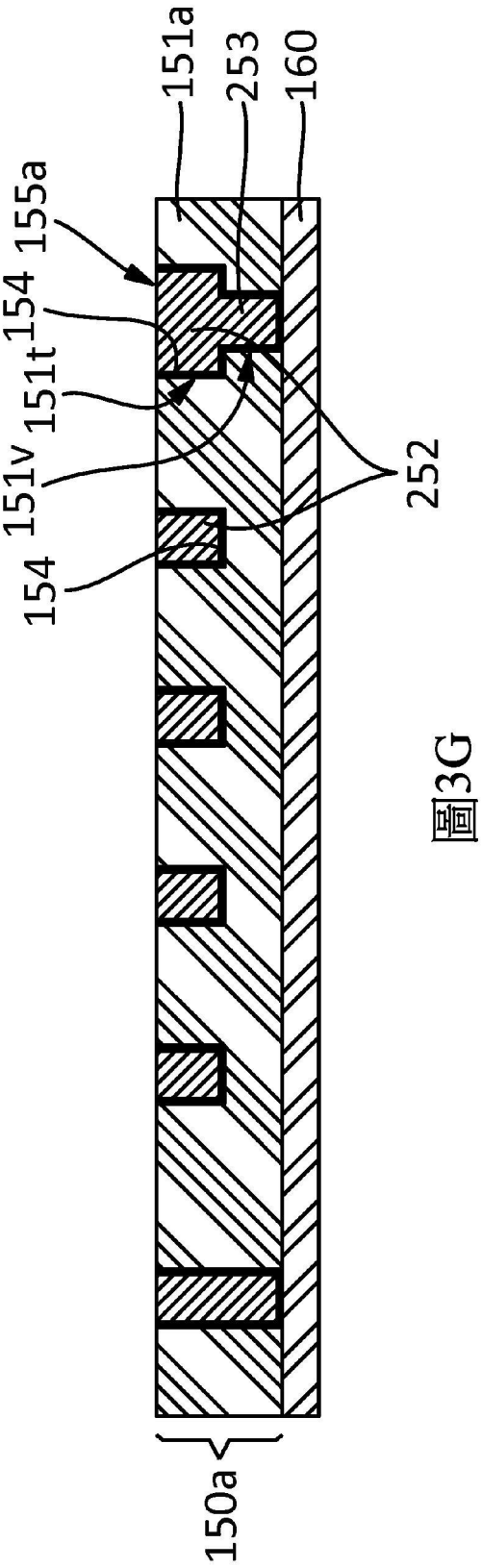

151a
253
160
155a
154
151t
151v
154
252
150a

圖3G

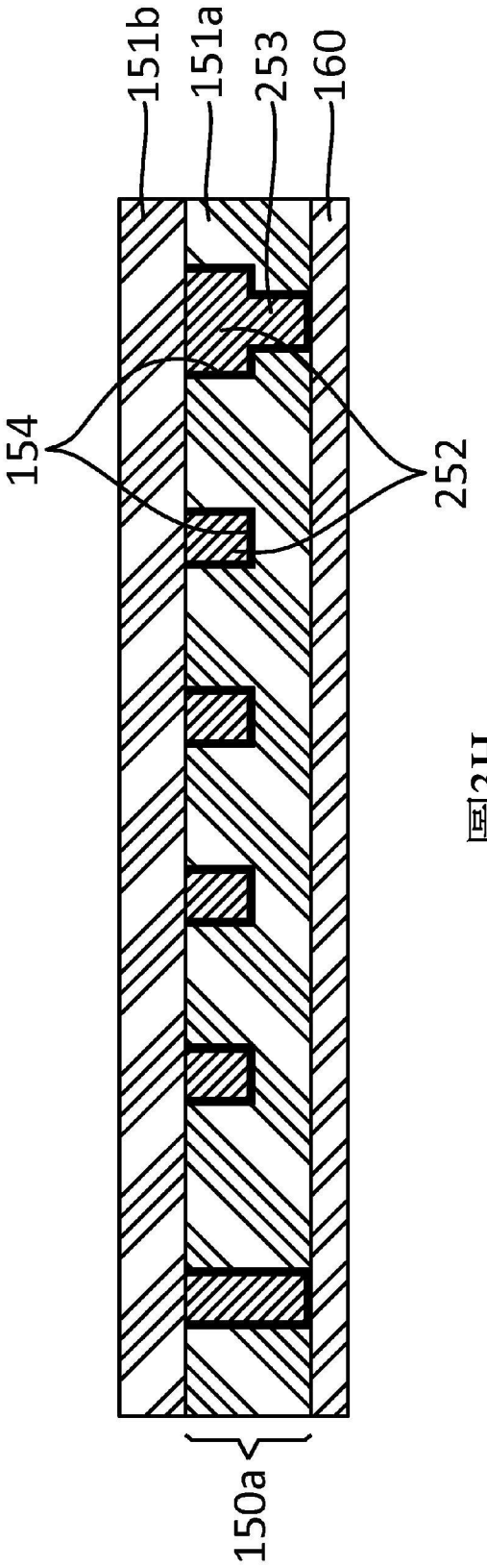

151b
151a
253
160
154
252
150a

圖3H

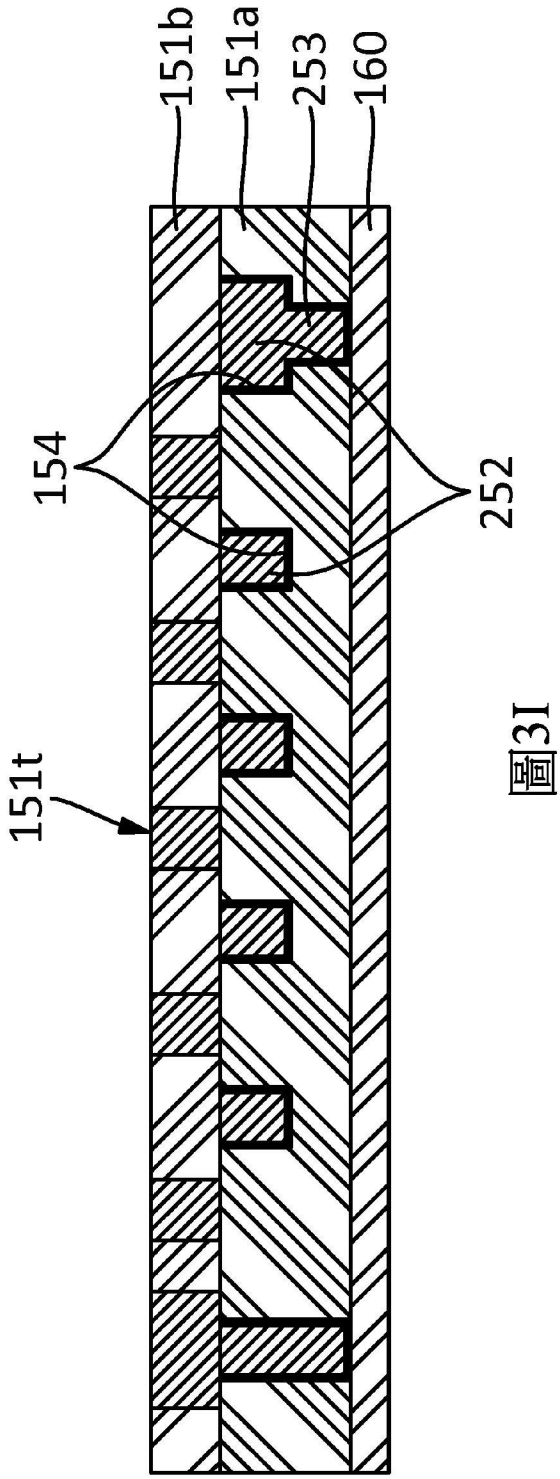

151b
151a
253
160
154
252
151t

圖3I

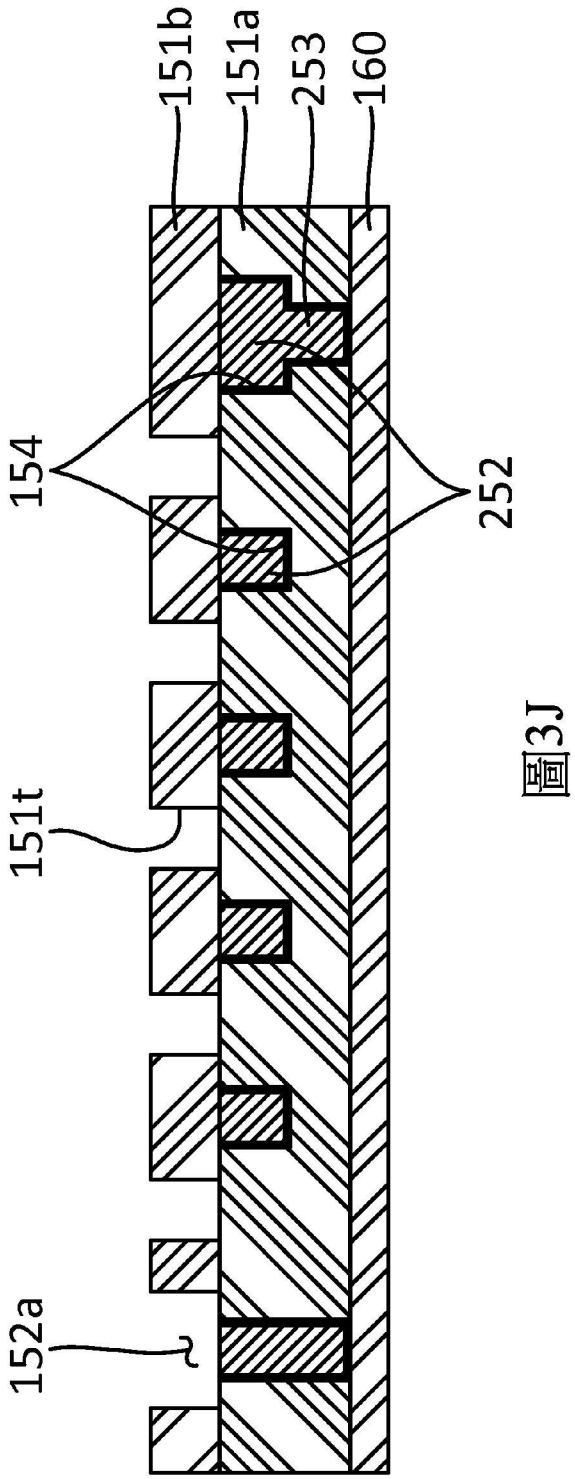

151b
151a
253
160
154
252
151t
152a

圖3J

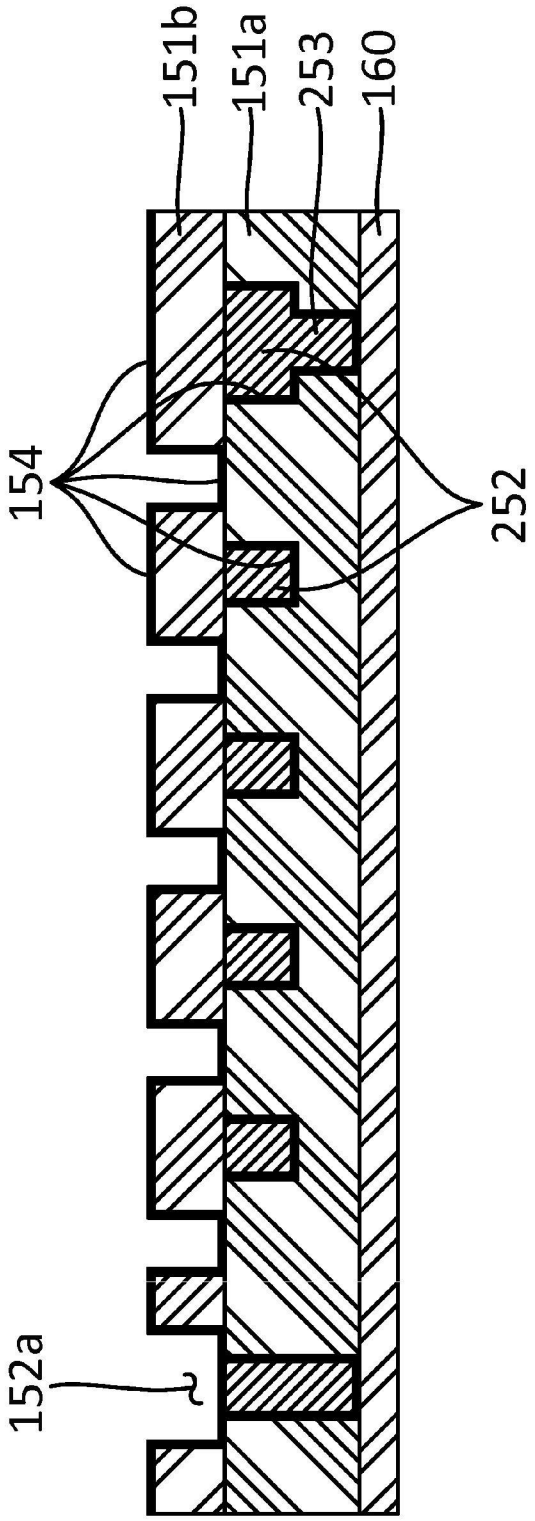

151b
151a
253
160
154
252
152a

圖3K

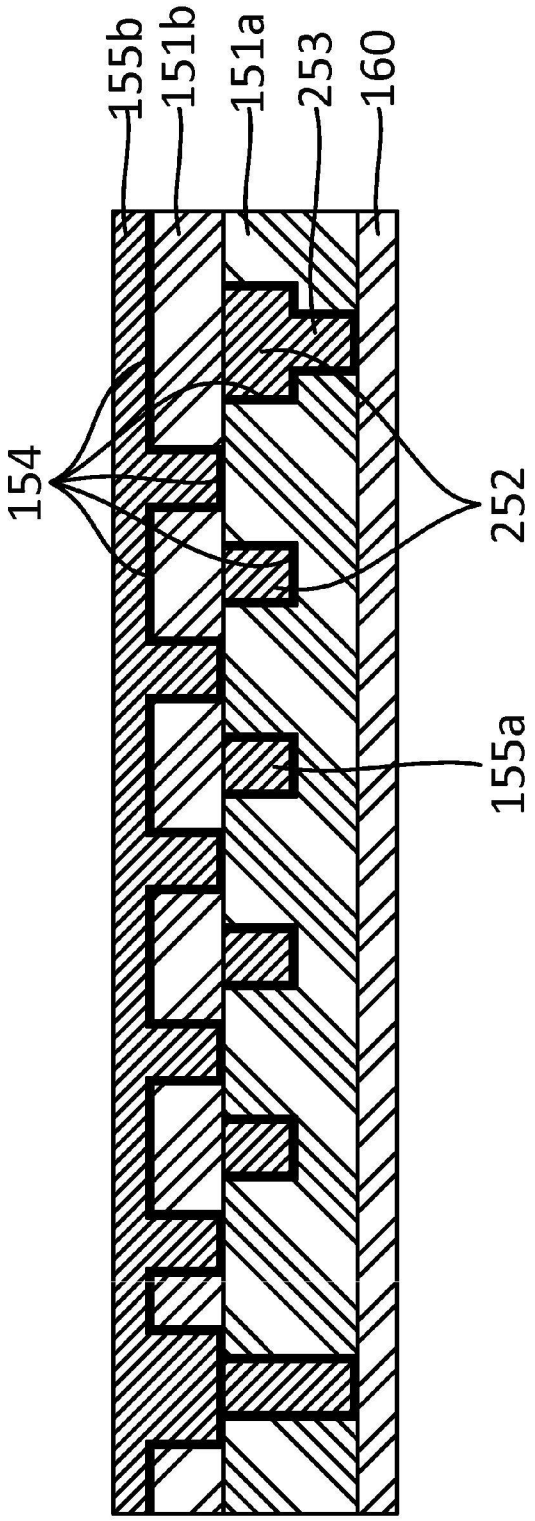

155b
151b
151a
253
160
154
252
155a

圖3L

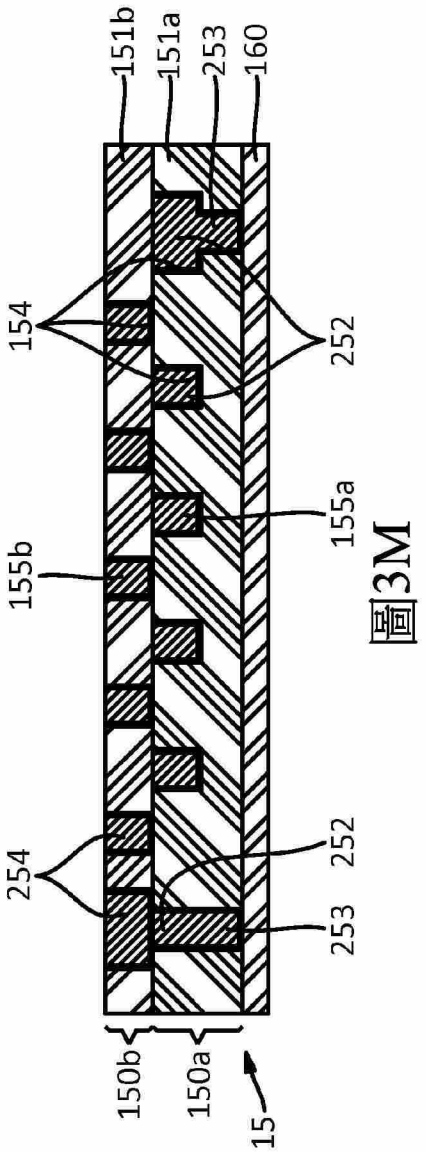

151b
151a
253
160
154
252
155a
155b
254
252
253
150b
150a
15

圖3M

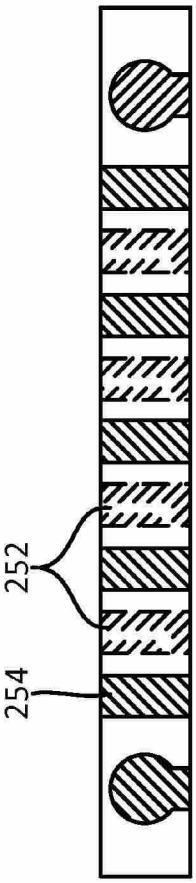

252
254

圖3M1

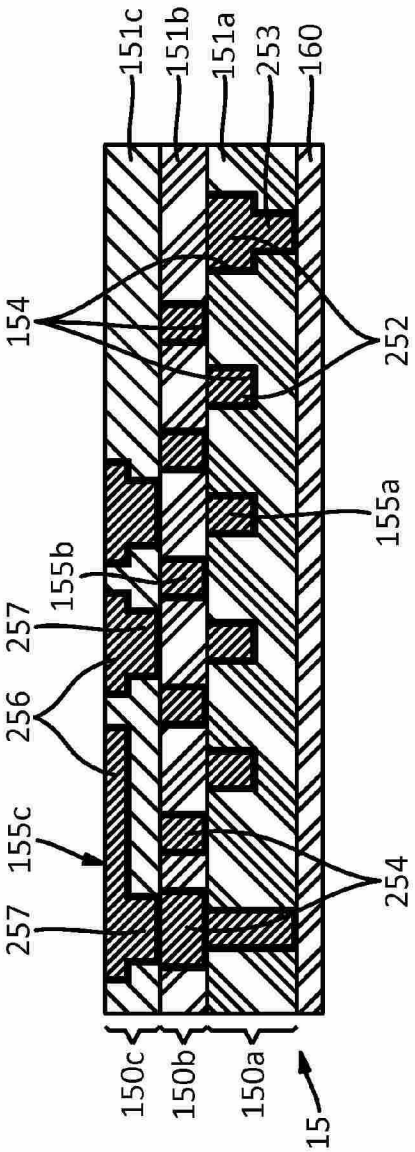

151c
151b
151a
253
160
154
252
155a
155b
257
256
155c
257
254
150c
150b
150a
15

圖3N

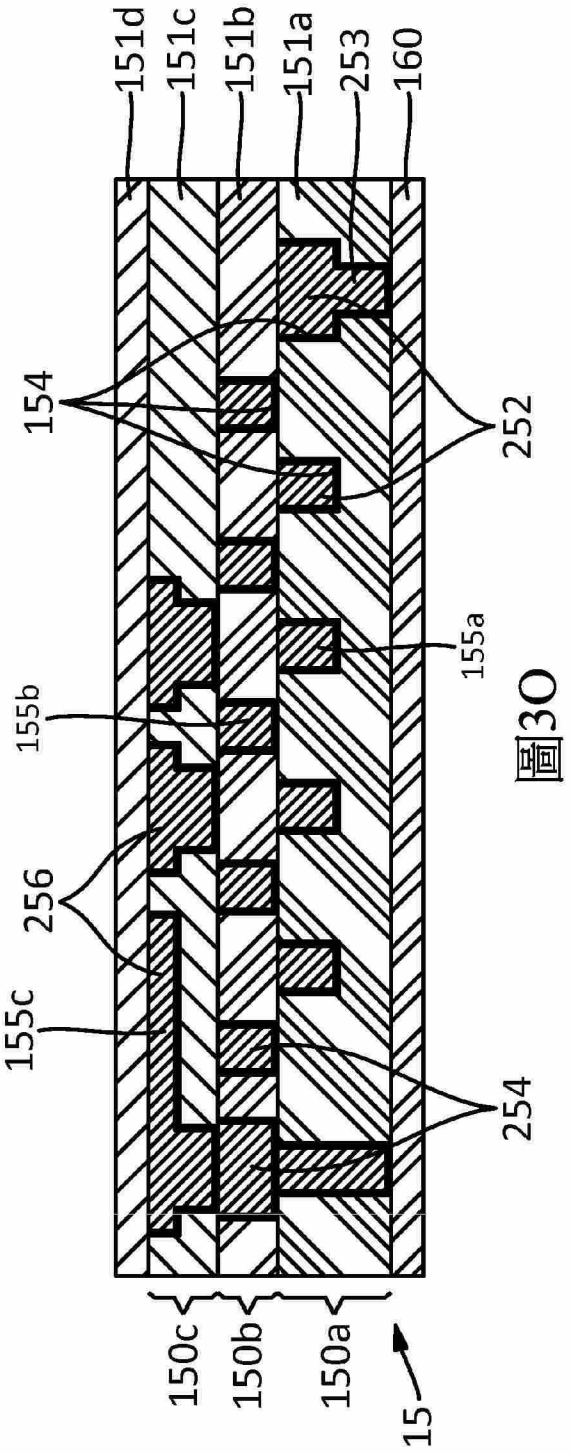

151d
151c
151b
151a
253
160
154
252
155a
155b
256
155c
254
150c
150b
150a
15

圖3O

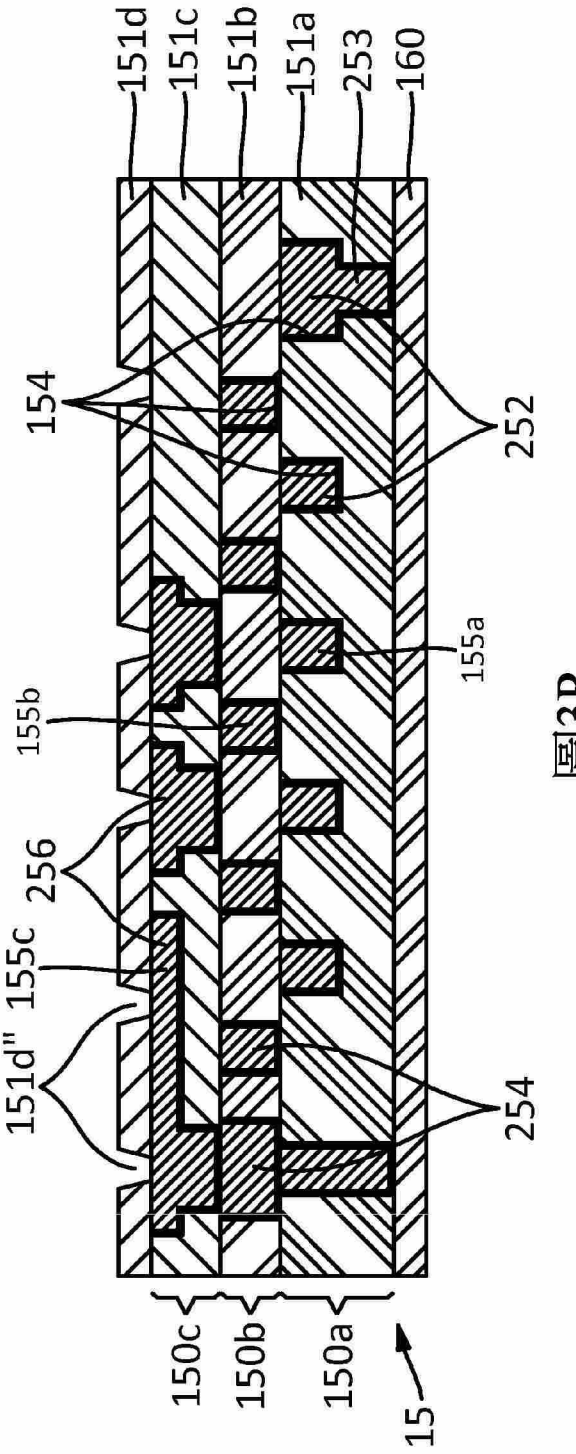

151d
151c
151b
151a
253
160
154
252
155a
155b
256
155c
151d"
254
150c
150b
150a
15

圖3P

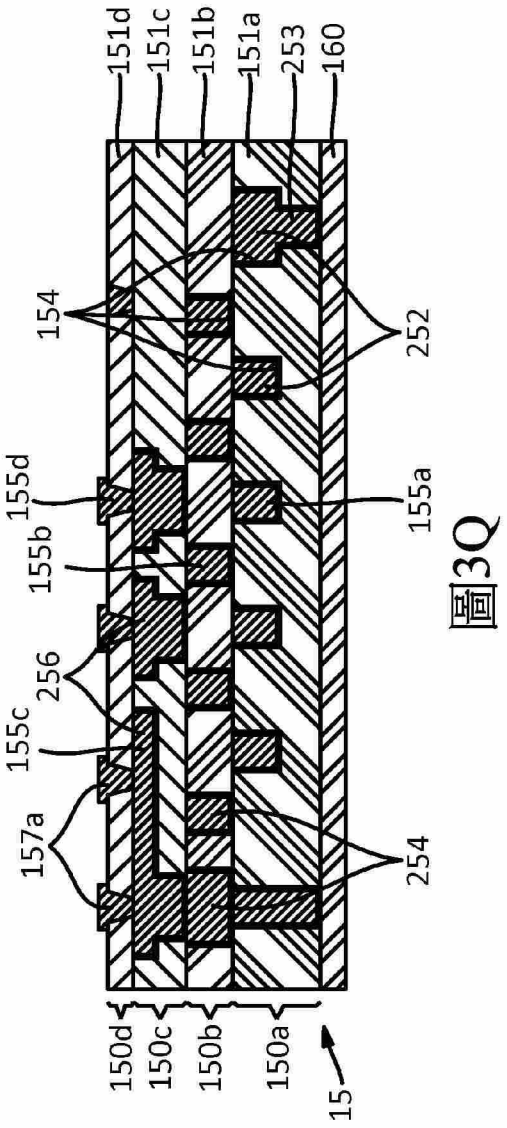

151d
151c
151b
151a
253
160
154
252
155d
155a
155b
256
155c
157a
254
150d
150c
150b
150a
15

圖3Q

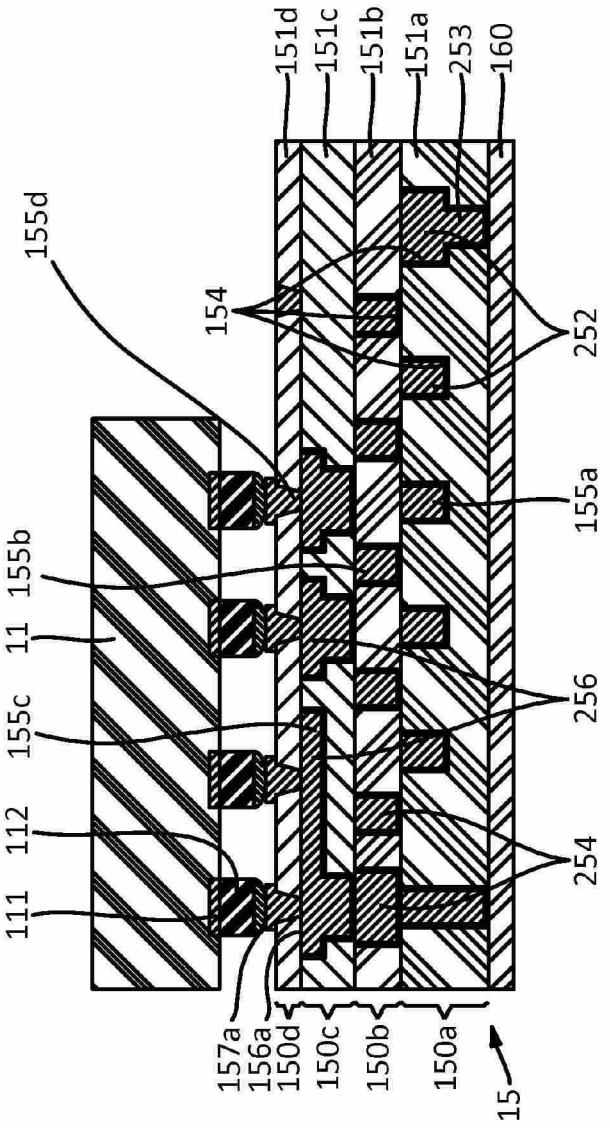

151d
151c
151b
151a
253
160
155d
154
252
155a
155b
11
155c
256
112
111
254
157a
156a
150d
150c
150b
150a
15

圖3R

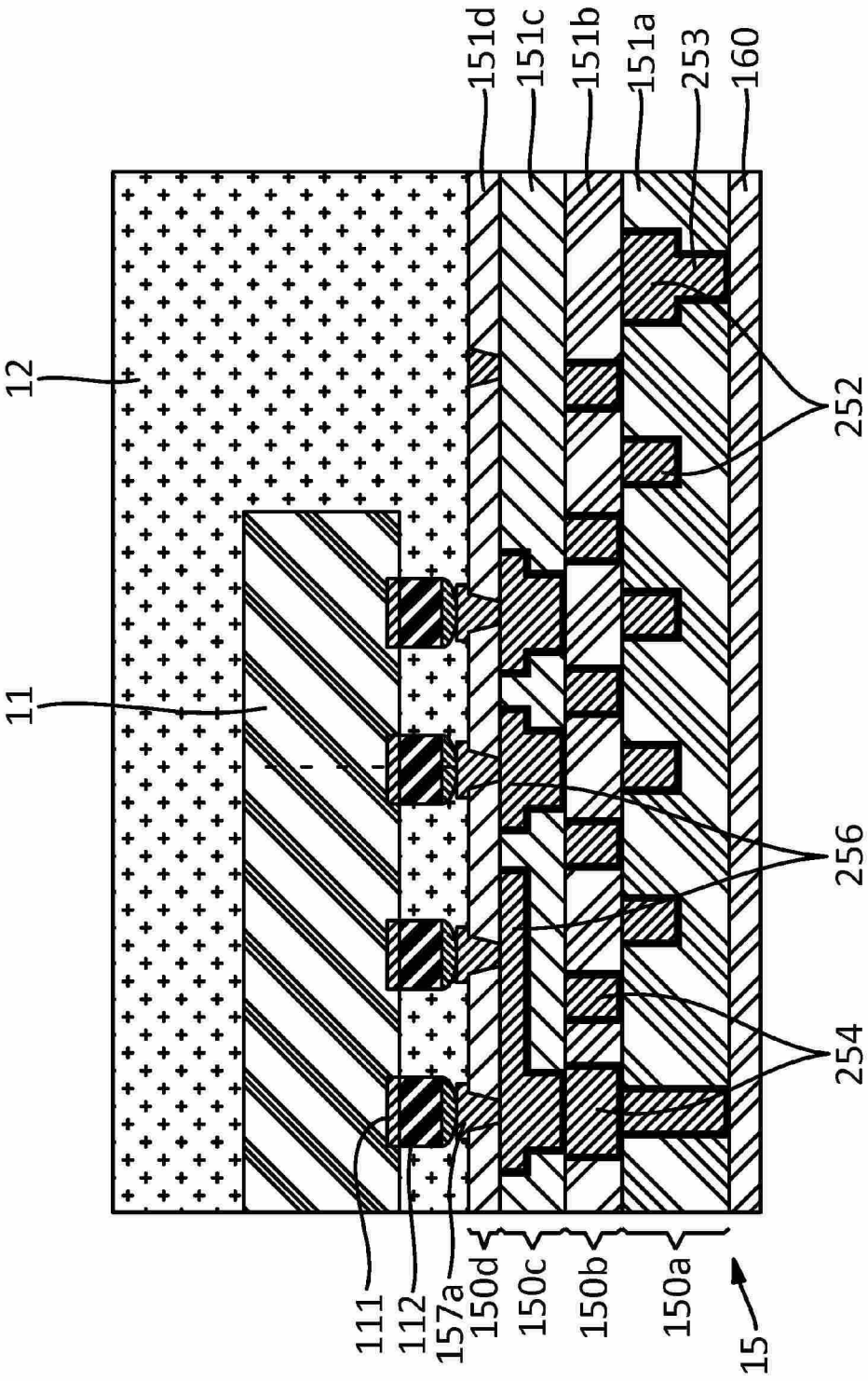

151d
151c
151b
151a
253
160
12
252
11
256
254
111
112
157a
150d
150c
150b
150a
15

圖3S

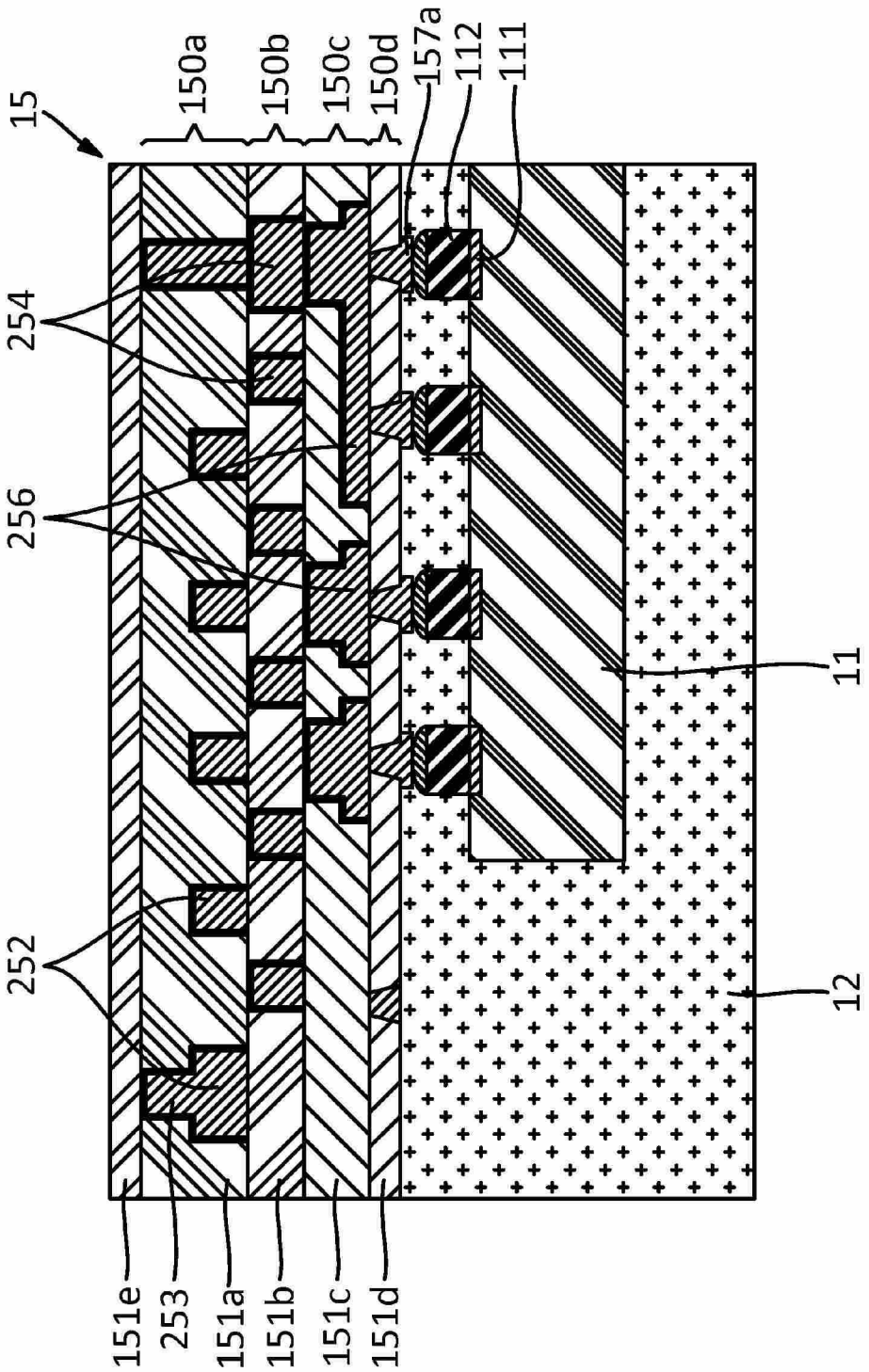

15
150a
150b
150c
150d
157a
112
111
254
256
252
11
12
151e
253
151a
151b
151c
151d

圖3T

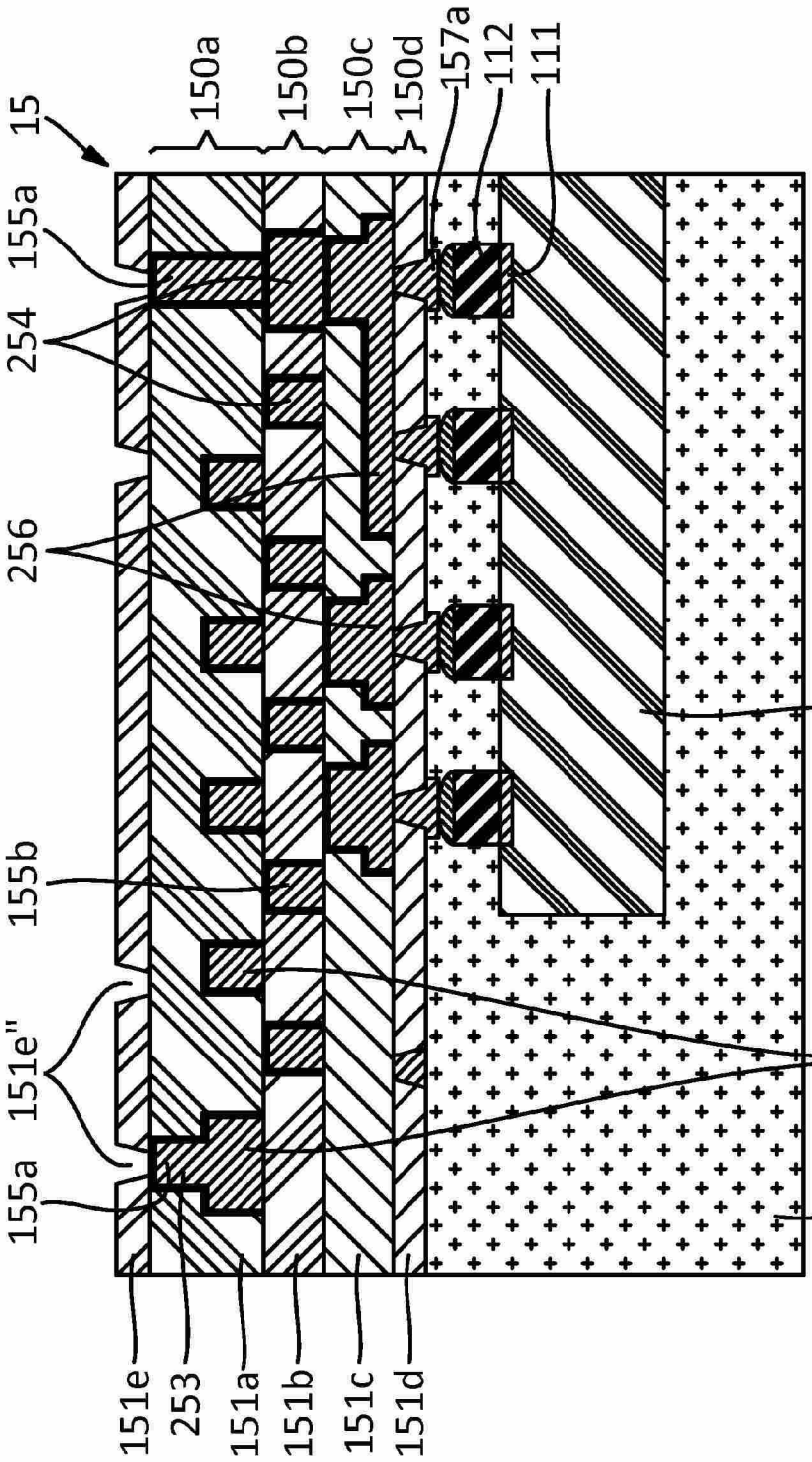

15
150a
150b
150c
150d
157a
112
111
155a
254
256
155b
151e"
155a
11
252
12
151e
253
151a
151b
151c
151d

圖3U

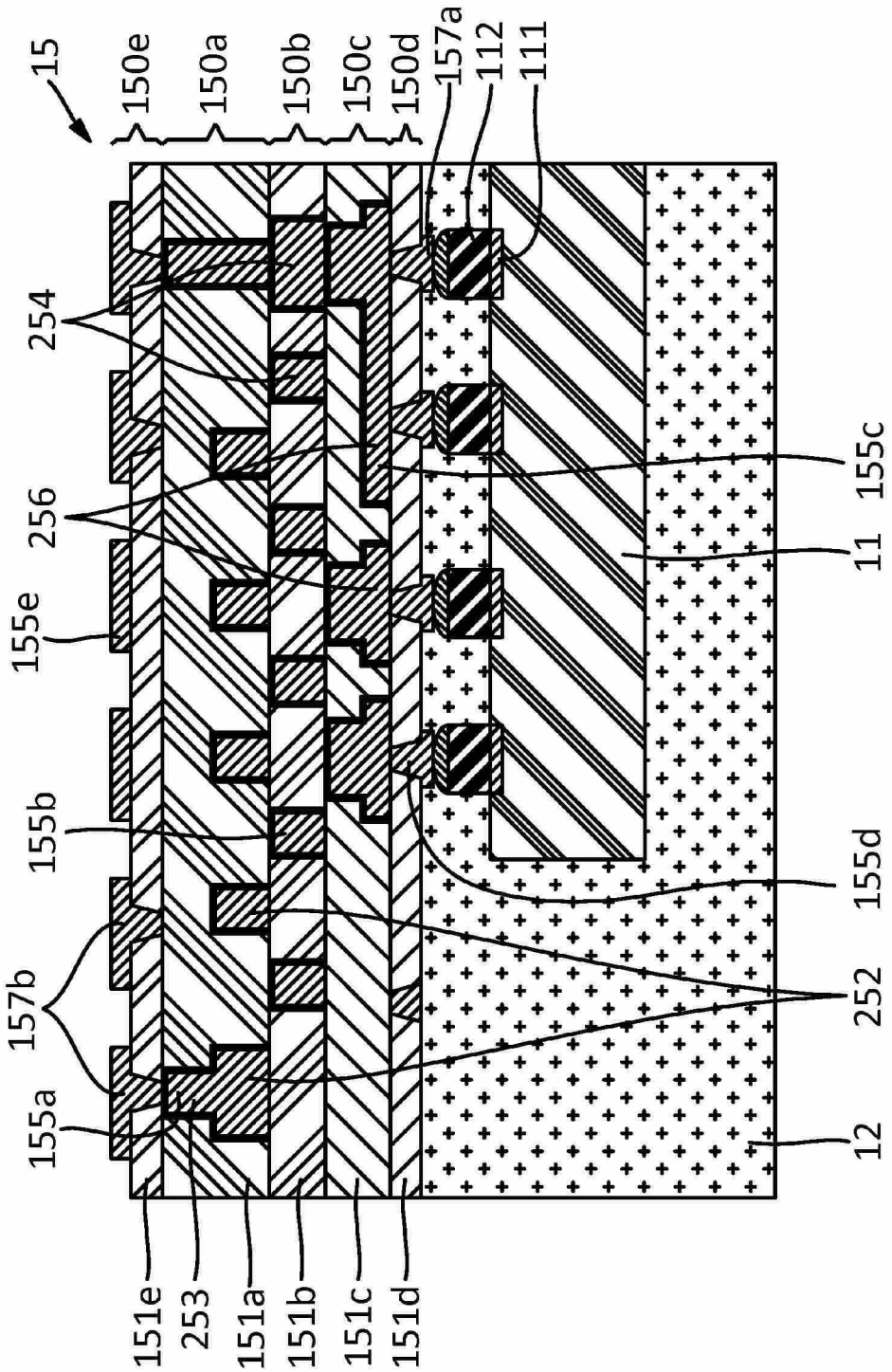

15
150e
150a
150b
150c
150d
157a
112
111
254
256
155e
155b
157b
155a
155c
11
155d
252
12
151e
253
151a
151b
151c
151d

圖3V

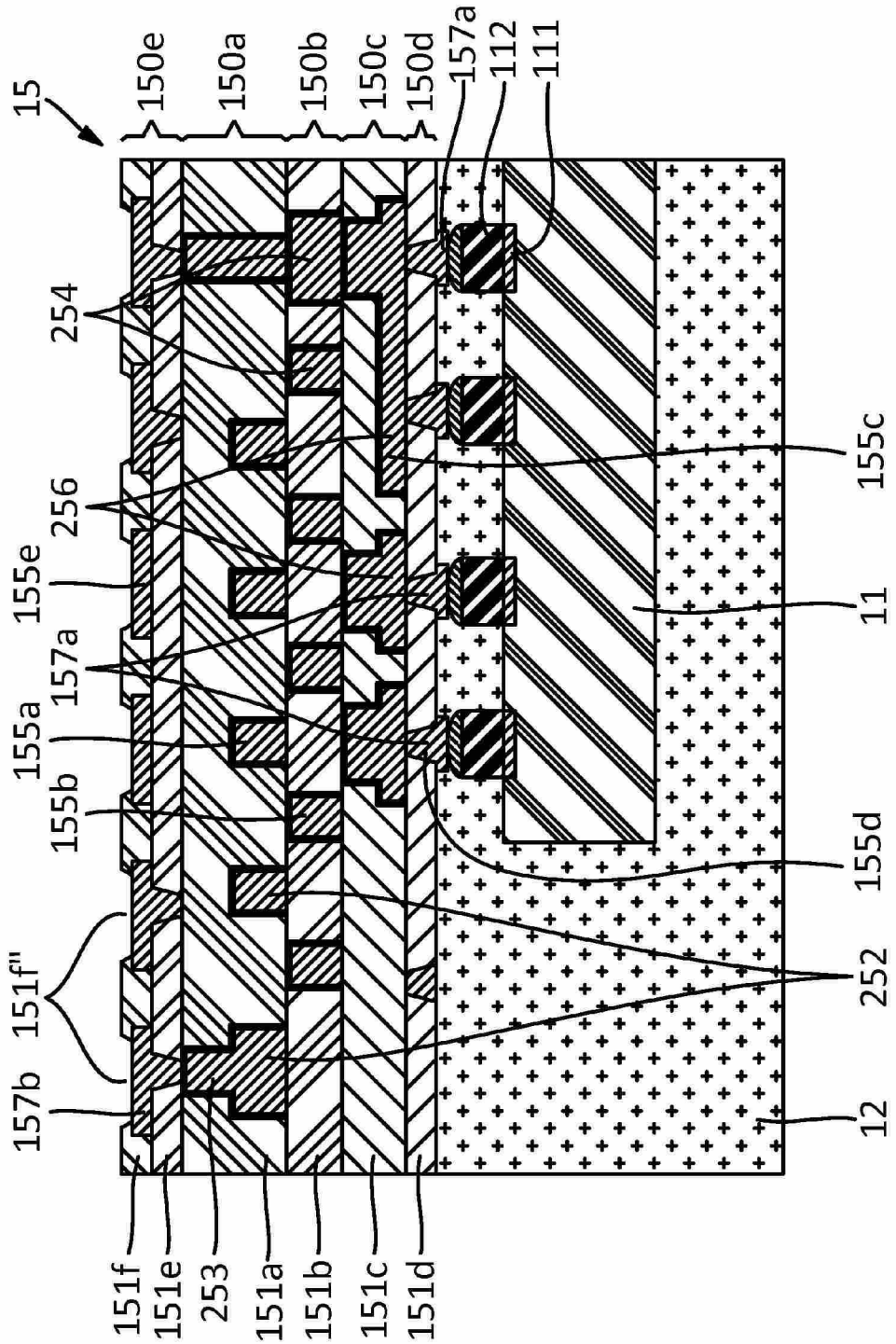

15
150e
150a
150b
150c
150d
157a
112
111
254
256
155e
157a
155a
155b
151f"
157b
155c
11
155d
252
12
151f
151e
253
151a
151b
151c
151d

圖3W

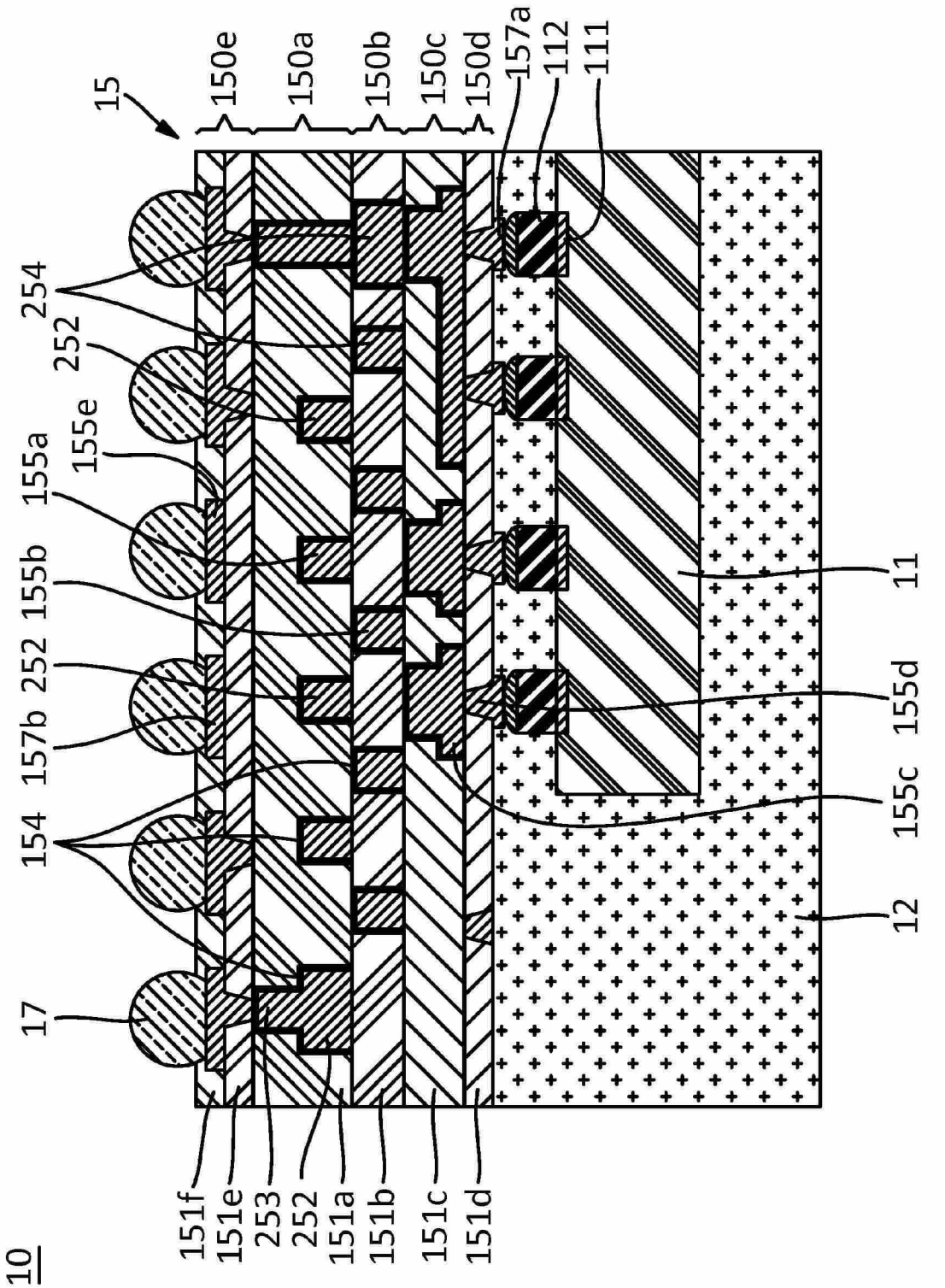

10
15
150e
150a
150b
150c
150d
157a
112
111
254
252
155e
155a
155b
252
157b
154
17
11
155d
155c
12
151f
151e
253
252
151a
151b
151c
151d

圖3X

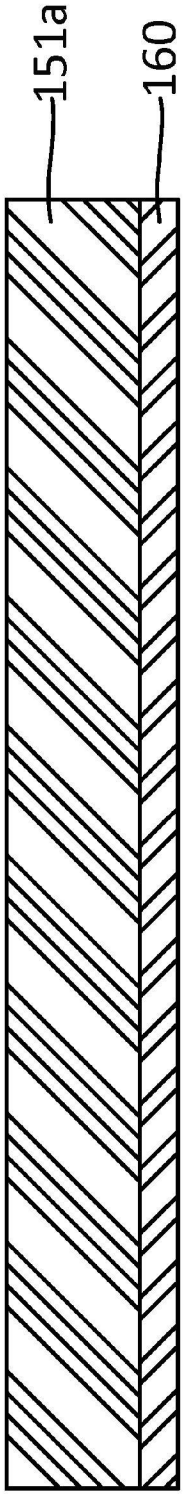


圖4A

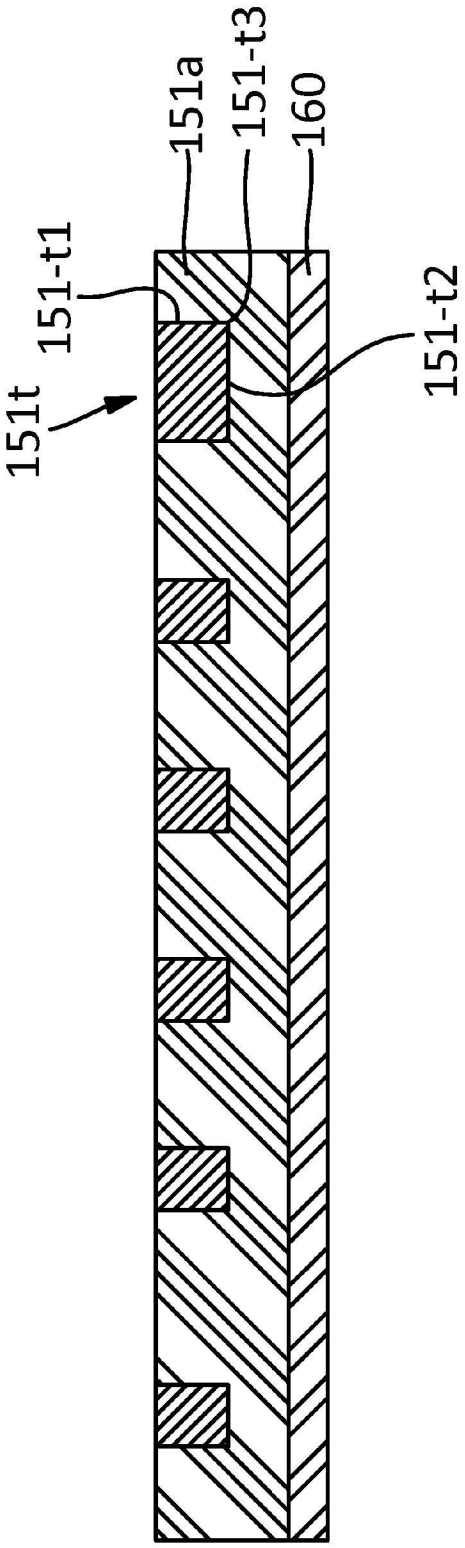


圖4B

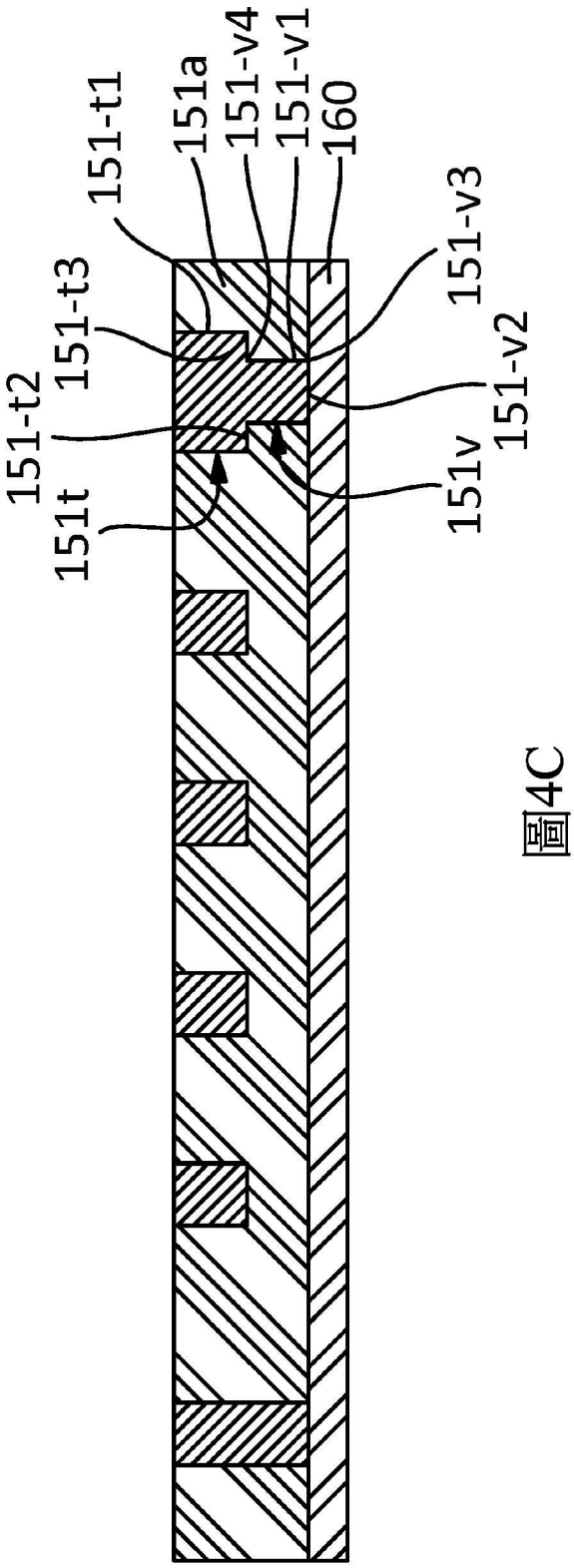

151-t1
151a
151-v4
151-v1
160
151-v3
151-t3
151-t2
151-v2
151t
151v

圖4C

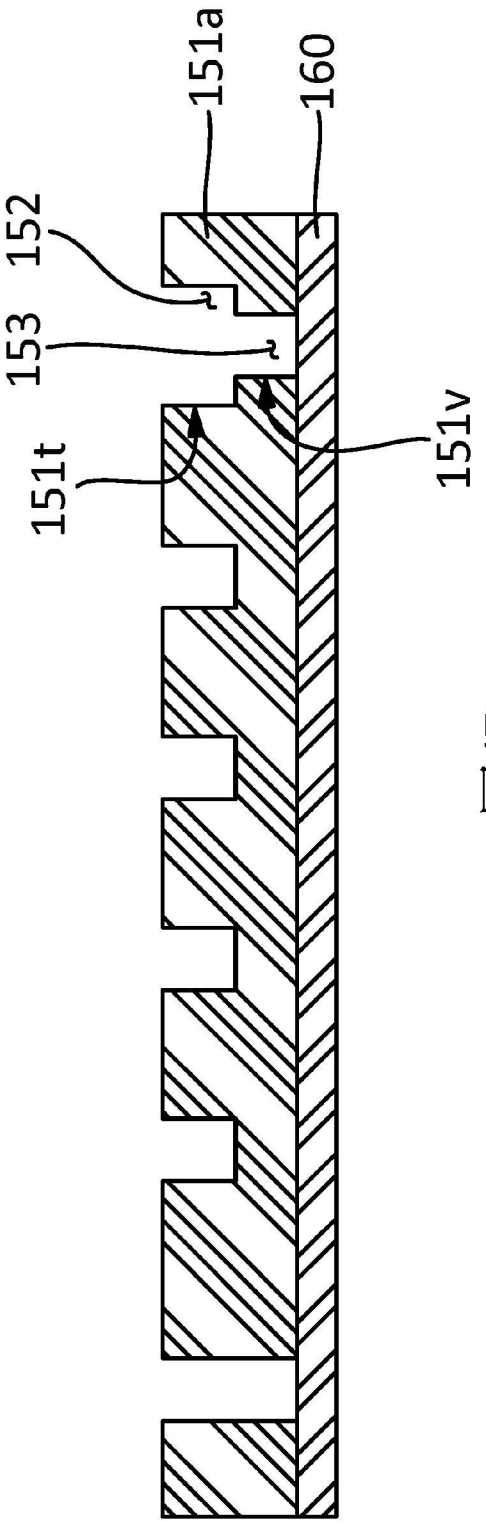

151a
160
152
153
151t
151v

圖4D

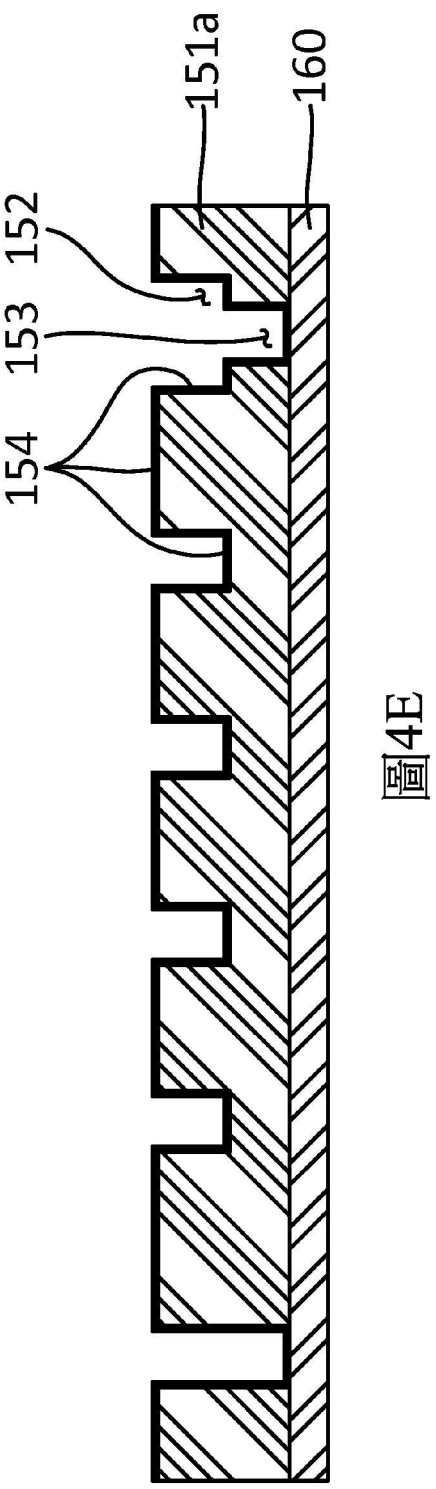


圖4E

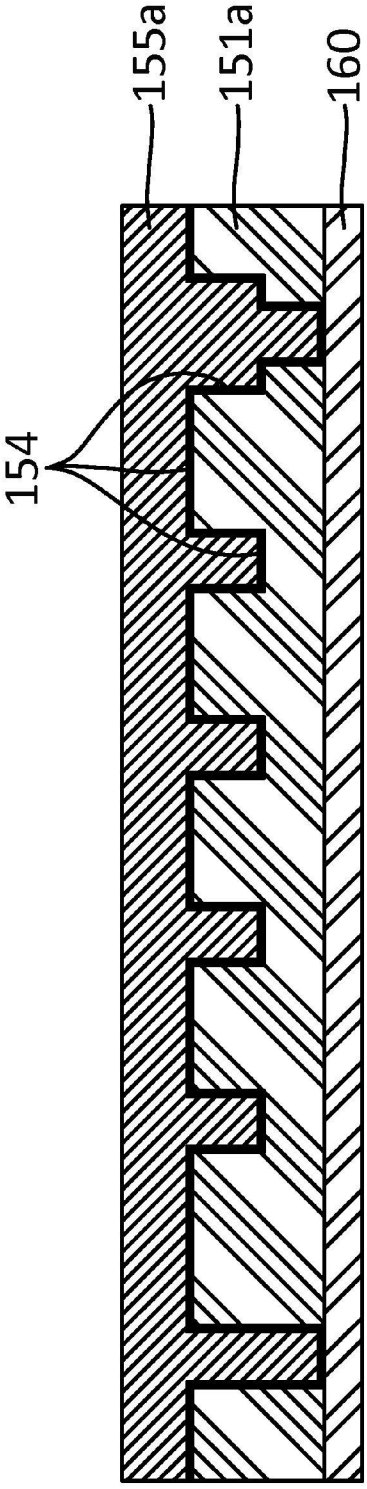


圖4F

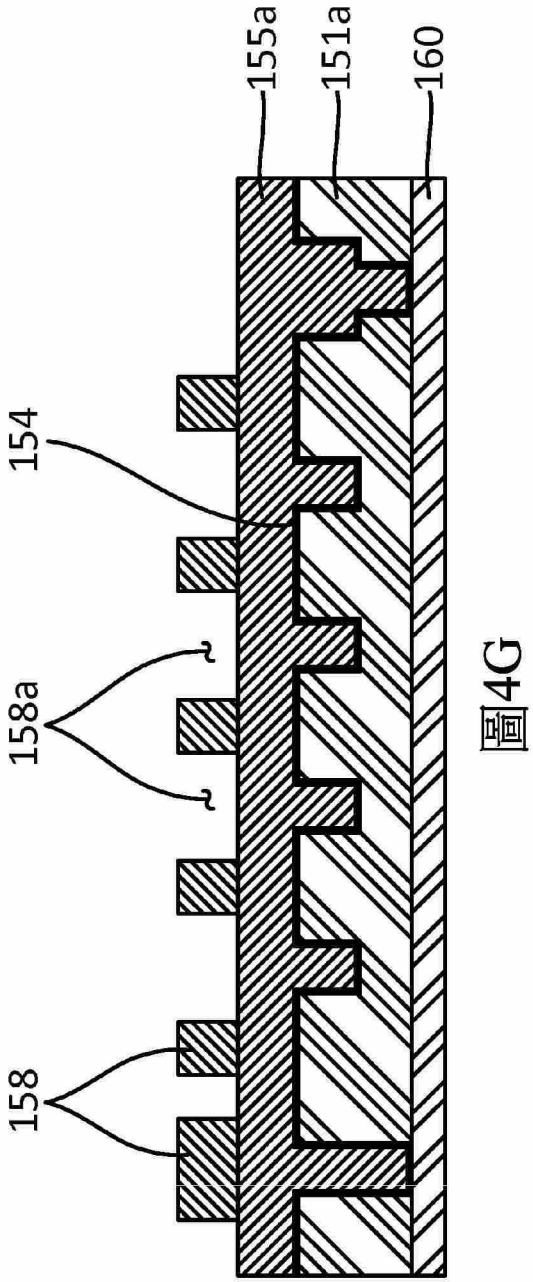

155a
151a
160
154
158a
158

圖4G

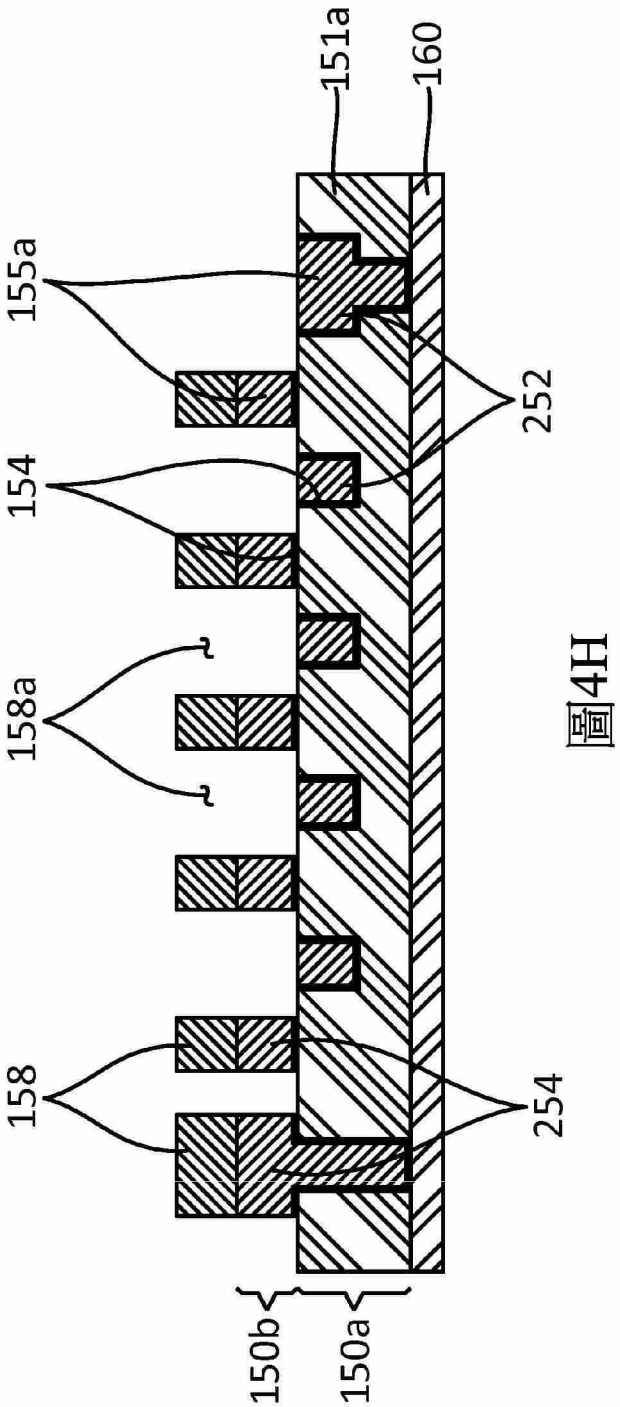

151a
160
155a
252
154
158a
158
254
150b
150a

圖4H

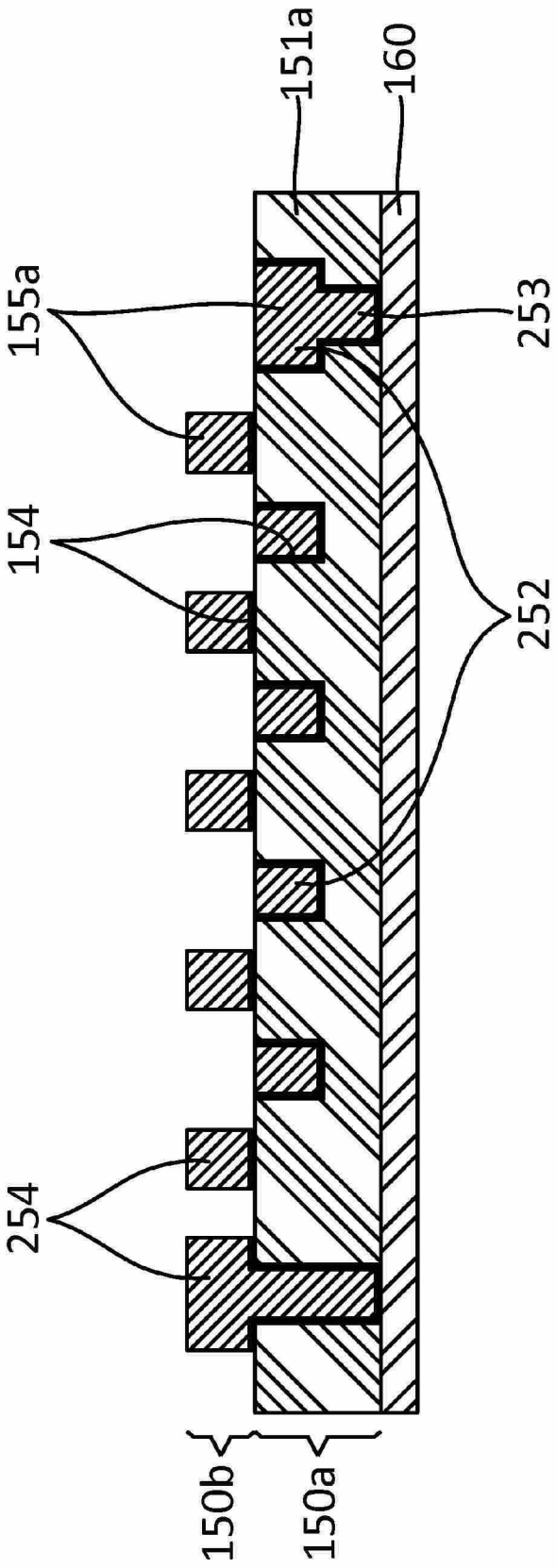


圖4I

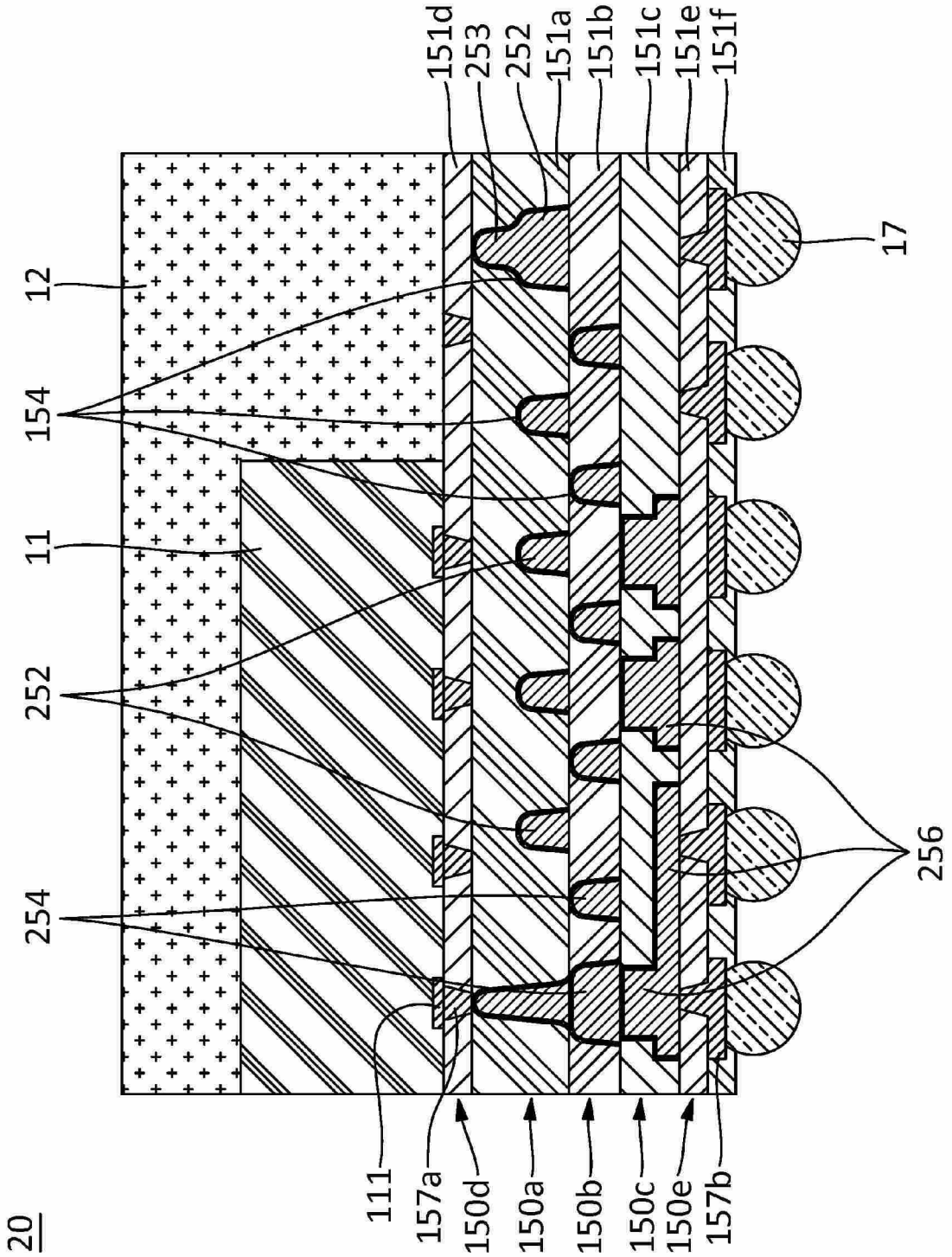

151d
253
252
151a
151b
151c
151e
151f
17
12
154
11
252
254
256
20
111
157a
150d
150a
150b
150c
150e
157b

圖5