

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



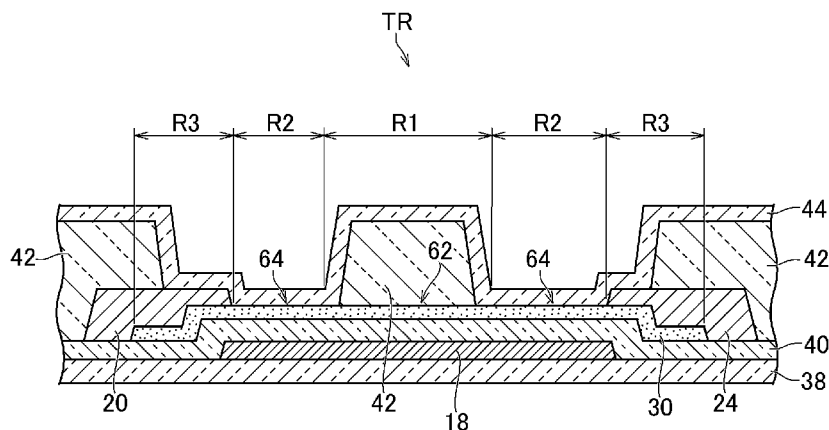
(10) 国際公開番号

WO 2020/031587 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
G09F 9/00 (2006.01) *H01L 51/50* (2006.01)
G09F 9/30 (2006.01) *H05B 33/02* (2006.01)
H01L 27/32 (2006.01)
- (21) 国際出願番号: PCT/JP2019/027086
- (22) 国際出願日: 2019年7月9日(09.07.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-151624 2018年8月10日(10.08.2018) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 山口 陽 平 (YAMAGUCHI, Yohei); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人はるか国際特許事務所 (HARUKA PATENT & TRADEMARK ATTORNEYS); 〒1020085 東京都千代田区六番町3六番町SKビル5階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: DISPLAY DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 表示装置及びその製造方法



(57) Abstract: According to the present invention, a bottom gate-type thin-film transistor (TR) for controlling an image display has: a gate electrode (18); an insulation film (40) that covers the gate electrode (18); an oxide semiconductor layer (30) on the insulation film (40); an oxidant layer (42) in contact with a first upper surface region (R1) of the oxide semiconductor layer (30); a reductant layer (44) in contact with second upper surface regions (R2) of the oxide semiconductor layer (30); and a source electrode and a drain electrode (20, 24) which are on the insulation film (40). The second upper

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

surface regions (R2) are adjacent to both sides of the first upper surface region (R1) in a direction between the source electrode and the drain electrode (20, 24). The oxide semiconductor layer (30) includes a semiconductor portion (62) directly below the oxidant layer (42) and a conductive portion (64) directly below the reductant layer (44).

(57) 要約: 画像表示の制御をするための薄膜トランジスタ (TR) は、ボトムゲート型であって、ゲート電極 (18) と、ゲート電極 (18) を覆う絶縁膜 (40) と、絶縁膜 (40) の上にある酸化物半導体層 (30) と、酸化物半導体層 (30) の第1上面領域 (R1) に接触する酸化剤層 (42) と、酸化物半導体層 (30) の第2上面領域 (R2) に接触する還元剤層 (44) と、絶縁膜 (40) の上方にあるソース電極及びドレイン電極 (20, 24) と、を有する。第2上面領域 (R2) は、ソース電極及びドレイン電極 (20, 24) の間の方向で、第1上面領域 (R1) の両側のそれぞれに隣接する。酸化物半導体層 (30) は、酸化剤層 (42) 直下の半導体部 (62) と、還元剤層 (44) 直下の導電部 (64) と、を含む。

明 細 書

発明の名称：表示装置及びその製造方法

技術分野

[0001] 本発明は、表示装置及びその製造方法に関する。

背景技術

[0002] 低温ポリシリコンを使用した薄膜トランジスタ（ＴＦＴ）は、駆動能力が高く、キャリア移動度が高いので、有機エレクトロルミネセンスディスプレイや高精細の液晶ディスプレイに用いられているが、オフ電流が高く、リーク電流の抑制が困難である。そこで、近年、酸化物半導体を使用したＴＦＴが開発されている（特許文献１及び２）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１６－１００５２１号公報

特許文献２：特開２０１２－１０４６３９号公報

発明の概要

発明が解決しようとする課題

[0004] ボトムゲート型のＴＦＴでは、半導体層の上で金属膜をエッチングしてソース電極及びドレイン電極を形成する。金属のエッチングで多用される塩素ガスは、金属と半導体のエッチング選択比が小さいので、半導体層の無用なエッチングが進行する。特に、ソース電極及びドレイン電極に隣接する部分では、半導体層の膜厚が大きく不均一になる。酸化物半導体ＴＦＴは、オフ電流が低い、キャリア移動度が低い、不均一な膜厚は特性に与える影響が大きい。

[0005] 本発明は、酸化物半導体層の膜厚が不均一化されることの抑制を目的とする。

課題を解決するための手段

[0006] 本発明に係る表示装置は、画像表示の制御をするための複数の薄膜トラン

ジスタを有し、前記複数の薄膜トランジスタのそれぞれは、ボトムゲート型であって、ゲート電極と、前記ゲート電極を覆うゲート絶縁膜と、前記ゲート絶縁膜の上にある酸化物半導体層と、前記酸化物半導体層の第1上面領域に接触するシリコン酸化物と、前記酸化物半導体層の第2上面領域に接触するシリコン窒化物と、前記ゲート絶縁膜の上方にあるソース電極及びドレイン電極と、を有し、前記第2上面領域は、前記ソース電極及び前記ドレイン電極の間の方向で、前記第1上面領域の両側のそれぞれに隣接し、前記酸化物半導体層は、前記シリコン酸化物直下の半導体部と、前記シリコン窒化物直下の導電部と、を含むことを特徴とする。

[0007] 本発明によれば、還元剤層が接触する第2上面領域は、酸化剤層が接触する第1上面領域の両側のそれぞれに隣接している。第1上面領域から酸化された半導体部は、ソース電極及びドレイン電極に隣接しない。そのため、第1上面領域に隣接する部分では、酸化物半導体層の膜厚の不均一化が抑えられている。

[0008] 本発明に係る表示装置の製造方法は、ゲート電極を形成する工程と、前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に酸化物半導体層を形成する工程と、前記酸化物半導体層の上での成膜及びエッチングを経て、前記酸化物半導体層の第1上面領域及び第2上面領域を避けて、ソース電極及びドレイン電極を形成する工程と、前記酸化物半導体層の前記第1上面領域に接触するように酸化剤層を形成し、前記第1上面領域で前記酸化物半導体層を酸化する工程と、前記酸化物半導体層の前記第2上面領域に接触するように還元剤層を形成し、前記第2上面領域で前記酸化物半導体層を還元する工程と、を含み、前記第2上面領域は、前記ソース電極及び前記ドレイン電極の間の方向で、前記第1上面領域の両側のそれぞれに隣接することを特徴とする。

[0009] 本発明によれば、還元剤層が接触する第2上面領域は、酸化剤層が接触する第1上面領域の両側のそれぞれに隣接している。酸化剤層によって酸化するための第1上面領域は、ソース電極及びドレイン電極に隣接しない。その

ため、第 1 上面領域に隣接する部分では、エッチングによる酸化物半導体層の膜厚の不均一化を抑えることができる。

図面の簡単な説明

[0010] [図1]本発明の第 1 の実施形態に係る表示装置の平面図である。

[図2]表示装置の回路図である。

[図3]画素ごとの素子構造を示す平面図である。

[図4]図 1 に示す表示装置の断面を示す模式図である。

[図5]薄膜トランジスタの詳細断面図である。

[図6]薄膜トランジスタの詳細平面図である。

[図7]第 1 の実施形態の変形例に係る表示装置の薄膜トランジスタを示す詳細断面図である。

[図8]第 2 の実施形態に係る表示装置の薄膜トランジスタを示す詳細断面図である。

[図9]薄膜トランジスタの詳細平面図である。

[図10]第 3 の実施形態に係る表示装置の薄膜トランジスタを示す詳細断面図である。

[図11]第 4 の実施形態に係る表示装置の断面図である。

[図12]表示装置の全体回路を示す図である。

[図13]図 1 2 に示す画素の回路構成を示す図である。

発明を実施するための形態

[0011] 以下、本発明の実施形態について図面を参照して説明する。但し、本発明は、その要旨を逸脱しない範囲において様々な態様で実施することができ、以下に例示する実施形態の記載内容に限定して解釈されるものではない。

[0012] 図面は、説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。本明細書と各図において、既出の図に関して説明したものと同様の機能を備えた要素には、同一の符号を付して、重複する説明を省略することがある。

[0013] さらに、本発明の詳細な説明において、ある構成物と他の構成物の位置関係を規定する際、「上に」「下に」とは、ある構成物の直上あるいは直下に位置する場合のみでなく、特に断りの無い限りは、間にさらに他の構成物を介在する場合を含むものとする。

[0014] [第1の実施形態]

図1は、本発明の第1の実施形態に係る表示装置の平面図である。表示装置は、実際には、折り曲げて使用するので、図1は、表示装置を折り曲げる前の展開図である。表示装置は、ディスプレイDPを含む。ディスプレイDPは、可撓性を有しており、画像が表示される表示領域DAの外側にある屈曲対応領域BAで折り曲げられるようになっている。ディスプレイDPには、画像を表示するための素子を駆動するための集積回路チップCPが搭載されている。ディスプレイDPには、表示領域DAの外側で、フレキシブルプリント基板FPが接続されている。表示装置は、例えば、有機エレクトロルミネセンス表示装置である。表示領域DAでは、例えば、赤、緑及び青からなる複数色の画素（サブピクセル）を組み合わせ、フルカラー画像が表示される。

[0015] 図2は、表示装置の回路図である。回路は、走査回路GDに接続される複数の走査線GLと、信号駆動回路SDに接続される複数の信号線DLを有する。図1に示す集積回路チップCP内に信号駆動回路SDが配置されている。隣接する2つの走査線GLと隣接する2つの信号線DLとで囲まれる領域が1つの画素PXである。画素PXは、駆動トランジスタとしての薄膜トランジスタTR及びスイッチング素子SWと保持容量Csを含む。走査線GLにゲート電圧が印加されることにより、スイッチング素子SWがON状態となり、信号線DLから映像信号が供給され、保持容量Csに電荷が蓄積される。保持容量Csに電荷が蓄積されることにより、薄膜トランジスタTRがON状態となり、電源線PWLから発光素子ODに電流が流れる。この電流により発光素子ODが発光する。

[0016] 図3は、画素ごとの素子構造を示す平面図である。図2に示す走査線GL

の一部は、スイッチング素子SW（例えば薄膜トランジスタ）のゲート電極10である。図2に示す信号線DLの一部は、スイッチング素子SWの一方のソース・ドレイン電極12（ソース電極及びドレイン電極の一方）である。スイッチング素子SWの半導体層14は、ポリシリコンを主原料としている。なお、低温ポリシリコンを使用した薄膜トランジスタは、電子移動度が高いが、オフ電流が高くリーク電流の抑制が難しい。

[0017] スwitchング素子SWの他のソース・ドレイン電極16（ソース電極及びドレイン電極の他方）は、薄膜トランジスタTRのゲート電極18に接続されている。電源線PWLの一部は、薄膜トランジスタTRの一方のソース・ドレイン電極20（ソース電極及びドレイン電極の一方）である。

[0018] 薄膜トランジスタTRのゲート電極18は、第1容量電極22に接続されている。薄膜トランジスタTRの他方のソース・ドレイン電極24（ソース電極及びドレイン電極の他方）は、第2容量電極26に接続されている。第1容量電極22及び第2容量電極26は相互に対向して、保持容量Csを構成する。第2容量電極26は、画素電極28に接続されている。薄膜トランジスタTRは酸化物半導体層30を有する。

[0019] 図4は、図1に示す表示装置の断面を示す模式図である。基板32は、ポリイミドからなる。ただし、シートディスプレイ又はフレキシブルディスプレイを構成するために十分な可撓性を有する基材であれば他の樹脂材料を用いてもよい。基板32の裏面には、感圧接着剤を介して補強フィルムを貼り付けてもよい。

[0020] 基板32上に、アンダーコート層34が積層されている。アンダーコート層34は、シリコン酸化膜34a及びシリコン酸化膜34bを含む。下層のシリコン酸化膜34aは、基板32との密着性向上のため、上層のシリコン酸化膜34bは、水素原子がスイッチング素子SWの半導体層14に拡散しないようにするブロック膜として、それぞれ設けられるが、特にこの構造に限定するものではなく、さらに積層があってもよいし、単層であってもよい。

- [0021] スイッチング素子SWの下方には、チャネル裏面からの光の侵入等による特性変化を抑制したり、バックゲート効果を付与したりするための付加膜36が配置されている。ここでは、シリコン酸化膜34aを形成した後、スイッチング素子SWが形成される箇所に合わせて付加膜36を島状に形成し、その後シリコン酸化膜34bを積層することで、アンダーコート層34に付加膜36を封入するように形成しているが、この限りではなく、基板32上にまず付加膜36を形成し、その後にアンダーコート層34を形成してもよい。
- [0022] アンダーコート層34上にスイッチング素子SWが形成されている。ポリシリコン薄膜トランジスタを例に挙げて、ここではNchトランジスタのみを示しているが、Pchトランジスタを同時に形成してもよい。スイッチング素子SWの半導体層14は、チャネル領域とソース・ドレイン領域との間に、低濃度不純物領域を設けた構造を採る。ゲート絶縁膜38としてはここではシリコン酸化膜を用いる。
- [0023] ゲート電極10の上に、絶縁膜40（シリコン酸化膜及びシリコン窒化膜）が積層されている。絶縁膜40を貫通するように、ソース・ドレイン電極12、16が形成されている。ここでは、Ti、Al及びTiの三層積層構造を採用する。スイッチング素子SWは、トップゲート型であって、半導体層14の上方にゲート電極10を有する。
- [0024] 薄膜トランジスタTRのゲート電極18は、スイッチング素子SWのゲート電極10と同じ層位置にある。絶縁膜40は、スイッチング素子SWのゲート電極10を覆う層間絶縁膜であるとともに、薄膜トランジスタTRのゲート絶縁膜でもある。ゲート電極18の上方に酸化物半導体層30がある。酸化物半導体層30は、絶縁膜40の上に形成されている。一対のソース・ドレイン電極20、24（ソース電極及びドレイン電極）も絶縁膜40の上に形成されている。一対のソース・ドレイン電極20、24は、酸化物半導体層30の端部にも載る。
- [0025] 薄膜トランジスタTRは、酸化物半導体層30をチャネル領域として有す

るので、電流バラツキを小さくすることができる。薄膜トランジスタTRは、スイッチング素子SWよりも上の層位置にある。したがって、薄膜トランジスタTRは、スイッチング素子SWよりも後に形成するので、低温ポリシリコンからなる半導体層14を形成するときの熱による影響を受けない。薄膜トランジスタTRの詳細は後述する（図5参照）。

[0026] 第1容量電極22も絶縁膜40の上に形成されている。薄膜トランジスタTR及び第1容量電極22を覆うように、酸化剤層42及び還元剤層44が積層されている（詳細は後述）。これらの上に第2容量電極26が形成されている。酸化剤層42及び還元剤層44は、図2に示す保持容量Csの誘電体になっている。

[0027] 還元剤層44及び第2容量電極26を覆うように平坦化有機膜46が設けられている。平坦化有機膜46は、CVD（Chemical Vapor Deposition）等により形成される無機絶縁材料に比べ、表面の平坦性に優れることから、感光性アクリル等の樹脂が用いられる。

[0028] 平坦化有機膜46の上に画素電極28が積層されている。画素電極28は、反射電極として形成され、酸化インジウム亜鉛膜、Ag膜、酸化インジウム亜鉛膜の三層積層構造になっている。ここで、酸化インジウム亜鉛膜に代わって酸化インジウムスズ膜を用いてもよい。

[0029] 平坦化有機膜46の上であって画素電極28の周縁に載るように、バンク（リブ）と呼ばれて隣同士の画素領域の隔壁となる絶縁有機膜48が形成されている。絶縁有機膜48としては平坦化有機膜46と同じく感光性アクリル等が用いられる。絶縁有機膜48は、画素電極28の表面を発光領域として露出するように開口され、その開口端はなだらかなテーパ形状となるのが好ましい。開口端が急峻な形状になっていると、その上に形成される有機エレクトロルミネセンス層50のカバレッジ不良を生ずる。

[0030] 画素電極28の上に、有機材料からなる有機エレクトロルミネセンス層50が積層されている。有機エレクトロルミネセンス層50は、単層であってもよいが、画素電極28側から順に、正孔輸送層、発光層及び電子輸送層が

積層された構造であってもよい。これらの層は、蒸着によって形成してもよいし、溶媒分散の上での塗布によって形成してもよく、画素電極 28（各サブ画素）に対して選択的に形成してもよいし、表示領域 DA を覆う全面にベタ形成されてもよい。ベタ形成の場合は、全サブ画素において白色光を得て、カラーフィルタ（図示せず）によって所望の色波長部分を取り出す構成になる。

[0031] 有機エレクトロルミネセンス層 50 の上に、対向電極 52 が設けられている。ここでは、トップエミッション構造としているため、対向電極 52 は透明である。例えば、Mg 層及び Ag 層を、有機エレクトロルミネセンス層 50 からの出射光が透過する程度の薄膜として形成する。前述の有機エレクトロルミネセンス層 50 の形成順序に従うと、画素電極 28 が陽極となり、対向電極 52 が陰極となる。複数の画素電極 28 と、対向電極 52 と、複数の画素電極 28 のそれぞれの中央部と対向電極 52 の間に介在する有機エレクトロルミネセンス層 50 と、で発光素子 OD が構成される。

[0032] 対向電極 52 の上に、封止層 54 が形成されている。封止層 54 は、先に形成した有機エレクトロルミネセンス層 50 を、外部からの水分侵入を防止することを機能の一としており、高いガスバリア性が要求される。封止層 54 は、封止有機膜 54 b 及びこれを上下で挟む一对の封止無機膜 54 a, 54 c（例えばシリコン窒化膜）の積層構造になっている。一对の封止無機膜 54 a, 54 c は、封止有機膜 54 b の周囲で接触して重なる。封止無機膜 54 a, 54 c と封止有機膜 54 b との間には、密着性向上を目的の一として、シリコン酸化膜やアモルファスシリコン層を設けてもよい。封止層 54 には、補強有機膜 56 が積層されている。補強有機膜 56 には、粘着層 58 を介して、偏光板 60 が貼り付けられている。偏光板 60 は、例えば円偏光板である。

[0033] 図 5 は、薄膜トランジスタ TR の詳細断面図である。図 6 は、薄膜トランジスタ TR の詳細平面図である。

[0034] 表示装置は、画像表示の制御をするための複数の薄膜トランジスタ TR を

有する。複数の薄膜トランジスタTRのそれぞれは、ボトムゲート型である。薄膜トランジスタTRは、ゲート電極18を有する。薄膜トランジスタTRは、ゲート電極18を覆う絶縁膜40を有する。薄膜トランジスタTRは、絶縁膜40の上方にある一対のソース・ドレイン電極20, 24（ソース電極及びドレイン電極）を有する。

[0035] 薄膜トランジスタTRは、絶縁膜40の上にある酸化物半導体層30を有する。酸化物半導体層30は、例えばインジウム・ガリウム・亜鉛・酸素（IGZO）から形成されている。このような薄膜トランジスタTRは、オフ電流が低い特性を有する。

[0036] 酸化物半導体層30は第1上面領域R1を有する。酸化物半導体層30の第1上面領域R1に、酸化剤層42が接触する。酸化剤層42は、シリコン酸化物を有する。酸化物半導体層30は、第1上面領域R1から酸化剤層42によって酸化された半導体部62を含む。半導体部62は、酸化によって電子が減って半導体性を示すようになり、トランジスタの動作が可能になる。酸化剤層42は、一対のソース・ドレイン電極20, 24（ソース電極及びドレイン電極）にも載る。

[0037] 酸化物半導体層30は第2上面領域R2を有する。第2上面領域R2は、一対のソース・ドレイン電極20, 24（ソース電極及びドレイン電極）の間の方向で、第1上面領域R1の両側のそれぞれに隣接する。酸化物半導体層30の第2上面領域R2に、還元剤層44が接触する。還元剤層44は、水素を含むシリコン窒化物を有する。水素は、成膜条件によって含まれる場合やシリコン窒化物に元々含まれる場合がある。水素は、酸素と結合することで酸素を引き抜く還元反応を起こす。酸化物半導体層30は、第2上面領域R2から還元剤層44によって還元された導電部64を含む。導電部64は、還元によって酸素が抜けて、キャリアである電子が増えて導体化している。還元剤層44は、酸化剤層42にも載る。

[0038] 酸化物半導体層30は、第1上面領域R1及び第2上面領域R2を挟む一対の第3上面領域R3を有する。一対のソース・ドレイン電極20, 24は

、それぞれ、一对の第3上面領域R3に接触して載り、電氣的に接続する。一对のソース・ドレイン電極20, 24は、金属からなる。酸化物半導体層30は、一对の第3上面領域R3では、金属によって還元されて導電化している。

酸化物半導体層30は、半導体部62においては導電部64に比べて酸素濃度が高くなっており、水素濃度が低くなっている。さらに半導体部62に比べて導電部64は電気伝導度が高い。さらに第3上面領域R3直下の酸化物半導体層30においては、電気が殆ど流れず、ソース・ドレイン電極20、24にて支配的に電気伝導が発生する。

[0039] 本実施形態によれば、還元剤層44が接触する第2上面領域R2は、酸化剤層42が接触する第1上面領域R1の両側のそれぞれに隣接している。第1上面領域R1から酸化された半導体部62は、一对のソース・ドレイン電極20, 24に隣接しない。そのため、第1上面領域R1に隣接する部分では、酸化物半導体層30の膜厚の不均一化が抑えられている。

[0040] [表示装置の製造方法]

表示装置の製造方法では、図5に示すように、ゲート電極18を形成する。ゲート電極18を覆うように絶縁膜40を形成する。絶縁膜40の上に酸化物半導体層30を形成する。

[0041] 酸化物半導体層30の上での金属膜の成膜及びそのエッチングを経て、第1上面領域R1及び第2上面領域R2を避けて、一对のソース・ドレイン電極20, 24を形成する。一对のソース・ドレイン電極20, 24は金属から形成し、エッチングは、塩素系ガスを使用して行う。塩素系ガスを使用すると、金属のエッチングレートと、半導体（酸化物半導体）のエッチングレートが近い。また、半導体は、エッチングマスクに隣接する部分では膜厚が不均一になりやすい。しかし、第2上面領域R2は、一对のソース・ドレイン電極20, 24の間の方向で、第1上面領域R1の両側のそれぞれに隣接する。したがって、酸化物半導体層30のエッチングマスクとなる一对のソース・ドレイン電極20, 24は、第1上面領域R1から離れている。

[0042] 酸化物半導体層 30 の第 1 上面領域 R 1 および第 2 上面領域 R 2 に接触するように酸化剤層 42 を形成する。酸化剤層 42 の形成は、フッ素系ガスを使用したドライエッチングを含む。フッ素系ガスを使用すると、金属のエッチングレートと、半導体（酸化物半導体）のエッチングレートが異なるので、高いエッチング選択性を得ることができる。

[0043] 酸化剤層 42 によって、第 1 上面領域 R 1 および第 2 上面領域 R 2 で酸化物半導体層 30 が酸化される。これにより、酸化によって電子が減って半導体性を示す半導体部 62 が形成される。酸化剤層 42 は、一対のソース・ドレイン電極 20, 24 にも載るように形成する。

[0044] 酸化物半導体層 30 の第 2 上面領域 R 2 に接触するように還元剤層 44 を形成する。還元剤層 44 は、酸化剤層 42 にも載るように形成する。還元剤層 44 によって、第 2 上面領域 R 2 で酸化物半導体層 30 が還元される。

[0045] 本実施形態によれば、酸化剤層 42 によって酸化するための第 1 上面領域 R 1 は、一対のソース・ドレイン電極 20, 24 に隣接しない。そのため、第 1 上面領域 R 1 に隣接する部分では、エッチングによる酸化物半導体層 30 の膜厚の不均一化が抑えられる。半導体部 62 においては膜厚が均一化されるため、半導体としての特性が安定する。導電部 64 は膜厚が不均一となっても、導体化されている箇所のためにそれほど薄膜トランジスタ T R の特性の悪影響を与えない。

[0046] [第 1 の実施形態の変形例]

図 7 は、第 1 の実施形態の変形例に係る表示装置の薄膜トランジスタ T R を示す詳細断面図である。この例では、ゲート電極 118 は、ソース・ドレイン電極 120, 124（ソース電極及びドレイン電極）にオーバーラップしない。こうすることで、ゲート電極 118 とソース・ドレイン電極 120, 124 の間に形成される容量を小さく又は無くすることができる。その他の内容は、第 1 の実施形態で説明した内容が該当する。

[0047] [第 2 の実施形態]

図 8 は、第 2 の実施形態に係る表示装置の薄膜トランジスタ T R を示す詳

細断面図である。図9は、薄膜トランジスタTRの詳細平面図である。

[0048] 本実施形態では、一对のソース・ドレイン電極220, 224（ソース電極及びドレイン電極）は、酸化物半導体層230との重なりを避けて位置している。つまり、ソース・ドレイン電極220, 224は、酸化物半導体層230に載らない。そのため、ソース・ドレイン電極220, 224の端が酸化物半導体層230の上に存在しない。その代わりに、一对の金属層266, 268が、一对の第3上面領域R3にそれぞれ接触して載る。また、一对の金属層266, 268は、それぞれ、一对のソース・ドレイン電極220, 224に接触して載る。酸化物半導体層230は、一对の第3上面領域R3では、金属層266, 268によって還元されて導電化されている。

[0049] 本実施形態に係る表示装置の製造方法では、一对のソース・ドレイン電極220, 224は、酸化物半導体層230との重なりを避けて形成する。つまり、金属膜のエッチングによってソース・ドレイン電極220, 224を形成するときに、図示しないエッチングマスクを、酸化物半導体層230を覆うように配置する。これにより、酸化物半導体層230がエッチングされない。特に、エッチングマスクの端が酸化物半導体層230に載ると、その隣接した部分で膜厚が不均一になるが、本実施形態ではそれを避けることができる。

[0050] 酸化剤層242及び還元剤層244は、第1上面領域R1及び第2上面領域R2を挟む一对の第3上面領域R3を避けて形成する。一对の金属層266, 268は、それぞれ、一对の第3上面領域R3に接触して載り、一对のソース・ドレイン電極220, 224にそれぞれ接触して載るように形成する。その他の内容は、第1の実施形態で説明した内容が該当する。尚、一对の金属層266, 268は図4に示された第2容量電極26と同層で形成するとプロセスコストを上げないで形成することが可能となる。

[0051] [第3の実施形態]

図10は、第3の実施形態に係る表示装置の薄膜トランジスタTRを示す詳細断面図である。

[0052] 本実施形態では、一对のソース・ドレイン電極320, 324の間の方向に、相互に分離された複数の第1上面領域R1がある。複数の第1上面領域R1のそれぞれに酸化剤層342が載って、酸化物半導体層330が酸化されている。これにより、酸化物半導体層330は、相互に間隔をあけて、複数の半導体部362を含む。半導体部362は、酸化によって電子が減って半導体性を示すようになり、トランジスタの動作が可能になる。

[0053] 複数の第1上面領域R1の間に第2上面領域R2の一部がある。隣同士の第1上面領域R1の間で、第2上面領域R2に還元剤層344が載って、酸化物半導体層330が還元される。これにより、酸化物半導体層330は、第2上面領域R2から還元剤層344によって還元された導電部364を含む。導電部364は、還元によって酸素が抜けて、キャリアである電子が増えて導体化している。その他の内容は、第1の実施形態で説明した内容が該当する。

[0054] [第4の実施形態]

図11は、第4の実施形態に係る表示装置の断面図である。表示装置は、液晶表示装置である。

[0055] 表示装置は、ガラス基板470を有する。ガラス基板470の上にアンダーコート層434が形成され、その上に薄膜トランジスタTRがある。薄膜トランジスタTRの一方のソース・ドレイン電極420, 424（ソース電極及びドレイン電極の一方）に画素電極428が接続されている。液晶の駆動には、横電界方式が適用されており、画素電極428の下方に共通電極472が配置されている。両者間には絶縁膜474が介在する。画素電極428には、図示しないスリットが形成されている。複数の画素電極428を覆うように第1配向膜476が積層する。

[0056] 表示装置は、対向ガラス基板478を有する。対向ガラス基板478には、ブラックマトリクス480及びカラーフィルタ層482が設けられ、下側においてオーバーコート層484で覆われている。オーバーコート層484を覆うように、第2配向膜486が積層する。なお、図示した例では、ブラ

ックマトリクス４８０は、対向ガラス基板４７８とカラーフィルタ層４８２との間に配置されているが、カラーフィルタ層４８２とオーバーコート層４８４との間に配置されていてもよいし、オーバーコート層４８４と第２配向膜４８６との間に配置されていてもよい。第１配向膜４７６と第２配向膜４８６の間に液晶層４８８が介在する。セルギャップは、図示しない複数のスペーサによって保持される。

[0057] 表示装置は、画像が表示される表示面の反対側に、バックライトモジュール４９０を有する。バックライトモジュール４９０は、ＬＥＤ（Light Emitting Diode）などの光源、導光板、光学フィルム、拡散板、反射板及びフレームを含む。点光源が導光板によって面光源に変換される。

[0058] 図１２は、表示装置の全体回路を示す図である。表示装置は、画像を表示する表示領域ＤＡと、表示領域ＤＡの外側の周辺領域ＰＡと、を備えている。例えば、周辺領域ＰＡは、表示領域ＤＡを囲み、額縁状の形状を有している。表示装置は、表示領域ＤＡにおいて、複数の画素ＰＸを備えている。複数の画素ＰＸは、第１方向Ｘ及び第２方向Ｙにマトリクス状に配置されている。本実施形態においては、第１方向Ｘに隣り合う３個の画素ＰＸで１つのフルカラー画素を構成する。

[0059] 表示装置は、複数の走査線ＧＬ、複数の信号線ＤＬを備えている。走査線ＧＬは、第１方向Ｘに延出し、第２方向Ｙに間隔を置いて配置されている。信号線ＤＬは、第２方向Ｙに延出し、第１方向Ｘに間隔を置いて配置されている。なお、走査線ＧＬ及び信号線ＤＬは、必ずしも直線的に延出していなくてもよく、それらの一部が屈曲していてもよい。走査線ＧＬは、走査回路ＧＤに接続されている。信号線ＤＬは、信号駆動回路ＳＤに接続されている。

[0060] 図１３は、図１２に示す画素ＰＸの回路構成を示す図である。画素ＰＸは、走査線ＧＬ及び信号線ＤＬが交差する位置近傍に配置された薄膜トランジスタＴＲを備えている。薄膜トランジスタＴＲは、走査線ＧＬ及び信号線ＤＬと電氣的に接続されている。走査線ＧＬは、図１２に示す第１方向Ｘに並

んだ画素 P X の各々における薄膜トランジスタ T R と接続されている。信号線 D L は、図 1 2 に示す第 2 方向 Y に並んだ画素 P X の各々における薄膜トランジスタ T R と接続されている。

[0061] 画素電極 4 2 8 は、走査線 G L と信号線 D L とで囲まれた領域に配置されている。薄膜トランジスタ T R は、画素電極 4 2 8 と電氣的に接続されている。画素電極 4 2 8 は、共通電極 4 7 2 と対向し、画素電極 4 2 8 と共通電極 4 7 2 との間に生じる電界によって液晶層 4 8 8 を駆動する。共通電極 4 7 2 は、図 1 2 に示す共通駆動回路 C D に接続されて、複数の画素 P X にわたって配置されている。保持容量 C s の両端は、共通電極 4 7 2 及び画素電極 4 2 8 に電氣的に接続する。

[0062] 本発明は、上述した実施形態に限定されるものではなく種々の変形が可能である。例えば、実施形態で説明した構成は、実質的に同一の構成、同一の作用効果を奏する構成又は同一の目的を達成することができる構成で置き換えることができる。

請求の範囲

- [請求項1] 画像表示の制御をするための複数の薄膜トランジスタを有し、
前記複数の薄膜トランジスタのそれぞれは、ボトムゲート型であって、
ゲート電極と、
前記ゲート電極を覆うゲート絶縁膜と、
前記ゲート絶縁膜の上にある酸化物半導体層と、
前記酸化物半導体層の第1上面領域に接触するシリコン酸化物と、
前記酸化物半導体層の第2上面領域に接触するシリコン窒化物と、
前記ゲート絶縁膜の上方にあるソース電極及びドレイン電極と、
を有し、
前記第2上面領域は、前記ソース電極及び前記ドレイン電極の間の方向で、前記第1上面領域の両側のそれぞれに隣接し、
前記酸化物半導体層は、前記シリコン酸化物直下の半導体部と、前記シリコン窒化物直下の導電部と、を含むことを特徴とする表示装置。
- [請求項2] 請求項1に記載された表示装置において、
前記シリコン酸化物は酸化剤層であり、
前記シリコン窒化物は水素を含む還元剤層であることを特徴とする表示装置。
- [請求項3] 請求項1に記載された表示装置において、
前記酸化物半導体層は、前記第1上面領域及び前記第2上面領域を挟む一対の第3上面領域を有し、
前記ソース電極及び前記ドレイン電極は、それぞれ、前記一対の第3上面領域に電氣的に接続することを特徴とする表示装置。
- [請求項4] 請求項3に記載された表示装置において、
前記ソース電極及び前記ドレイン電極は、それぞれ、前記一対の第3上面領域に接触して載ることを特徴とする表示装置。

- [請求項5] 請求項4に記載された表示装置において、
前記ソース電極及び前記ドレイン電極は、金属からなり、
前記酸化物半導体層は、前記一对の第3上面領域では、前記金属によって還元されることを特徴とする表示装置。
- [請求項6] 請求項3に記載された表示装置において、
前記ソース電極及び前記ドレイン電極は、前記酸化物半導体層との重なりを避けて位置し、
前記一对の第3上面領域にそれぞれ接触して載り、前記ソース電極及び前記ドレイン電極にそれぞれ接触して載る一对の金属層をさらに有することを特徴とする表示装置。
- [請求項7] 請求項6に記載された表示装置において、
前記酸化物半導体層は、前記一对の第3上面領域では、前記金属層によって還元されることを特徴とする表示装置。
- [請求項8] 請求項1から7のいずれか1項に記載された表示装置において、
前記第1上面領域は、前記ソース電極及び前記ドレイン電極の間の前記方向で相互に分離された複数の第1上面領域を含み、
前記複数の第1上面領域の間に前記第2上面領域の一部があることを特徴とする表示装置。
- [請求項9] 請求項1から7のいずれか1項に記載された表示装置において、
前記シリコン酸化物は、前記ソース電極及び前記ドレイン電極にも載っていることを特徴とする表示装置。
- [請求項10] 請求項9に記載された表示装置において、
前記シリコン窒化物は、前記シリコン酸化物にも載っていることを特徴とする表示装置。
- [請求項11] 請求項1から7のいずれか1項に記載された表示装置において、
前記ゲート電極は、前記ソース電極及び前記ドレイン電極のいずれにもオーバーラップしないことを特徴とする表示装置。
- [請求項12] ゲート電極を形成する工程と、

前記ゲート電極を覆うようにゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上に酸化物半導体層を形成する工程と、
前記酸化物半導体層の上での成膜及びエッチングを経て、前記酸化物半導体層の第1上面領域及び第2上面領域を避けて、ソース電極及びドレイン電極を形成する工程と、
前記酸化物半導体層の前記第1上面領域に接触するように酸化剤層を形成し、前記第1上面領域で前記酸化物半導体層を酸化する工程と、
、
前記酸化物半導体層の前記第2上面領域に接触するように還元剤層を形成し、前記第2上面領域で前記酸化物半導体層を還元する工程と、
、
を含み、
前記第2上面領域は、前記ソース電極及び前記ドレイン電極の間の方向で、前記第1上面領域の両側のそれぞれに隣接することを特徴とする表示装置の製造方法。

[請求項13] 請求項12に記載された表示装置の製造方法において、
前記エッチングは、塩素系ガスを使用して行うことを特徴とする表示装置の製造方法。

[請求項14] 請求項12に記載された表示装置の製造方法において、
前記酸化剤層の形成は、フッ素系ガスを使用したドライエッチングを含むことを特徴とする表示装置の製造方法。

[請求項15] 請求項12に記載された表示装置の製造方法において、
前記酸化剤層を形成する工程で、前記酸化剤層を、前記ソース電極及び前記ドレイン電極にも載るように形成することを特徴とする表示装置の製造方法。

[請求項16] 請求項15に記載された表示装置の製造方法において、
前記還元剤層を形成する工程で、前記還元剤層を、前記酸化剤層にも載るように形成することを特徴とする表示装置の製造方法。

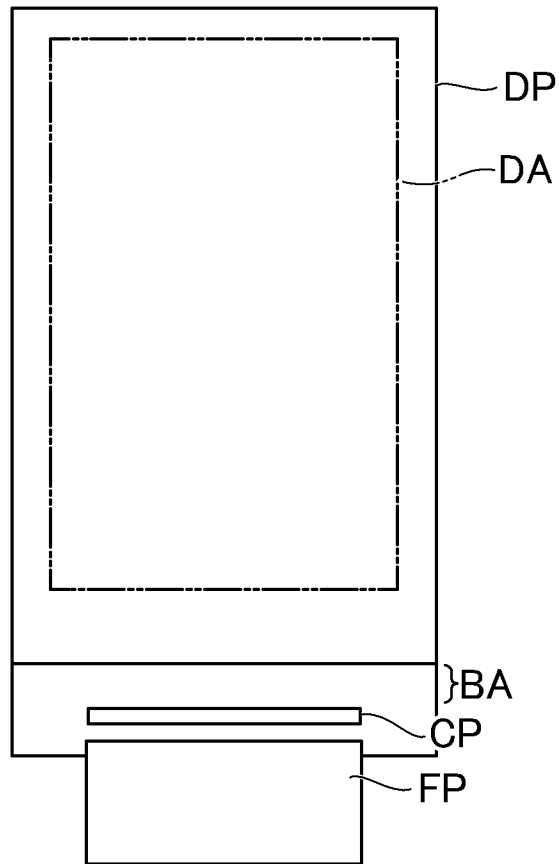
[請求項17] 請求項1 2 から1 6 のいずれか1 項に記載された表示装置の製造方法において、

前記ソース電極及び前記ドレイン電極を、前記酸化物半導体層との重なりを避けて形成し、

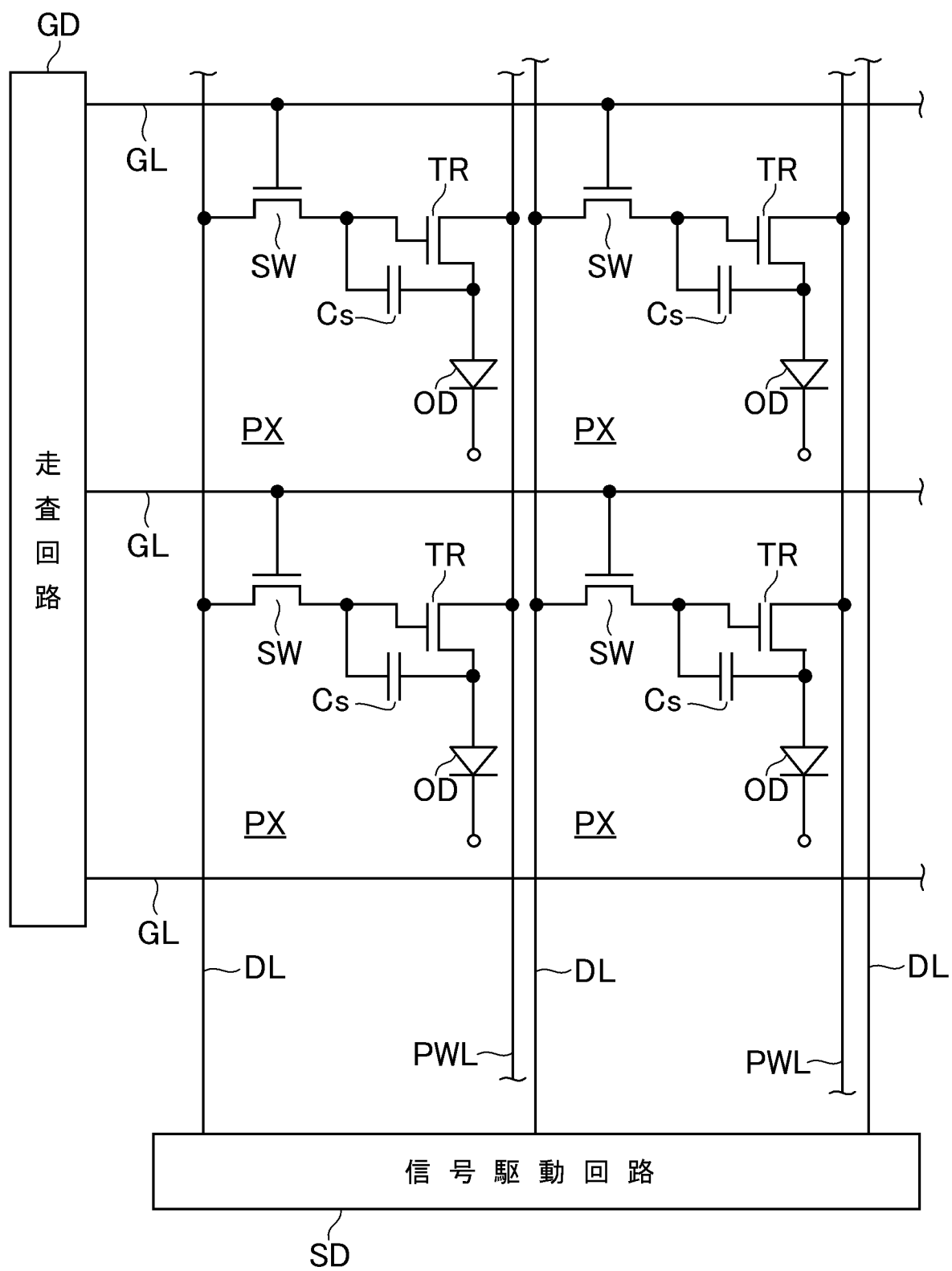
前記酸化剤層及び前記還元剤層を、前記第1 上面領域及び前記第2 上面領域を挟む一对の第3 上面領域を避けて形成し、

前記一对の第3 上面領域にそれぞれ接触して載り、前記ソース電極及び前記ドレイン電極にそれぞれ接触して載るように、一对の金属層を形成する工程をさらに含むことを特徴とする表示装置の製造方法。

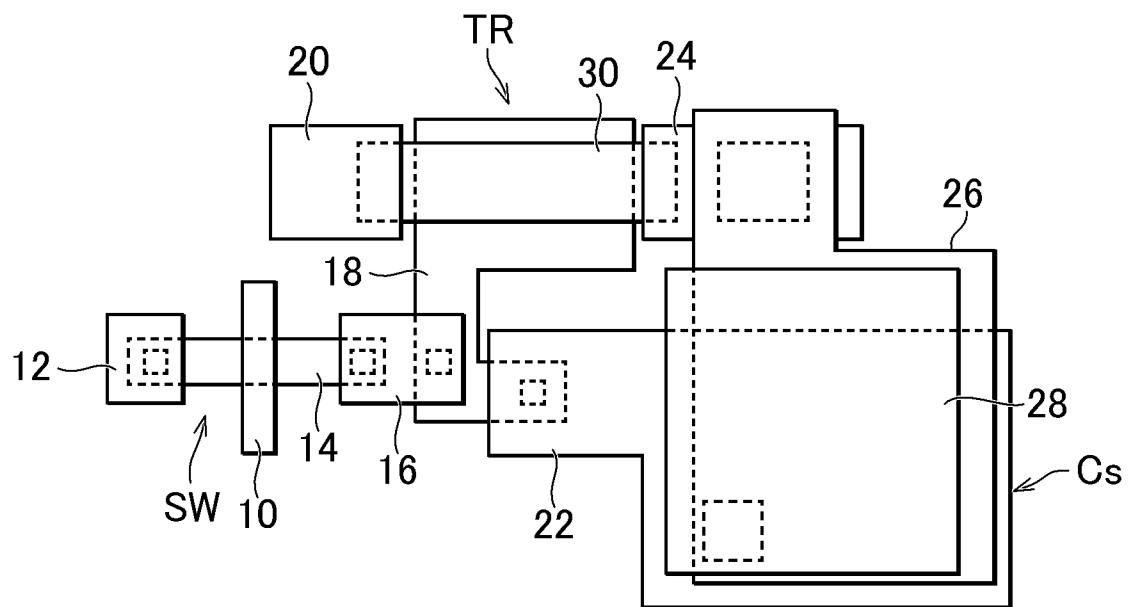
[図1]



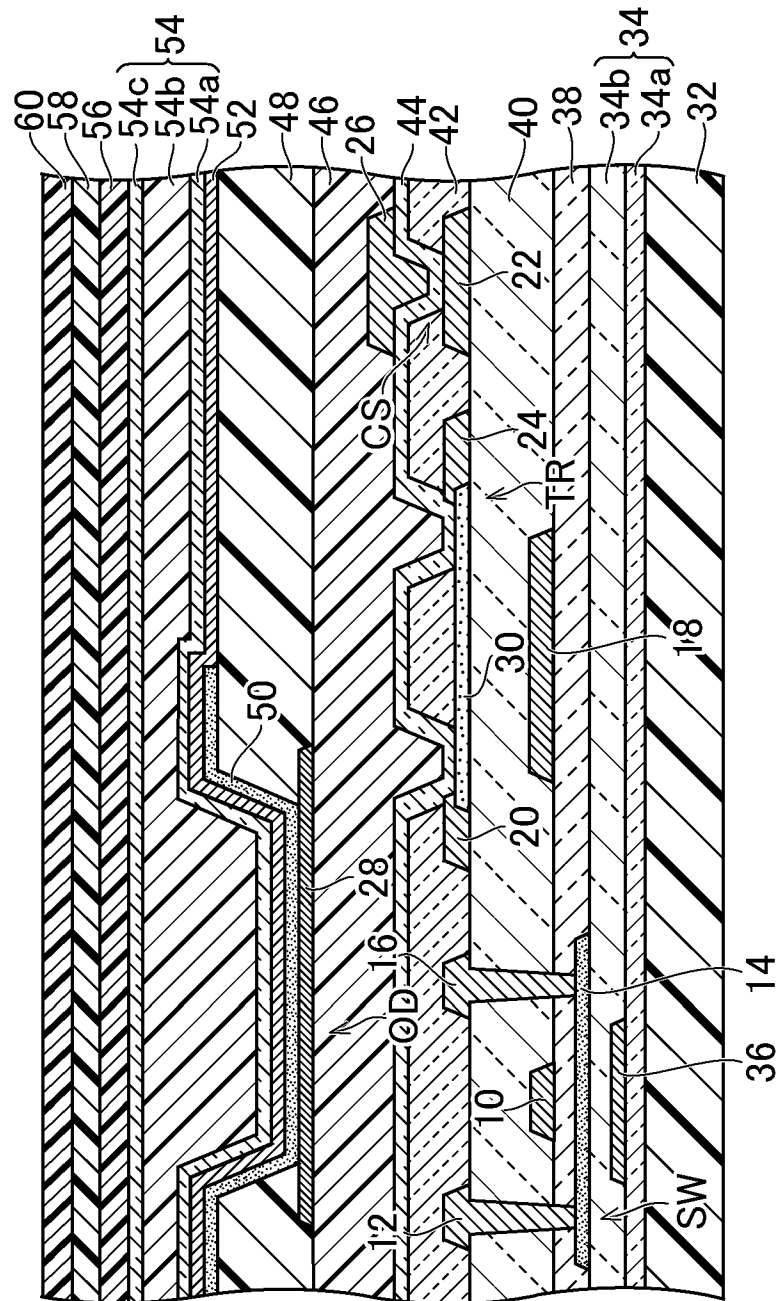
[図2]



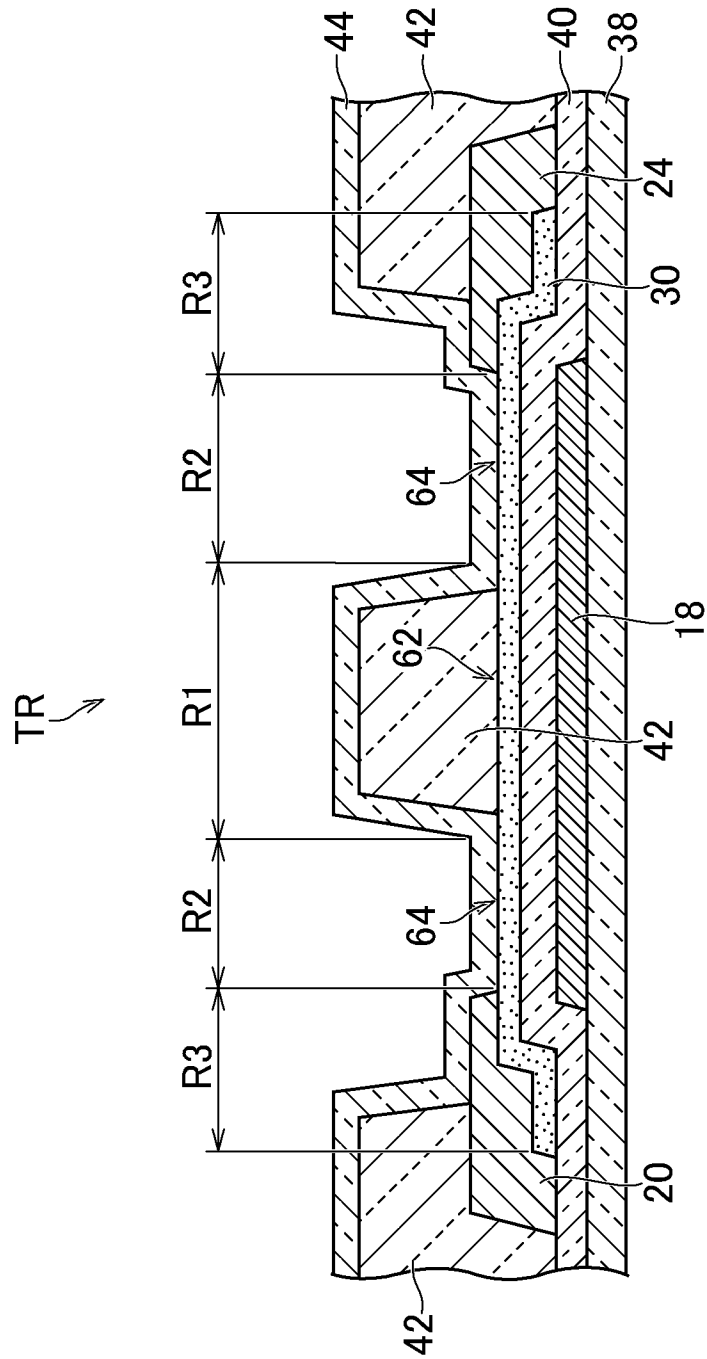
[図3]



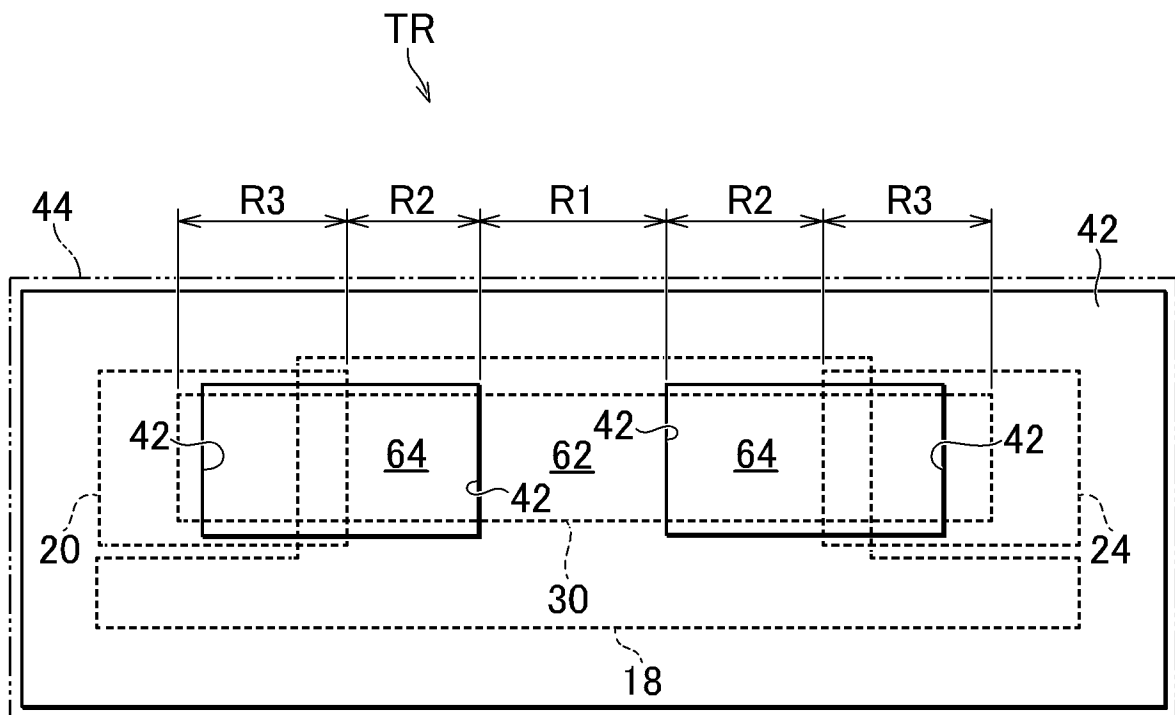
[図4]



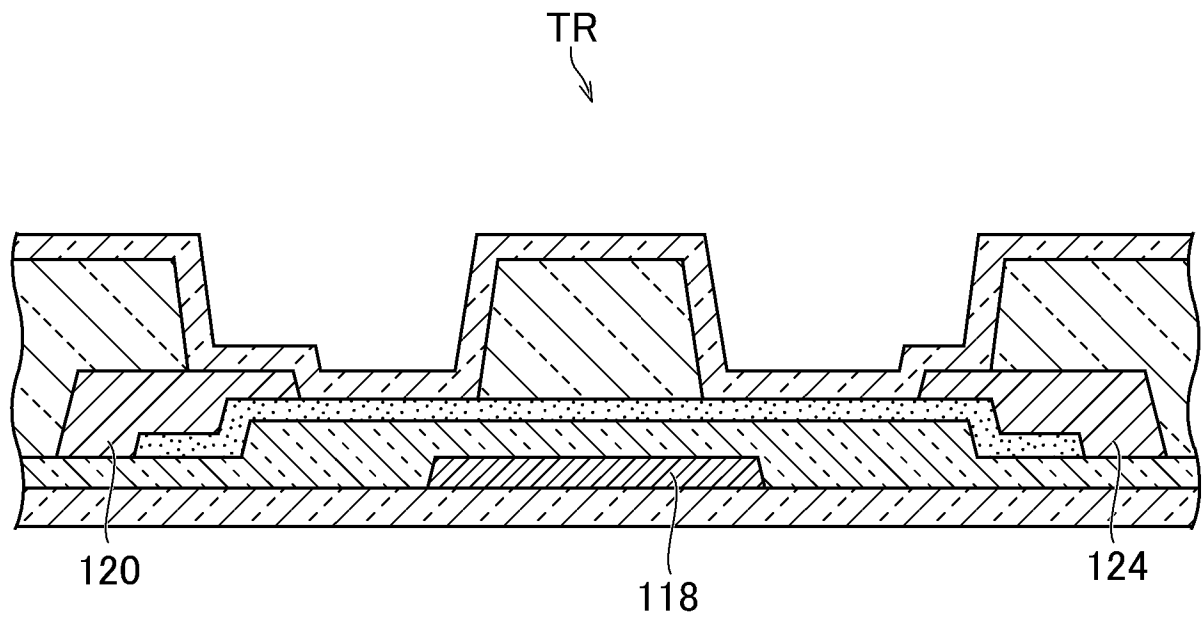
[図5]



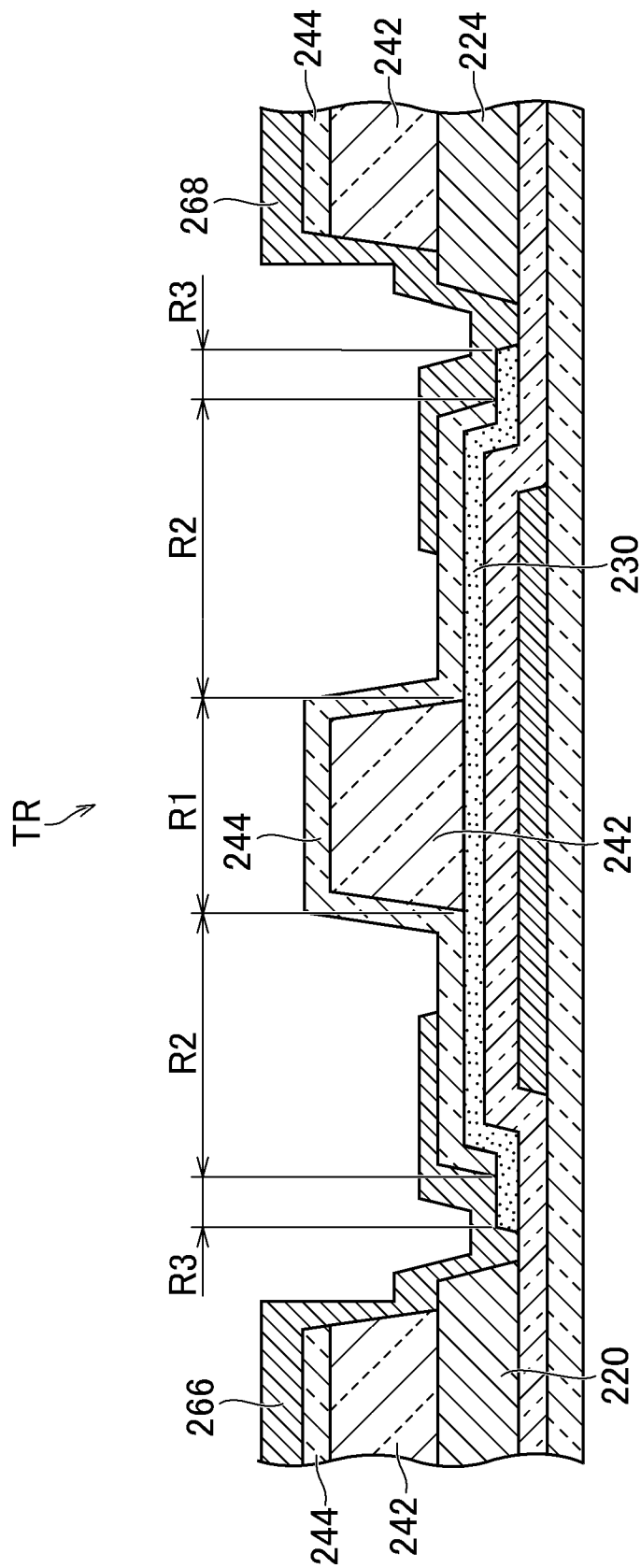
[図6]



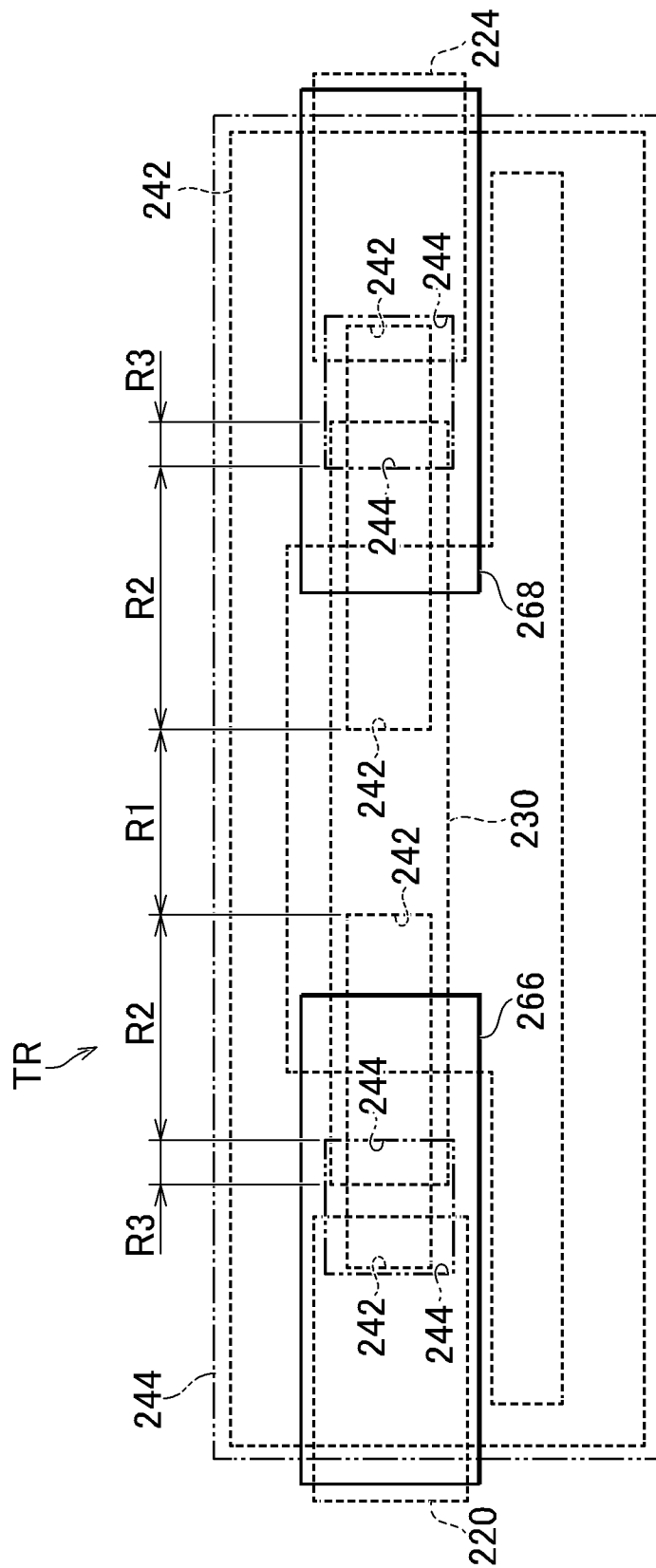
[図7]



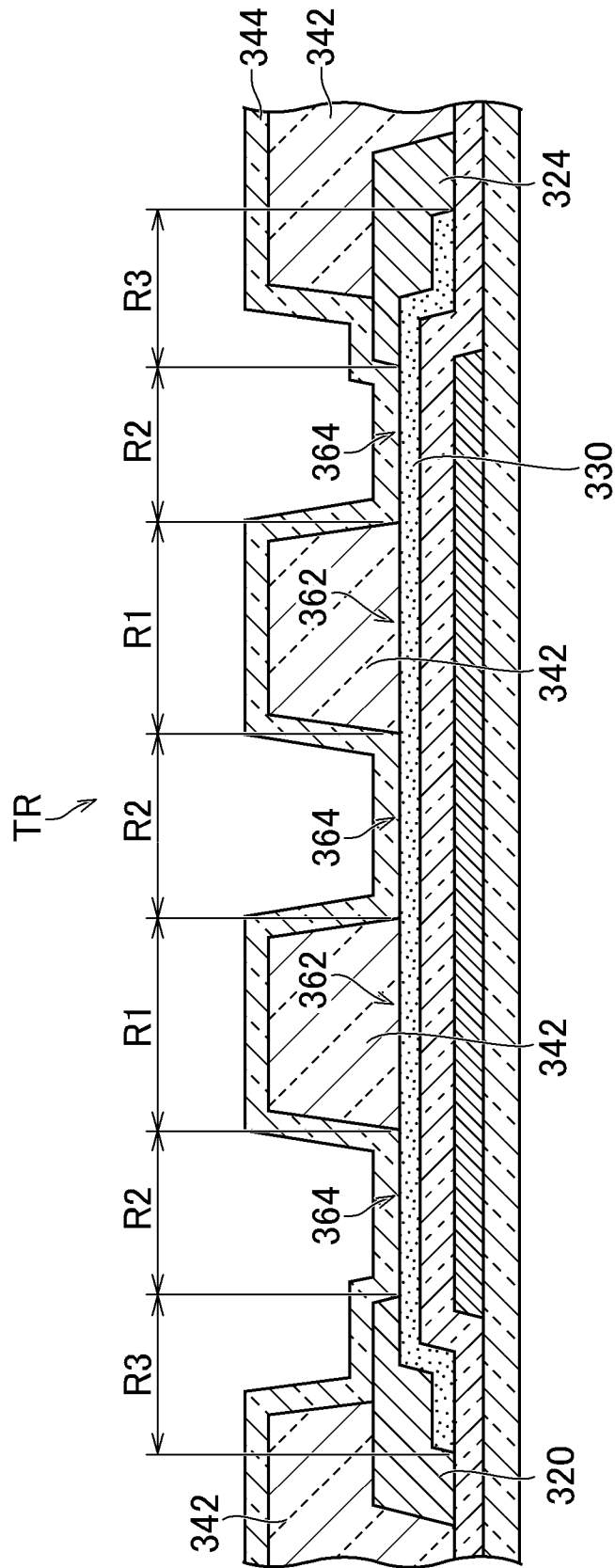
[図8]



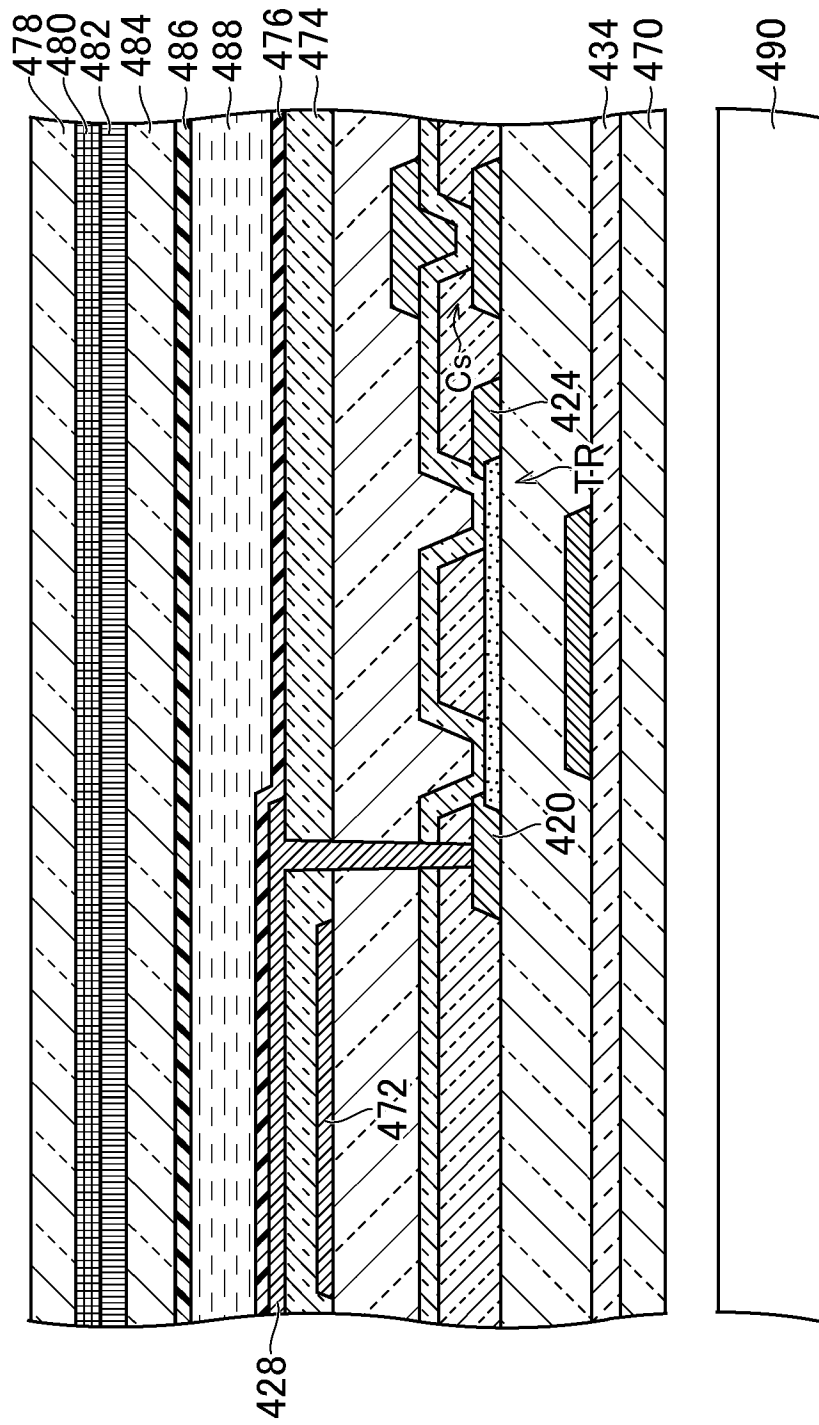
[図9]



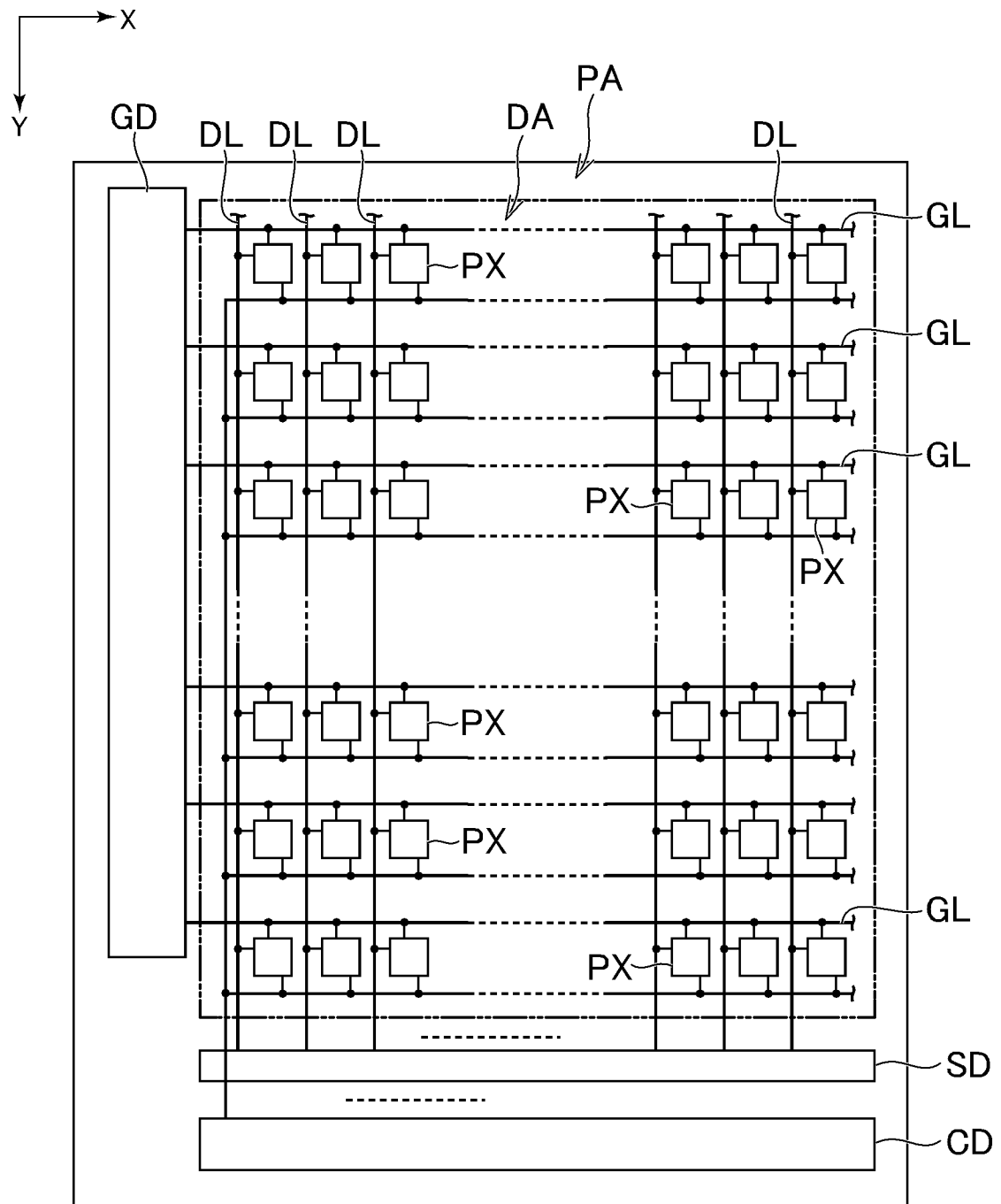
[図10]



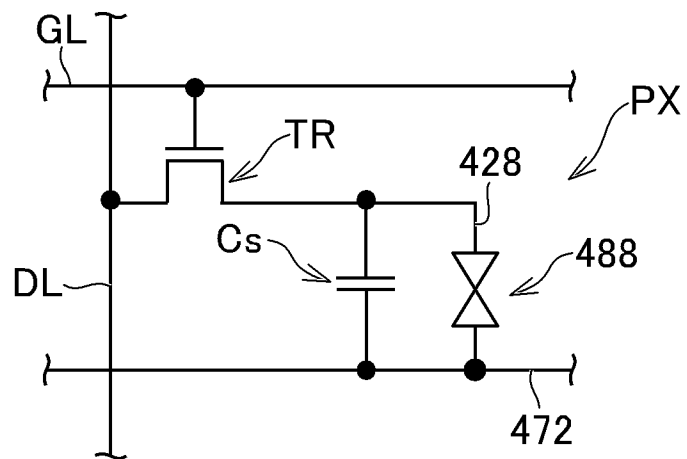
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/027086

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i,
H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i,
H05B33/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, G09F9/00, G09F9/30, H01L27/32, H01L29/786, H01L51/50,
H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-220483 A (LG DISPLAY CO., LTD.) 20 November 2014, paragraphs [0023]-[0047], fig. 1-2 & US 2014/0319526 A1, paragraphs [0036]-[0060], fig. 1-2 & EP 2800141 A1 & KR 10-2014-0129541 A & CN 104134671 A	1, 3-5, 11 2, 6-10, 12-17
Y A	JP 2011-049550 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 10 March 2011, paragraphs [0074]-[0110], fig. 2 & US 2011/0024740 A1, paragraphs [0107]-[0143], fig. 2 & TW 201117382 A	1, 3-5, 11 2, 6-10, 12-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 August 2019 (30.08.2019)

Date of mailing of the international search report
24 September 2019 (24.09.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/027086

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-228622 A (SONY CORP.) 10 November 2011 & US 2011/0240998 A1 & CN 102208452 A & KR 10-2011- 0109885 A	1-17
A	JP 2009-272427 A (CANON INC.) 19 November 2009 & US 2011/0042670 A1 & TW 201005950 A	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/336(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i, H01L27/32(2006.01)i,
H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/336, G09F9/00, G09F9/30, H01L27/32, H01L29/786, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-220483 A (エルジー ディスプレイ カンパニー リミテッド) 2014.11.20, 段落 0023-0047, 図 1-2 & US 2014/0319526 A1, 段落 0036-0060, 図 1-2 & EP 2800141 A1 & KR 10-2014-0129541 A & CN 104134671 A	1, 3-5, 11 2, 6-10, 12-17
Y A	JP 2011-049550 A (株式会社半導体エネルギー研究所) 2011.03.10, 段落 0074-0110, 図 2 & US 2011/0024740 A1, 段落 0107-0143, 図 2 & TW 201117382 A	1, 3-5, 11 2, 6-10, 12-17

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

30.08.2019

国際調査報告の発送日

24.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

辻 勇貴

5 F

6299

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-228622 A (ソニー株式会社) 2011. 11. 10, & US 2011/0240998 A1 & CN 102208452 A & KR 10-2011-0109885 A	1-17
A	JP 2009-272427 A (キヤノン株式会社) 2009. 11. 19, & US 2011/0042670 A1 & TW 201005950 A	1-17