



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월08일
(11) 등록번호 10-0945792
(24) 등록일자 2010년02월26일

(51) Int. Cl.

G11C 8/18 (2006.01) G11C 8/06 (2006.01)

(21) 출원번호 10-2008-0022763

(22) 출원일자 2008년03월12일

심사청구일자 2008년03월12일

(65) 공개번호 10-2009-0097555

(43) 공개일자 2009년09월16일

(56) 선행기술조사문헌

KR100122099 B1*

KR1019980063307 A*

KR1020070109104 A

KR1020070009822 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

이경하

경기 용인시 기흥구 동백동 호수마을 서해그랑블 아파트 1105동1303호

(74) 대리인

김성남

전체 청구항 수 : 총 49 항

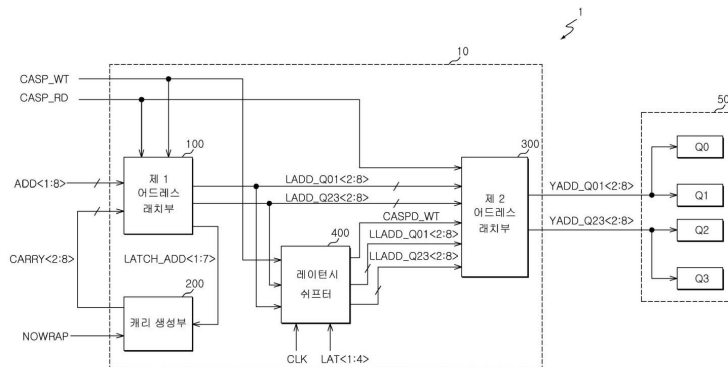
심사관 : 이보형

(54) 어드레스 제어 회로를 포함하는 반도체 집적 회로

(57) 요약

반도체 집적 회로를 개시한다. 개시된 본 발명의 반도체 집적 회로는, 외부 어드레스의 최하위 비트가 고정되는 경우에, 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 캐리를 생성하고, 상기 외부 어드레스를 초기 내부 어드레스로 래치하여 래치된 상기 초기 내부 어드레스와 상기 캐리를 조합함으로써 상기 캐리에 의해 상기 초기 내부 어드레스로부터 순차적으로 증가되는 어드레스를 출력하는 어드레스 제어 회로를 포함한다.

대표도



특허청구의 범위

청구항 1

외부 어드레스의 최하위 비트가 고정되는 반도체 집적 회로에 있어서,

컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 캐리를 생성하고, 상기 외부 어드레스를 초기 내부 어드레스로 래치하여 래치된 상기 초기 내부 어드레스와 상기 캐리를 조합함으로써 상기 캐리에 의해 상기 초기 내부 어드레스로부터 순차적으로 증가되는 어드레스를 출력하는 어드레스 제어 회로를 포함하며,

상기 어드레스 제어 회로는,

상기 외부 어드레스 및 피드백된 상기 캐리를 수신하여 제 1 및 제 2 내부용 어드레스로 분리하며, 캐리 생성용 어드레스를 제공하는 제 1 어드레스 래치부;

상기 테스트 모드 신호에 응답하여, 상기 캐리 생성용 어드레스를 수신하여 상기 캐리를 생성하는 캐리 생성부;

리드 동작시 또는 라이트 동작시 상기 제 1 및 제 2 내부용 어드레스에 응답하여 메모리 블록을 지정하는 쿼터용 어드레스를 제공하는 제 2 어드레스 래치부를 포함하는 반도체 집적 회로.

청구항 2

제 1항에 있어서,

상기 캐리의 신호 레벨에 따라 이전(pre) 상기 외부 어드레스의 반전 여부를 제어하는 반도체 집적 회로.

청구항 3

제 1항에 있어서,

상기 컬럼 명령어는 리드 명령어 또는 라이트 명령어인 반도체 집적 회로.

청구항 4

삭제

청구항 5

제 1항에 있어서,

라이트 동작시, 상기 제 1 및 제 2 내부용 어드레스를 수신하여 소정 시간 지연시켜 지연된(delayed) 제 1 및 제 2 내부용 어드레스 및 지연된 라이트 명령 신호를 제공하는 레이턴시 쉬프터를 더 포함하는 반도체 집적 회로.

청구항 6

제 1항에 있어서,

상기 제 1 어드레스 래치부는,

상기 컬럼 명령어 및 1 비트의 소정 외부 어드레스에 응답하여 제 1 캐리 생성용 신호를 제공하는 제 1 래치 유닛; 및

상기 초기 내부 어드레스로서 제 2 내부용 어드레스를 제공하고, 상기 캐리의 레벨에 따라 상기 제 1 내부용 어드레스를 반전시키는 내부 어드레스 신호 생성부를 포함하는 반도체 집적 회로.

청구항 7

제 1항에 있어서,

상기 캐리 생성부는,

상기 테스트 모드 신호가 활성화시, 수신된 상기 캐리 생성용 어드레스가 로우 레벨이면 로우 레벨의 캐리를, 상기 캐리 생성용 어드레스가 하이 레벨이면 하이 레벨의 캐리를 제공하는 반도체 집적 회로.

청구항 8

제 5항에 있어서,
 상기 제 2 어드레스 래치부는,
 리드 명령 신호에 응답하여 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 1 래치부; 및
 상기 지연된 라이트 명령 신호에 응답하여 지연된 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 2 래치부를 포함하는 반도체 집적 회로.

청구항 9

제 5항에 있어서,
 상기 레이턴시 쉬프터에서 상기 소정 시간은 라이트 동작시 기 설정된 라이트 레이턴시를 만족하는 시간인 반도체 집적 회로.

청구항 10

외부 어드레스의 최하위 비트가 고정되는 반도체 집적 회로에 있어서,
 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 복수의 외부 어드레스를 수신하여 복수의 제 1 내부용 어드레스, 초기 내부 어드레스인 복수의 제 2 내부용 어드레스로 각각 분리하여 상기 제 2 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 내부용 어드레스를 제공하는 어드레스 제어 회로를 포함하는 반도체 집적 회로.

청구항 11

제 10항에 있어서,
 상기 컬럼 명령어는 리드 명령어 또는 라이트 명령어인 반도체 집적 회로.

청구항 12

제 10항에 있어서,
 상기 어드레스 제어 회로는,
 상기 외부 어드레스 및 피드백된 캐리를 수신하여 상기 제 1 및 제 2 내부용 어드레스로 분리하며, 캐리 생성용 어드레스를 제공하는 제 1 어드레스 래치부;
 상기 테스트 모드 신호에 응답하여, 상기 캐리 생성용 어드레스를 수신하여 상기 캐리를 생성하는 캐리 생성부;
 리드 동작시 또는 라이트 동작시 제 1 및 제 2 내부용 어드레스에 응답하여 메모리 블록을 지정하는 쿼터용 어드레스를 제공하는 제 2 어드레스 래치부를 포함하는 반도체 집적 회로.

청구항 13

제 12항에 있어서,
 상기 캐리의 신호 레벨에 따라 이전(pre) 상기 외부 어드레스의 반전 여부를 제어하는 반도체 집적 회로.

청구항 14

제 12항에 있어서,
 라이트 동작시 활성화되는 라이트 명령 신호에 응답하여, 상기 제 1 및 제 2 내부용 어드레스를 수신하여 소정 시간 지연시켜 지연된(delayed) 제 1 및 제 2 내부용 어드레스 및 지연된 라이트 명령 신호를 제공하는 레이턴시 쉬프터를 더 포함하는 반도체 집적 회로.

청구항 15

제 12항에 있어서,

상기 제 1 어드레스 래치부는,

상기 컬럼 명령어 및 1 비트의 소정 외부 어드레스에 응답하여 제 1 캐리 생성용 신호를 제공하는 제 1 래치 유닛; 및

상기 복수의 외부 어드레스에 대응되며 피드백된 상기 캐리에 응답하는 복수의 래치 유닛을 포함하는 내부 어드레스 신호 생성부를 포함하는 반도체 집적 회로.

청구항 16

제 15항에 있어서,

상기 내부 어드레스 신호 생성부의 각각의 상기 래치 유닛은,

상기 컬럼 명령어에 응답하여 수신된 상기 외부 어드레스 레벨과 동일한 상기 제 2 내부용 어드레스 및 상기 캐리 생성용 어드레스를 생성하고 상기 피드백된 캐리에 따라 상기 외부 어드레스와 반전된 레벨의 상기 제 1 내부용 어드레스를 생성하는 반도체 집적 회로.

청구항 17

제 12항에 있어서,

상기 캐리 생성부는,

상기 테스트 모드 신호가 활성화시, 수신된 상기 캐리 생성용 어드레스가 로우 레벨이면 로우 레벨의 캐리를, 상기 캐리 생성용 어드레스가 하이 레벨이면 하이 레벨의 캐리를 제공하는 반도체 집적 회로.

청구항 18

제 17항에 있어서,

상기 캐리 생성부는,

각각 수신되는 상기 캐리 생성용 어드레스에 응답하여 각각의 캐리를 제공하는 복수의 생성 유닛을 포함하는 반도체 집적 회로.

청구항 19

제 18항에 있어서,

상기 각각의 생성 유닛은 서로 다른 지연 시간을 갖는 각각의 지연기를 포함하는 반도체 집적 회로.

청구항 20

제 12항에 있어서,

상기 제 2 어드레스 래치부는,

리드 동작시 활성화되는 리드 명령 신호에 응답하여 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 1 래치부; 및

라이트 동작시 활성화되는 라이트 명령 신호에 응답하여 지연된 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 2 래치부를 포함하는 반도체 집적 회로.

청구항 21

제 14항에 있어서,

상기 레이턴시 쉬프터에서 상기 소정 시간은 라이트 동작시 기 설정된 라이트 레이턴시를 만족하는 반도체 집적 회로.

청구항 22

제 21항에 있어서,

상기 레이턴시 쉬프터는,

클럭, 상기 라이트 명령 신호, 상기 제 1 내부용 어드레스 신호에 응답하여 상기 지연된 제 1 내부용 어드레스 신호를 제공하는 제 1 레이턴시 제어부; 및

클럭, 상기 라이트 명령 신호, 상기 제 2 내부용 어드레스 신호에 응답하여 상기 지연된 제 2 내부용 어드레스 신호를 제공하는 제 2 레이턴시 제어부를 포함하는 반도체 집적 회로.

청구항 23

제 22항에 있어서,

상기 제 1 레이턴시 제어부는,

상기 제 1 내부용 어드레스를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 어드레스 지연부; 및

상기 라이트 명령 신호를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 명령어 지연부를 포함하는 반도체 집적 회로.

청구항 24

제 22항에 있어서,

상기 제 2 레이턴시 제어부는,

상기 제 2 내부용 어드레스를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 어드레스 지연부; 및

상기 라이트 명령 신호를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 명령어 지연부를 포함하는 반도체 집적 회로.

청구항 25

제 23항 또는 24항에 있어서,

상기 어드레스 지연부는,

상기 클럭에 응답하여 턴온됨으로써 해당되는 상기 제 1 또는 제 2 내부용 어드레스를 전송시키는 복수의 전송부; 및

상기 전송부의 출력단과 각각 연결되는 패스 소자를 포함하여, 상기 라이트 레이턴시에 응답하여 상기 패스 소자가 턴온되어 상기 전송부의 출력 신호를 제공함으로써 기 설정된 레이턴시만큼 지연된 제 1 또는 제 2 내부용 어드레스를 제공하는 레이턴시 활성화부를 포함하는 반도체 집적 회로.

청구항 26

제 23항 또는 24항에 있어서,

상기 명령어 지연부는,

상기 클럭에 응답하여 턴온됨으로써 상기 라이트 명령 신호를 전송시키는 복수의 전송부; 및

상기 전송부의 출력단과 각각 연결되는 패스 소자를 포함하여, 상기 라이트 레이턴시에 응답하여 상기 패스 소자가 턴온되어 상기 전송부의 출력 신호를 제공함으로써 기 설정된 레이턴시만큼 지연된 라이트 명령 신호를 제공하는 레이턴시 활성화부를 포함하는 반도체 집적 회로.

청구항 27

외부 어드레스의 최하위 비트가 고정되는 반도체 집적 회로에 있어서,

컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 외부 어드레스를 수신하여 제 1 및 제 2 내부용 어드레스를 생성하고, 상기 제 2 내부용 어드레스의 레벨을 판단함에 따라 상기 제 1 내부용 어드레스의 반전 여부를 제어함으로써 상기 제 2 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 내부용 어드레스를 제공하는

어드레스 제어 회로; 및

상기 제 1 및 제 2 내부용 어드레스를 각각 수신하는 복수의 쿼터가 구비된 메모리 블록을 포함하며,

상기 어드레스 제어 회로는,

상기 외부 어드레스 및 피드백된 캐리를 수신하여 상기 제 1 및 제 2 내부용 어드레스로 분리하며, 캐리 생성용 어드레스를 제공하는 제 1 어드레스 래치부;

상기 테스트 모드 신호에 응답하여, 상기 캐리 생성용 어드레스를 수신하여 상기 캐리를 생성하는 캐리 생성부;

리드 동작시 또는 라이트 동작시 제 1 및 제 2 내부용 어드레스에 응답하여 상기 메모리 블록을 지정하는 쿼터용 어드레스를 제공하는 제 2 어드레스 래치부를 포함하는반도체 집적 회로.

청구항 28

제 27항에 있어서,

상기 캐리의 신호 레벨에 따라 이전(pre) 상기 외부 어드레스의 반전 여부를 제어하는 반도체 집적 회로.

청구항 29

제 27항에 있어서,

상기 컬럼 명령어는 리드 명령어 또는 라이트 명령어인 반도체 집적 회로.

청구항 30

제 27항에 있어서,

라이트 동작시 활성화되는 라이트 명령 신호에 응답하여, 상기 제 1 및 제 2 내부용 어드레스를 수신하여 소정 시간 지연시켜 지연된 제 1 및 제 2 내부용 어드레스 및 지연된 라이트 명령 신호를 제공하는 레이턴시 쉬프터를 더 포함하는 반도체 집적 회로.

청구항 31

제 27항에 있어서,

상기 제 1 어드레스 래치부는,

상기 컬럼 명령어 및 1 비트의 소정 외부 어드레스에 응답하여 제 1 캐리 생성용 신호를 제공하는 제 1 래치 유닛; 및

초기 내부 어드레스로서 상기 제 2 내부용 어드레스 및 상기 제 2 내부용 어드레스와 동일한 레벨의 상기 캐리 생성용 어드레스를 제공하고, 상기 캐리의 레벨에 따라 상기 제 1 내부용 어드레스를 반전시키는 내부 어드레스 신호 생성부를 포함하는 반도체 집적 회로.

청구항 32

제 27항에 있어서,

상기 캐리 생성부는,

상기 테스트 모드 신호가 활성화시, 수신된 상기 캐리 생성용 어드레스가 로우 레벨이면 로우 레벨의 캐리를, 상기 캐리 생성용 어드레스가 하이 레벨이면 하이 레벨의 캐리를 제공하는 반도체 집적 회로.

청구항 33

제 32항에 있어서,

상기 캐리 생성부는,

각각 수신되는 상기 캐리 생성용 어드레스에 응답하여 각각의 캐리를 제공하는 복수의 생성 유닛을 포함하는 반도체 집적 회로.

청구항 34

제 33항에 있어서,

상기 각각의 생성 유닛은 서로 다른 지연 시간을 갖는 각각의 지연기를 포함하는 반도체 집적 회로.

청구항 35

제 27항에 있어서,

상기 제 2 어드레스 래치부는,

리드 동작시 활성화되는 리드 명령 신호에 응답하여 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 1 래치부; 및

라이트 동작시 활성화되는 라이트 명령 신호에 응답하여 지연된 상기 제 1 및 제 2 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 2 래치부를 포함하는 반도체 집적 회로.

청구항 36

제 30항에 있어서,

상기 레이턴시 슈프터에서 상기 소정 시간은 라이트 동작시 기 설정된 라이트 레이턴시를 만족하는 시간인 반도체 집적 회로.

청구항 37

제 36항에 있어서,

상기 레이턴시 슈프터는,

클럭, 상기 라이트 명령 신호, 상기 제 1 내부용 어드레스 신호에 응답하여 상기 지연된 제 1 내부용 어드레스 신호를 제공하는 제 1 레이턴시 제어부; 및

클럭, 상기 라이트 명령 신호, 상기 제 2 내부용 어드레스 신호에 응답하여 상기 지연된 제 2 내부용 어드레스 신호를 제공하는 제 2 레이턴시 제어부를 포함하는 반도체 집적 회로.

청구항 38

제 37항에 있어서,

상기 제 1 레이턴시 제어부는,

상기 제 1 내부용 어드레스를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 어드레스 지연부; 및

상기 라이트 명령 신호를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 명령어 지연부를 포함하는 반도체 집적 회로.

청구항 39

제 37항에 있어서,

상기 제 2 레이턴시 제어부는,

상기 제 2 내부용 어드레스를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 어드레스 지연부; 및

상기 라이트 명령 신호를 상기 라이트 레이턴시만큼 소정 시간 지연시키는 명령어 지연부를 포함하는 반도체 집적 회로.

청구항 40

제 38항 또는 39항에 있어서,

상기 어드레스 지연부는,

상기 클럭에 응답하여 턴온됨으로써 해당되는 상기 제 1 및 제 2 내부용 어드레스를 전송시키는 복수의 전송부; 및

상기 전송부의 출력단과 각각 연결되는 패스 소자를 포함하여, 상기 라이트레이턴시에 응답하여 상기 패스 소자가 턴온되어 상기 전송부의 출력 신호를 제공함으로써 기 설정된 레이턴시만큼 지연된 제 1 또는 제 2 내부용 어드레스를 제공하는 레이턴시 활성화부를 포함하는 반도체 집적 회로.

청구항 41

제 38항 또는 39항에 있어서,

상기 명령어 지연부는,

상기 클럭에 응답하여 턴온됨으로써 상기 라이트 명령 신호를 전송시키는 복수의 전송부; 및

상기 전송부의 출력단과 각각 연결되는 패스 소자를 포함하여, 상기 라이트 레이턴시에 응답하여 상기 패스 소자가 턴온되어 상기 전송부의 출력 신호를 제공함으로써 기 설정된 레이턴시만큼 지연된 라이트 명령 신호를 제공하는 레이턴시 활성화부를 포함하는 반도체 집적 회로.

청구항 42

컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 외부 어드레스를 수신하여 메모리 블록내의 쿼터에 대응되도록 복수의 제 1 내지 제 4 내부용 어드레스를 생성하고, 상기 제 4 내부용 어드레스의 레벨을 판단함에 따라 상기 제 1 내지 제 3내부용 어드레스의 반전 여부를 제어함으로써 상기 제 4 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 내지 제 3내부용 어드레스를 제공하는 어드레스 제어 회로를 포함하는 반도체 집적 회로.

청구항 43

제 42항에 있어서,

상기 컬럼 명령어는 리드 명령어 또는 라이트 명령어인 반도체 집적 회로.

청구항 44

제 42항에 있어서,

상기 어드레스 제어 회로는,

상기 외부 어드레스 및 피드백된 제 1 내지 제 3캐리 그룹 신호를 수신하여 상기 제 1 내지 제 4 내부용 어드레스로 분리하며, 캐리 생성용 어드레스를 제공하는 제 1 어드레스 래치부;

상기 테스트 모드 신호에 응답하여, 상기 캐리 생성용 어드레스를 수신하여 상기 제 1 내지 제 3 캐리 그룹 신호를 생성하는 캐리 생성부;

리드 동작시 또는 라이트 동작시 상기 제 1 내지 제 4 내부용 어드레스에 응답하여 상기 메모리 블록을 지정하는 각각의 쿼터용 어드레스를 제공하는 제 2 어드레스 래치부를 포함하는 반도체 집적 회로.

청구항 45

제 44항에 있어서,

상기 제 1 내지 제 3 캐리 그룹 신호의 신호 레벨에 따라 이전(pre) 상기 외부 어드레스의 반전 여부를 제어하는 반도체 집적 회로.

청구항 46

제 44항에 있어서,

상기 제 1 어드레스 래치부는,

상기 컬럼 명령어 및 2 비트의 소정 외부 어드레스에 응답하여 제 1 캐리 생성용 신호를 제공하는 제 1 래치 유닛; 및

초기 내부 어드레스로서 상기 제 4 내부용 어드레스 및 상기 제 4 내부용 어드레스와 동일한 레벨의 상기 캐리 생성용 어드레스를 제공하고, 상기 제 1 내지 제 3 캐리 그룹 신호의 레벨에 따라 상기 제 1 내지 제 3 내부용 어드레스를 제공하는 내부 어드레스 신호 생성부를 포함하는 반도체 집적 회로.

청구항 47

제 44항에 있어서,

상기 캐리 생성부는,

상기 테스트 모드 신호가 활성화시, 수신된 상기 캐리 생성용 어드레스가 로우 레벨이면 로우 레벨의 캐리를, 상기 캐리 생성용 어드레스가 하이 레벨이면 하이 레벨의 캐리를 제공하는 반도체 집적 회로.

청구항 48

제 47항에 있어서,

상기 캐리 생성부는,

각각 수신되는 상기 캐리 생성용 어드레스에 응답하여 각각의 제 1 내지 제 3 캐리 그룹 신호를 제공하는 복수의 생성 유닛을 포함하는 반도체 집적 회로.

청구항 49

제 48항에 있어서,

상기 각각의 생성 유닛은 서로 다른 지연 시간을 갖는 각각의 지연기를 포함하는 반도체 집적 회로.

청구항 50

제 44항에 있어서,

상기 제 2 어드레스 래치부는,

리드 동작시 활성화되는 리드 명령 신호에 응답하여 상기 제 1 내지 제 4 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 1 래치부; 및

라이트 동작시 활성화되는 라이트 명령 신호에 응답하여 지연된 상기 제 1 내지 제 4 내부용 어드레스를 상기 쿼터용 어드레스로 래치하는 제 2 래치부를 포함하는 반도체 집적 회로.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 반도체 집적 회로에 관한 것으로서, 보다 구체적으로는 어드레스 카운트 방식을 제어하는 반도체 집적 회로에 관한 것이다.

배경 기술

[0002] 일반적으로 반도체 집적 회로의 어드레스 제어 회로는 하나의 워드라인을 선택한 후 외부로부터 컬럼 어드레스를 초기 어드레스 신호로 하여 내부 카운터에 의하여 소정의 연속된 내부 어드레스 신호를 생성한다. 즉, 버스트 길이(burst length)에 따라 2개, 4개, 8개, 16개 혹은 풀 페이지(full page)의 연속적인 내부 어드레스 신호에 의하여 셀 데이터를 리드 또는 라이트(read or write)한다. 이러한 경우의 어드레스 카운팅 방식을 내부 어드레스를 소정의 단위로 싸서(wrapping) 출력하는 타입이므로 랩 타입(wrap type)이라고 한다.

[0003] 랩 타입의 버스트 어드레스 생성 모드에도 연속적 방식(sequential mode)과 토글링을 적게 하도록 보수(complement)를 이용한 인터리브 방식(interleave mode)이 있다. 연속적 방식은 초기 어드레스 신호에서 카운트를 시작하되, 소정의 범위 내의 내부 어드레스를 출력한다. 예를 들어, Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7의 내부 어드레스가 있고, 초기 어드레스는 Y2이며 버스트 길이는 4, 연속적 방식으로 어드레스를 카운팅하면 Y2, Y3,

Y0, Y1이 출력된다. 이와 같이, 연속적 모드라고 하여도 소정 범위 내에서의 어드레스를 둘러싸서(wrapping) 출력하므로, 연속적 어드레스의 제한이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 기술적 과제는 어드레스를 계속적으로(run-on) 순차 출력하는 반도체 집적 회로를 제공하는 것이다.

과제 해결수단

[0005] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 일 실시예에 따른 반도체 집적 회로는, 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 캐리를 생성하고, 상기 외부 어드레스를 초기 내부 어드레스로 래치하여 래치된 상기 초기 내부 어드레스와 상기 캐리를 조합함으로써 상기 캐리에 의해 상기 초기 내부 어드레스로부터 순차적으로 증가되는 어드레스를 출력하는 어드레스 제어 회로를 포함한다.

[0006] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 다른 실시예에 따른 반도체 집적 회로는, 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 복수의 외부 어드레스를 수신하여 복수의 제 1 내부용 어드레스, 초기 내부 어드레스인 복수의 제 2 내부용 어드레스로 각각 분리하여 상기 제 2 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 어드레스를 제공하는 어드레스 제어 회로를 포함한다.

[0007] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 실시예에 따른 반도체 집적 회로는, 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 외부 어드레스를 수신하여 제 1 및 제 2 내부용 어드레스를 생성하고, 상기 제 2 내부용 어드레스의 레벨을 판단함에 따라 상기 제 1 내부용 어드레스의 반전 여부를 제어함으로써 상기 제 2 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 내부용 어드레스를 제공하는 어드레스 제어 회로 및 상기 제 1 및 제 2 내부용 어드레스를 각각 수신하는 복수의 쿼터가 구비된 메모리 블록을 포함한다.

[0008] 이러한 어드레스 제어 회로는,

[0009] 상기 외부 어드레스 및 피드백된 캐리를 수신하여 상기 제 1 및 제 2 내부용 어드레스로 분리하며, 캐리 생성용 어드레스를 제공하는 제 1 어드레스 래치부, 상기 테스트 모드 신호에 응답하여, 상기 캐리 생성용 어드레스를 수신하여 상기 캐리를 생성하는 캐리 생성부, 및 리드 동작시 또는 라이트 동작시 제 1 및 제 2 내부용 어드레스에 응답하여 상기 메모리 블록을 지정하는 쿼터용 어드레스로 제공하는 제 2 어드레스 래치부를 포함한다.

[0010] 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 또 다른 실시예에 따른 반도체 집적 회로는, 컬럼 명령어에 응답하여, 테스트 모드 신호가 활성화되면 외부 어드레스를 수신하여 메모리 블록내의 쿼터에 대응되도록 복수의 제 1 내지 제 4 내부용 어드레스를 생성하고, 상기 제 4 내부용 어드레스의 레벨을 판단함에 따라 상기 제 1 내지 제 3내부용 어드레스의 반전 여부를 제어함으로써 상기 제 4 내부용 어드레스로부터 순차적으로 증가되는 상기 제 1 내지 제 3내부용 어드레스를 제공하는 어드레스 제어 회로를 포함한다.

효과

[0011] 본 발명의 일 실시예에 따르면, 컬럼 어드레스 카운트 방식에서 순차적 어드레스를 제공할 수 있다.

[0012] 즉, 소정 제한된 범위 내에서의 연속적 어드레스가 아닌 초기 어드레스가 인가되면 그로부터 순차적으로 증가하는 어드레스를 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0015] 본 명세서에서 "및/또는"으로 언급된 아이тем들의 각각 및 하나 이상의 모든 조합을 포함한다.

- [0016] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 포함한다(comprises) 및/또는 포함하는(comprising)은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 어드레스 제어 회로(10)를 포함하는 반도체 집적 회로(1)의 블록도이다.
- [0018] 도 1을 참조하면, 반도체 집적 회로(1)는 어드레스 제어 회로(10) 및 메모리 블록(500)을 포함한다.
- [0019] 어드레스 제어 회로(10)는 제 1어드레스 래치부(100), 캐리 생성부(200), 제 2 어드레스 래치부(300) 및 레이턴시 쉬프터(400)를 포함한다.
- [0020] 제 1어드레스 래치부(100)는 외부로부터 컬럼 명령어, 즉 컬럼 어드레스의 입력과 동시에 수행되는 명령어인 리드 명령 또는 라이트 명령 인가시, 외부 어드레스(ADD<1:8>) 및 피드백 제공된 캐리(CARRY<2:8>)를 수신하여 제 1 내부용 어드레스(LADD_Q01<2:8>), 제 2 내부용 어드레스(LADD_Q23<2:8>) 및 캐리 생성용 어드레스(LATCH_ADD<1:7>)를 생성한다. 보다 구체적으로, 제 1 어드레스 래치부(100)는 리드 명령 신호(CASP_RD) 또는 라이트 명령 신호(CASP_WT)에 응답하여 외부 어드레스(ADD<1:8>)를 제 1 및 제 2 내부용 어드레스(LADD_Q01<2:8>, LADD_Q23<2:8>)로 분리한다. 이 경우, 제 2 내부용 어드레스(LADD_Q23<2:8>)는 외부 어드레스(ADD<1:8>)의 레벨 그대로 제공되나, 제 1 내부용 어드레스(LADD_Q01<2:8>)는 피드백 제공된 캐리(CARRY<2:8>)의 레벨에 따라 외부 어드레스(ADD<1:8>)와 반전된 레벨로 제공될 수 있다. 한편, 어드레스의 최하위 비트인 제 1 외부 어드레스(ADD<0>)는 로우 레벨로 고정되며, 8개의 외부 어드레스 신호(ADD<1:8>)를 수신하는 경우로서 예시하나 이에 제한되는 것은 아니다. 반도체 집적 회로의 구성이나 아키텍처(architecture)에 따라 달라질 수 있음은 물론이다.
- [0021] 캐리 생성부(200)는 순차적 증가 모드 신호(NOWRAP) 및 캐리 생성용 어드레스(LATCH_ADD<1:7>)를 수신하여 캐리(CARRY<2:8>)를 생성하여 제 1 어드레스 래치부(100)에 피드백 제공한다. 캐리 생성부(200)는 순차적 증가 모드 신호(NOWRAP)가 활성화되면, 캐리 생성용 어드레스(LATCH_ADD<1:7>)의 소정 지연된 신호인 캐리(CARRY<2:8>)를 생성한다. 여기서, 순차적 증가 모드 신호(NOWRAP)는 테스트 모드 신호로서, 소정 단위 즉, 초기 시작 어드레스로부터 버스트 길이만큼 순차적으로 증가되는 어드레스 신호가 출력되는 모드를 의미한다. 이러한 순차적 증가 모드 신호(NOWRAP)는 MRS(Mode Register Set)로부터 제공될 수 있다. 본 발명에서의 캐리(CARRY<2:8>)는 수신되는 어드레스를 순차적으로 증가시킬 수 있는 자리 올림용 신호이다. 그리하여, 캐리(CARRY<2:8>)는 이전 어드레스 비트와 비교하여 반전 여부를 제어할 수 있는 신호이다.
- [0022] 제 2 어드레스 래치부(300)는 리드 또는 라이트 명령 인가시, 수신된 내부용 어드레스에 응답하여 제 1 및 제 2 쿼터용 어드레스(YADD_Q01<2:8>, YADD_Q23<2:8>)를 제공한다. 보다 상세히 설명하면, 제 2 어드레스 래치부(300)는 활성화된 리드 명령 신호(CASP_RD)를 인가받으면 제 1 및 제 2 내부용 어드레스(LADD_Q01<2:8>, LADD_Q23<2:8>)를 래치하여 제 1 및 제 2 쿼터용 어드레스(YADD_Q01<2:8>, YADD_Q23<2:8>)를 제공한다. 한편, 제 2 어드레스 래치부(300)는 활성화된 라이트 명령 신호(CASP_WT)를 인가받으면 라이트시 필요한 레이턴시에 따라 소정 지연된 내부용 어드레스 신호(LLADD_Q01<2:8>, LLADD_Q23<2:8>)를 래치하여 제 1 및 제 2 쿼터용 어드레스(YADD_Q01<2:8>, YADD_Q23<2:8>)를 제공한다. 즉, 리드시에는 별도의 레이턴시가 필요없으나, 라이트시에는 레이턴시를 고려하여 소정 시간 지연된 내부용 어드레스를 수신할 필요가 있다.
- [0023] 레이턴시 쉬프터(400)는 이러한 라이트시 레이턴시에 따라 지연된 어드레스 신호를 제공한다. 즉, 레이턴시 쉬프터(400)는 라이트 하기 위해 소정 시간 필요한 라이트 레이턴시(write latency) 또는 어댑티브 레이턴시(adaptive latency)에 따라 제 1 및 제 2 내부용 어드레스(LADD_Q01<2:8>, LADD_Q23<2:8>)를 소정 시간 지연시켜 출력한다. 구체적으로, 레이턴시 쉬프터(400)는 활성화된 라이트 명령 신호(CASP_WT) 인가시, 제 1 및 제 2 내부용 어드레스(LADD_Q01<2:8>, LADD_Q23<2:8>)를 레이턴시 신호(LAT<1:4>)에 따라 서로 다르게 지연시킨다. 또한, 레이턴시 신호(LAT<1:4>)에 따라 라이트 명령 신호(CASP_WT)보다 지연된 라이트 명령 신호(CASPD_WT)를 제공한다. 이러한 레이턴시 쉬프터(400)는 클럭(CLK)의 라이징 에지(rising edge)에 트리거되어 동작한다. 레이턴시 신호(LAT<1:4>)는 진술한 라이트 레이턴시(write latency) 또는 어댑티브 레이턴시(adaptive latency)에 따라 MRS로부터 제공되는 신호로 예시한다.
- [0024] 한편, 메모리 블록(500)은 복수의 쿼터를 포함하는 하나의 뱅크로서 예시한다. 그리하여, 메모리 블록(500)은 제 1 내지 제 4 쿼터(Q0-Q3)를 포함한다. 제 1 및 제 2 쿼터(Q0, Q1)는 제 1 쿼터용 어드레스(YADD_Q01<2:8>)를 수신하고, 제 2 및 제 4 쿼터(Q2, Q3)는 제 2 쿼터용 어드레스(YADD_Q23<2:8>)를 수신한다.

- [0025] 이와 같이, 본 발명의 일 실시예에 따르면 외부 어드레스(ADD<1:8>)를 수신하여 계속 순차적으로 증가되는 어드레스 신호를 생성하여 복수의 쿼터에 제공할 수 있다. 다시 말하면, 어드레스 제어 회로(10)가 초기 어드레스를 제 3 및 제 4 쿼터(Q3, Q4)가 수신하도록 제어한다. 그리하여, 제 3 및 제 4 쿼터에 수신된 어드레스를 초기 어드레스로 이용하여 캐리를 생성함으로써 순차적으로 증가하는 어드레스는 제 1 및 제 2 쿼터에 제공하도록 한다. 이로써, 기 설정된 범위 내에서만 어드레싱(addressing)이 제한되지 않고, 설정된 범위를 벗어나며 순차적인 어드레싱이 하나의 뱅크내에서 이루어짐으로써 어드레스의 증가 범위를 제한하지 않을 수 있다.
- [0026] 도 2는 도 1에 따른 제 1 어드레스 래치부(100)의 개념적인 블록도이다.
- [0027] 도 2를 참조하면, 제 1 어드레스 래치부(100)는 외부 어드레스(ADD<1:8>)를 수신하는 복수의 래치 유닛을 포함한다. 이러한 제 1 어드레스 래치부(100)는 제 1 래치 유닛(105) 및 내부 어드레스 신호 생성부(110)를 포함한다.
- [0028] 보다 구체적으로, 제 1 어드레스 래치부(100)는 리드 명령 신호 또는 라이트 명령 신호(CASP_RD, CASP_WT) 및 제 1 외부 어드레스(ADD<1>)를 수신하는 제 1 래치 유닛(105) 및 내부 어드레스 신호 생성부(110)를 포함한다. 내부 어드레스 신호 생성부(110)는 리드 명령 신호 또는 라이트 명령 신호(CASP_RD, CASP_WT), 제 2 내지 제 8 어드레스 신호(ADD<2:8>) 및 캐리(CARRY<2:8>)를 수신하는 제 2 내지 제 8 래치 유닛(111)을 포함한다. 즉, 캐리(CARRY<2:8>)의 수신 유무에 따라 래치 유닛의 구성이 달라질 수 있다.
- [0029] 이러한 제 1 래치 유닛(105)은 리드 명령 신호 또는 라이트 명령 신호(CASP_RD, CASP_WT) 및 제 1 외부 어드레스(ADD<1>)를 수신하여 제 1 캐리 생성용 신호(LATCH_ADD<1>)를 생성한다.
- [0030] 제 2 내지 제 8 래치 유닛(111)은 리드 명령 신호 또는 라이트 명령 신호(CASP_RD, CASP_WT), 제 2 내지 제 8 외부 어드레스(ADD<2:8>), 캐리(CARRY<2:8>)를 수신하여 제 1 내부용 어드레스(LADD_Q01<2:8>), 제 2 내부용 어드레스(LADD_Q23<2:8>) 및 캐리 생성용 어드레스(LATCH_ADD<1:7>)를 생성한다. 이에 대한 상세한 설명은 다음의 도면을 참조하여 설명하기로 한다.
- [0031] 도 3은 도 2에 따른 제 1 래치 유닛(105)의 상세한 회로도이다.
- [0032] 도 3을 참조하면, 제 1 래치 유닛(105)은 어드레스 수신부(102) 및 래치부(104)를 포함한다. 여기서는 설명의 편의상 라이트 명령 신호(CASP_WT)를 수신하는 제 1 래치 유닛(105)으로 예시한다. 그러나, 리드 명령 신호(CASP_RD)에 응답하는 별도의 래치 유닛이 구비될 수 있으며 이에 대한 구성이나 동작 원리는 동일하고 다만 수신되는 신호만 다르므로 중복되는 설명은 생략하기로 한다.
- [0033] 어드레스 수신부(102)는 제 1 PMOS 트랜지스터(PM1) 및 제 1 NMOS 트랜지스터(NM1)를 포함한다. 제 1 PMOS 트랜지스터(PM1)는 제 1 외부 어드레스(ADD<1>)를 수신하는 게이트, 제 2 PMOS 트랜지스터(PM2)의 드레인과 연결된 소스, 제 1 NMOS 트랜지스터(NM1)의 드레인과 연결된 드레인을 포함한다. 제 1 NMOS 트랜지스터(NM1)는 제 1 외부 어드레스(ADD<1>)를 수신하는 게이트, 제 2 NMOS 트랜지스터의 드레인(NM2)과 연결된 소스, 제 1 PMOS 트랜지스터(PM1)의 드레인과 연결된 드레인을 포함한다.
- [0034] 래치부(104)는 어드레스 수신부(102)에서 제공한 신호를 반전 래치한다. 래치부(104)는 제 2 및 제 3 인버터(IV2, IV3)를 포함한다. 제 2 및 제 3 인버터(IV2, IV3)는 래치타입으로 연결된다.
- [0035] 한편, 제 2 PMOS 트랜지스터(PM2) 및 제 2 NMOS 트랜지스터(NM2)는 라이트 명령 신호(CASP_WT)에 응답하여 턴온되며, 라이트 명령 신호(CASP_WT)의 서로 반전된 레벨을 수신한다. 제 2 PMOS 트랜지스터(PM2)는 제 1 인버터(IV1)에 의해 반전된 라이트 명령 신호(CASP_WT)를 수신하는 게이트, 외부 전압(VDD)과 연결된 소스, 제 1 PMOS 트랜지스터(PM1)와 연결된 드레인을 포함한다. 제 1 PMOS 트랜지스터(PM1)는 라이트 명령 신호(CASP_WT)를 수신하는 게이트, 접지 전압(VSS)과 연결된 소스, 제 1 NMOS 트랜지스터(NM1)와 연결된 드레인을 포함한다.
- [0036] 제 1 래치 유닛(105)의 동작을 설명하기로 한다.
- [0037] 라이트 명령 인가시, 펄스 신호인 라이트 명령 신호(CASP_WT)가 활성화된다. 제 1 인버터(IV1)에 의해 제 2 PMOS 트랜지스터(PM2)는 로우 레벨을 수신하여 턴온된다. 즉, 라이트 명령 신호(CASP_WT)가 활성화되고 제 1 외부 어드레스(ADD<1>)가 하이 레벨이면 제 1 NMOS 트랜지스터(NM1)가 턴온된다. 그리하여, 이와 반전된 로우 레벨을 래치부(104)에 제공한다. 따라서, 래치부(104)에 의해 반전 래치되어 제 1 캐리 생성용 신호(LATCH_ADD<1>)를 제공한다. 이와 같이 생성된 제 1 캐리 생성용 신호(LATCH_ADD<1>)는 쿼터(도 1의 Q0-Q4)를 지정하는 어드레싱에 참여하지 않고 오직 캐리 생성용으로만 사용된다.

- [0038] 도 4는 도 2에 따른 제 2 래치 유닛(111)의 상세한 회로도이다.
- [0039] 제 2 내지 제 8 래치 유닛(111)의 구성을 도시하고 설명하여야 하나, 수신되는 신호만 다르고 구성 및 동작 원리는 동일하므로 제 2 래치 유닛(111)을 자세히 설명하는 것으로 대신한다.
- [0040] 도 4를 참조하면, 제 2 래치 유닛(111)은 어드레스 수신부(112), 래치부(114) 및 전송부(116)를 포함한다.
- [0041] 어드레스 수신부(112)는 제 1 PMOS 트랜지스터(P1) 및 제 1 NMOS 트랜지스터(N1)를 포함한다. 제 1 PMOS 트랜지스터(P1)는 제 2 외부 어드레스(ADD<2>)를 수신하는 게이트, 제 2 PMOS 트랜지스터(P2)의 드레인과 연결된 소스, 제 1 NMOS 트랜지스터(N1)의 드레인과 연결된 드레인을 포함한다. 제 1 NMOS 트랜지스터(N1)는 제 2 외부 어드레스(ADD<2>)를 수신하는 게이트, 제 2 NMOS 트랜지스터의 드레인(N2)과 연결된 소스, 제 1 PMOS 트랜지스터(P1)의 드레인과 연결된 드레인을 포함한다.
- [0042] 한편, 제 2 PMOS 트랜지스터(P2) 및 제 2 NMOS 트랜지스터(N2)는 라이트 명령 신호(CASP_WT)에 응답하여 턴온되며, 라이트 명령 신호(CASP_WT)의 서로 반전된 레벨을 수신한다. 제 2 PMOS 트랜지스터(P2)는 제 1 인버터(INV1)에 의해 반전된 라이트 명령 신호(CASP_WT)를 수신하는 게이트, 외부 전압(VDD)과 연결된 소스, 제 1 PMOS 트랜지스터(P1)와 연결된 드레인을 포함한다. 제 1 PMOS 트랜지스터(P1)는 라이트 명령 신호(CASP_WT)를 수신하는 게이트, 접지 전압(VSS)과 연결된 소스, 제 1 NMOS 트랜지스터(N1)와 연결된 드레인을 포함한다.
- [0043] 래치부(114)는 어드레스 수신부(112)에서 제공한 신호를 반전 래치하여 제 2 캐리 생성용 신호(LATCH_ADD<2>) 및 제 2 내부용 어드레스(LADD_Q23<2>)를 제공한다. 래치부(114)는 제 2 및 제 3 인버터(INV2, INV3)를 포함한다. 제 2 및 제 3 인버터(INV2, INV3)는 래치타입으로 연결된다.
- [0044] 전송부(116)는 제 1 캐리(CARRY<2>)의 신호 레벨에 따라 제2 내부용 어드레스(LADD_Q23<2>)와 동일한 레벨 또는 반전된 레벨의 제 1 내부용 어드레스(LADD_Q01<2>)를 제공한다. 전송부(116)는 제 1 전송 게이트(TR1), 제 2 전송 게이트(TR2), 제 4 및 제 5 인버터(IV4, IV5)를 포함한다.
- [0045] 제 1 전송 게이트(TR1)는 비활성화된 로우 레벨의 제 1 캐리(CARRY<2>)에 응답하여 턴온됨으로써, 제2 내부용 어드레스(LADD_Q23<2>)와 동일한 레벨의 제 1 내부용 어드레스(LADD_Q01<2>)를 제공한다.
- [0046] 제 2 전송 게이트(TR2)는 활성화된 하이 레벨의 제 1 캐리(CARRY<2>)에 응답하여 턴온됨으로써, 제2 내부용 어드레스(LADD_Q23<2>)와 반전된 레벨의 제 1 내부용 어드레스(LADD_Q01<2>)를 제공한다.
- [0047] 즉, 제 2 래치 유닛(111)은 제 2 어드레스(ADD<2>)를 수신하여 제 1 내부용 어드레스(LADD_Q01<2>) 및 제 2 내부용 어드레스(LADD_Q23<2>)를 분리하여 제공하나, 제 1 캐리(CARRY<2>)의 신호 레벨에 따라 제 1 내부용 어드레스(LADD_Q01<2>)의 반전 여부가 결정된다.
- [0048] 제 2 래치 유닛(111)의 동작을 설명하면, 라이트 명령 인가시 활성화된 라이트 명령 신호(CASP_WT)에 응답하여 제 2 PMOS 트랜지스터(P2) 및 제 2 NMOS 트랜지스터(N2)가 턴온된다. 제 2 외부 어드레스(ADD<2>)의 신호 레벨에 따라 제 1 PMOS 트랜지스터(P1) 또는 제 1 NMOS 트랜지스터(N1)이 선택적으로 턴온된다. 예를 들어, 제 2 어드레스(ADD<2>)가 하이 레벨이면, 제 1 NMOS 트랜지스터(N1)가 턴온된다. 그리하여, 이와 반전된 로우 레벨을 래치부(114)에 제공한다. 따라서, 래치부(114)에 의해 반전 래치되어 제 2 캐리 생성용 신호(LATCH_ADD<2>)를 제공한다.
- [0049] 다음으로, 제 1 래치 유닛(도 3의 105 참조) 또는 제 2 래치 유닛(111)에서 생성된 제 1 및 제 2 캐리 생성용 신호(LATCH_ADD<1:2>)가 복수의 캐리(CARRY<2:8>)를 생성하는 것을 설명하기로 한다.
- [0050] 도 5는 도 1에 따른 캐리 생성부(200)의 회로도이다.
- [0051] 도 5를 참조하면, 캐리 생성부(200)는 제 1 내지 제 7 생성 유닛(210-270)을 포함한다.
- [0052] 이러한 캐리 생성부(200)에서 생성된 복수의 캐리(CARRY<2:8>)는 이전 수신된 어드레스로부터 순차적으로 증가시킬 수 있는 자리 올림용 신호로서 사용된다. 즉, 복수의 캐리(CARRY<2:8>)는 이전 어드레스로부터 반전 여부를 결정하는 신호가 된다.
- [0053] 제 1 생성 유닛(210)은 제 1 캐리 생성용 신호(LATCH_ADD<1>) 및 순차적 증가 모드 신호(NOWRAP)에 응답하여 제 1 캐리(CARRY<2>)를 생성한다. 제 1 생성 유닛(210)은 낸드 게이트(ND) 및 인버터(IV)를 포함한다. 낸드 게이트(ND)는 제 1 캐리 생성용 신호(LATCH_ADD<1>) 및 순차적 증가 모드 신호(NOWRAP)를 수신한다. 인버터(IV)는 낸드 게이트(ND)의 출력 신호를 반전시킨다. 제 1 생성 유닛(210)은 순차적 증가 모드 신호(NOWRAP)가 활성화되면

제 1 캐리 생성용 신호(LATCH_ADD<1>) 레벨과 동일한 레벨의 제 1 캐리(CARRY<2>)를 생성한다.

- [0054] 제 2 생성 유닛(220)은 제 2 캐리 생성용 신호(LATCH_ADD<2>) 및 제 1 캐리(CARRY<2>)에 응답하여 제 2 캐리(CARRY<3>)를 생성한다. 제 2 생성 유닛(220)은 지연기(D1), 낸드 게이트(ND) 및 인버터(IV)를 포함한다. 낸드 게이트(ND)는 제 1 캐리(CARRY<2>) 및 지연기(D1)의 지연 시간만큼 지연된 제 2 캐리 생성용 신호(LATCH_ADD<2>)를 낸드 게이팅 한다. 이때, 지연기(D1)의 지연량은 제 1 생성 유닛(210)에서 제 1 캐리(CARRY<2>)가 생성되는 소정 시간을 만족하도록 지연 시간이 결정된다. 즉, 제 1 캐리(CARRY<2>)가 생성되는 시간만큼 충분히 지연된 제 2 캐리 생성용 신호(LATCH_ADD<2>)를 수신함으로써 안정된 레벨을 수신하도록 한다. 제 2 생성 유닛(220)과 제 1 생성 유닛(210)의 동작 원리는 유사하다. 즉, 제 1 캐리(CARRY<2>)의 신호가 하이 레벨이면, 제 2 캐리 생성용 신호(LATCH_ADD<2>)의 레벨과 동일한 제 2 캐리(CARRY<3>)를 생성한다.
- [0055] 제 3 생성 유닛(230)은 제 2 생성 유닛(220)의 구성과 유사하나, 제 3 생성 유닛(230)의 지연기(D2)의 지연 시간만 다를 뿐이다. 지연기(D2)의 지연 시간은 전술한 대로, 제 2 캐리(CARRY<3>)가 생성되는 시간을 만족한다. 즉, 제 1 내지 제 3 캐리 생성용 신호(LATCH_ADD<1:3>)는 제 1 어드레스 래치부(100)에서 생성되는 제 2 내부용 어드레스 신호(LADD_Q23<2:8>)와 동일한 레벨을 갖는 신호이며, 이 신호는 동시에 생성된다. 따라서, 제 1 내지 제 3 캐리 생성용 신호(LATCH_ADD<1:3>)가 각각의 제 1 내지 제 3 생성 유닛(210-230)에 지연기(D1, D2)의 지연 시간에 따라 각각 지연 시간을 다르게 함으로써 안정적으로 동작하도록 한다.
- [0056] 중복되는 설명은 생략하기로 하며, 각각의 생성 유닛은 전단(pre-stage)에서 생성되는 캐리(CARRY<2:8>)를 안정적으로 수신할 수 있도록 각각 지연 시간이 다른 지연기를 포함한다.
- [0057] 이와 같이 각각 다음 어드레스로 순차적으로 증가하기 위해서, 전단의 캐리 생성용 어드레스(또는, 제 2 내부용 어드레스 신호(LADD_Q23<2:8>))의 레벨에 따라 캐리(CARRY<2:8>)의 신호 레벨을 결정한다. 또한, 캐리(CARRY<2:8>)의 신호 레벨에 따라 캐리 생성용 어드레스의 신호 레벨을 반전시킴으로써 입력된 어드레스로부터 순차적으로 1씩 증가하는 어드레스 신호를 생성할 수 있다. 즉, 캐리(CARRY<2:8>)가 활성화된다는 것은 다음 어드레스를 반전시킬 수 있다는 것이며, 이는 이전 어드레스 신호로부터 1 증가시킨다는 의미이다. 이로써, 1씩 순차적 증가를 위해 캐리(CARRY<2:8>)가 생성되도록 하며, 생성된 캐리(CARRY<2:8>)에 따라 입력된 어드레스 신호의 레벨을 반전시킨다. 전술한 바와 같이, 생성된 캐리(CARRY<2:8>)는 제 1 어드레스 래치부(도 1의 100 참조)에 피드백 제공되고, 캐리(CARRY<2:8>)의 레벨에 따라 수신되는 제 1 내부용 어드레스(LADD_Q01<2:8>)의 레벨을 반전한다.
- [0058] 도 6은 도 1에 따른 제 2 어드레스 래치부(300)의 블록도이다.
- [0059] 도 6을 참조하면, 제 2 어드레스 래치부(300)는 제 1 래치부(320) 및 제 2 래치부(340)를 포함한다.
- [0060] 제 2 어드레스 래치부(300)는 리드 또는 라이트 명령에 따라 각각의 경우에 따라 어드레스를 다시 한번 래치시킨다. 구체적으로, 제 1 래치부(320)는 리드 명령에 따른 어드레스 래치부이며, 제 2 래치부(340)는 라이트 명령에 따른 어드레스 래치부이다. 하지만, 이에 제한되는 것은 아니며, 반도체 집적 회로의 구성이나 회로 스킴에 따라서는 리드용 래치부인 제 1 래치부(320)는 생략할 수 있다.
- [0061] 제 1 래치부(320)는 리드 명령 신호(CASP_RD), 제 1 및 제 2 내부용 어드레스 신호(LADD_Q01<2:8>, LADD_Q23<2:8>)를 수신하여 제 1 및 제 2 쿼터 어드레스 신호(YADD_Q01<2:8>, YADD_Q23<2:8>)을 제공한다.
- [0062] 제 2 래치부(340)는 지연 라이트 명령 신호(CASPD_WT), 지연된 제 1 및 제 2 내부용 어드레스 신호(LLADD_Q01<2:8>, LLADD_Q23<2:8>)을 수신하여 제 1 및 제 2 쿼터 어드레스 신호(YADD_Q01<2:8>, YADD_Q23<2:8>)을 제공한다.
- [0063] 제 1 래치부(320)와 제 2 래치부(340)가 다른 점은 수신하는 신호가 다르다. 특히, 라이트시에는 라이트를 하기 위한 레이턴시에 따라 라이트 명령 신호(CASP_WT) 또는 제 1 및 제 2 내부용 어드레스 신호(LADD_Q01<2:8>, LADD_Q23<2:8>)를 소정 시간 지연시킬 필요가 있다. 라이트 명령시, 라이트 명령 신호(CASP_WT) 또는 제 1 및 제 2 내부용 어드레스 신호(LADD_Q01<2:8>, LADD_Q23<2:8>)를 레이턴시에 따라 지연시키는 것에 대한 설명은 후술하기로 한다.
- [0064] 한편, 이러한 제 1 래치부(320)와 제 2 래치부(340)의 상세한 구성은 도시하지는 않았으나 각각의 복수의 래치 유닛을 포함한다. 복수의 래치 유닛은 도 3의 래치 유닛과 같은 회로 구성일 수 있으므로 중복되는 설명은 피하기로 한다.

- [0065] 도 7은 도 1에 따른 레이턴시 쉬프터(400)의 블록도이다.
- [0066] 도 7을 참조하면, 레이턴시 쉬프터(400)는 제 1 레이턴시 제어부(420) 및 제 2 레이턴시 제어부(440)를 포함한다.
- [0067] 제 1 레이턴시 제어부(420)는 클럭(CLK), 라이트 명령 신호(CASP_WT), 제 1 내부용 어드레스 신호(LADD_Q01<2:8>)에 응답하여 지연된 제 1 내부용 어드레스 신호(LLADD_Q01<2:8>)를 생성한다.
- [0068] 제 2 레이턴시 제어부(440)는 클럭(CLK), 라이트 명령 신호(CASP_WT), 제 2 내부용 어드레스 신호(LADD_Q23<2:8>)에 응답하여 지연된 제 2 내부용 어드레스 신호(LLADD_Q23<2:8>)를 생성한다.
- [0069] 레이턴시 쉬프터(400)는 라이트 명령이 활성화되면, 레이턴시 신호(LAT<1:4>)에 응답하여 라이트 명령 신호(CASP_WT), 제 1 및 제 2 내부용 어드레스 신호(LADD_Q01<2:8>, LADD_Q23<2:8>)를 소정 시간 지연시킨다. 여기서, 레이턴시 신호(LAR<1:4>)는 라이트시 필요한 레이턴시 신호이다.
- [0070] 도 8은 도 7에 따른 제 1 레이턴시 제어부(420)의 회로도이다.
- [0071] 도 8을 참조하면, 제 1 레이턴시 제어부(420)는 어드레스 지연부(422) 및 명령어 지연부(426)를 포함한다.
- [0072] 어드레스 지연부(422)는 복수의 전송부(T1, T2, T3, T4..) 및 레이턴시 활성화부(423)를 포함한다.
- [0073] 각각의 전송부(T1, T2, T3, T4..)는 전송 게이트(TR) 및 래치 유닛(L)을 포함한다.
- [0074] 제 1 전송부(T1)는 클럭(CLK)의 폴링 에지에 동기하여 제 1 내부용 어드레스 신호(LADD_Q01<2>)를 수신하여 전송한다. 전송 게이트(TR)는 클럭(CK)의 로우 레벨에 응답하여 턴온된다. 래치 유닛(L)은 전송 게이트(TR)로부터 전송된 신호를 래치한다.
- [0075] 제 2 전송부(T2)는 클럭(CLK)의 라이징 에지에 동기하여 제 1 전송부(T1)로부터의 신호를 수신하여 전송한다. 전송 게이트(TR)는 클럭(CK)의 하이 레벨에 응답하여 턴온된다. 래치 유닛(L)은 전송 게이트(TR)로부터 전송된 신호를 래치한다.
- [0076] 마찬가지로, 제 3 전송부(T3)는 클럭(CLK)의 폴링 에지에 동기하여 제 2 전송부(T2)로부터의 신호를 수신하여 전송한다. 전송 게이트(TR)는 클럭(CK)의 로우 레벨에 응답하여 턴온된다. 래치 유닛(L)은 전송 게이트(TR)로부터 전송된 신호를 래치한다.
- [0077] 이와 같이, 각각의 전송부(T1, T2, T3, T4)는 클럭(CLK)에 응답하여 교차로 턴온/턴오프된다. 그리하여 제 1 및 제 3 전송부(T1, T3) 또는 제 2 및 제 4 전송부(T2, T4)가 턴온되어 신호가 전송되는 시간은, 턴온되는 전송부(T1, T2, T3, T4..)와 턴오프되는 전송부(T1, T2, T3, T4..)의 쌍마다 한클럭 주기만큼의 지연시간을 갖는다.
- [0078] 한편, 레이턴시 활성화부(423)는 반도체 집적 회로의 라이트 레이턴시에 따라 활성화된 레이턴시 신호(LAT<1:4>)에 응답하여 전송부(T1, T2, T3, T4..)의 출력 신호를 지연된 제 1 내부용 어드레스 신호(LLADD_Q01<2>)로 전송한다. 레이턴시 활성화부(423)는 각각의 레이턴시 신호(LAT<1:4>)를 각각 수신하는 패스 게이트(PASS) 및 인버터(INV1, INV2..)를 포함한다.
- [0079] 레이턴시 활성화부(423)의 동작을 설명하면, 라이트 레이턴시가 1이면 제 1 레이턴시 신호(LAT<1>)가 하이 레벨로 활성화된다. 따라서, 활성화된 제 1 레이턴시 신호(LAT<1>)를 수신하는 패스 게이트(PASS)가 턴온되어 제 2 전송부(T2)의 출력 신호가 제 1 내부용 어드레스 신호(LLADD_Q01<2>)로 제공될 수 있다. 제 1 및 제 2 전송부(T1, T2) 또는 제 3 및 제 4 전송부(T3, T4)를 경유하는 시간은 한클럭 주기만큼의 지연시간을 가지므로, 라이트 레이턴시가 1인 경우 한 클럭 주기만큼 지연된 어드레스 신호가 제공될 수 있다.
- [0080] 만약 라이트 레이턴시가 2이면, 제 2 레이턴시 신호(LAT<2>)가 하이 레벨로 활성화된다. 따라서, 활성화된 제 2 레이턴시 신호(LAT<2>)를 수신하는 패스 게이트(PASS)가 턴온되어 제 4 전송부(T4)의 출력 신호가 제 1 내부용 어드레스 신호(LLADD_Q01<2>)로 제공될 수 있다. 이 경우에는 라이트 레이턴시가 2이므로 두 클럭 주기만큼 지연시켜, 제 1 내부용 어드레스 신호(LLADD_Q01<2>)로 제공한다.
- [0081] 한편, 명령어 지연부(426)는 어드레스 지연부(423)와 회로의 구성 및 동작원리는 동일하므로 어드레스 지연부(423)와 다른점만 설명하기로 한다.
- [0082] 명령어 지연부(426)는 라이트 명령 신호(CASP_WT)를 라이트 레이턴시만큼 소정 시간 지연시켜 지연된 라이트 명령 신호(CASPD_WT)를 제공한다.

- [0083] 따라서, 라이트 레이턴시에 따라 활성화된 레이턴시 신호(LAT<1:4>)에 응답하여 라이트 명령 신호(CASP_WT)를 레이턴시 만큼 소정 클럭주기로 지연시킨다.
- [0084] 명령어 지연부(426)는 복수의 전송부(T1, T2, T3, T4..) 및 레이턴시 활성화부(425)를 포함한다.
- [0085] 명령어 지연부(426)에서의 복수의 전송부(T1, T2, T3, T4..)는 라이트 명령 신호(CASP_WT)를 클럭(CLK)에 따라 전송시키는 역할을 하므로, 이에 대한 설명은 중복되므로 생략한다.
- [0086] 전술한 대로 레이턴시 활성화부(425)는 반도체 집적 회로의 라이트 레이턴시에 따라 활성화된 레이턴시 신호(LAT<1:4>)에 응답하여 전송부(T1, T2, T3, T4..)의 출력 신호를 지연된 라이트 명령 신호(CASPD_WT)로서 제공한다. 레이턴시 활성화부(423)는 각각의 레이턴시 신호(LAT<1:4>)를 각각 수신하는 패스 게이트(PASS) 및 인버터(INV1, INV2..)를 포함한다.
- [0087] 이와 같이, 본 발명의 일 실시예에 따르면 외부의 어드레스로부터 순차적으로 증가하는 어드레스를 출력할 수 있다. 즉, 외부의 어드레스(ADD<1:8>)를 제 1 및 제 2내부용 어드레스(LADD_Q01<2:8>, LADD_Q23<2:8>)로 분리하여 제 2 내부용 어드레스(LADD_Q23<2:8>)를 초기 어드레스로 셋팅한다. 그리하여 제 2 내부용 어드레스(LADD_Q23<2:8>)로부터 캐리(CARRY<2:8>)를 생성하고, 캐리(CARRY<2:8>)에 따라 이후의 어드레스(예컨대, 제 1 내부용 어드레스(LADD_Q01<2:8>))의 반전 유무를 결정함으로써 순차적으로 증가하는 어드레스를 획득할 수 있다.
- [0088] 또한, 본 발명의 일 실시예에서는 외부 어드레스(ADD<0>)가 로우 레벨로 고정된 것을 예로 들었다. 다음의 도면을 참조하여, 다른 실시예에서는 외부 어드레스 ADD<0>가 외부에서 가변되어 입력되는 경우에 대해 설명하기로 한다. 이때의 외부 어드레스 ADD<0>가 의미있는 어드레스 비트로 수신함에 따라, 외부 어드레스 ADD<0>의 로우 레벨 또는 하이 레벨의 두가지 경우가 추가되므로 이에 따라 캐리 신호, 내부용 어드레스, 쿼터용 어드레스가 추가될 수 있다.
- [0089] 도 9는 본 발명의 다른 실시예에 따른 반도체 집적 회로(1)의 블록도이다.
- [0090] 도 9를 참조하여, 도 1 과 중복되는 설명은 생략하고 도 1과 다른 점만 자세히 설명하기로 한다.
- [0091] 우선, 제 1 어드레스 래치부(100)는 외부로부터 컬럼 명령어, 즉 컬럼 어드레스의 입력과 동시에 수행되는 명령어인 리드 명령 또는 라이트 명령 인가시, 외부 어드레스(ADD<0:8>) 및 피드백 제공된 제 1 내지 제 3 캐리 그룹 신호(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)을 수신하여 제 1 내지 제 4내부용 어드레스(LADD_Q0<2:8>, LADD_Q1<2:8>, LADD_Q2<2:8>, LADD_Q3<2:8>) 및 캐리 생성용 어드레스(LATCH_ADD<1:7>)를 생성한다. 보다 구체적으로, 제 1 어드레스 래치부(100)는 리드 명령 신호(CASP_RD) 또는 라이트 명령 신호(CASP_WT)에 응답하여 외부 어드레스(ADD<0:8>)를 제 1 내지 제 4 내부용 어드레스(LADD_Q0<2:8>, LADD_Q1<2:8>, LADD_Q2<2:8>, LADD_Q3<2:8>)로 분리한다. 이 경우, 제 4 내부용 어드레스(LADD_Q3<2:8>)는 외부 어드레스(ADD<0:8>)의 레벨 그대로 제공되나, 제 1 내지 제 3 내부용 어드레스(LADD_Q0<2:8>, LADD_Q1<2:8>, LADD_Q2<2:8>)는 피드백 제공된 캐리 그룹 신호(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)의 레벨에 따라 외부 어드레스(ADD<0:8>)와 반전된 레벨로 제공될 수 있다. 한편, 어드레스의 최하위 비트인 제 1 외부 어드레스(ADD<0>)는 일 실시예와 달리 외부로부터 가변적으로 수신될 수 있으며, 최하위 비트의 어드레스 비트는 캐리 생성에 이용된다.
- [0092] 캐리 생성부(200)는 순차적 증가 모드 신호(NOWRAP) 및 캐리 생성용 어드레스(LATCH_ADD<1:7>)를 수신하여 캐리(CARRY<2:8>)를 생성하여 제 1 어드레스 래치부(100)에 피드백 제공한다. 캐리 생성부(200)는 순차적 증가 모드 신호(NOWRAP)가 활성화되면, 제 1 내지 제 3캐리 그룹 신호(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)를 생성한다.
- [0093] 보다 구체적으로, 일 실시예에서는 외부 어드레스 비트 두번째 하위 비트인 ADD<1>만 캐리 신호를 생성시키는 초기 인에이블 신호로서 이용되었으나, 다른 실시예에서는 최하위 비트 및 두번째 하위 비트, 즉 2비트의 어드레스 신호인ADD<0:1>가 캐리 신호를 생성시키는 인에이블 신호로서 이용된다. 이는 어드레스 비트의 최하위 비트가 고정된 레벨이 아닌 범용으로 사용되는 실시예를 설명하기 위함이며 이에 대해서는 다음의 도면을 참조하여 후술하기로 한다.
- [0094] 캐리 신호가 증가됨으로 인하여 제 2 어드레스 래치부(300) 및 레이턴시 쉬프터(400)는 일 실시예보다 증가된 수의 제 1 내지 제 4 내부용 어드레스(LADD_Q0<2:8>, LADD_Q1<2:8>, LADD_Q2<2:8>, LADD_Q3<2:8>)를 수신한다. 또한, 제 2 어드레스 래치부(300) 및 레이턴시 쉬프터(400)는 수신된 신호를 래치하고 지연시키는 것이므로 일 실시예보다 증가된 수의 출력 신호를 제공할 수 있다.

- [0095] 따라서, 메모리 블록(500)은 각각의 쿼터(Q0-Q3)별로 구분된 제 1 내지 제 4 쿼터용 어드레스(YADD_Q0<2:8>, YADD_Q1<2:8>, YADD_Q2<2:8>, YADD_Q3<2:8>)를 각각 수신한다.
- [0096] 당업자라면 신호의 증가는 확장 실시 가능하고 이해 가능한 부분이므로 이에 대한 설명은 생략하고, 2 비트의 외부 어드레스를 이용하여 캐리를 생성하는 것에 대해서는 자세히 설명하기로 한다.
- [0097] 도 10은 도 9에 따른 제 1 어드레스 래치부(100)의 블록도이다.
- [0098] 도 10을 참조하면, 제 1 어드레스 래치부(100)는 외부 어드레스(ADD<0:8>)를 수신하는 복수의 래치 유닛을 포함한다. 제 1 어드레스 래치부(100)는 제 1 래치 유닛(105) 및 내부 어드레스 신호 생성부(110)를 포함한다.
- [0099] 일 실시예와 다른 점은, 전술한 바와 같이 제 1 외부 어드레스(ADD<0>)가 추가됨으로써 제 1 어드레스 래치부(100)는 제 1 내지 제 3 캐리 그룹(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)을 수신하여 제 1 내지 제 4 내부용 어드레스(LADD_Q0<2:8>, LADD_Q1<2:8>, LADD_Q2<2:8>, LADD_Q3<2:8>)를 제공한다는 점이다. 이에 대한 설명은 다음의 도면을 참조하여 설명하기로 한다.
- [0100] 다시 말하면, 다른 실시예에서는 메모리 블록의 쿼터(Q0-Q3)에 각각 대응될 쿼터용 어드레스를 제공하도록 4개의 내부용 어드레스를 생성할 수 있다. 이에 따라, 실제 쿼터의 어드레싱에 참여하지는 않으며 캐리 생성용으로만 어드레스의 최하위 비트를 추가로 이용함으로써, 추가의 캐리 신호 그룹을 생성할 수 있다.
- [0101] 도 11은 도 10에 따른 제 2 래치 유닛(111)의 회로도이다.
- [0102] 도 11을 참조하면, 제 2 래치 유닛(111)이 일 실시예와 다른 점은 각각의 제 1 내지 제 3 캐리 그룹(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)을 수신하는 전송부(116)가 복수개 구비된다.
- [0103] 각각의 전송부(116)는 각각의 제 1 내지 제 3 캐리 그룹(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)의 신호 레벨에 따라 제 4 내부용 어드레스(LADD_Q3<2>)와 동일한 레벨 또는 반전된 레벨의 제2 내지 제 4내부용 어드레스(LADD_Q0<2>, LADD_Q1<2>, LADD_Q2<2>)를 제공한다. 각각의 전송부(116)는 두개의 전송 게이트(TR1-TR2, TR3-TR4, TR5-TR6) 및 두개의 인버터(IV4-IV5, IV6-IV7, IV8-IV9)를 포함한다.
- [0104] 예컨대, 제 1 전송 게이트(TR1)는 비활성화된 로우 레벨의 제 3 캐리 (CARRY2<2>)에 응답하여 턴온됨으로써, 제 4 내부용 어드레스(LADD_Q3<2>)와 동일한 레벨의 제 3 내부용 어드레스(LADD_Q2<2>)를 제공한다.
- [0105] 제 2 전송 게이트(TR2)는 활성화된 하이 레벨의 제 3 캐리(CARRY2<2>)에 응답하여 턴온됨으로써, 제4 내부용 어드레스(LADD_Q3<2>)와 반전된 레벨의 제 3 내부용 어드레스(LADD_Q2<2>)를 제공한다.
- [0106] 즉, 제 2 래치 유닛(111)은 제 3 어드레스(ADD<2>)를 수신하여 제 1 내지 제 4 내부용 어드레스(LADD_Q0<2>, LADD_Q1<2>, LADD_Q2<2>, LADD_Q3<2>)로 분리하여 제공한다. 보다 구체적으로, 제 2 래치 유닛(111)은 제 1 내지 제 3 캐리 그룹(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)의 신호 레벨에 따라 제2 내지 제 4내부용 어드레스(LADD_Q0<2>, LADD_Q1<2>, LADD_Q2<2>)의 반전 여부가 결정된다.
- [0107] 다시 말하면, 다른 실시예에서는 수신된 외부 어드레스 레벨 그대로 제공되는 제 4 내부용 어드레스(LARDD_Q3<2>) 외에, 외부 어드레스 신호 레벨의 반전 유무가 캐리에 의해 결정되는 제 1 내지 제 3내부용 어드레스(LADD_Q0<2>, LADD_Q1<2>, LADD_Q2<2>)가 제공된다. 따라서, 메모리 블록(도 1의 500 참조)의 각각의 쿼터(도 1의 Q0-Q3참조)에 제공될 어드레스가 분리되어 제공될 수 있다.
- [0108] 이와 같이, 본 발명의 다른 실시예도 일 실시예와 마찬가지로 수신되는 외부 어드레스에 대해 메모리 블록(도 9의 500 참조)의 각각의 쿼터에 제공될 내부용 어드레스를 분리하여 제공한다. 다만, 어드레스를 순차적으로 증가시킬 경우, 순차적 증가에 필요한 캐리 신호가 일 실시예보다 증가되는 것이 다를 뿐이다. 다시 말하면, 하나의 수신된 어드레스를 각각의 쿼터용 어드레스로 분리시, 일 실시예는 하나의 캐리 신호로서 내부용 어드레스를 제공하였으나, 다른 실시예에서는 증가된 세개의 캐리 신호를 사용하여 각각의 내부용 어드레스를 제공한다는 점이 다르다. 하지만, 본 발명의 실시예의 사상은 동일한 것이며 다만 다양한 실시예를 보여주는 것이다.
- [0109] 도 12는 도 9에 따른 캐리 생성부(200)의 회로도이다.
- [0110] 도 12를 참조하면, 캐리 생성부(200)에서 생성된 복수의 제 1 내지 제 3캐리 그룹 (CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)은 이전 수신된 어드레스로부터 순차적으로 증가시킬 수 있는 자리 올림용 신호로서 사용된다. 즉, 복수의 제 1 내지 제 3캐리 그룹 (CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)은 이전 어드레스로부터 반전 여부를 결정하는 신호가 된다.

- [0111] 제 1 생성 유닛(210)은 제 1 내지 제 3캐리 그룹 신호(CARRY0<2:8>, CARRY1<2:8>, CARRY2<2:8>)의 생성을 활성화시키는 회로부이다. 제 1 캐리 생성용 신호(LATCH_ADD<1>) 및 순차적 증가 모드 신호(NOWRAP)에 응답하여 제 1 내지 제 3캐리 그룹의 첫번째 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>)를 생성한다. 일 실시예와 다른 점은 어드레스의 최하위 비트가 캐리 생성에 참여하여 2비트의 어드레스 신호가 캐리 생성용 어드레스가 된다는 점, 각각의 쿼터 블록에 각각 어드레스를 분리하여 제공하도록 이들 캐리 생성용 어드레스를 이용해 제 1 내지 제 3 캐리 그룹 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>)를 생성한다는 점이다.
- [0112] 제 1 생성 유닛(210)은 노어 게이트(NOR), 제 1 내지 제 2 낸드 게이트(ND1-ND2) 및 제 1 내지 제 4 인버터(IV1-IV4)를 포함한다.
- [0113] 그리하여, 노어 게이트(NOR)는 제 1 내지 제 2캐리 생성용 신호(LATCH_ADD<0:1>) 및 순차적 증가 모드 신호(NOWRAP)를 수신한다. 노어 게이팅 동작에 의해 출력된 신호는 제 1 인버터(IV1)에 의해 반전되어 제 1 캐리 그룹의 첫번째 신호(CARRY0<2>)를 제공한다.
- [0114] 제 1 낸드 게이트(ND1)는 순차적 증가 모드 신호(NOWRAP) 및 제 2 캐리 생성용 신호(LATCH_ADD<1>)를 수신하여 낸드 게이팅한다. 이후, 출력 신호는 제 3 인버터(IV3)에 의해 반전되어 제 2 캐리 그룹의 첫번째 신호(CARRY1<2>)를 제공한다.
- [0115] 제 2 낸드 게이트(ND2)는 순차적 증가 모드 신호(NOWRAP) 및 제 1 내지 제 2캐리 생성용 신호(LATCH_ADD<0:1>)를 수신하여 낸드 게이팅한다. 이후, 출력 신호는 제 4 인버터(IV4)에 의해 반전되어 제 3 캐리 그룹의 첫번째 신호(CARRY2<2>)를 제공한다.
- [0116] 이와 같이, 순차적 증가 모드 신호(NOWRAP)가 활성화되면, 본 발명의 다른 실시예에서는 2 비트의 외부 어드레스 신호인 제 1 내지 제 2캐리 생성용 신호(LATCH_ADD<0:1>)를 이용하여 각각의 제 1 내지 제 3캐리 그룹의 첫번째 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>)를 생성할 수 있다.
- [0117] 제 2 생성 유닛(220)은 제 2 캐리 생성용 신호(LATCH_ADD<2>) 및 제 1 내지 제 3캐리 그룹의 첫번째 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>)에 응답하여 제 1 내지 제 3캐리 그룹의 두번째 신호(CARRY0<3>, CARRY1<3>, CARRY2<3>)를 생성할 수 있다. 제 2 생성 유닛(220)은 지연기(D1), 제 3 내지 제 5낸드 게이트(ND3-ND5) 및 제 5 내지 제 7인버터(IV5-IV7)를 포함한다. 각각의 낸드 게이트(ND3-ND5)는 각각의 제 1 내지 제 3캐리 그룹의 첫번째 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>) 및 지연기(D1)의 지연 시간만큼 지연된 제 2 캐리 생성용 신호(LATCH_ADD<2>)를 낸드 게이팅 한다. 이때, 지연기(D1)의 지연량은 제 1 생성 유닛(210)에서 제 1 내지 제 3캐리 그룹의 첫번째 신호(CARRY0<2>, CARRY1<2>, CARRY2<2>)가 생성되는 소정 시간을 만족하도록 지연 시간이 결정된다.
- [0118] 일 실시예와 마찬가지로 제 3 내지 제 8 캐리 생성 유닛이 구비되나 도면에서는 생략하였다. 이러한 각각의 캐리 생성 유닛은 전단(pre-stage)에서 생성되는 캐리(CARRY<2:8>)를 안정적으로 수신할 수 있도록 지연 시간이 필요하다. 그리하여, 각 동일 캐리 생성용 신호를 수신하는 캐리 생성 유닛내에서는 지연기의 지연 시간이 동일하다. 하지만, 각각의 캐리 생성 유닛 간에는 각각 지연 시간이 다른 지연기를 포함할 수 있다.
- [0119] 이와 같이, 본 발명의 실시예들에 따르면 컬럼 어드레스 카운트 방식에서 순차적 어드레스를 제공할 수 있다. 외부 어드레스의 최하위 비트를 고정시키는 경우이거나 그렇지 않은 경우에 캐리 생성에 참여하는 어드레스 비트의 수가 달라지므로 이에 대한 래치된 어드레스 신호의 수가 다를 뿐이다.
- [0120] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

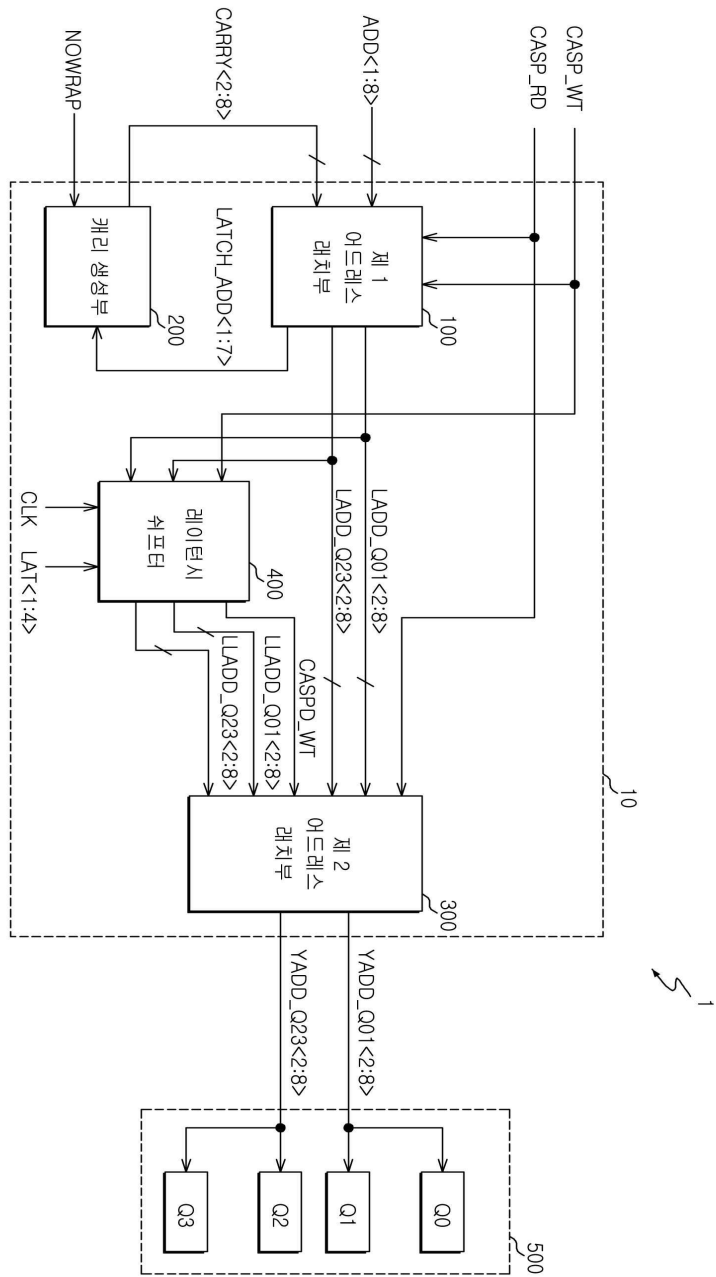
도면의 간단한 설명

- [0121] 도 1은 본 발명의 일 실시예에 따른 반도체 집적 회로의 개념적인 블록도,
- [0122] 도 2 는 도 1에 따른 제 1 어드레스 래치부의 상세한 블록도,
- [0123] 도 3은 도 2에 따른 제 1 래치 유닛의 회로도,

- [0124] 도 4는 도 2에 따른 제 2 래치 유닛의 회로도,
- [0125] 도 5는 도 1에 따른 캐리 생성부의 회로도,
- [0126] 도 6은 도 1에 따른 제 2 어드레스 래치부의 블록도,
- [0127] 도 7은 도 1에 따른 레이턴시 쉬프터의 블록도, 및
- [0128] 도 8은 도 7에 따른 제 1 레이턴시 제어부의 회로도이다.
- [0129] 도 9는 본 발명의 다른 실시예에 따른 반도체 집적 회로의 개념적인 블록도,
- [0130] 도 10은 도 9에 따른 제 1 어드레스 래치부의 블록도,
- [0131] 도 11은 도 9에 따른 제 2 래치 유닛의 회로도, 및
- [0132] 도 12는 도 9에 따른 캐리 생성부의 회로도이다.
- [0133] <도면의 주요 부분에 대한 부호의 설명>
- [0134] 100 : 제 1 어드레스 래치부 200 : 캐리 생성부
- [0135] 300 : 제 2 어드레스 래치부 400 : 레이턴시 쉬프터
- [0136] 500 : 메모리 블록

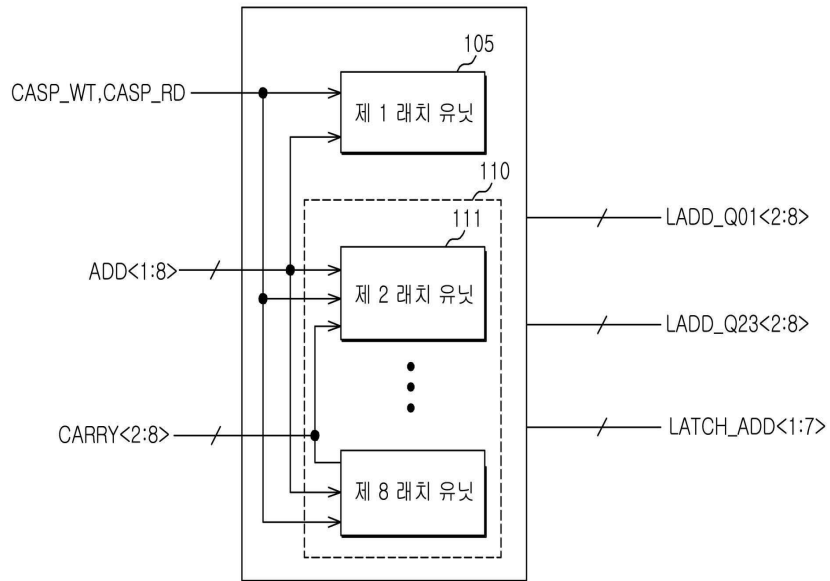
도면

도면1

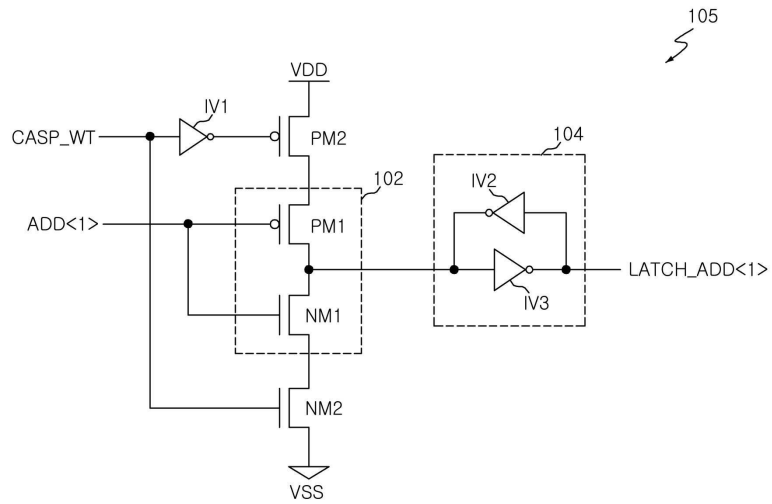


도면2

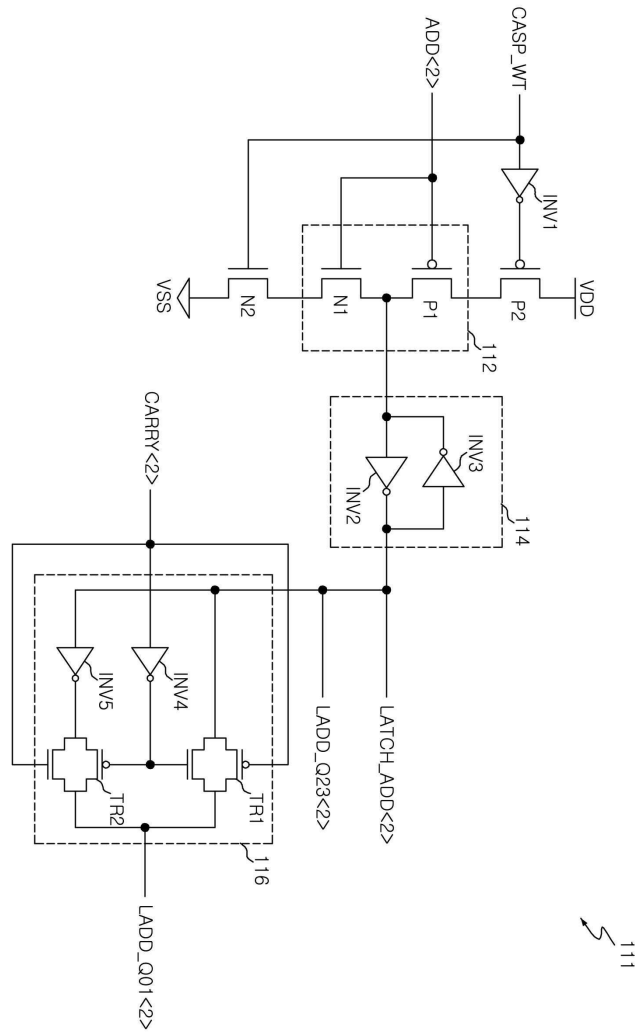
100



도면3

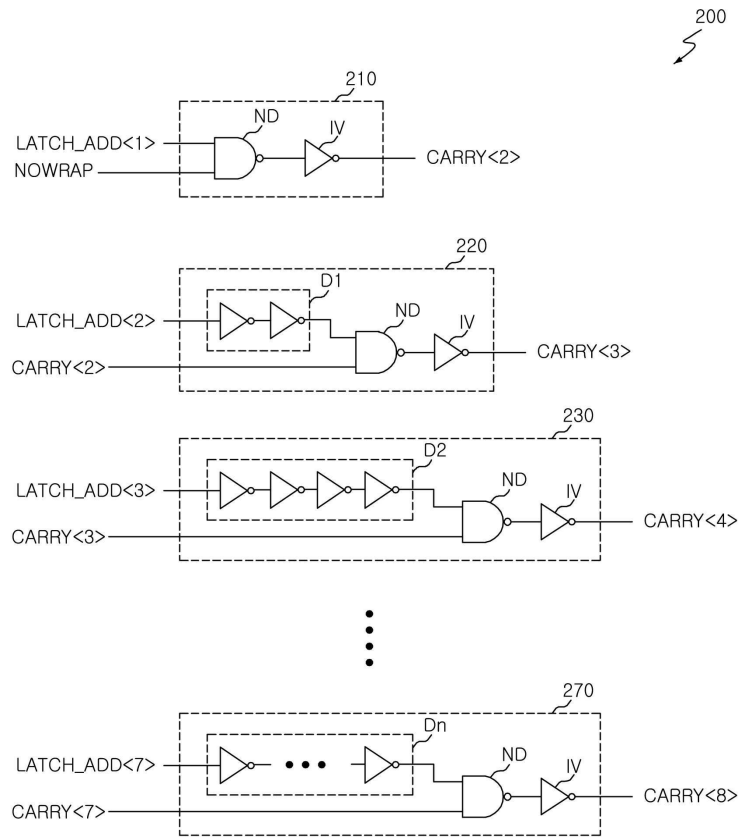


도면4

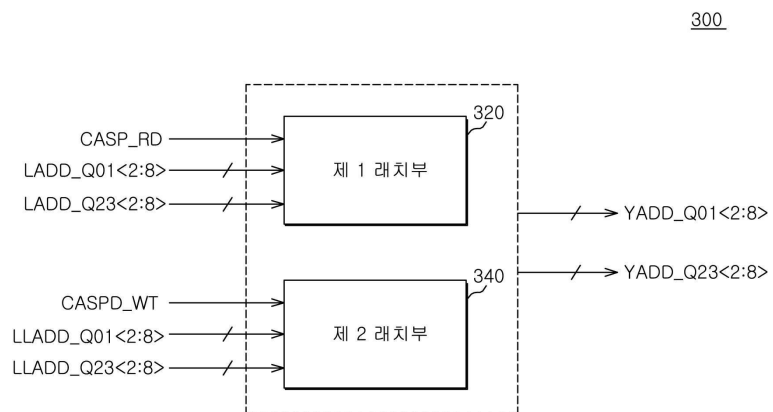


111

도면5

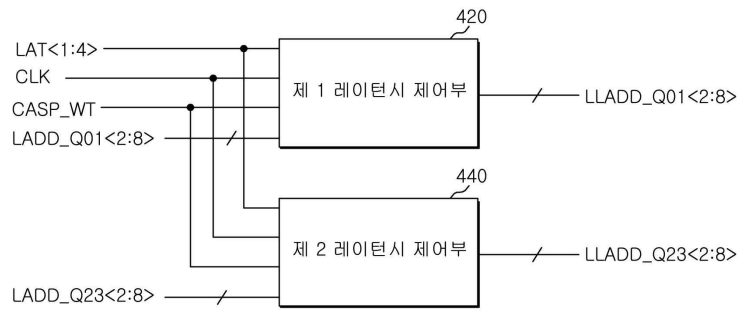


도면6

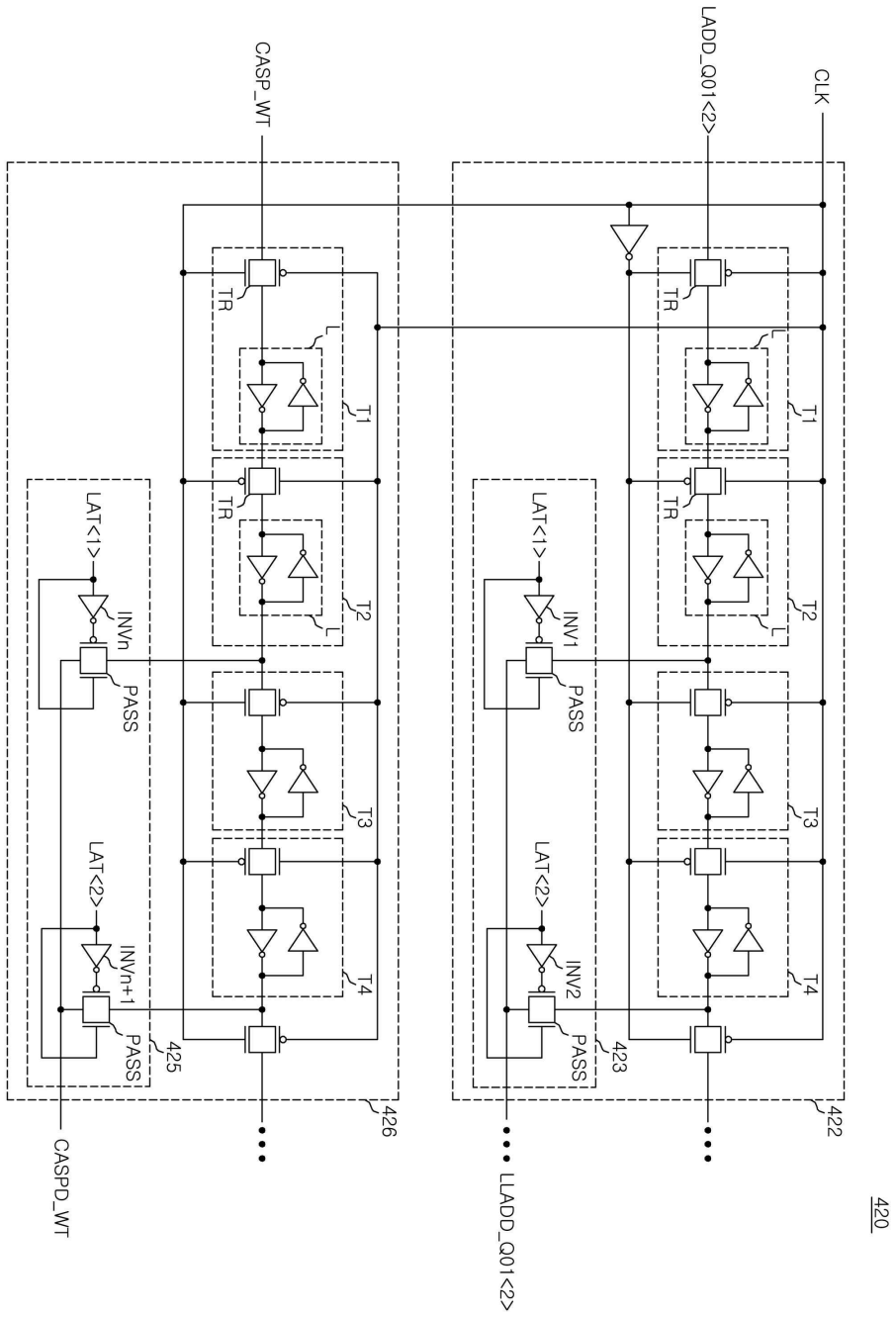


도면7

400

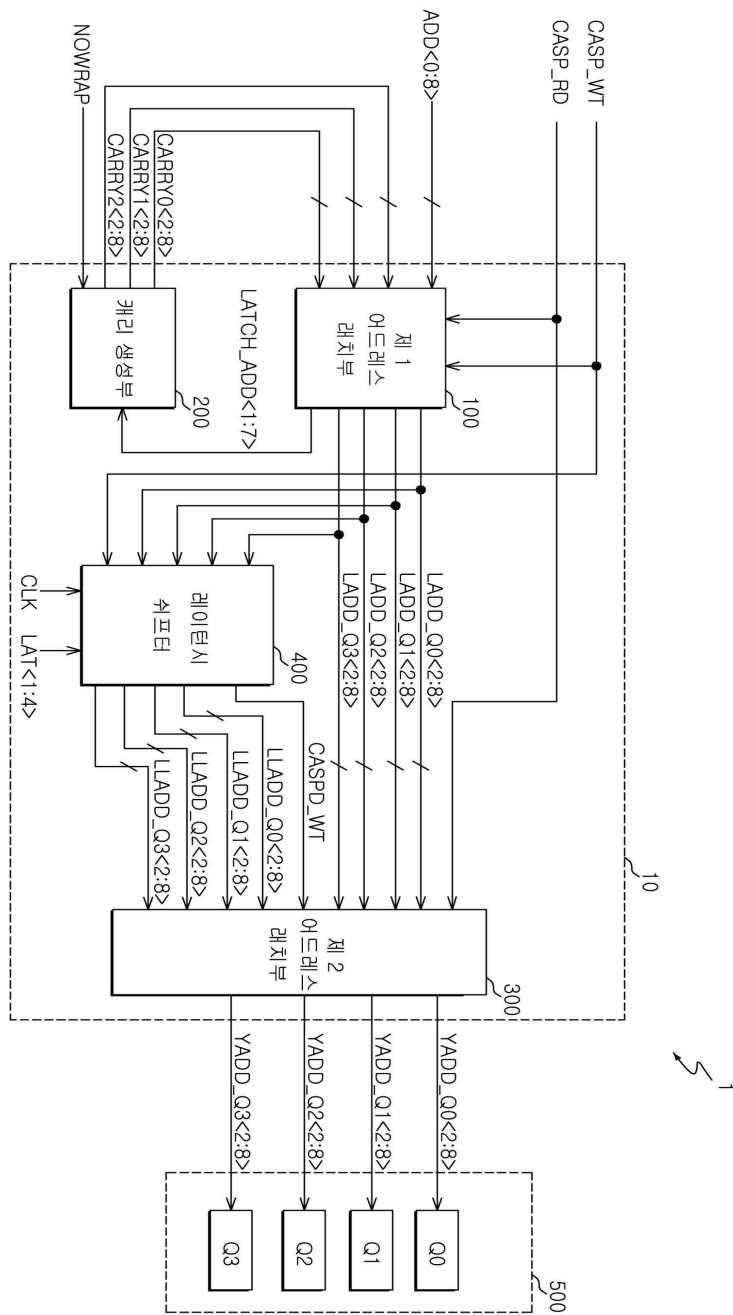


도면8

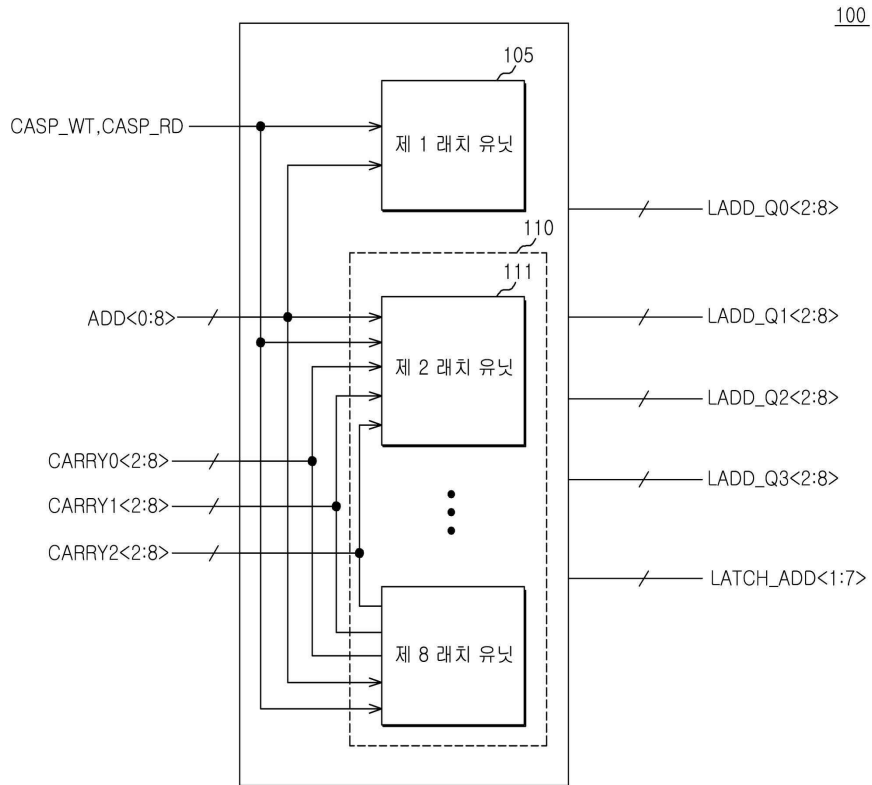


420

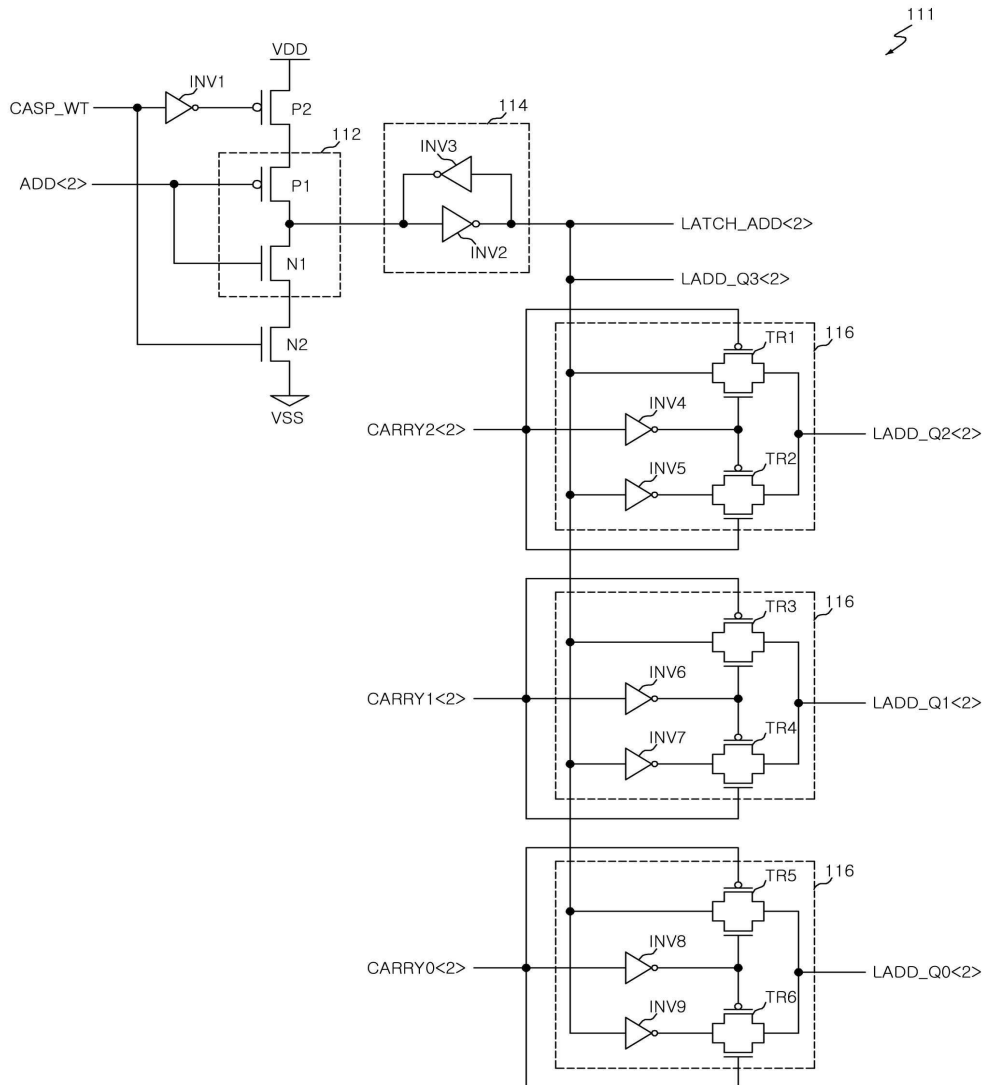
도면9



도면10

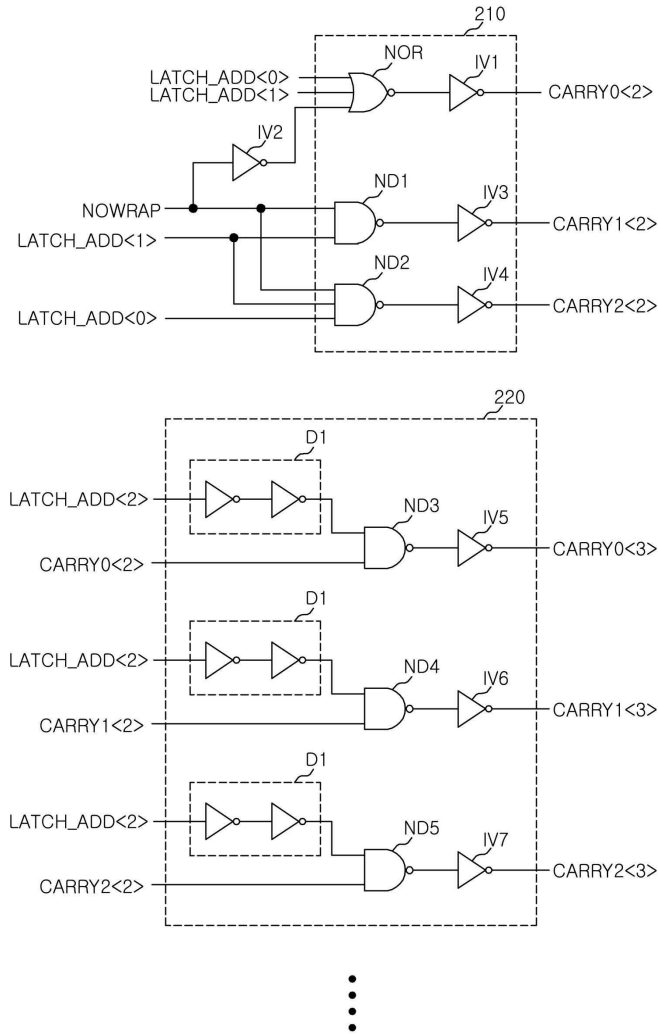


도면11



도면12

200 ↘



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제1항 제13행(청구항 말미)

【변경전】

반도체 집적 회로. 반도체 집적 회로.

【변경후】

반도체 집적 회로.