



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0098792  
(43) 공개일자 2014년08월08일

- (51) 국제특허분류(Int. Cl.)  
G11C 7/10 (2006.01)
- (21) 출원번호 10-2014-7016345
- (22) 출원일자(국제) 2012년11월16일  
심사청구일자 2014년06월16일
- (85) 번역문제출일자 2014년06월16일
- (86) 국제출원번호 PCT/US2012/065658
- (87) 국제공개번호 WO 2013/075013  
국제공개일자 2013년05월23일
- (30) 우선권주장  
13/297,771 2011년11월16일 미국(US)

- (71) 출원인  
헬컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
터지오글루, 예신  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- 박, 동규  
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
특허법인 남앤드남

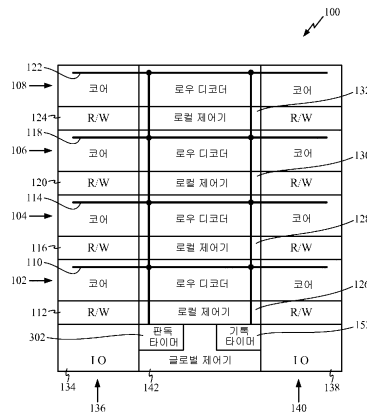
전체 청구항 수 : 총 36 항

(54) 발명의 명칭 다수의 뱅크들에 동시 판독/기록 액세스를 제공하도록 구성된 메모리

**(57) 요약**

메모리는 단일-포트 메모리 엘리먼트들의 적어도 제 1 및 제 2 뱅크들, 판독 및 기록 명령들을 상기 제 1 메모리 뱅크에 전송하도록 적응된 제 1 로컬 제어기, 판독 및 기록 명령들을 제 2 메모리 뱅크에 전송하도록 적응된 제 2 로컬 제어기를 포함한다. 글로벌 제어기는, 제 1 및 제 2 메모리 어드레스들, 및 상기 제 1 메모리 어드레스들에서 수행될 동작의 제 1 표시 및 상기 제 2 메모리 어드레스에서 수행될 동작의 제 2 표시를 수신하고, 상기 제 1 메모리 어드레스에서 제 1 표시된 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하고, 동시에, 상기 제 2 메모리 어드레스에서 제 2 표시된 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하도록 구성된다.

**대표도 - 도3**



## 특허청구의 범위

### 청구항 1

방법으로서,

적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리를 제공하는 단계 - 상기 적어도 제 1 및 제 2 메모리 뱅크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함함 - ;

상기 적어도 제 1 및 제 2 메모리 뱅크들에 대한 관독 및 기록 동작들을 제어하기 위한 제 1 및 제 2 로컬 제어기들을 제공하는 단계;

관독 및 기록 명령들을 상기 제 1 및 제 2 로컬 제어기들에 전송하기 위한 글로벌 제어기를 제공하는 단계; 및

관독 명령을 상기 제 1 로컬 제어기에 전송하고, 동시에, 기록 명령을 상기 제 2 로컬 제어기에 전송하는 단계를 포함하는,

방법.

### 청구항 2

제 1 항에 있어서,

제 1 메모리 어드레스 및 상기 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령, 및 제 2 메모리 어드레스 및 상기 제 2 메모리 어드레스에서 수행될 제 2 동작을 포함하는 제 2 명령을 상기 글로벌 제어기에 제공하는 단계를 포함하는,

방법.

### 청구항 3

제 1 항에 있어서,

상기 제 1 로컬 제어기가 상기 관독 명령을 실행하는 반면, 상기 제 2 로컬 제어기가 상기 기록 명령을 실행하는 단계를 포함하는,

방법.

### 청구항 4

메모리로서,

단일-포트 메모리 엘리먼트들의 적어도 제 1 및 제 2 뱅크들;

관독 및 기록 명령들을 상기 제 1 메모리 뱅크에 전송하도록 적응된 제 1 로컬 제어기;

관독 및 기록 명령들을 상기 제 2 메모리 뱅크에 전송하도록 적응된 제 2 로컬 제어기; 및

상기 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기;

상기 글로벌 제어기는, 제 1 및 제 2 메모리 어드레스들, 및 상기 제 1 메모리 어드레스에서 수행될 동작의 제 1 표시 및 상기 제 2 메모리 어드레스에서 수행될 동작의 제 2 표시를 수신하고, 상기 제 1 메모리 어드레스에서 제 1 표시된 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하고, 동시에, 상기 제 2 메모리 어드레스에서 제 2 표시된 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하도록 구성되는,

메모리.

### 청구항 5

제 4 항에 있어서,

상기 제 1 메모리 어드레스에서 수행될 동작의 제 1 표시는 상기 제 1 메모리 어드레스의 부분을 포함하는,

메모리.

**청구항 6**

제 5 항에 있어서,  
상기 제 1 표시된 동작은 판독 동작이고,  
상기 제 2 표시된 동작은 기록 동작인,  
메모리.

**청구항 7**

제 6 항에 있어서,  
상기 제 1 로컬 제어기는 상기 판독 동작을 실행하는 반면, 상기 제 2 로컬 제어기는 상기 기록 동작을 실행하  
는,  
메모리.

**청구항 8**

방법으로서,  
적어도 제 1 및 제 2 메모리 बैं크들을 갖는 멀티-뱅크 메모리를 제공하는 단계;  
상기 적어도 제 1 및 제 2 메모리 बैं크들에 대한 판독 및 기록 동작들을 제어하도록 적응된 적어도 제 1 및 제  
2 로컬 제어기들을 제공하는 단계;  
상기 적어도 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 제공하는 단계;  
제 1 메모리 어드레스 및 상기 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령을 상기 글로  
벌 제어기에 제공하는 단계; 및  
제 2 메모리 어드레스를 포함하는 제 2 명령 및 상기 제 2 메모리 어드레스에서 수행될 제 2 동작을 상기 글로  
벌 제어기에 제공하는 단계를 포함하고,  
상기 글로벌 제어기는, 상기 제 1 메모리 어드레스에서 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에  
명령하고, 상기 제 2 메모리 어드레스에서 상기 제 2 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하는,  
방법.

**청구항 9**

제 8 항에 있어서,  
상기 글로벌 제어기는, 상기 제 1 동작이 종료되기 이전에, 상기 제 2 메모리 어드레스에서 상기 제 2 동작을  
수행하도록 상기 제 2 로컬 제어기에 명령하는,  
방법.

**청구항 10**

제 8 항에 있어서,  
상기 글로벌 제어기는, 상기 제 1 메모리 어드레스에서 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에  
명령하고, 동시에, 상기 제 2 메모리 어드레스에서 상기 제 2 동작을 수행하도록 상기 제 2 로컬 제어기에 명  
령하는,  
방법.

**청구항 11**

제 10 항에 있어서,

상기 적어도 제 1 및 제 2 메모리 뱅크들 각각에 대한 개별 판독 및 기록 경로들을 제공하는 단계를 포함하는, 방법.

**청구항 12**

제 10 항에 있어서,

상기 제 1 및 제 2 메모리 뱅크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함하는, 방법.

**청구항 13**

제 10 항에 있어서,

상기 제 2 동작은 상기 제 1 동작과 상이한, 방법.

**청구항 14**

제 13 항에 있어서,

상기 제 1 동작은 판독 동작 및 기록 동작 중 하나를 포함하고,  
상기 제 2 동작은 상기 판독 동작 및 상기 기록 동작 중 다른 하나를 포함하는, 방법.

**청구항 15**

제 14 항에 있어서,

이전의 판독 동작 또는 이전의 기록 동작이 여전히 진행 중이면, 상기 글로벌 제어기가, 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하는 것을 방지하는 단계를 포함하는, 방법.

**청구항 16**

제 14 항에 있어서,

후속 명령을 상기 제 1 로컬 제어기에 전송하기 이전에, 상기 제 1 명령을 상기 제 1 로컬 제어기에 전송한 때로부터 미리 결정된 시간이 경과하였는지를 결정하는 단계를 포함하는, 방법.

**청구항 17**

제 8 항에 있어서,

상기 멀티-뱅크 메모리를 적어도 하나의 반도체 다이로 통합하는 단계를 포함하는, 방법.

**청구항 18**

제 8 항에 있어서,

상기 멀티-뱅크 메모리를, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인용 디지털 보조기(PDA), 고정 위치 데이터 유닛 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스로 통합하는 단계를 포함하는, 방법.

**청구항 19**

디바이스로서,

적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리;

상기 적어도 제 1 및 제 2 메모리 뱅크들 상에서 판독 및 기록 동작들을 제어하도록 적응된 적어도 제 1 및 제 2 로컬 제어기들; 및

상기 적어도 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 포함하고,

상기 글로벌 제어기는, 제 1 메모리 어드레스 및 상기 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령, 및 제 2 메모리 어드레스 및 상기 제 2 메모리 어드레스에서 수행될 제 2 동작을 포함하는 제 2 명령을 수신하도록 구성되고,

상기 글로벌 제어기는, 상기 제 1 메모리 어드레스에서 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하고, 상기 제 2 메모리 어드레스에서 제 2 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하도록 구성되는,

디바이스.

**청구항 20**

제 19 항에 있어서,

상기 글로벌 제어기는, 상기 제 1 동작이 종료되기 이전에, 상기 제 2 메모리 어드레스에서 상기 제 2 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하도록 구성되는,

디바이스.

**청구항 21**

제 19 항에 있어서,

상기 글로벌 제어기는, 상기 제 1 메모리 어드레스에서 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하고, 동시에, 상기 제 2 메모리 어드레스에서 상기 제 2 동작을 수행하도록 상기 제 2 로컬 제어기에 명령하도록 구성되는,

디바이스.

**청구항 22**

제 21 항에 있어서,

상기 제 2 동작은 상기 제 1 동작과 상이한,

디바이스.

**청구항 23**

제 22 항에 있어서,

상기 제 1 동작은 판독 동작 및 기록 동작 중 제 1 하나를 포함하고,

상기 제 2 동작은 상기 판독 동작 및 상기 기록 동작 중 제 2 하나를 포함하는,

디바이스.

**청구항 24**

제 23 항에 있어서,

상기 글로벌 제어기는, 이전의 판독 동작 또는 이전의 기록 동작이 상기 제 1 메모리 뱅크 상에서 수행되고 있으면, 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하는 것을 억제하도록 구성되는,

디바이스.

**청구항 25**

제 23 항에 있어서,

상기 글로벌 제어기는, 후속 동작을 수행하도록 상기 제 1 로컬 제어기에 명령하기 이전에, 상기 제 1 동작을 수행하도록 상기 제 1 로컬 제어기에 명령한 때로부터 미리 결정된 시간이 경과하였는지를 결정하도록 구성되는,

디바이스.

**청구항 26**

제 19 항에 있어서,

상기 적어도 제 1 및 제 2 메모리 बैं크들 각각에 대한 개별 관독 및 기록 경로들을 포함하는,

디바이스.

**청구항 27**

제 19 항에 있어서,

상기 적어도 제 1 및 제 2 메모리 बैं크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함하는,

디바이스.

**청구항 28**

제 19 항에 있어서,

기록 동작의 종료를 결정하기 위해서 제 1 셀프-타임드(self-timed) 메모리 제어를 포함하는,

디바이스.

**청구항 29**

제 28 항에 있어서,

관독 동작의 종료를 결정하기 위해서 제 2 셀프-타임드 메모리 제어를 포함하는,

디바이스.

**청구항 30**

제 19 항에 있어서,

적어도 하나의 반도체 다이로 통합되는,

디바이스.

**청구항 31**

제 19 항에 있어서,

셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인용 디지털 보조기(PDA), 고정 위치 데이터 유닛 및 컴퓨터로 구성된 그룹으로부터 선택된 디바이스로 통합되는,

디바이스.

**청구항 32**

메모리로서,

메모리 엘리먼트 수단;

관독 및 기록 명령들을 상기 메모리 엘리먼트 수단에 전송하도록 구성된 로컬 제어기 수단; 및

상기 로컬 제어기와 통신하는 글로벌 제어기 수단을 포함하고,

상기 글로벌 제어기는, 제 1 및 제 2 메모리 어드레스들, 및 상기 메모리 엘리먼트 수단에서의 상기 제 1 메모리 어드레스들에서 수행될 동작의 제 1 표시 및 상기 메모리 엘리먼트 수단에서의 상기 제 2 메모리 어드레스에서 수행될 동작의 제 2 표시를 수신하고, 상기 제 1 메모리 어드레스에서 제 1 표시된 동작 및 동시에, 상기 제 2 메모리 어드레스에서 제 2 표시된 동작을 수행하도록 상기 로컬 제어기에 명령하도록 구성되는,

메모리.

**청구항 33**

제 32 항에 있어서,

상기 메모리 엘리먼트 수단은 제 1 메모리 बैं크 수단 및 제 2 메모리 बैं크 수단을 포함하고,

상기 로컬 제어기 수단은 제 1 로컬 제어기 수단 및 제 2 로컬 제어기 수단을 포함하고,

상기 제 1 메모리 어드레스는 상기 제 1 메모리 बैं크 수단에 위치되고,

상기 제 2 메모리 어드레스는 상기 제 2 메모리 बैं크 수단에 위치되고,

상기 제 1 표시된 동작은 상기 제 2 표시된 동작과 상이한,

메모리.

**청구항 34**

제 33 항에 있어서,

상기 제 1 표시된 동작은 판독 동작을 포함하고,

상기 제 2 표시된 동작은 기록 동작을 포함하고,

상기 제 1 로컬 제어기 수단은 상기 판독 동작을 실행하는 반면, 상기 제 2 로컬 제어기 수단은 상기 기록 동작을 실행하는,

메모리.

**청구항 35**

방법으로서,

적어도 제 1 및 제 2 메모리 बैं크들을 갖는 멀티-뱅크 메모리를 제공하기 위한 단계들 - 상기 제 1 및 제 2 메모리 बैं크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함함 - ;

상기 적어도 제 1 및 제 2 메모리 बैं크들에 대한 판독 및 기록 동작들을 제어하기 위한 제 1 및 제 2 로컬 제어기들을 제공하기 위한 단계들;

판독 및 기록 명령들을 상기 제 1 및 제 2 로컬 제어기들에 전송하기 위한 글로벌 제어기를 제공하기 위한 단계들; 및

판독 명령을 상기 제 1 로컬 제어기에 전송하고, 동시에, 기록 명령을 상기 제 2 로컬 제어기에 전송하기 위한 단계들을 포함하는,

방법.

**청구항 36**

제 35 항에 있어서,

제 1 메모리 어드레스 및 상기 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령, 및 제 2 메모리 어드레스 및 상기 제 2 메모리 어드레스에서 수행될 제 2 동작을 포함하는 제 2 명령을 상기 글로벌 제어기에 제공하기 위한 단계들을 포함하는,

방법.

## 명세서

### 기술분야

- [0001] 본 특허 출원은 멀티-뱅크 메모리의 상이한 뱅크들에 대한 동시적(concurrent) 관독 및 기록 액세스를 허용하는 컴퓨터 메모리 및 이러한 액세스를 제공하는 방법에 관한 것으로, 더 구체적으로는, 메모리 위치 및 메모리 위치에서 수행될 동작의 표시를 포함하는 명령을 전송함으로써 멀티-뱅크 메모리의 상이한 뱅크들에 대한 동시적 관독 및 기록 액세스를 허용하는 컴퓨터 메모리 및 이러한 액세스를 제공하는 방법에 관한 것이다.

### 배경기술

- [0002] 종래의 단일-포트 메모리는 일반적으로, 어드레스들의 단일 세트 및 단일 제어를 포함한다. 따라서, 이 단일-포트 메모리는 한번에 하나의 디바이스에 의해서만 액세스될 수 있다 - 단일 관독 동작 또는 단일 기록 동작이 수행될 수 있지만, 두 타입들의 동작은 동시에 수행될 수 없다.
- [0003] 메모리에 동시 관독 및 기록 액세스들을 제공하는 것이 바람직할 때, 2-포트 또는 멀티-포트 메모리가 사용될 수 있다. 예를 들어, 관독 액세스는 메모리의 하나의 포트를 통해 이루어질 수 있는 반면, 기록 액세스는 다른 포트를 통해 이루어진다. 그러나, 종래의 2-포트 또는 멀티-포트 메모리들은 일반적으로, 단일-포트 메모리들보다 많은 트랜지스터들을 포함하며, 이에 따라, 단일-포트 메모리들보다 칩 상에 더 많은 공간을 차지한다. 동일-위치 액세스가 요구되지 않을 때(또는 그것이 금지될 수 있을 때), 개별 메모리들이 사용될 수 있지만, 메모리들 중 하나에 대한 주변 회로들 중 다수가 다른 메모리에 대하여 중복되기 때문에, 개별 메모리들의 사용과 연관된 영역 패널티가 또한 존재한다. 따라서, 동시 관독 및 기록 액세스에 대한 필요성이 발생된 공간 패널티에 대하여 밸런싱되어야 하고, 동시 액세스에 대한 필요성이 이와 연관된 영역 및 리키지 패널티들(leakage penalties)보다 더 클 때에만, 듀얼- 또는 멀티-포트 메모리들이 일반적으로 선택된다. 따라서, 종래의 듀얼- 또는 멀티-포트 메모리들보다 향상된, 동시 관독 및 기록 능력들을 갖는 메모리를 제공하는 것이 바람직할 것이다.

### 발명의 내용

- [0004] 본 발명의 예시적인 실시예는, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리를 제공하는 단계 - 제 1 및 제 2 메모리 뱅크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함함 -, 제 1 및 제 2 메모리 뱅크들에 대한 관독 및 기록 동작들을 제어하기 위한 제 1 및 제 2 로컬 제어기들을 제공하는 단계를 포함하는 방법을 포함한다. 방법은 또한, 관독 및 기록 명령들을 제 1 및 제 2 로컬 제어기들에 전송하기 위한 글로벌 제어기를 제공하는 단계, 및 관독 명령을 제 1 로컬 제어기에 전송하고, 동시에, 기록 명령을 제 2 로컬 제어기에 전송하는 단계를 포함한다.
- [0005] 다른 실시예는, 단일-포트 메모리 엘리먼트들의 적어도 제 1 및 제 2 뱅크들, 관독 및 기록 명령들을 제 1 메모리 뱅크에 전송하도록 적응된 제 1 로컬 제어기, 관독 및 기록 명령들을 제 2 메모리 뱅크에 전송하도록 적응된 제 2 로컬 제어기 및 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 갖는 메모리를 포함한다. 글로벌 제어기는, 제 1 및 제 2 메모리 어드레스들, 및 제 1 메모리 어드레스들에서 수행될 동작의 제 1 표시 및 제 2 메모리 어드레스에서 수행될 동작의 제 2 표시를 수신하고, 제 1 메모리 어드레스에서 제 1 표시된 동작을 수행하도록 제 1 로컬 제어기에 명령하고, 동시에, 제 2 메모리 어드레스에서 제 2 표시된 동작을 수행하도록 제 2 로컬 제어기에 명령하도록 구성된다.
- [0006] 추가 실시예는, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리를 제공하는 단계, 적어도 제 1 및 제 2 메모리 뱅크들에 대한 관독 및 기록 동작들을 제어하도록 적응된 적어도 제 1 및 제 2 로컬 제어기들을 제공하는 단계, 및 적어도 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 제공하는 단계를 포함하는 방법을 포함한다. 방법은 또한, 제 1 메모리 어드레스 및 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령, 및 제 2 메모리 어드레스를 포함하는 제 2 명령 및 제 2 메모리 어드레스에서 수행될 제 2 동작을 글로벌 제어기에 제공하는 단계를 포함한다. 글로벌 제어기는, 제 1 메모리 어드레스에서 제 1 동작을 수행하도록 제 1 로컬 제어기에 명령하고, 제 2 메모리 어드레스에서 제 2 동작을 수행하도록 제 2 로컬 제어기에 명령

한다.

- [0007] 또 다른 실시예는, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리, 및 적어도 제 1 및 제 2 메모리 뱅크들 상에서 판독 및 기록 동작들을 제어하도록 적응된 적어도 제 1 및 제 2 로컬 제어기들을 포함하는 디바이스를 포함한다. 디바이스는 또한, 적어도 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 포함하고, 글로벌 제어기는, 제 1 메모리 어드레스 및 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령, 및 제 2 메모리 어드레스 및 제 2 메모리 어드레스에서 수행될 제 2 동작을 포함하는 제 2 명령을 수신하도록 구성된다. 글로벌 제어기는 또한, 제 1 메모리 어드레스에서 제 1 동작을 수행하도록 제 1 로컬 제어기에 명령하고, 제 2 메모리 어드레스에서 제 2 동작을 수행하도록 제 2 로컬 제어기에 명령하도록 구성된다.
- [0008] 또 다른 실시예는, 메모리 엘리먼트 어레이먼트를 갖는 메모리, 판독 및 기록 명령들을 메모리 엘리먼트 어레이먼트에 전송하도록 적응된 로컬 제어기 어레이먼트, 및 로컬 제어기 어레이먼트와 통신하는 글로벌 제어기 어레이먼트를 포함한다. 글로벌 제어기 어레이먼트는 제 1 및 제 2 메모리 어드레스들, 및 제 1 메모리 어드레스들에서 수행될 동작의 제 1 표시 및 제 2 메모리 어드레스에서 수행될 동작의 제 2 표시를 수신하고, 제 1 메모리 어드레스에서 제 1 표시된 동작 및 동시에, 제 2 메모리 어드레스에서 제 2 표시된 동작을 수행하도록 로컬 제어기 어레이먼트에 명령하도록 구성된다.
- [0009] 추가 실시예는, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리를 제공하기 위한 단계들 - 제 1 및 제 2 메모리 뱅크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함함 -, 적어도 제 1 및 제 2 메모리 뱅크들에 대한 판독 및 기록 동작들을 제어하기 위한 제 1 및 제 2 로컬 제어기들을 제공하기 위한 단계들을 포함하는 방법을 포함한다. 방법은 또한, 판독 및 기록 명령들을 제 1 및 제 2 로컬 제어기들에 전송하기 위한 글로벌 제어기를 제공하기 위한 단계들, 및 판독 명령을 제 1 로컬 제어기에 전송하고, 동시에, 기록 명령을 제 2 로컬 제어기에 전송하기 위한 단계들을 포함한다.

**도면의 간단한 설명**

- [0010] 첨부한 도면들은 본 발명의 실시예들의 설명을 돕기 위해서 제시되며, 실시예들에 대한 한정이 아닌 오로지 실시예들에 대한 예시로서 제공된다.  
 도 1은 제 1 실시예에 따른 메모리를 예시하는 개략적 회로도이다.  
 도 2는 제 2 실시예에 따른 메모리를 예시하는 개략적 회로도이다.  
 도 3은 도 1 또는 도 2의 메모리에 의해 프로세싱될 2개의 명령들의 개략적 대표도이다.  
 도 4는 실시예에 따른 방법을 예시하는 흐름도이다.  
 도 5는 다른 실시예에 따른 방법을 예시하는 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0011] 본 발명의 양상들은 본 발명의 특정 실시예들에 관련된 다음의 설명 및 관련 도면들에 개시된다. 본 발명의 범위로부터 벗어나지 않으면서 대안적인 실시예들이 고안될 수 있다. 추가적으로, 본 발명의 관련 세부사항들을 모호하게 하지 않도록 본 발명의 잘 알려져 있는 엘리먼트들은 상세하게 설명되지 않거나, 또는 생략될 것이다.
- [0012] "예시적인"이라는 용어는 본 명세서에서 "예, 예시 또는 예증으로서 제공되는"의 의미로 사용된다. "예시적인" 것으로서 본 명세서에 설명되는 임의의 실시예는 반드시 다른 실시예들보다 선호되거나 또는 유리한 것으로 해석되는 것은 아니다. 마찬가지로, "본 발명의 실시예들"이라는 용어는 본 발명의 모든 실시예들이 논의되는 특징, 이점, 또는 동작 모드를 포함하는 것을 요구하지 않는다.
- [0013] 본 명세서에 사용되는 용어는 단지 특정한 실시예들을 설명하기 위한 것이며, 본 발명의 실시예들을 한정하는 것으로 의도되지 않는다. 본 명세서에 사용되는 바와 같이, 단수 형태들("a", "an" 및 "the")은 문맥에 달리 명백하게 표기되지 않는 한, 복수 형태들을 역시 포함하는 것으로 의도된다. "포함하다(comprises)", "포함하는(comprising)", "포함하다(includes)" 및/또는 "포함하는(including)"이라는 용어들은, 본 명세서에서 사용될 때, 서술된 특징들, 정수들, 단계들, 동작들, 엘리먼트들 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 둘 이상의 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들 및/또는 이들의 그룹들의 존재 또는 추가를 배제하지 않는다는 것이 추가로 이해될 것이다.
- [0014] 게다가, 많은 실시예들이 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들에 관하여

설명된다. 본 명세서에 설명된 다양한 동작들은 특정 회로들(예를 들어, 주문형 집적 회로(ASIC)들)에 의해, 하나 또는 둘 이상의 프로세서들에 의해 실행되는 프로그램 명령들에 의해 또는 이 둘의 결합에 의해 수행될 수 있다는 것이 인지될 것이다. 추가적으로, 본 명세서에 설명된 이러한 동작들의 시퀀스는, 실행 시에 연관된 프로세서로 하여금 본 명세서에 설명된 기능을 수행하게 할 컴퓨터 명령들의 대응하는 세트가 저장된 임의의 형태의 컴퓨터 판독가능한 저장 매체 내에서 전적으로 구현되도록 고려될 수 있다. 따라서, 본 발명의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있으며, 이들 모두는 청구되는 대상의 범위 내에 있는 것으로 참작된다. 또한, 본 명세서에 설명된 실시예들 각각에 대하여, 임의의 이러한 실시예들의 대응하는 형태는, 예를 들어, 설명된 동작을 수행하도록 "구성되는 로직"으로서 본 명세서에 설명될 수 있다.

[0015] 도 1은 제 1 메모리 뱅크(102), 제 2 메모리 뱅크(104), 제 3 메모리 뱅크(106) 및 제 4 메모리 뱅크(108)를 포함하는 제 1 실시예에 따른 멀티-뱅크 메모리(100)를 예시하며, 더 많거나 또는 더 적은 메모리 뱅크들을 이용하는 실시예들이 또한 본 개시의 범위 내에 있다는 것이 이해된다. 제 1 내지 제 4 메모리 뱅크들(102, 104, 106, 108) 각각은 그 메모리 뱅크 상에서 수행될 판독 및 기록 동작들을 허용하는 워드 라인 및 연관된 판독/기록 회로를 포함한다. 판독/기록 회로는, 예를 들어, 감지 증폭기(예시되지 않음) 및 기록 드라이버(예시되지 않음)를 포함한다. 구체적으로, 제 1 메모리 뱅크(102)는 워드 라인(110) 및 판독/기록 회로(112)를 포함하고, 제 2 메모리 뱅크(104)는 워드 라인(114) 및 판독/기록 회로(116)를 포함하며, 제 3 메모리 뱅크(106)는 워드 라인(118) 및 판독/기록 회로(120)를 포함하고, 제 4 메모리 뱅크(108)는 워드 라인(122) 및 판독/기록 회로(124)를 포함한다. 로컬 제어기는 또한, 제 1 내지 제 4 메모리 뱅크들(102, 104, 106, 108) 각각과 연관된다. 구체적으로, 제 1 메모리 뱅크(102)는 제 1 로컬 제어기(126)를 포함하고, 제 2 메모리 뱅크(104)는 제 2 로컬 제어기(128)를 포함하며, 제 3 메모리 뱅크(106)는 제 3 로컬 제어기(130)를 포함하고, 제 4 메모리 뱅크(108)는 제 4 로컬 제어기(132)를 포함한다. 제 1 IO 회로(134)는 제 1 메모리 칼럼(136) 내의 메모리 엘리먼트들과 연관되고, 제 2 IO 회로(138)는 제 2 메모리 칼럼(140) 내의 메모리 엘리먼트들과 연관되며, 제 1 및 제 2 IO 회로(134, 138)는 제 1 메모리 칼럼(136) 및 제 2 메모리 칼럼(140)에서 각각 메모리 엘리먼트들에 기록될 그리고 메모리 엘리먼트들로부터 판독될 데이터를 허용한다.

[0016] 글로벌 제어기(142)는 명령들의 쌍들을 수신하도록 구성되고, 각각의 명령은 수행될 동작의 표시 및 명령이 수행될 것인 메모리 어드레스들의 식별을 포함한다. 표시는, 예를 들어, 수신된 메모리 어드레스의 일부를 포함할 수 있고 그리고/또는 메모리 어드레스와 동시에 송신될 수 있다. 도 2는 제 1 및 제 2 대표적 명령들(144, 146)을 예시하고, 이들 각각은 수행될 동작을 식별하는 제 1 부분(148) 및 동작이 수행될 것인 메모리 어드레스를 식별하는 제 2 부분(150)을 포함한다. 제 1 명령(144)의 제 1 부분(148)은 "기록(write)"에 대하여 "w"를 포함하고, 제 1 명령(144)의 제 2 부분(150)은 기록될 메모리 어드레스를 포함한다. 이 예에서, 어드레스에서의 "1"은 액세스될 메모리 엘리먼트가 제 1 메모리 뱅크(102) 내에 있음을 표시하고, "5"는 메모리 엘리먼트를 식별한다. 제 2 명령(146)의 제 1 부분(148)은 "판독(read)"에 대하여 "r"을 포함하고, 제 2 명령(146)의 제 2 부분(150)은 판독될 메모리 어드레스를 포함한다. 이 예에서, 어드레스에서의 "2"는, 액세스될 메모리 엘리먼트가 제 2 메모리 뱅크(104) 내에 있고, 위치 "8"이 액세스될 것임을 표시한다. "r" 및 "w"가 "판독" 및 "기록"을 표시하는데 각각 사용되지만, 명령의 식별 부분은 판독 또는 기록 명령으로서 글로벌 제어기(142)에 의해 해석될 수 있는 수치일 가능성이 있을 것이다. 마찬가지로, 제 1 및 제 2 명령들(144, 146)의 제 2 부분들(150)에서의 메모리 어드레스들은 글로벌 제어기에 의해 용이하게 프로세싱될 수 있는 방식으로 제공될 것이다.

[0017] 멀티-뱅크 메모리(100)는 개별 판독 및 기록 경로들을 포함하며, 이에 따라, 동작들이 제 1 내지 제 4 메모리 뱅크들(102, 104, 106, 108) 중 상이한 것들 상에서 수행되는 한, 판독 및 기록 동작들을 수행할 수 있다. 글로벌 제어기(142)는 2개의 명령들을 제 1 내지 제 4 로컬 제어기들(126, 128, 130, 132) 중 2개의 상이한 것들로 동시에 전송하도록 구성되고, 하나의 동작이 판독 동작이고, 다른 동작이 기록 동작이면, 동작들은 출력 데이터 경로들에서 임의의 간섭 없이 동시에 실행될 수 있다. 듀얼 및 멀티-포트 메모리 엘리먼트들은 주어진 메모리 엘리먼트에 대한 동시 액세스를 허용하지만, 더 복잡하며, 더 많은 공간을 차지한다. 동일한 메모리 엘리먼트에 대한 동시 액세스가 요구되지 않는 경우들에서, 단일-포트 메모리 엘리먼트들 및 본 개시를 사용하여, 듀얼 및 멀티-포트 메모리의 이익들 중 다수가 획득될 수 있다. 본 명세서에 사용된 바와 같이, "동시적으로(simultaneously)", "동시적(concurrently)" 및 "동시에(at the same time)"는 판독 및 기록 동작들이 동시에 발생한다는 것을 의미한다. 그러나, 이 동작들은 정확하게 동일한 인스턴트에서 시작 또는 종료할 수 있지만, 반드시 그러하여야 하는 것은 아니다. 실제로, 메모리에 따라, 판독 및 기록 동작들이 발생하는데 상이한 시간량들이 일반적으로 요구되고, 거의 동시에 시작되는 경우조차도, 이 동작들 중 하나가 일반적으로, 다른 동작 이전에 종료될 것이다.

- [0018] 멀티-뱅크 메모리(100)에 액세스하는 시스템은 멀티-뱅크 메모리(100)로의 충돌하는 메모리 액세스 요청들의 전송을 회피하도록 구성되는 것이 바람직할 수 있다. 즉, 시스템은 멀티-뱅크 메모리(100)에 전송된 판독 및 기록 액세스 요청들의 쌍이 항상 제 1 내지 제 4 메모리 뱅크들(102, 104, 106, 108) 중 상이한 것들로 지향됨 (directed)을 보장하여야 한다. 그러나, 멀티-뱅크 메모리(100)는 2개의 수신된 명령들이 2개의 판독 명령들 또는 2개의 기록 명령들 또는 동일한 메모리 뱅크에 기록 및/또는 판독할 명령들인 상황들을 핸들링하도록 구성될 수 있다. 이러한 경우, 글로벌 제어기(142)는 명령들 중 하나에 다른 명령보다 우선순위를 주도록 또는 둘 모두의 명령들을 무시하여 이에 따라 충돌을 회피하도록 구성될 수 있다.
- [0019] 이전에 기술된 바와 같이, 주어진 메모리 디바이스에 대한 판독 및 기록 명령들은 통상적으로, 상이한 시간량들이 실행되도록 요구한다. 논의를 목적으로, 멀티-뱅크 메모리(100) 상에서 기록 동작을 수행하는 것이 판독 동작을 수행하는 것보다 많은 시간을 요구한다는 것이 가정된다. 그러나, 다른 메모리들의 경우, 판독 액세스가 기록 액세스보다 더 긴 시간이 걸릴 수 있다. 글로벌 제어기(142)가, 현재 동작이 종료되기 이전에, 또 다른 판독 또는 기록 동작을 시작하지 않음을 보장하는 것을 돕기 위해서, 글로벌 제어기(142)는 기록 타이머(152)를 포함한다. 기록 타이머(152)는, 글로벌 제어기(142)가 명령들을 제 1 내지 제 4 로컬 제어기들(126, 128, 130, 132)에 전송하는 인터벌을 제어하고, 기록 타이머(152)가 만료(미리 결정된 시간이 경과하였음을 표시함)될 때까지 판독 또는 기록 명령들이 전송되게 허용하지 않는다. 이 실시예에서 기록 동작들이 판독 동작들보다 많은 시간을 요구하는 것으로 가정되기 때문에, 판독 동작들은 반드시, 기록 타이머(152)가 만료되는 시간까지 종료될 것이다. 따라서, 멀티-뱅크 메모리(100)는 메모리 액세스의 타이밍을 결정하기 위한 시스템 클럭에 의존하지 않는 셀프-타입드(self-timed) 메모리 엘리먼트이다.
- [0020] 동작 시에, 제 1 명령(144) 및 제 2 명령(146)은 글로벌 제어기(142)에서 수신된다. 제 1 명령(144)은 "r"을 포함하며, 제 1 메모리 뱅크(102)에서의 어드레스이다. 제 2 명령은 "w"를 포함하며, 제 2 메모리 뱅크(104)에서의 어드레스이다. 따라서, 글로벌 제어기(142)는 표시된 메모리 위치 상에서 판독 동작을 수행하도록 제 1 메모리 뱅크(102) 내의 제 1 로컬 제어기(126)에 명령을 전송하고, 실질적으로 동시, 표시된 위치에서 기록 동작을 수행하도록 제 2 메모리 뱅크(104)의 제 2 로컬 제어기(128)에 명령을 전송한다. 데이터의 실제 판독 및 기록이 종래의 방식으로 수행되지만, 종래의 메모리들과는 달리, 데이터의 실제 판독 및 기록은, 2개의 상이한 메모리 뱅크들 상에서 동시, 또는 실질적으로 동시, 수행된다. 기록 타이머(152)가 만료될 때, 메모리 어드레스들의 제 2 쌍이 글로벌 제어기(142)에 의해 수신되고, 프로세스가 계속된다.
- [0021] 제 2 실시예는, 제 1 실시예에 공통인 엘리먼트들이 동일한 참조 번호들로 식별되는 도 3에 예시된다. 도 3에서, 글로벌 제어기(142)는 제 1 실시예의 기록 타이머(152)와 더불어 판독 타이머(302)를 포함한다. 판독 타이머(302)는, 메모리(100)가, 판독 및 기록 동작들이 완료될 때를 독립적으로 결정하게 하고, 이에 따라, 실제 종료 시간들에 기초하여 적절한 동작들을 취하게 한다. 예를 들어, 판독 타이머(302)를 사용하여, 판독 동작이 종료됨이 결정되면, 기록 동작이 완료되기를 기다리지 않고 판독 비트 라인의 적절한 프리차징(pre-charging)을 시작하는 것이 가능할 수 있다.
- [0022] 따라서, 메모리(100)는 단일-포트 메모리 엘리먼트들로 형성된 멀티-뱅크 메모리의 상이한 메모리 뱅크들에 대한 동시 판독 및 기록 동작들을 허용하는 이익을 제공한다. 이것은 듀얼- 또는 다중-포트 메모리의 이익들 중 다수를 제공하며, 동일한 메모리 뱅크에 대한 동시 동작들이 방지되는 한, 동시 판독 및 기록 동작들을 허용한다.
- [0023] 개시된 실시예들에 따른 메모리들은, 한정이 아닌, 셋탑 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 네비게이션 디바이스, 통신 디바이스, 개인용 디지털 보조기(PDA), 고정 위치 데이터 유닛 및 컴퓨터를 포함하는 다양한 디바이스들 및/또는 하나 또는 둘 이상의 반도체 다이들로 형성 또는 통합될 수 있다.
- [0024] 실시예에 따른 방법은, 도 4에 예시되며, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모리를 제공하는 블록(400), 적어도 제 1 및 제 2 메모리 뱅크들에 대한 판독 및 기록 동작들을 제어하도록 적응된 적어도 제 1 및 제 2 로컬 제어기들을 제공하는 블록(402), 적어도 제 1 및 제 2 로컬 제어기들과 통신하는 글로벌 제어기를 제공하는 블록(404), 제 1 메모리 어드레스 및 제 1 메모리 어드레스에서 수행될 제 1 동작을 포함하는 제 1 명령을 글로벌 제어기에 제공하는 블록(406), 제 2 메모리 어드레스 및 제 2 메모리 어드레스에서 수행될 제 2 동작을 포함하는 제 2 명령을 글로벌 제어기에 제공하는 블록(408) 및 제 1 메모리 어드레스에서 제 1 동작을 수행하도록 제 1 로컬 제어기에 명령하고, 제 2 메모리 어드레스에서 제 2 동작을 수행하도록 제 2 로컬 제어기에 명령하는 글로벌 제어기의 블록(410)을 포함한다.
- [0025] 추가 실시예에 따른 다른 방법은, 도 6에 예시되며, 적어도 제 1 및 제 2 메모리 뱅크들을 갖는 멀티-뱅크 메모

리를 제공하는 블록(500) - 제 1 및 제 2 메모리 뱅크들 각각은 복수의 단일-포트 메모리 엘리먼트들을 포함함 - , 적어도 제 1 및 제 2 메모리 뱅크들에 대한 판독 및 기록 동작들을 제어하기 위한 제 1 및 제 2 로컬 제어기들을 제공하는 블록(502), 판독 및 기록 명령들을 제 1 및 제 2 로컬 제어기들에 전송하기 위한 글로벌 제어기를 제공하는 블록(504) 및 판독 명령을 제 1 로컬 제어기에 전송하고, 동시에, 기록 명령을 제 2 로컬 제어기에 전송하는 블록(506)을 포함한다.

[0026] 당업자들은 정보 및 신호들이 임의의 다양한 상이한 기술들 및 기법들을 사용하여 표현될 수 있다는 것을 인식할 것이다. 예를 들어, 위의 설명 전체에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광 펄스들 또는 광 입자들 또는 이들의 임의의 결합으로 표현될 수 있다.

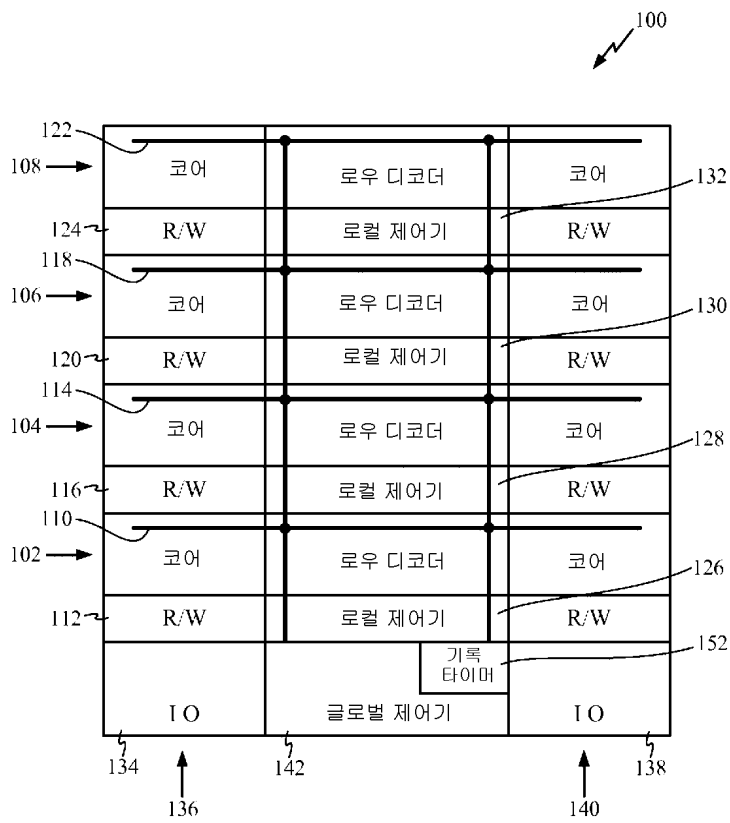
[0027] 게다가, 당업자들은 본 명세서에 개시된 실시예들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 이들의 결합들로서 구현될 수도 있다는 것을 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호 호환성을 명확하게 예시하기 위해서, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 일반적으로 이들의 기능적 관점에서 위에서 설명되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정한 애플리케이션 및 전체 시스템 상에 부과되는 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대하여 다양한 방식으로 구현할 수 있지만, 이러한 구현 결정들이 본 발명의 범위로부터의 이탈을 야기하게 하는 것으로 해석되어서는 안 된다.

[0028] 본 명세서에서 개시된 실시예들과 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은 직접 하드웨어에서, 프로세서에 의해 실행되는 소프트웨어 모듈에서, 또는 이들의 결합에서 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래쉬 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 이동식 (removable) 디스크, CD-ROM 또는 당해 기술 분야에 알려져 있는 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기록할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다.

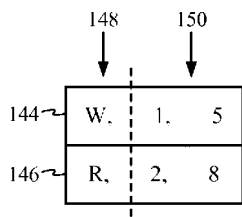
[0029] 본 개시는 본 발명의 예시적인 실시예들을 나타내지만, 다양한 변경들 및 변형들이 첨부된 청구항들에 의해 정의된 바와 같은 본 발명의 범위를 벗어나지 않으면서 본 명세서에서 이루어질 수 있다는 점이 주목되어야 한다. 본 명세서에서 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 임의의 특정한 순서로 수행될 필요가 없다. 게다가, 본 발명의 엘리먼트들이 단수형으로 설명되거나 또는 청구될 수 있지만, 단수형으로의 제한이 명시적으로 표기되지 않는 한 복수형이 참작된다.

도면

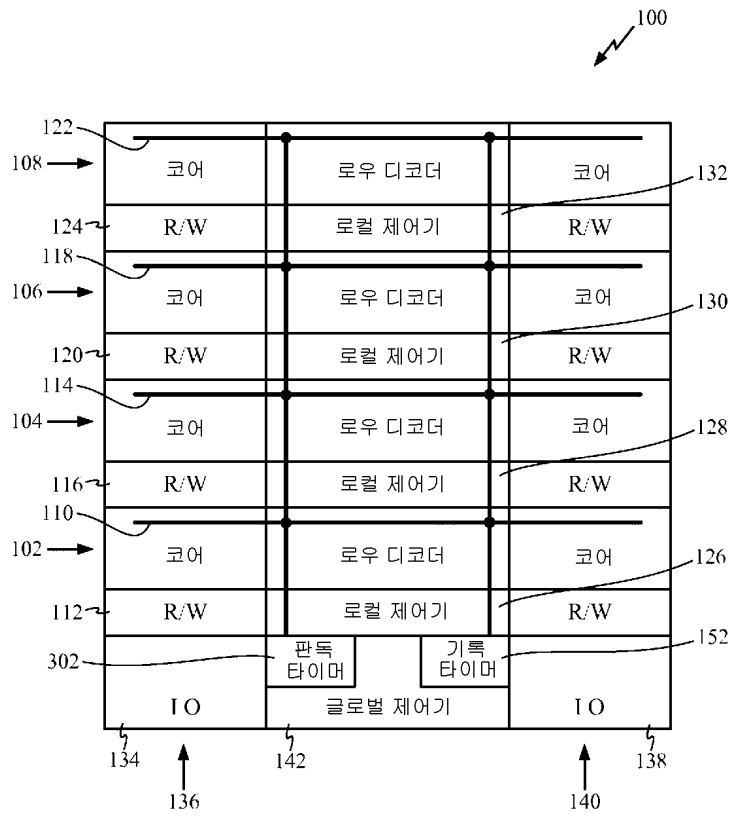
도면1



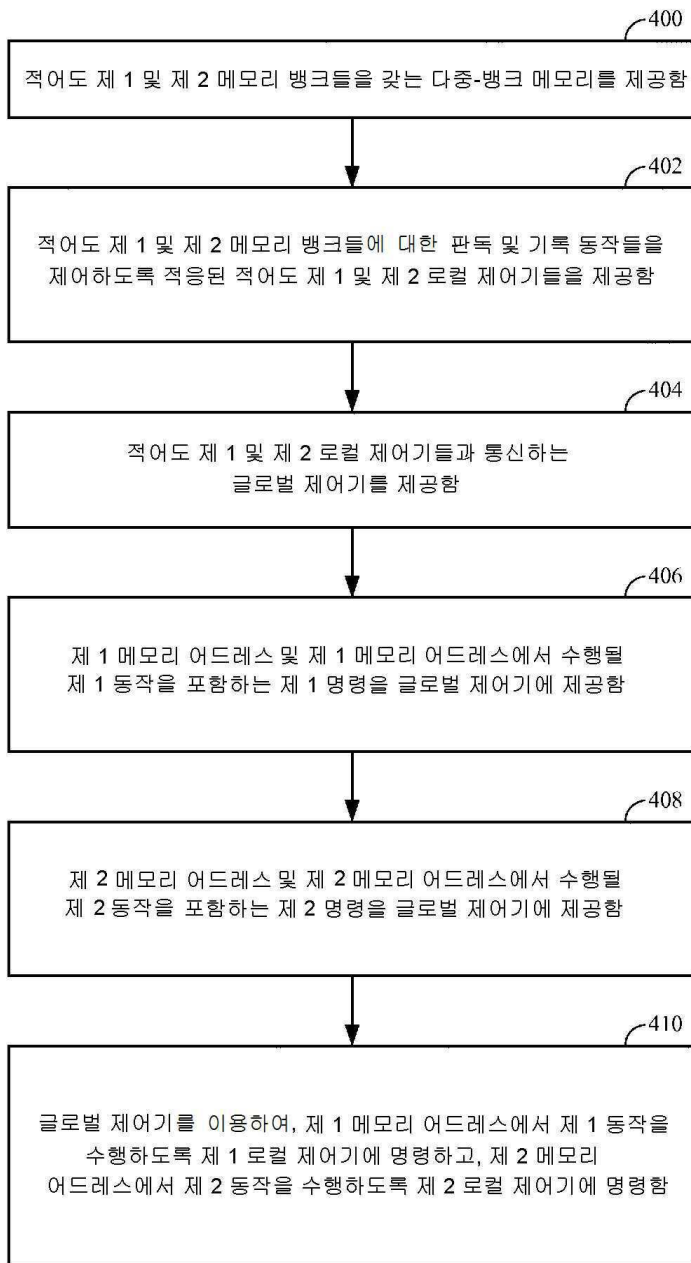
도면2



도면3



도면4



도면5

