

六、申請專利範圍

請委員明示，本案修正後是否仍屬原實質內容

1. 一種微處理器，其特徵在於：具備
 - 主電路：含有電晶體；
 - 基板偏壓切換電路：切換施加於形成有該主電路之井之基板偏壓之電壓；及
 - 動作模態控制電路；
 上述動作模態控制電路響應於將上述主電路轉移到第一模態的命令而將上述基板偏壓切換到第一模態用的電壓般地控制上述基板偏壓切換電路，
 響應於將上述主電路轉移到第二模態的命令而將上述基板偏壓切換到第二模態用的電壓般地控制上述基板偏壓切換電路，
 從上述第一模態用的電壓切換到第二模態用的電壓時，待該切換的偏壓電壓穩定後，才開始上述主電路之電晶體之動作。
2. 根據申請專利範圍第1項之微處理器，其中形成前述微處理器之基板具有多層井結構，
 該多層井結構係在第一型之第一半導體區域中形成第二型之第二半導體區域，在該第二型之半導體區域中形成第一型之第三半導體區域而形成。
3. 根據申請專利範圍第2項之微處理器，其中在前述第二半導體區域形成第一型通道之電晶體，在前述第三半導體區域形成第二型通道之電晶體。
4. 根據申請專利範圍第2或3項之微處理器，其中前述基板偏壓切換電路控制施加於前述第二半導體區域的基板偏

六、申請專利範圍

- 壓電壓及施加於前述第三半導體區域的基板偏壓電壓。
5. 根據申請專利範圍第1項之微處理器，其中前述主電路形成於井區域上，該井區域與前述基板偏壓切換電路和前述動作模態控制電路不同。
 6. 根據申請專利範圍第1項之微處理器，其中前述動作模態控制電路具備計時器，該計時器係為了用以測量前述偏壓穩定所需時間的經過。
 7. 根據申請專利範圍第1項之微處理器，其中前述動作模態控制電路具備感測器，該感測器係檢測前述偏壓在預定電壓穩定。
 8. 根據申請專利範圍第1項之微處理器，其中前述基板偏壓切換電路具有產生基板偏壓之電壓之基板偏壓產生電路。
 9. 根據申請專利範圍第1項之微處理器，其中前述第一模態係主電路動作成為備用狀態的備用模態，前述第二模態係主電路進行通常動作的通常模態。
 10. 根據申請專利範圍第1項之微處理器，其中前述第一模態係前述主電路之消耗電力比前述第二模態之消耗電力小的狀態。
 11. 根據申請專利範圍第1項之微處理器，其中前述主電路具有CPU、在和該CPU之間輸出入資料的快取記憶體、控制中斷輸入的中斷控制電路、控制時鐘的時鐘控制電路。
 12. 根據申請專利範圍第11項之微處理器，其中在前述第一模態停止前述主電路之時鐘。

六、申請專利範圍

13. 根據申請專利範圍第1項之微處理器，其係連接於作為前述主電路電源的電池，及監視該電池電壓的監視電路；上述電池電壓低於預定值時，根據來自上述監視電路的控制信號從前述第二模態切換到前述第一模態。
14. 根據申請專利範圍第13項之微處理器，其中停止前述主電路之時鐘之後，進入前述第一模態。
15. 一種微處理器，其特徵在於具有：處理器主電路：執行程式命令列；基板偏壓控制電路：控制施加於形成該處理器主電路的井之基板偏壓；及，動作模態控制裝置：將上述處理器主電路控制成備用模態用的電壓般地控制上述基板偏壓控制電路，從外部接到解除備用的中斷，將上述備用模態用的電壓切換到通常模態用的電壓般地控制上述基板偏壓控制電路；該動作模態控制裝置於通常模態用的電壓穩定後，解除上述主電路之備用。
16. 一種半導體積體電路裝置，具有含有電晶體之第一電路塊和第二電路塊，在上述第一電路塊和第二電路塊之間進行信號交換；其特徵在於
- 上述第一電路塊係於第一模態下動作，或者於較該第一模態之消耗電力為大之消耗電力而動作之第二模態下動作；
- 具有基板偏壓產生電路：將對應於上述第一狀態或上述第二狀態之基板偏壓電壓施加於形成有該第一電路塊之電晶體之井，
- 電路：對上述基板偏壓產生電路，施加因應於上述第

六、申請專利範圍

一狀態之基板偏壓電壓之際，停止自上述第二電路塊輸入上述第一電路塊之信號，將上述第一電路塊之輸入電平固定於既定電平。

17. 根據申請專利範圍第16項之半導體積體電路裝置，其中前述第一電路塊和第二電路塊之動作電壓不同。
18. 根據申請專利範圍第16項之半導體積體電路裝置，其中具有以來自前述基板偏壓產生電路的基板偏壓控制中信號為輸入之動作模態控制電路，根據來自該動作模態控制電路的信號固定信號控制將前述第一電路塊之輸入電平固定於既定電平之電路。
19. 根據申請專利範圍第16項之半導體積體電路裝置，其中前述基板偏壓產生電路配置於前述第二電路塊。
20. 一種半導體積體電路，具有含有電晶體之第一電路塊和第二電路塊，在上述第一電路塊和第二電路塊之間進行信號交換；其特徵在於：

上述第一電路塊係第一狀態，或者係上述電晶體之臨界值較該第一狀態之臨界值為低的狀態之第二狀態；

具有基板偏壓產生電路，將對應於上述第一狀態或上述第二狀態之基板偏壓電壓施加於形成有該第一電路塊之電晶體之井；

電路：上述基板偏壓產生電路，於施加因應於上述第一狀態之基板偏壓電壓之際，停止自上述第二電路塊輸入上述第一電路塊之信號，將上述第一電路塊之輸入電平固定於既定電平。

六、申請專利範圍

21. 一種半導體積體電路裝置，其特徵在於：係具有含電晶體之第一電路塊和第二電路塊，在上述第一電路塊和第二電路塊之間進行信號交換之半導體積體電路裝置，

上述第一電路塊係於第一模態下動作，或者於較該第一模態之消耗電力為大之消耗電力而動作之第二模態下動作；

具有基板偏壓產生電路：將對應於上述第一狀態或上述第二狀態之基板偏壓電壓施加於形成有該第一電路塊之電晶體之井，

具有時鐘振盪電路：上述基板偏壓產生電路，於施加對應於上述第一狀態之基板偏壓電壓之際，停止輸入上述第一電路塊的時鐘信號。

22. 根據申請專利範圍第21項之半導體積體電路裝置，其中前述第一電路塊和第二電路塊之動作電壓不同。

23. 根據申請專利範圍第21項之半導體積體電路裝置，其中具有將前述時鐘振盪電路之輸出信號電平固定為既定電平之固定電路。

24. 根據申請專利範圍第21項之半導體積體電路裝置，其中前述時鐘振盪電路配置於前述第二電路塊。

25. 一種半導體積體電路，具有含電晶體之第一電路塊和第二電路塊，在上述第一電路塊和第二電路塊之間進行信號交換；其特徵在於：

上述第一電路塊係第一狀態，或者係上述電晶體之臨界值較該第一狀態之臨界值為低的狀態之第二狀態；

六、申請專利範圍

具有基板偏壓產生電路，將對應於上述第一狀態或上述第二狀態之基板偏壓電壓施加於形成有該第一電路塊之電晶體之井；

具有時鐘振盪電路，當上述基板偏壓產生電路施加對應上述第一狀態之基板偏壓電壓之時，停止輸入上述第一電路塊之時鐘信號。

26. 一種半導體積體電路裝置，其特徵在於：具有第一電路塊：含有具有MOSFET之邏輯電路，以第一電壓驅動；及，第二電路塊：含有輸出入電路、偏壓產生電路，以第二電壓驅動，

上述偏壓產生電路將供應上述邏輯電路的電壓切換成上述邏輯電路之MOSFET之臨界值變高，

來自上述輸出入電路的輸出信號係輸入上述邏輯電路，

在上述偏壓產生電路供給上述邏輯電路電壓而使上述邏輯電路之MOSFET臨界值為高時，停止上述輸入信號之輸入上述邏輯電路，上述邏輯電路之輸入電平被固定於既定電平。

27. 根據申請專利範圍第26項之半導體積體電路裝置，其中在前述第二電路塊具有輸出時鐘信號之時鐘振盪電路，由上述偏壓產生電路於供給上述邏輯電路電壓而使上述邏輯電路之MOS臨界值為高時，停止上述時鐘信號之往上述邏輯電路之供給。

28. 根據申請專利範圍第27項之半導體積體電路裝置，其中

六、申請專利範圍

上述偏壓產生電路於對上述邏輯電路供給電壓而使上述邏輯電路MOSFET之臨界值為高之期間，將上述時鐘振盪電路之輸出電平固定於既定電平。

29. 根據申請專利範圍第26項之半導體積體電路裝置，其中藉由前述偏壓產生電路將供應上述邏輯電路的電壓切換成上述邏輯電路之MOSFET之臨界值變高，而將該邏輯電路從通常動作模態切換到消耗電力比該通常動作模態小的備用模態。

30. 根據申請專利範圍第29項之半導體積體電路裝置，其中該邏輯電路在前述通常動作模態之間大多使該邏輯電路發揮作用。

31. 根據申請專利範圍第30項之半導體積體電路裝置，其中藉由前述偏壓產生電路將供應上述邏輯電路的電壓切換成上述邏輯電路之MOSFET之臨界值變低，而將該邏輯電路從備用模態切換到通常模態時，在比切換該電壓時刻晚的時刻，前述邏輯電路開始功能。

32. 根據申請專利範圍第31項之半導體積體電路裝置，其中供應前述邏輯電路的電壓穩定後，開始上述邏輯電路之MOSFET之動作。

33. 根據申請專利範圍第26項之半導體積體電路裝置，其中形成有前述MOSFET的基板具有多層井結構，

該多層井結構係在第一型之第一半導體區域中形成第二型之第二半導體區域，在該第二型之半導體區域中形成第一型之第三半導體區域而形成。

六、申請專利範圍

34. 一種處理器，其特徵在於具備：

處理器主電路：在處理器晶片上執行程式命令列；

基板偏壓切換裝置：切換施加於形成有前述處理器主電路之井的基板偏壓之電壓；及，

動作模態控制部：響應轉移前述處理器主電路於備用模態的命令，而將前述基板偏壓切換到備用模態用電壓般地控制前述基板偏壓切換裝置，從外部接到解除備用的中斷，就將前述偏壓切換到通常模態用電壓般地控制前述基板偏壓切換裝置，該切換的偏壓電壓穩定後，解除前述處理器主電路之備用，使動作重新開始。

35. 根據申請專利範圍第34項之處理器，其中前述處理器晶片之半導體裝置具有多層井結構，前述處理器主電路形成於井區域上，該井區域與前述基板偏壓切換裝置和前述動作模態控制部不同。

36. 根據申請專利範圍第34項之處理器，其中前述動作模態控制部具備晶片上計時器，該晶片上計時器係切換前述偏壓時，在使前述處理器主電路動作重新開始之前，作為等待到該切換的偏壓電壓穩定為止的機構，測量前述偏壓穩定所需時間的經過。

37. 根據申請專利範圍第34項之處理器，其中前述動作模態控制部具備感測器，該感測器係切換前述偏壓時，在使前述處理器主電路動作重新開始之前，作為等待到該切換的偏壓電壓穩定為止的機構，檢測前述偏壓在預定電壓穩定。

六、申請專利範圍

38. 根據申請專利範圍第34項之處理器，其中前述處理器晶片包含多層井結構；前述處理器晶片具備前述處理器主電路：分割成多數功能模組，這些模組分別形成於不同的井區域上；基板偏壓切換裝置：切換施加於前述各功能模組之基板的基板偏壓；及，動作模態控制部：接到執行使前述處理器主電路之1個或多數前述功能模組成為備用的命令，而將該功能模組之基板偏壓切換到備用模態用的電壓般地控制前述基板偏壓切換裝置，從外部或前述處理器主電路接到解除該功能模組解除備用的信號，就將前述偏壓切換到通常模態的電壓般地控制前述基板偏壓切換裝置，該切換的偏壓電壓穩定後，將已解除前述功能模組之備用通知前述處理器主電路。
39. 根據申請專利範圍第34項之處理器，其中具備：切換機構：動態切換前述處理器主電路之動作速度；及，動作模態控制部：響應於變更前述處理器主電路之動作速度的命令，而將前述處理器主電路或前述功能模組之基板偏壓切換到適合該動作頻率的電壓般地控制前述基板偏壓切換裝置，該切換的偏壓電壓穩定後，將切換動作速度完畢通知前述處理器主電路。
40. 根據申請專利範圍第34項之處理器，其中前述基板偏壓切換裝置係由在內部產生基板偏壓之電壓之基板偏壓產生電路所構成。
41. 一種半導體積體電路裝置之控制方法，係控制具有在半導體基板上所構成的電晶體，具有根據時鐘信號而動作

六、申請專利範圍

的多數單元電路塊之半導體積體電路裝置之消耗電力之控制方法，其特徵在於：

切換以下模態而使用：

第一模態：多數上述單元電路塊係根據上述時鐘而動作；

第二模態：停止供應上述時鐘信號給上述單元電路塊之至少1個；及，

第三模態；停止供應上述時鐘信號給多數上述單元電路塊，同時控制在上述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以提高電晶體之臨界值。

42. 根據申請專利範圍第41項之半導體積體電路裝置之控制方法，其中：

前述單元電路塊係包含於第一電路塊內；

前述時鐘信號係由包含於第二電路塊內振盪電路所形成，從上述第二電路塊將上述時鐘信號及應在上述第一電路塊被處理之資訊信號輸入上述第一電路塊。

43. 根據申請專利範圍第42項之半導體積體電路裝置之控制方法，其中切換到前述第三模態時，停止從上述第二電路塊輸入上述第一電路塊的上述時鐘信號及應在上述第一電路塊被處理的資訊信號，其次控制在上述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以提高電晶體之臨界值。

44. 根據申請專利範圍第42項之半導體積體電路裝置之控制方法，其中切換到前述第三模態時，停止從上述第二電

六、申請專利範圍

路塊輸入上述第一電路塊的上述時鐘信號及應在上述第一電路塊被處理的資訊信號，根據計時器等待預定時間後，控制在上述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以提高電晶體之臨界值。

45. 根據申請專利範圍第44項之半導體積體電路裝置之控制方法，其中從前述第三模態切換到第一模態時，控制在前述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以降低電晶體之臨界值，其次開始從前述第二電路塊輸入上述第一電路塊的上述時鐘信號及應在上述第一電路塊被處理的資訊信號的輸入。
46. 根據申請專利範圍第45項之半導體積體電路裝置之控制方法，其中從前述第三模態切換到第一模態時，控制在前述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以降低電晶體之臨界值，根據計時器等待預定時間後，開始從前述第二電路塊輸入上述第一電路塊的上述時鐘信號及應在上述第一電路塊被處理的資訊信號的輸入。
47. 根據申請專利範圍第45項之半導體積體電路裝置之控制方法，其中從前述第三模態切換到第一模態時，控制在前述半導體基板上所構成的電晶體之至少一部分之基板偏壓，以降低電晶體之臨界值，確認該電晶體之臨界值狀態後，開始從前述第二電路塊輸入上述第一電路塊的上述時鐘信號及應在上述第一電路塊被處理的資訊信號的輸入。

六、申請專利範圍

48. 一種微處理器，具備：

主電路；

基板偏壓切換電路：切換施加於形成有上述主電路之井之基板偏壓之電壓；

動作模態控制電路；

上述動作模態控制電路響應於轉移到上述主電路之第一模態之命令而將上述基板偏壓切換到第一模態用的電壓般地控制上述基板偏壓切換電路；

響應於轉移到上述主電路之第一模態之命令而將上述基板偏壓切換到第二模態用的電壓般地控制上述基板偏壓切換電路，因應於施加於形成有上述主電路之井上之基板偏壓電壓成為對應於上述第二模態之值，而開始上述主電路電晶體之動作。

49. 根據申請專利範圍第48項之微處理器，其中上述第一模態中構成上述主電路之電晶體臨界值電壓，較之上述第二模態中上述電晶體之臨界值電壓為高。

50. 根據申請專利範圍第48項之微處理器，其中上述第一模態中上述主電路之消耗電力較之上述第二模態中上述主電路之消耗電力為小。

51. 根據申請專利範圍第49或50項之微處理器，其中形成有上述主電路之井，與形成有上述基板偏壓切換電路及上述動作模態控制電路之井係不同者。

52. 根據申請專利範圍第48項之微處理器，具備：

感測器，檢測施加於形成有上述主電路之井上之基板

六、申請專利範圍

偏壓電壓；

上述動作模態控制電路，響應於上述感測器之檢測結果而開始上述主電路之電晶體之動作。

53. 一種微處理器，其特徵在於，具備：

實行程式命令列之處理器主電路；

基板偏壓控制電路，控制施加於形成有上述處理器主電路之井之基板偏壓電壓；

上述基板偏壓控制電路應答於依據上述處理器主電路移轉至備用狀態之命令，而將上述基板偏壓之電壓自動作狀態用之電壓切換至備用狀態用之電壓，且接受來自外部之備用解除之中斷而將上述備用狀態用之電壓切換控制成上述動作狀態用之電壓，因應於施加於上述形成有主電路之井之基板偏壓電壓成為上述通常狀態中基板偏壓之電壓值，上述主電路之備用狀態被解除。

54. 一種處理器，具備：

實行程式命令列之主電路；

基板偏壓切換裝置，切換施加於上述形成有主電路之井之基板偏壓電壓；

動作模態控制部，控制上述基板偏壓切換裝置以便響應於將上述主電路自第一模態移轉至第二模態之命令而將上述基板偏壓之電壓自第一之電壓值切換成第二之電壓值；

於上述之第一模態中，構成上述主電路之電晶體臨界值電壓係較之上述第二模態中上述臨界值之電壓為高；

六、申請專利範圍

上述主電路，當施加於形成有上述主電路之井之基板偏壓電壓成為對應於上述第二模態之電壓值時，重新開始上述程式命令列之實行。

55. 根據申請專利範圍第54項之處理器，其中：

上述形成有微處理器之基板具有多層井結構；

上述形成有主電路之井，係不同於形成有上述基板偏壓切換裝置及上述動作模態控制部之井。

56. 根據申請專利範圍第54項之處理器，其中：

具備感測器，檢測施加於形成有上述主電路之井之基板偏壓電壓成為對應於上述第二模態之電壓值者；

響應於上述感測器之檢測輸出，而重新開始上述主電路之上述程式命令列之實行。

57. 一種半導體積體電路裝置之控制方法，其係控制具備第一電路塊與第二電路塊之半導體積體電路之消耗電力，第一電路塊係由多數之單元電路塊所構成，而第二電路塊則將時鐘信號及待處理之資訊信號輸入上述第一電路塊內；其特徵在於：

切換於：

多數之上述單元電路塊基於上述時鐘信號而動作之第一模態；

上述時鐘信號停止對上述單元電路塊之至少一塊輸入之第二模態；

停止上述資訊信號之輸入多數之上述單元電路塊，而將上述第一電路塊之信號輸入電平固定於既定電平，且

六、申請專利範圍

控制構成上述第一電路塊之電晶體的基板偏壓，而提高電晶體臨界值之第三模態。

58. 根據申請專利範圍第57項之半導體積體電路裝置之控制方法，其中於上述第三模態中，停止上述時鐘信號之往多數之上述單元電路塊之輸入。

59. 根據申請專利範圍第57或58項之半導體積體電路裝置之控制方法，其中：

自上述第三模態切換成上述第一模態之際，控制構成上述第一電路塊之電晶體基板偏壓，而降低上述電晶體之臨界值，而當形成有上述第一電路塊之井之基板偏壓電壓成為對應於上述第一模態之值時，開始上述資訊信號或上述時鐘信號之輸入。