

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3752400号
(P3752400)

(45) 発行日 平成18年3月8日(2006.3.8)

(24) 登録日 平成17年12月16日(2005.12.16)

(51) Int.C1.

F 1

HO1L 29/812	(2006.01)
HO1L 29/778	(2006.01)
HO1L 21/338	(2006.01)
HO1P 5/08	(2006.01)

HO1L 29/80
HO1P 5/08

H
L

請求項の数 6 (全 22 頁)

(21) 出願番号

特願平11-151174

(22) 出願日

平成11年5月31日(1999.5.31)

(65) 公開番号

特開2000-340788(P2000-340788A)

(43) 公開日

平成12年12月8日(2000.12.8)

審査請求日

平成15年12月16日(2003.12.16)

(73) 特許権者 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100091340

弁理士 高橋 敬四郎

(72) 発明者 日高 紀雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

審査官 渕 真悟

最終頁に続く

(54) 【発明の名称】能動素子を含む分布定数線路

(57) 【特許請求の範囲】

【請求項 1】

第1の領域と第2の領域と制御電極とを含む能動素子であって、該第1の領域と第2の領域との間を第1の方向にキャリアが移動し、該制御電極に印加される電気信号によってキャリアの移動が制御され、該第1の領域、第2の領域、及び制御電極が、前記第1の方向と交差する第2の方向に、入力端から出力端まで延在している能動素子と、

前記第1の領域に、その入力端から出力端にわたって電気的に接続された導電領域と、前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させ

前記導電領域に対して一定の間隔を隔てて配置されているトリガ線路であって、該トリガ線路を伝搬する電気信号が、前記制御端子の第2の方向の対応する位置に印加される前記トリガ線路と、

前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させる出力線路であって、前記能動素子を前記第1の方向に移動したキャリアによって、前記第2の方向に伝搬する電気信号が励起される前記出力線路と、

前記トリガ線路と前記導電領域との間に配置され、両者の間隔を一定に保つ複数の支柱であって、前記第2の方向に離散的に配置されている該支柱とを有する分布定数線路。

【請求項 2】

前記能動素子が電界効果型トランジスタであり、前記第1の領域がソース領域、第2の

10

20

領域がドレイン領域、制御電極がゲート電極に相当する請求項1に記載の分布定数線路。

【請求項3】

前記能動素子の相互コンダクタンスがドレインコンダクタンスよりも大きい請求項2に記載の分布定数線路。

【請求項4】

前記能動素子が、高電子移動度トランジスタであり、該高電子移動度トランジスタのゲート電極からドレイン領域側の2次元電子ガス層の縁までの距離を Y_p 、ゲート電極と2次元電子ガス層との間の深さ方向の距離をdとしたとき、 Y_p / d が2以上である請求項1～3のいずれかに記載の分布定数線路。

【請求項5】

前記出力線路の波長定数が、前記トリガ線路の波長定数と等しい請求項1～4のいずれかに記載の分布定数線路。

【請求項6】

さらに、前記出力線路の途中に設けられたスタブを有する請求項1～5のいずれかに記載の分布定数線路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、少なくとも3つの端子を有する能動素子を用いた負性抵抗線路に関する。

【0002】

【従来の技術】

大容量高速通信時代を迎え、100 Gbit/s級の超高速パルス伝送技術の開発が進められている。このような超高速のパルス伝送を行うためには、テラヘルツ級の利得帯域幅積を持ち、50の終端に整合された電力反射のない超広帯域増幅器が必要である。この要求を満たすために、高性能の高電子移動度トランジスタ(HEMT)を用いた分布型進行波増幅器の開発が行われている。HEMTを用いた分布型進行波増幅器により、150GHzの利得帯域幅積が得られるようになった。

【0003】

【発明が解決しようとする課題】

HEMTを用いた分布型進行波増幅器により150GHzの利得帯域幅積が得られるようになつたが、その電力利得は、HEMTの遮断周波数 f_t と分布定数効果から期待される性能に比べて低い。その性能が、期待されるものに比べて低い原因として、単体HEMTを分布定数化していないこと、縦続接続段数及び線路長の細分化に限界があること、及び位相整合用のゲートスタブ線路により相互コンダクタンス G_m が低下すること等が考えられる。

【0004】

本発明の目的は、超広帯域増幅器に応用できる分布定数線路を提供することである。

【0005】

本発明の一観点によると、第1の領域と第2の領域と制御電極とを含む能動素子であつて、該第1の領域と第2の領域との間に第1の方向にキャリアが移動し、該制御電極に印加される電気信号によってキャリアの移動が制御され、該第1の領域、第2の領域、及び制御電極が、前記第1の方向と交差する第2の方向に、入力端から出力端まで延在している能動素子と、前記第1の領域に、その入力端から出力端にわたって電気的に接続された導電領域と、前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させ、前記導電領域に対して一定の間隔を隔てて配置されているトリガ線路であつて、該トリガ線路を伝搬する電気信号が、前記制御端子の第2の方向の対応する位置に印加される前記トリガ線路と、前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させる出力線路であつて、前記能動素子を前記第1の方向に移動したキャリアによって、前記第2の方向に伝搬する電気信号が励起される前記出力線路と、前記トリガ線路と前記導電領域との間に配置され、両者の間隔を一定に保つ複数の支柱で

10

20

30

40

50

あって、前記第2の方向に離散的に配置されている該支柱とを有する分布定数線路が提供される。

【0006】

トリガ線路を第2の方向に伝搬する電気信号により、第2の方向に関する各位置において、能動素子のキャリアの移動が制御される。これにより、出力線路に、増幅された電気信号が現れ、出力線路を第2の方向に伝搬する。能動素子の性能、各線路の波長定数を適当に設定すると、負性抵抗線路を得ることができる。

【0007】

【発明の実施の形態】

図1に、本発明の第1の実施例による負性抵抗線路の、基板表面内に関する配置を示す。
10 基板表面をx y面とし、基板表面の法線方向下向きをz軸とするx y z直交座標系を考える。共通線路20及び出力線路40が、入力端T₁から出力端T₀まで、ある間隔を隔ててx軸方向に平行に配置されている。トリガ線路60が、共通線路20と出力線路40との間の領域に接触している。これら各線路のx軸方向の長さをWとする。共通線路20から出力線路40までの全幅をLwとする。

【0008】

図2(A)は、図1の一点鎖線A2-A2における断面図を示し、図2(B)は、そのトリガ線路の近傍の拡大図を示す。ノンドープのGaAs基板1の表面に、x軸に平行な2本の溝21及び41が形成されている。溝21及び41の底面上及び側面上に、それぞれAuGe膜とAu膜との積層構造を有する導電膜22及び42が形成されている。溝21及び41内は、それぞれAuからなる導電部材23及び43で埋め込まれている。導電膜22及び導電部材23により共通線路20が構成され、導電膜42及び導電部材43により出力線路40が構成される。
20

【0009】

溝21と41との間の、基板1の表面上に、ノンドープのInGaAs層2、Si濃度2×10¹⁸cm⁻³のAlGaAs層3が積層されている。AlGaAs層3の表面のうち溝21と41とのほぼ中間の、x軸に平行な線状の領域に、ゲートフィンガ61がショットキ接触している。ゲートフィンガ61の上に、ゲート傘部62が配置されている。ゲート傘部62は、ゲートフィンガ61の両側に庇状に張り出している。ゲートフィンガ61及びゲート傘部62は、Alで形成される。
30

【0010】

AlGaAs層3の表面のうち、ゲートフィンガ61に接触している部分の近傍の領域以外の領域が、n⁺型GaAs層4で覆われている。n⁺型GaAs層4には、Siが2×10¹⁸cm⁻³添加されている。溝21及び41の内面をそれぞれ覆う導電膜22及び42は、n⁺型GaAs層4の表面の一部の領域までを覆っている。

【0011】

InGaAs層2のGaAs基板1側の界面に、2次元電子ガス2aが蓄積される。2次元電子ガス2aは、溝21側及び41側の端面において、それぞれ共通線路20及び出力線路40に電気的に接続されている。

【0012】

ゲートフィンガ61の下方から出力線路40側のn⁺GaAs層4の縁までの領域は空乏化している。ここで、共通線路20の電圧を0V、ゲートフィンガ61のバイアス電圧を-1V、出力線路40のバイアス電圧を+3Vとした条件で動作させた場合を考える。このとき、ゲートフィンガ61と共通線路20との間の電圧は1Vになり、ゲートフィンガ61と出力線路40との間の電圧は4Vになる。ゲートフィンガ61と出力線路40との間の電圧が、共通線路20とゲートフィンガ61との間の電圧よりも高いため、空乏化した領域は、共通線路20側よりも出力線路40側に、より長く延びる。
40

【0013】

共通線路20の上方に、Auからなるトリガ線路60が配置されている。トリガ線路60は、低誘電体材料からなる支柱65により支持されており、共通線路20との間に一定の
50

間隔が確保されている。支柱 6 5 は、 x 軸方向に沿って離散的に配置されている。トリガ線路 6 0 は、ゲート傘部 6 2 の上方まで広がり、ゲート傘部 6 2 の上方からゲート傘部 6 2 に向かって垂れ下がり、ゲート傘部 6 2 の上面に接触している。

【 0 0 1 4 】

図 2 (A) に示すように、共通線路 2 0 及び出力線路 4 0 の y 軸方向の幅をそれぞれ L_{sw} 及び L_{dw} とする。共通線路 2 0 と出力線路 4 0 との間隔を S_{sd} とする。 L_{sw} と L_{dw} と S_{sd} との和が図 1 に示す全幅 L_w である。共通線路 2 0 及び出力線路 4 0 の z 軸方向の厚さを、それぞれ T_s 及び T_d とする。共通線路 2 0 とトリガ線路 6 0 との間隔を H_1 、トリガ線路 6 0 の z 軸方向の厚さを H_2 とする。

【 0 0 1 5 】

図 2 (B) に示すように、ゲートフィンガ 6 1 が A 1 G a A s 層 3 に接触している部分の y 軸方向の幅、すなわちゲート長を Y_g とする。ゲートフィンガ 6 1 と、出力線路 4 0 側の $n^+G a A s$ 層 4 の縁までの距離、すなわちショットキ接触部とドレイン側 2 次元電子ガスとの距離を Y_p とする。

【 0 0 1 6 】

図 2 (A) 及び (B) からわかるように、共通線路 2 0 側の 2 次元電子ガス層 2 a をソース領域、出力線路 4 0 側の 2 次元電子ガス層 2 a をドレイン領域、ゲートフィンガ 6 1 をゲート電極とする H E M T が形成されている。この H E M T のキャリア移動方向は、 y 軸に平行である。

【 0 0 1 7 】

図 3 は、図 1 及び図 2 に示す負性抵抗線路を x 軸方向に関して分布定数化した等価回路図を示す。H E M T は、複数の小信号等価回路で表されている。等価回路中のキャパシタ C_{gs} は、図 2 (B) におけるゲートフィンガ 6 1 と 2 次元電子ガス 2 a との間の容量に相当し、キャパシタ C_{gsp} は、図 2 (A) における共通線路 2 0 とトリガ線路 6 0 との間の容量に相当する。インダクタ L_g 及び抵抗 R_g は、それぞれ図 2 (B) に示すトリガ線路 6 0 のインダクタンス及び抵抗に相当する。

【 0 0 1 8 】

トリガ線路 6 0 に、バイアス回路 6 3 を通してゲートバイアス電圧 $-V_g$ が印加される。出力線路 4 0 に、バイアス回路 4 5 を通してドレインバイアス電圧 $+V_d$ が印加される。バイアス回路 6 3 は、並列容量 C_{BG} と直列インダクタンス L_{BG} により構成され、バイアス回路 4 5 は、並列容量 C_{BD} と直列インダクタンス L_{BD} により構成される。

【 0 0 1 9 】

トリガ線路 6 0 の入力端 6 0 a にトリガ信号が印加される。印加されたトリガ信号は、トリガ線路 6 0 に沿って x 軸方向に伝搬する。トリガ線路 6 0 を伝搬する信号は、H E M T に印加されるゲート電圧として作用する。このゲート電圧 V_g によって、電流源 I_h が、分布化された出力線路 4 0 に信号電流 $G_m V_g$ を供給する。ここで、 G_m は、H E M T の相互コンダクタンスである。信号がトリガ線路 6 0 に印加されてから出力線路 4 0 に現れるまでに時間 τ_0 の遅れが生ずる。遅延時間 τ_0 は、 x 軸方向に関して一定である。

【 0 0 2 0 】

電流源 I_h に並列に接続されたコンダクタ G_{ds} は、H E M T のソースとドレインとの間のドレインコンダクタンスに相当する。電流源 I_h に並列に接続されたキャパシタ C_{ds} は、図 2 (A) の H E M T のソースとドレイン間の容量に相当し、キャパシタ C_{dsp} は、共通線路 2 0 と出力線路 4 0 との間の容量に相当する。インダクタ L_d 及び抵抗 R_d は、それぞれ出力線路 4 0 を分布定数化したときの特性インピーダンスに相当する。

【 0 0 2 1 】

図 4 は、図 3 に示す等価回路に交流トリガ信号を印加したときのドレイン電流電圧特性を示す。ドレイン電圧及びドレイン電流は、負荷線 L D に沿って変化するため、その交流変化分 (v_d / i_d) は負となり、等価的に負性抵抗を呈する。ここで、負荷線 L D の傾きは、出力線路 4 0 の特性インピーダンスによって規定され、動作点は、バイアス電圧 $-V_g$ 及び $+V_d$ によって規定される。トリガ線路と出力線路とを伝搬する信号波の位相を同

10

20

30

40

50

じにできれば、実効的にソース及びドレイン間で負性抵抗が形成される。すなわち、トリガ線路と出力線路との波長定数をほぼ同じにすればよい。

【0022】

図3の等価回路から、下記の電圧電流波の基礎式が誘導される。

【0023】

【数1】

$$dV_d / dx = -Z_d I_d \quad \dots (1)$$

$$dI_d / dx = - (Y_d V_d + G_m V_g) \quad \dots (2)$$

$$Y_g = G_g + j C_{gs}$$

$$Z_g = R_g + j L_g$$

$$Y_d = G_{ds} + j C_{ds}$$

$$Z_d = R_d + j L_d$$

【0024】

ここで、 V_d 及び I_d は、それぞれ出力線路40の位置 x における電圧及び電流を表す。なお、ここでは、図3のキャパシタ C_{gsp} 及び C_{dsp} による影響を考えないものとする。

【0025】

式(2)の右辺の第2項が、負性抵抗を特徴づける重要な電流源である。式(1)及び(2)から、出力線路40を伝搬する電圧信号波を表す下記の二次微分方程式が得られる。

【0026】

【数2】

$$(d^2 / dx^2) V_d = Z_d Y_d V_d + Z_d G_m V_g \quad \dots (3)$$

トリガ線路60の信号入力端では、ドレイン電圧 V_d が0であるから、境界条件は、

【0027】

【数3】

$$V_d (x = 0) = 0$$

となる。

【0028】

この境界条件下で、 $V_g = V_{G0} e^{-\gamma_g x}$ とおいて二次微分方程式(3)を解くと、

【0029】

【数4】

$$V_d = -Z_c G_m / [\gamma_d \{ (\gamma_g / \gamma_d)^2 - 1 \}] \\ \times V_{G0} e^{-\gamma_g x} [e^{-\gamma_d x} - (\gamma_d - \gamma_g) x - 1] \quad \dots (4)$$

が得られる。

【0030】

ここで、 Z_c は出力線路40の特性インピーダンス、 γ_d は出力線路40の伝搬定数、 γ_g はトリガ線路60の伝搬定数、 V_{G0} は、入力端($x = 0$)におけるトリガ線路60の電圧である。 Z_c 、 γ_d 及び γ_g は、それぞれ

【0031】

【数5】

$$Z_c = (Z_d / Y_d)^{1/2}$$

$$\gamma_d = (Z_d Y_d)^{1/2}$$

$$\gamma_g = (Z_g Y_g)^{1/2}$$

と表される。

【0032】

$(\gamma_g / \gamma_d) \rightarrow 1$ の極限では、出力線路40の出力端($x = W$)において式(4)は、

【0033】

10

20

30

50

【数6】

$$V_d = (Z_c G_m / 2) V_{G0} e \times p (-g W) \quad \dots (5)$$

となる。また、式(1)及び(4)から求まる特性インピーダンス Z_c は、

$$Z_c = - (V_d / I_d) \quad \dots (6)$$

となる。

【0034】

上式から、特性インピーダンス Z_c は実効的に負となることがわかる。入力端 ($x = 0$) における電力を P_i 、出力端 ($x = W$) における電力を P_o とすると、

【0035】

【数7】

$$P_i = (V_{G0}^2 / Z_g)$$

$$P_o = (V_d^2 / Z_d)$$

と表される。トライガ線路 60 と出力線路 40 の特性インピーダンスが等しい場合、すなわち、 $Z_g = Z_d = Z_c$ と表される場合、電力利得 $G_{max} = P_o / P_i$ は、

【0036】

【数8】

$$G_{max} = (Z_c G_m W) 2 e \times p (-2g W) / 4$$

$$g = g + j g \quad \dots (7)$$

となる。ここで、 g は、トライガ線路 60 の減衰定数である。

【0037】

減衰定数 g が充分小さいとき、

【0038】

【数9】

$$e \times p (-2g W) = 1 - 2g W$$

$$g = (1/2) (R_g / Z_c)$$

と近似できるため、利得に関して伝搬定数 g の実部 g のみを採用すると、電力利得は、

【0039】

【数10】

$$G_{max} = (G_m Z_c W)^2 (1/4) (1 - 2g W) \quad \dots (8)$$

と表される。

【0040】

線路の特性インピーダンス Z_c 、ソースとゲート間の真性容量 C_{gs} 、位相速度 v_s の間には

、

【0041】

【数11】

$$Z_c = 1 / (C_{gs} v_s)$$

の関係がある。この関係式を用いて式(8)を整理すると、

【0042】

【数12】

$$G_{max} = [(2\pi f_T / v_s) W]^2 (1/4) [1 - (R_g / Z_c) W] \quad \dots (9)$$

が得られる。ここで、 $f_T = G_m / (2 C_{gs})$ 、 $g = (1/2) R_g / Z_c$ の関係を用いた。

【0043】

位相速度 v_s は、真空中の光速を v_0 、実効比誘電率を ϵ_{eff} とすると、

【0044】

【数13】

$$v_s = v_0 / (\epsilon_{eff})^{1/2}$$

と表される。実効比誘電率 ϵ_{eff} は、伝送線路の幾何学的寸法によって決まる。

10

20

30

40

50

【0045】

式(9)の電力利得 G_{max} は、動作周波数に無関係である。大きな電力利得を得るために C_{gs} を小さくすることが好ましい。上記考察では、図3に示すキャパシタ C_{gsp} を無視したが、キャパシタ C_{gsp} を考慮にいれると、実効的に C_{gs} が大きくなる。このため、キャパシタ C_{gsp} をできるだけ小さくすることが好ましい。

【0046】

また、電力利得 G_{max} は、図3のドレインコンダクタンス G_{ds} に依存しない。これは、出力エネルギーのほとんどが出力線路40のキャパシタンスとインダクタンスによる充放電によって運ばれることを意味する。出力線路40は、

【0047】

10

【数14】

$L_d > R_d$ かつ $(1 / C_d) > G_{ds}$
となるように構成される。

【0048】

次に、伝送線路によって電力利得が得られる条件について説明する。式(4)において $x = W$ とし、 α_W が十分大きい場合を考えると、

【0049】

【数15】

$V_d = - (Z_c G_m / \alpha_d) V_{G0}$
となる。直流信号に対する出力線路40の特性インピーダンス Z_c 及び伝搬定数 α_d は、

【0050】

【数16】

$$Z_c = (R_d / G_{ds})^{1/2}$$

$$\alpha_d = (R_d G_{ds})^{1/2}$$

と表される。従って、直流信号に対する電力利得は、

【0051】

【数17】

$G_{max} = (G_m / G_{ds})^2$
となる。なお、 $Z_c = Z_d = Z_g$ と仮定している。

【0052】

30

直流信号に対する電力利得が1を超えるためには、相互コンダクタンス G_m とドレインコンダクタンス G_{ds} との間に、

【0053】

【数18】

$$G_m > G_{ds}$$

の関係が成立しなければならない。これは、電力利得を得るためにトリガ線路で駆動される電力がドレインコンダクタンス G_{ds} で消費される電力よりも大きくななければならないことを意味する。すなわち、直流領域から高い周波数までの広い周波数範囲で等価負性抵抗線路を実現するためには、相互コンダクタンス G_m がドレインコンダクタンス G_{ds} よりも大きいことが必要となる。

40

【0054】

次に、図2(A)のy軸方向の信号遅延時間 τ_0 の影響について説明する。y軸方向の空間長を l_0 、媒質(図2(B)の場合には、AlGaAs層3に相当)の波長短縮率を K とすると、実効長 l_s は、 $l_s = l_0 / K$ となる。ここで、媒質の実効比誘電率を ϵ_{eff} とすると、波長短縮率 K は、ほぼ $(\epsilon_{eff})^{1/2}$ で表される。従って、角速度を ω とすると、

【0055】

【数19】

$\tau_0 = \frac{1}{\omega} l_s$
となる。電流源 I_h による電流 $G_m V_g$ は、

50

【0056】

【数20】

$$G_m V_g = G_{m0} V_{g0} e \times p (-j_g W) \\ \times e \times p [-j_g W \{ (l_s / j_g W) + 1 \}] \dots (10)$$

となる。ここで、Wはゲート幅、 j_g はトリガ線路60の波長定数、 j_0 は媒質中の波長定数である。通常 l_s は1 μmを超えることはなく、Wは200 μm以上である。このため、 $l_s / j_g W$ は0.005以下になる。従って、遅延時間 τ_0 は、電流源 I_h の電流 G_m 、 V_g にほとんど影響を与えないと考えられる。

【0057】

また、 $\{ (l_s / j_g W) + 1 \}$ は虚数項であり、実数部である利得には影響を及ぼさない。

10

【0058】

通常のHEMTでは、図2(B)においてショットキゲート端からドレイン側の2次元電子ガスまでの遅れ時間 τ_0 が遮断周波数 f_T の低下を招く。このため、図2(B)の Y_p を長くすることは好ましくない。また、 Y_p を短くすると、ゲートとドレイン間の容量 C_{gd} が大きくなり、 f_T が低下する。このため、好ましい長さ Y_p は、ある範囲に制限される。これに対し、上記実施例の場合には、電力利得が Y_p に無関係であるため、このような制限がない。

【0059】

従来のHEMTにおいては、ゲート幅Wは、位相回転による帯域制限と、ゲート抵抗 R_g の増大に伴う電力損失を低減するために、通常、短くなるように設計される。これに対し、上記実施例の場合には、式(9)に示すように、ゲート幅Wを大きくすると、電力利得が大きくなる。

20

【0060】

以上説明したように、3端子素子、例えばHEMT($G_m > G_d$)を用い、このHEMTの入出力端子に接続するトリガ線路及び出力線路を分布定数化し、トリガ線路と出力線路とを伝搬する信号の位相速度、及び特性インピーダンスを整合させることにより、等価的に負性抵抗線路を実現することができる。

【0061】

次に、図5～図9を参照して、上記実施例による負性抵抗線路の製造方法の一例について説明する。

30

【0062】

図5(A)までの工程について説明する。ノンドープのGaAs基板1の表面上に、ノンドープのInGaAs層2、Si濃度 $1 \sim 2 \times 10^{18} \text{ cm}^{-3}$ のAlGaAs層3、Si濃度 $2 \times 10^{18} \text{ cm}^{-3}$ のn⁺GaAs層4を形成する。これらの層は、例えば化学気相成長(CVD)または分子線エピタキシ(MBE)により形成する。

【0063】

GaAs層4の、ゲートフィンガを配置すべき領域に開口を形成し、その底面にAlGaAs層3を露出させる。共通線路及び出力線路が配置される領域よりも外側のInGaAs層2、AlGaAs層3、及びGaAs層4を除去する。

40

【0064】

ゲートフィンガ61及びゲート傘部62を形成する。ゲートフィンガ61及びゲート傘部62は、例えばゲートフィンガ61に対応する開口が形成された電子線露光用レジスト膜と、ゲート傘部62に対応する開口が形成された紫外線露光用レジスト膜とを積層し、リフトオフにより形成することができる。同様の形状のゲート電極の形成方法が、例えば特開平11-40577号公報の図2に開示されている。

【0065】

基板全面をレジスト膜5で覆い、レジスト膜5に、共通線路及び出力線路に対応する開口5aを形成する。

【0066】

50

図5(B)に示すように、レジスト膜5をマスクとしてGaAs層4、AlGaAs層3、及びInGaAs層2をエッチングし、GaAs基板1に溝21及び41を形成する。これらのエッチングは、例えばSiCl₄を用いたドライエッチングにより行うことができる。溝21及び41を形成した後、図5(A)のレジスト膜5を除去する。基板全面を新たなレジスト膜6で覆う。

【0067】

図5(C)に示すように、レジスト膜6の選択露光及び現像を行い、溝21及び41の内面を露出させる。溝21と41との間の基板上面を覆うレジスト膜6の縁は、溝21及び41の側面よりもやや後退している。

【0068】

図6(D)に示すように、AuGe層とAu層を蒸着する。溝21及び41の内面が、それぞれAuGe層とAu層との2層からなる導電膜22及び42で覆われる。また、InGaAs層2、AlGaAs層3、及びGaAs層4の端面、及びGaAs層4の上面の一部も導電膜21及び41で覆われる。レジスト膜6の上面にも、AuGe層とAu層とが堆積する。レジスト膜6を除去する。

【0069】

図6(E)に示すように、溝21及び41内を、レジスト膜7で埋め込む。レジスト膜7の埋め込みは、基板全面にレジストを塗布した後、エッチバックすることにより行うことができる。

【0070】

図6(F)に示すように、基板全面を電子線露光用のレジスト膜8で覆う。レジスト膜8に、溝21及び41内を埋め込むレジスト膜7の上面の一部を露出させる開口8aを形成する。

【0071】

図7(G)に示すように、溝21及び41内を埋め込んでいたレジスト膜7を除去する。窒素バーリングもしくは水洗により、溝21及び41内を洗浄する。

【0072】

図7(H)に示すように、溝21及び41の内面に金メッキを行う。溝21及び41内が、それぞれAuからなる導電部材23及び43で埋め込まれる。金メッキ後、レジスト膜8を除去する。

【0073】

図7(I)に示すように、導電部材23の上に、低誘電率材料からなる支柱65を形成する。支柱65は、例えば感光性ポリイミドを基板全面に塗布し、露光及び現像を行うことにより形成される。

【0074】

図8(J)に示すように、基板上にX線レジストを塗布し、レジスト膜67を形成する。図8(K)に示すように、レジスト膜67の露光及び現像を行い、ゲート傘部62の上面を露出させる開口67aを形成するとともに、支柱65の上面を露出させる。

【0075】

図8(L)に示すように、基板全面に、金膜60aを蒸着する。このとき、開口67aの内面にも金膜60aが付着するようにする。なお、スパッタリングにより金膜を形成してもよい。

【0076】

図9(M)に示すように、金膜60aの表面上に、レジスト膜70を形成する。レジスト膜70を露光、現像し、導電部材23の上方から開口67aの上方まで広がる開口70aを形成する。

【0077】

図9(N)に示すように、金メッキを行い、開口70a内を金からなる導電部材60bで埋め込む。その後、レジスト膜70を剥離し、露出した金膜60aをミリングにより除去し、レジスト膜67を剥離する。以上の工程により、図2に示す負性抵抗線路が得られる

10

20

30

40

50

。

【0078】

図2及び図3にもどって、第1の実施例について説明する。図3のトリガ線路60及び出力線路40の特性インピーダンスは、50に設定することが好ましい。多くの電子機器の入出力インピーダンスは、50に統一されている。トリガ線路及び出力線路の特性インピーダンスを約50とすることにより、インピーダンス整合回路を介すことなく、多くの電子機器と直接接続することが可能になる。

【0079】

この特性インピーダンスは、図2(A)のyz平面内の幾何学的形状及び寸法によって規定される。例えば、図2(B)に示すInGaAs層2及びAlGaAs層3の比誘電率が約1.2である場合、ゲート長 Y_g と2層の合計膜厚dとの比 Y_g/d を約0.96にする。従来の単体素子では、フリンジング容量の影響を緩和するため、 Y_g/d を2程度にしていた。この場合、ゲート/ソース間容量 C_{gs} が大きくなりすぎてトリガ線路の特性インピーダンスを50にすることは不可能である。なお、 Y_g/d を0.8~1.2程度とすることが好ましい。

【0080】

図3に示すソース/ゲート間容量 C_{gs} 、調整容量 C_{dsp} 、ソース/ドレイン容量 C_{ds} 、調整容量 C_{dsw} 等の分布容量が、特性インピーダンスを決定する一つのパラメータになる。これらの容量は、図2(A)に示すyz断面内に形成される。このため、特性インピーダンスを規定する素子がxy平面内の領域を占有する面積を小さくすることができる。例えば、図1に示すように、x軸方向に延在する直線状の細い領域内に負性抵抗線路を配置することができる。基板面内に占める面積は、従来の分布型進行波増幅器の整合回路の面積の1/40~1/50程度になる。

【0081】

図2(B)に示す単体素子のソース/ドレイン間容量 C_{ds} は、非常に小さいため、この容量のみで出力線路40の特性インピーダンスを50にすることは困難である。図2(A)に示すように、共通線路20と出力線路40との間の調整容量 C_{dsp} を付加することにより、出力線路40の特性インピーダンスを50に近づけることが可能になる。調整容量 C_{dsp} は、共通線路20と出力線路40とのyz断面における幾何学的形状により規定される。具体的には、共通線路20の厚さ T_s 、幅 L_{sw} 、出力線路40の厚さ T_d 、幅 L_{dw} 、及び両者の間隔 S_{sd} 等により規定される。

【0082】

共通線路20及び出力線路40を厚くすることにより、調整容量 C_{dsp} を大きくすることができます。また、両線路のx軸方向の電気抵抗が小さくなるため、信号の伝搬損失を小さくすることができる。調整容量 C_{dsp} は、両線路の幅 L_{sw} 及び L_{dw} の自然対数関数である。このため、調整容量 C_{dsp} は、両線路の幅 L_{sw} 及び L_{dw} の変化に対して緩やかに変化する。両線路の幅 L_{sw} 及び L_{dw} を調節することにより、調節容量 C_{dsp} の微調整を容易に行うことができる。

【0083】

図2において、 $Y_p = 0.2 \mu m$ 、 $d = 40 nm$ 、InGaAs層2及びAlGaAs層3の比誘電率を1.2とした場合を考える。図3において、出力線路40の特性インピーダンスをトリガ線路のそれにはほぼ一致させるためには、ソース/ドレイン間容量 C_{ds} と調整容量 C_{dsp} との合成容量を約166 fF/mmとすればよい。ソース/ドレイン間容量 C_{ds} は約20 fF/mmであるから、必要な調整容量 C_{dsp} は約146 fF/mmとなる。例えば、共通線路20の厚さ T_s と出力線路40の厚さ T_d を共に4 μmとし、両線路の幅 L_{sw} 及び L_{dw} を6 μmとすることにより、約146 fF/mmの調整容量 C_{dsp} を確保することができる。

【0084】

厚さ300 μm程度の基板上に146 fF/mm程度の容量を得るためにには、幅280 μm、長さ1mm程度のマイクロストリップ線路が必要となる。代表的な従来の分布型進行

10

20

30

40

50

波増幅器の表面整合回路面積は $1 \times 0.4 \text{ mm}^2$ 程度であり、その平面形状も複雑である。上記実施例の場合の負性抵抗線路は、例えば幅 $1.6 \mu\text{m}$ 、長さ 1 mm の一直線状になる。

【0085】

上記第1の実施例では、トリガ線路60の入力端に印加された信号が、トリガ線路60に沿ってx軸方向に伝搬する。この信号が、トリガ線路60の幅方向(y軸方向)に伝搬し、ゲートフィンガ61に到達する。幅方向の有効信号伝達長は短いため、ほとんど電圧降下することなくゲートフィンガ61まで信号が伝達される。このため、ゲート/ソース間容量 C_{gs} を充放電するときの電力損失は、ほとんど無視できる量になる。

【0086】

トリガ線路60の厚さ H_2 を $3 \mu\text{m}$ 、幅を $6 \mu\text{m}$ 、金の比抵抗を $2 \times 10^{-6} \text{ cm}$ とすると、トリガ線路60の抵抗は 1 以下になる。このときの線路の減衰定数 α_g は、 0.04 mm^{-1} となる。従って、伝搬損失は 0.1 dB/mm 以下になる。これに対し、ゲートフィンガ61のみの抵抗 R_g は、ゲート傘部62の高さを 300 nm 、幅を 400 nm とすると、 $R_g = 165$ となる。このときの減衰定数 α_g は 1.65 mm^{-1} となり、伝搬損失は 7 dB/mm^{-1} となる。第1の実施例の構成とすることにより、伝搬損失を低減できることがわかる。

【0087】

また、トリガ線路60は、能動素子(第1の実施例の場合にはHEMT)が形成された後に形成される。このため、能動素子の特性を確認した後に、線路形状及び寸法を素子特性に適合させることができることが可能になる。

【0088】

トリガ線路60は、支柱65により安定して基板上に支持されている。このため、ゲートフィンガ61に加わる機械的な負荷を低減することができる。支柱65は、x軸方向に離散的に配置されているため、支柱62によるトリガ線路60と共に線路20との間の容量の増加は無視できる量である。

【0089】

第1の実施例によると、トリガ線路60と共に線路20とに挟まれた空間内、及び共通線路20と出力線路40とに挟まれた空間内に、電磁波エネルギーのほとんどの成分が閉じこめられ、図2(A)のx軸方向に信号が伝搬する。これにより、電磁波エネルギーの自由空間への放射が抑制されるため、近接配置された複数の線路間のアイソレーションを確保しやすくなる。また、トリガ線路60及び出力線路40の減衰定数を小さくすることができる。

【0090】

第1の実施例によると、図2(A)に示すように、出力線路40の上面が $n^+ \text{GaAs}$ 層4の上面よりも低い位置に配置される。これにより、トリガ線路60と出力線路40との間の浮遊容量を小さくすることができる。両線路間の浮遊容量を小さくすることにより、HEMTの遮断周波数 f_T の低下を抑制することができる。

【0091】

例えば、図2(A)の $H_1 = H_2 = 3 \mu\text{m}$ 、 $S_{sd} = 4 \mu\text{m}$ 、 $L_{dw} = T_d = 3 \mu\text{m}$ の場合、トリガ線路60と出力線路40との間の浮遊容量(約 6.2 fF/mm)は、図2(B)において $Y_p/d > 2$ の条件の下で、真性容量 C_{ds} の約 $1/20$ になる。

【0092】

図2(B)において、ゲートフィンガ61とドレイン側の2次元電子ガス層2aとの間の距離を Y_p とし、ゲートフィンガ61から2次元電子ガス層2aまでの厚さ方向の距離を d としたとき、両者の比 Y_p/d を2以上とすることが好ましい。通常の単体HEMTでは、図のy軸方向の信号遅延時間 τ_0 が電力利得の帯域特性を悪化させる。このため、一般的には Y_p をできるだけ短くする。第1の実施例の場合には、式(7)に示したように、電力利得は遅延時間 τ_0 に無関係である。このため、比 Y_p/d を大きくすることができる。

10

20

30

40

50

【0093】

比 Y_p/d を大きくすると、フリンジング容量（ショットキゲートとドレイン側 2 次元電子ガス層との間の容量）が減少する。このため、ゲート（トリガ線路）とドレイン（出力線路）とのアイソレーションを高くすることができる。両者のアイソレーションを高くすると、トリガ線路と出力線路の特性インピーダンスを独立に設計することが可能になる。

【0094】

図 10 は、第 2 の実施例による負性抵抗線路の概略斜視図を示す。G a A s 基板 1、共通線路 2 0、出力線路 4 0、及びトリガ線路 6 0 の構成は、図 2 に示す第 1 の実施例の場合の構成と同様である。第 2 の実施例の場合には、さらに、出力線路 4 0 の上の、 x 軸方向のある位置に、ポスト 7 0 が配置されている。¹⁰ ポスト 7 0 は、導電体または誘電体で形成される。ポスト 7 0 を介して、出力線路 4 0 とトリガ線路 6 0 とが、容量的または誘導的に結合する。

【0095】

両者が容量的に結合するときは、出力線路 4 0 を伝搬する信号の一部が、トリガ線路 6 0 に正帰還される。これにより、特定の周波数で発振させることができる。また、両者の結合容量に、インダクタンスが並列に挿入される場合には、結合容量とインダクタンスとにより並列共振回路が形成される。この共振回路により、トリガ線路 6 0 と出力線路 4 0 との間の容量がキャンセルされる。両者の間の容量を簡単にキャンセルすることができるため、フィードバックの少ない安定な中和型狭帯域増幅器を構成することができる。

【0096】

図 11 (A) は、第 3 の実施例による負性抵抗線路の平面図を示し、図 11 (B) は、図 11 (A) の一点鎖線 B 1 1 - B 1 1 における断面図を示す。出力線路 4 0 A とトリガ線路 6 0 A とを含む 1 段目の負性抵抗線路、及び出力線路 4 0 B とトリガ線路 6 0 B と支柱 6 5 B とを含む 2 段目の負性抵抗線路の各々は、図 2 に示す第 1 の実施例による負性抵抗線路と同様の構成である。²⁰

【0097】

1 段目の負性抵抗線路の出力線路 4 0 A の出力端が、次段の負性抵抗線路のトリガ線路 6 0 B の入力端に、キャパシタ 8 0 を介して接続されている。同様に、3 段目以降の負性抵抗線路が配置されている。このように、複数の負性抵抗線路を多段接続することにより、原理的には、ひとつの負性抵抗線路の電力利得の段数倍の電力利得を得ることが可能になる。³⁰

【0098】

大電力利得を得たい場合には、線路長を長くする必要がある。ところが、減衰定数 α_g が大きい場合には、式 (7) からわかるように、線路長 W を大きくすると電力利得が低下する。多段構成とすることにより、減衰定数が大きい場合でも、大きな電力利得を得ることが可能になる。

【0099】

例えば、式 (7) によると、減衰定数 α_g が 0.6 mm^{-1} の場合、線路長 3 mm 程度で電力利得が飽和する。長さ 1 mm の単位負性抵抗線路を 6 段継続接続した多段負性抵抗線路の電力利得は、長さ 6 mm の負性抵抗線路の電力利得の約 3 倍になる。⁴⁰

【0100】

キャパシタ 8 0 は、出力線路 4 0 A 及びトリガ線路 6 0 B の幅方向に関して、両線路の範囲内に配置される。このような構成とすると、両線路の特性インピーダンスが変化しない。このため、特性インピーダンスの変化による伝搬定数の変化、電力反射、電力利得の低下を防止することができる。

【0101】

キャパシタ 8 0 は、例えば、以下に説明する方法で形成することができる。第 1 の実施例の図 7 (H) に示すように、溝 2 1 及び 4 1 内を導電部材 2 3 及び 4 3 で埋め込んだ後、レジスト膜 8 を除去する。基板全面に、Cr / Au の積層膜を蒸着する。その上に、SiO₂ 膜もしくは SiN 膜をスパッタリングにより形成する。さらに、その上に、Cr / A⁵⁰

uの積層膜を蒸着する。これらの膜をパターニングし、出力線路40の出力端近傍の表面上に、キャパシタ80を残す。

【0102】

次に、第1の実施例の図8(K)に示す工程で開口67aを形成する時に、キャパシタ80の上部電極を露出させるように、他の開口を形成する。この開口を介して、次段のトリガ線路の入力端が、キャパシタ80の上部電極に接続される。

【0103】

図12(A)は、第4の実施例による負性抵抗線路の断面図を示す。共通線路20及び出力線路40の下面よりもやや深い位置に、2次元電子ガス層85が形成されている。2次元電子ガス層85は、例えば、下記の方法で形成することができる。

10

【0104】

GaAs基板1Aの表面上に、InGaAs層とn⁺型AlGaAs層を、分子線エピタキシ(MBE)により堆積する。その上に、GaAs層1Bを堆積する。InGaAs層とn⁺型AlGaAs層との界面に、2次元電子ガス層85が形成される。GaAs層1Bは、MBE、MO-CVD、または液相結晶成長により形成される。厚いGaAs層を形成するためには、液相結晶成長が好ましい。

【0105】

共通線路20と2次元電子ガス層85との間の空間、及び出力線路40と2次元電子ガス層85との間の空間に電磁波が閉じ込められる。このように、電磁波の閉じ込め効率を高めることができる。特に、テラヘルツを超える周波数の波長の電磁波に対し、電力伝搬効率を高めるために有効となる。

20

【0106】

図12(B)は、出力線路40の出力端近傍の一部破断斜視図を示す。出力線路40の出力端に信号取出電極86が連続している。信号取出電極86と2次元電子ガス層85との間隔をH_sとする。この場合、実効的な基板の厚さは、信号取出電極86と2次元電子ガス層85との間隔H_sとなる。これにより、波長λと基板厚さhとの比の自乗、すなわち、(λ/h)²に逆比例して増加する放射電力損失を低減することができる。

【0107】

図13(A)は、第5の実施例による負性抵抗線路の平面図を示し、図13(B)は、図13(A)の一点鎖線B13-B13における断面図を示す。

30

【0108】

図13(B)に示すように、基板1の表面に形成された1本の出力線路40の両側に共通線路20A及び20Bが配置されている。共通線路20A及び20Bの上方に、それぞれトリガ線路60A及び60Bが配置されている。トリガ線路60A及び60Bは、それぞれ支柱65A及び65Bにより、共通線路20A及び20Bの上に支持されている。このように、第1の実施例の負性抵抗線路と同様の構成の2本の負性抵抗線路が、出力線路40を共有している。

【0109】

トリガ線路60A及び60Bの信号入力端T_{i1}及びT_{i2}に、それぞれ周波数f₁及びf₂の信号が印加される。出力線路40の出力端T_oには、周波数f₁+f₂の信号と周波数f₁-f₂の信号が出力される。2本の負性抵抗線路からの出力電力が合成されるため、1本の負性抵抗線路を用いる場合に比べて約2倍の電力利得を得ることができる。

40

【0110】

図14は、第4の実施例によるバンドパスフィルタの平面図を示す。第4の実施例によるバンドパスフィルタは、第1の実施例による負性抵抗線路を4本配置して構成される。トリガ線路60A及び出力線路40Aが第1の負性抵抗線路90Aを構成する。同様に、トリガ線路60B及び出力線路40Bが第2の負性抵抗線路90Bを構成し、トリガ線路60C及び出力線路40Cが第3の負性抵抗線路90Cを構成し、トリガ線路60D及び出力線路40Dが第4の負性抵抗線路90Dを構成する。

【0111】

50

第1の負性抵抗線路90Aの出力線路40Aの出力端近傍の部分が、第2の負性抵抗線路90Bのトリガ線路60Bの入力端近傍の部分と、間隔Sを隔てて平行に配置されている。長さ方向に関して重なっている部分の長さは、 L_{cw} である。このような構成とすることにより、出力線路40Aとトリガ線路60Bとが電磁的に結合される。同様に、第2の負性抵抗線路90Bから第4の負性抵抗線路90Aまで、順次、電磁的に結合されている。

【0112】

第1の負性抵抗線路90Aのトリガ信号60Aの入力端T_iに電気信号が印加される。第1の負性抵抗線路90Aにより電力増幅された信号の特定の周波数成分が、第2の負性抵抗線路90Bのトリガ線路60Bに伝達される。これを繰り返し、第4の負性抵抗線路90Dの出力端T_oに電力増幅された信号が出力される。このフィルタのバンドパス帯域特性は、出力線路と次段のトリガ線路との結合部分の間隔S及び長さ L_{cw} により規定される。10

【0113】

従来の受動素子を用いたフィルタでは、素子数とともに損失が大きくなる。第6の実施例によるバンドパスフィルタでは、各負性抵抗線路が電力増幅を行うため、素子数（この場合には、負性抵抗線路数）を増加しても電力損失の問題は生じない。

【0114】

図15は、第7の実施例による方向性線路の平面図を示す。第7の実施例による方向性線路は、第1の実施例による負性抵抗線路91Aと91Bとを、ある間隔を隔てて平行に配置した構成を有する。一方の負性抵抗線路91Aの信号伝搬方向と他方の負性抵抗線路91Bの信号伝搬方向とは、相互に反対向きである。両者の間隔を4μmとすれば、両線路間のアイソレーションを十分高くすることができる。20

【0115】

図16は、第8の実施例によるパルス発生器を用いてパルスを発生させる方法を説明するためのドレイン電圧電流特性を示すグラフである。このパルス発生器は、第1の実施例による負性抵抗線路と同様の構成を有する。図16の横軸はドレイン電圧V_d、縦軸はドレイン電流I_dを表す。図4では、負荷線LDのほぼ中央を動作点としたが、図16では、負荷線LDの下端を動作点とする。

【0116】

この場合、ゲート電極（トリガ線路）に正弦波を印加すると、ドレイン電極（出力線路）には、パルス状の電圧が現れる。負性抵抗線路により、パルス波の発生と電力増幅を同時に実現できる。30

【0117】

図17は、第9の実施例による帯域阻止回路の平面図を示す。共通線路20、出力線路40、トリガ線路60等により、第1の実施例による負性抵抗線路が構成される。出力線路40の途中に、スタブ95a、95b、及び95cが、ある間隔で設けられている。スタブ95a、95b、及び95cは、出力線路40の形成と同時に形成される。

【0118】

図17(C)は、図17(A)及び(B)に示す帯域阻止回路の電力利得の周波数依存性を示す。周波数f₀近傍に谷をもつ3本の破線は、それぞれスタブ95a～95cによる電力利得の低下に対応する。各破線の形状はスタブの長さにより規定され、各破線の中心周波数のずれは、スタブの間隔により規定される。この帯域阻止回路の電力利得は、3本の破線で示す電力利得を合成したものになる。第9の実施例のように、負性抵抗線路を用いて帯域阻止回路を構成すると、帯域阻止と電力増幅とを同時にを行うことができる。40

【0119】

以上の説明から、下記の(1)～(14)に示す発明が導き出される。

【0120】

(1) 第1の領域と第2の領域と制御電極とを含む能動素子であって、該第1の領域と第2の領域との間をキャリアが移動し、該制御電極に印加される電気信号によってキャリアの移動が制御され、該第1の領域、第2の領域、及び制御電極が、前記第1の方向と交50

差する第2の方向に、入力端から出力端まで延在している能動素子と、
 前記第1の領域に、その入力端から出力端にわたって電気的に接続された導電領域と、
 前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させる
 トリガ線路であって、該トリガ線路を伝搬する電気信号が、前記制御端子の第2の方向の
 対応する位置に印加される前記トリガ線路と、
 前記第2の方向に延在し、電気信号を入力端から出力端まで前記第2の方向に伝搬させる
 出力線路であって、前記能動素子を前記第1の方向に移動したキャリアによって、前記第
 2の方向に伝搬する電気信号が励起される前記出力線路と
 を有する分布定数線路。

【0121】

10

(2) 前記出力線路の波長定数が、前記トリガ線路の波長定数とほぼ等しい上記(1)
 に記載の分布定数線路。

【0122】

(3) 前記能動素子が電界効果型トランジスタであり、前記第1の領域がソース領域、
 第2の領域がドレイン領域、制御電極がゲート電極に相当する上記(1)または(2)に
 記載の分布定数線路。

【0123】

(4) 前記能動素子の相互コンダクタンスがドレインコンダクタンスよりも大きい上記
 (3)に記載の分布定数線路。

【0124】

20

(5) 前記トリガ線路が、前記導電領域に対して一定の間隔を隔てて配置されている上
 記(1)～(4)のいずれかに記載の分布定数線路。

【0125】

(6) さらに、前記トリガ線路と前記導電領域との間に配置され、両者の間隔を一定に
 保つ複数の支柱であって、該支柱が、前記第2の方向に離散的に配置されている上記(5)
 に記載の分布定数線路。

【0126】

(7) 前記出力線路が、前記導電領域に対して一定の間隔を隔てて配置されている上記
 (1)～(6)のいずれかに記載の分布定数線路。

【0127】

30

(8) さらに、

表面内に、前記導電領域、出力線路、及び能動素子が配置された基板と、
 前記基板の、前記導電領域及び出力線路の最深部よりも深い位置に形成された2次元電子
 ガス層と

を有する上記(1)～(7)のいずれかに記載の分布定数線路。

【0128】

(9) 前記能動素子が、高電子移動度トランジスタであり、該高電子移動度トランジス
 タのゲート電極からドレイン領域側の2次元電子ガス層の縁までの距離を Y_p 、ゲート電
 極と2次元電子ガス層との間の深さ方向の距離をdとしたとき、 Y_p / d が2以上である
 上記(1)～(8)のいずれかに記載の分布定数線路。

【0129】

40

(10) さらに、前記出力線路の途中に設けられたスタブを有する上記(1)～(9)
 のいずれかに記載の分布定数線路。

【0130】

(11) 前記分布定数線路が少なくとも2つ配置され、第1の分布定数線路の出力線路
 の出力端が、第2の分布定数線路のトリガ線路の入力端に電磁気的に結合している上記
 (1)～(10)のいずれかに記載の分布定数線路。

【0131】

(12) 前記第1の分布定数線路の出力線路の出力端が、キャパシタを介して前記第2
 の分布定数線路のトリガ線路に接続され、該キャパシタの占める領域が、該キャパシタが

50

接続する出力線路とトリガ線路の幅の範囲内に収まっている上記(11)に記載の分布定数線路。

【0132】

(13) 前記分布定数線路が少なくとも2つ配置され、第1の分布定数線路の出力線路のうち出力端の近傍部分が、第2の分布定数線路のトリガ線路のうち入力端の近傍部分に、その長さ方向に関して重なり、幅方向に関してある間隔を隔てて配置されている上記(1)～(10)のいずれかに記載の分布定数線路。

【0133】

(14) 前記分布定数線路が少なくとも2つ配置され、2つの分布定数線路が、その出力線路を共有している上記(1)～(10)のいずれかに記載の分布定数線路。 10

【0134】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0135】

【発明の効果】

以上説明したように、本発明によれば、小型で周波数特性の優れた分布定数線路が得られる。分布定数線路に含まれる能動素子の特性を適当に設定すると、負性抵抗線路が得られる。

【図面の簡単な説明】

【図1】第1の実施例による負性抵抗線路の平面図である。 20

【図2】第1の実施例による負性抵抗線路の断面図である。

【図3】第1の実施例による負性抵抗線路の等価回路図である。

【図4】第1の実施例による負性抵抗線路を構成するHEMTのドレイン電流電圧特性を示すグラフである。

【図5】第1の実施例による負性抵抗線路の製造方法を説明するための基板の断面図である。

【図6】第1の実施例による負性抵抗線路の製造方法を説明するための基板の断面図である。

【図7】第1の実施例による負性抵抗線路の製造方法を説明するための基板の断面図である。 30

【図8】第1の実施例による負性抵抗線路の製造方法を説明するための基板の断面図である。

【図9】第1の実施例による負性抵抗線路の製造方法を説明するための基板の断面図である。

【図10】第2の実施例による負性抵抗線路の斜視図である。

【図11】第3の実施例による負性抵抗線路の平面図及び断面図である。

【図12】第4の実施例による負性抵抗線路の断面図及び一部破断斜視図である。

【図13】第5の実施例による負性抵抗線路の平面図及び断面図である。

【図14】第6の実施例による負性抵抗線路の平面図である。

【図15】第7の実施例による方向性線路の平面図である。 40

【図16】第8の実施例によるパルス発生器に使用される負性抵抗線路を構成するHEMTのドレイン電流電圧特性を示すグラフである。

【図17】第9の実施例による帯域阻止回路の平面図、断面図、及び電力利得の周波数依存性を示すグラフである。

【符号の説明】

1 GaAs基板

2 InGaAs層

3 AlGaAs層

4 n⁺GaAs層

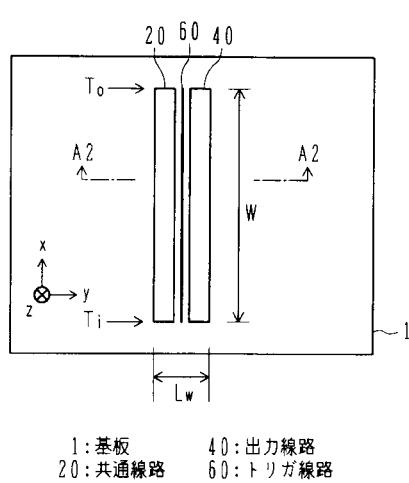
5、6、7、8、67、70 レジスト膜

5 a、8 a、6 7 a、7 0 a 開口
 2 0 共通線路
 2 1、4 1 溝
 2 2、4 2 導電膜
 2 3、4 3 導電部材
 4 0 出力線路
 4 5、6 3 バイアス回路
 6 0 トリガ線路
 6 0 a Au 膜
 6 0 b 導電部材
 6 1 ゲートフィンガ
 6 2 ゲート傘部
 6 5 支柱
 8 0 キャパシタ
 8 5 2 次元電子ガス層
 8 6 信号取出電極
 9 0 A ~ 9 0 D、9 1 A、9 1 B 負性抵抗線路
 9 5 a ~ 9 5 c スタブ

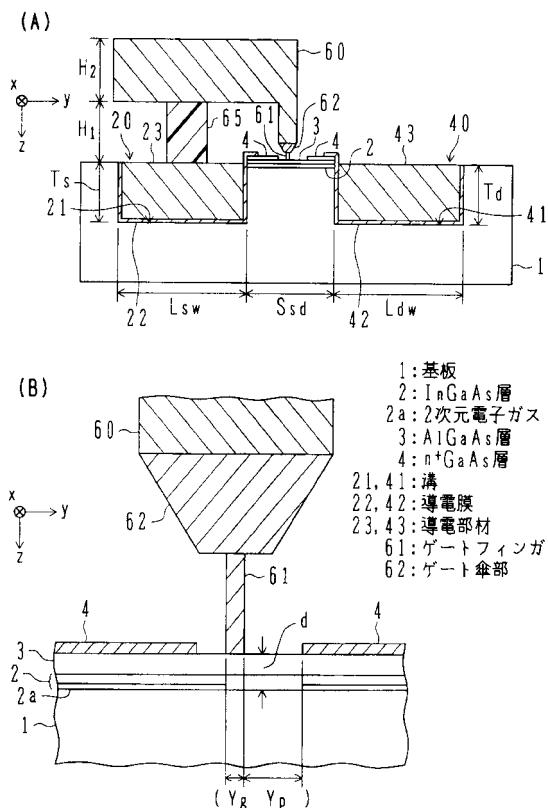
10

【図1】

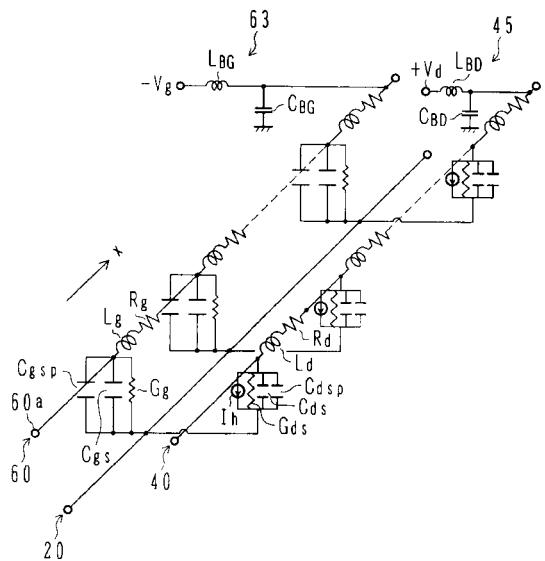
第1の実施例による負性抵抗線路



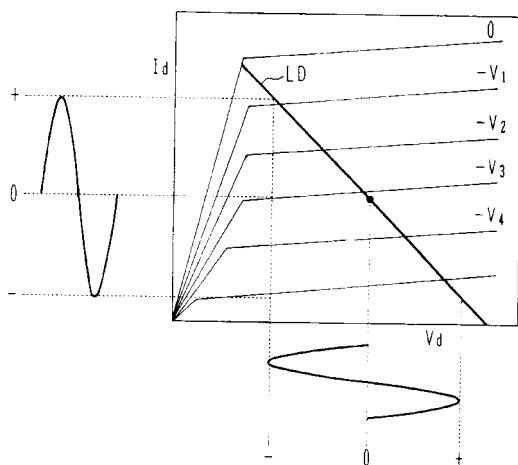
【図2】



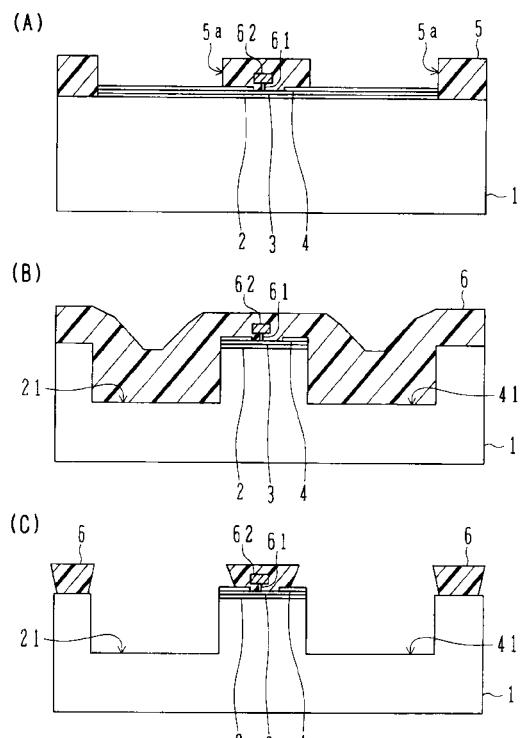
【図3】



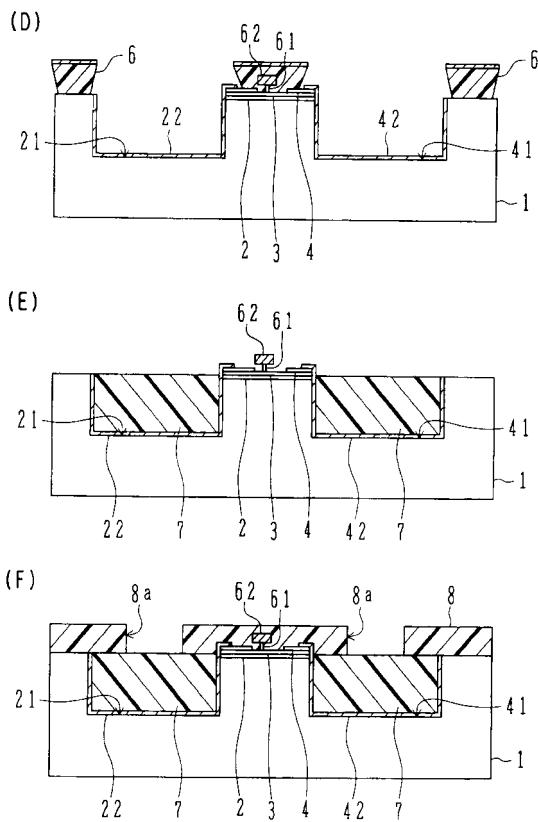
【図4】



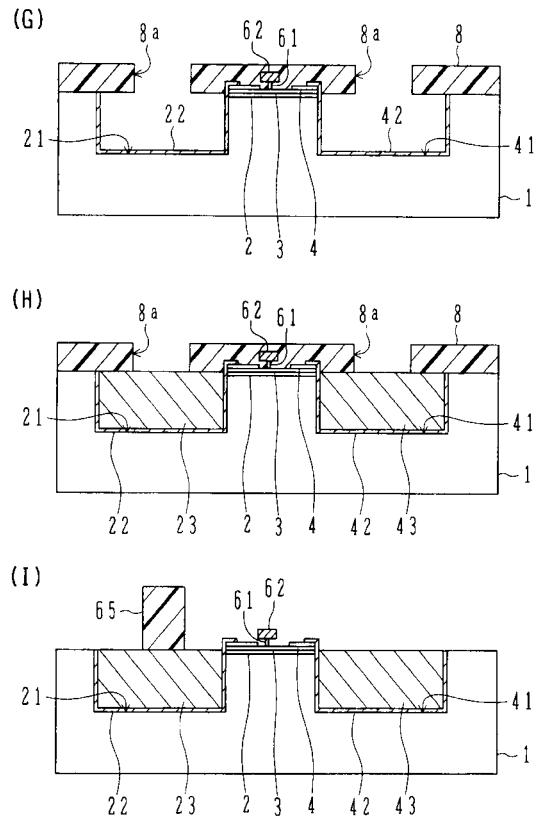
【図5】



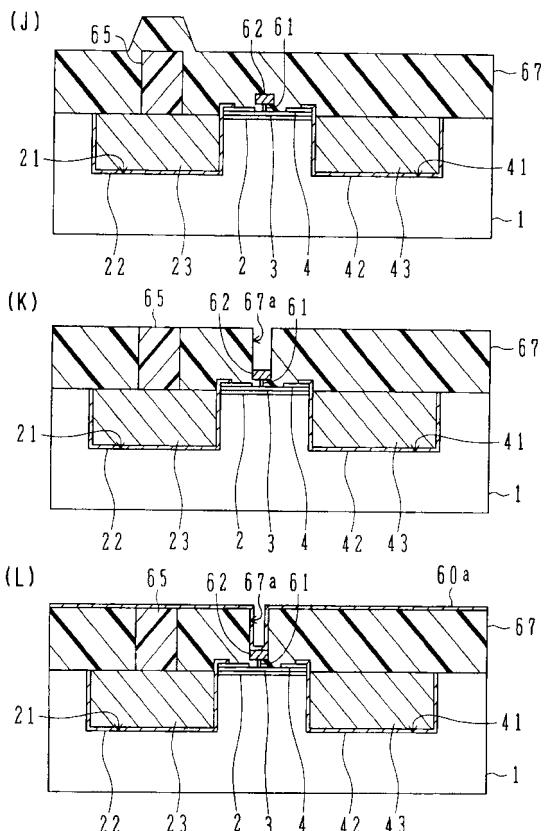
【図6】



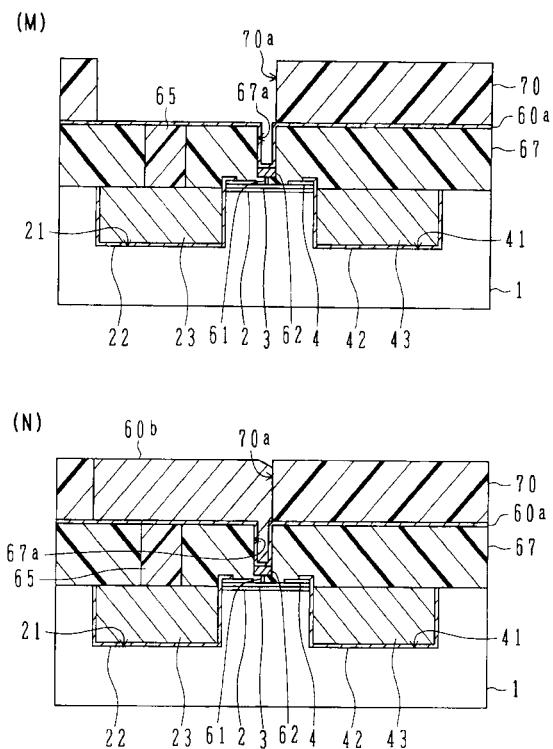
【図7】



【図8】

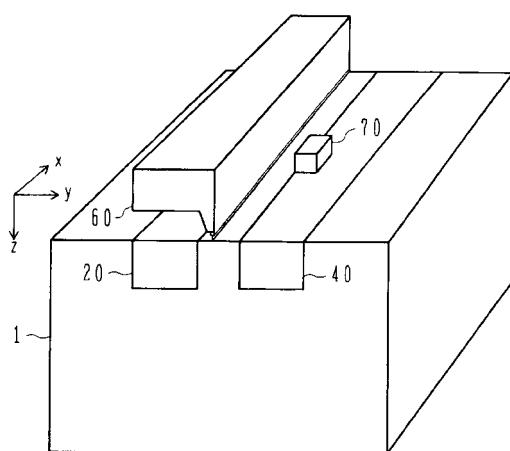


【図9】



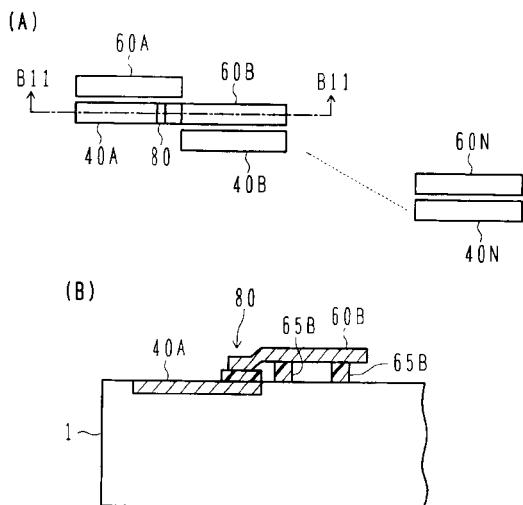
【図10】

第2の実施例



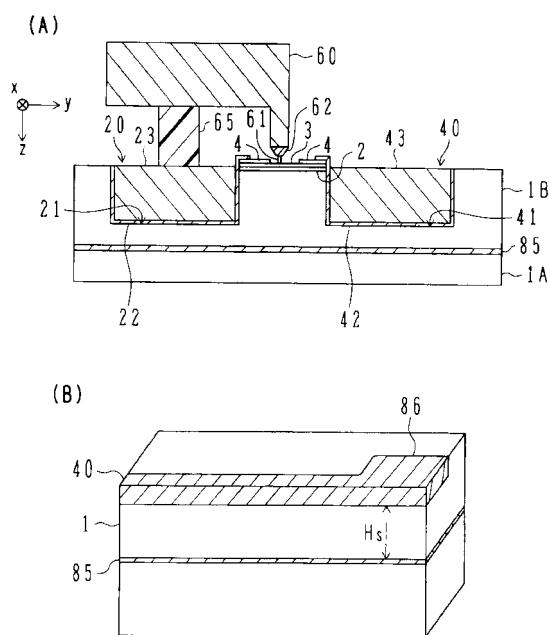
【図11】

第3の実施例

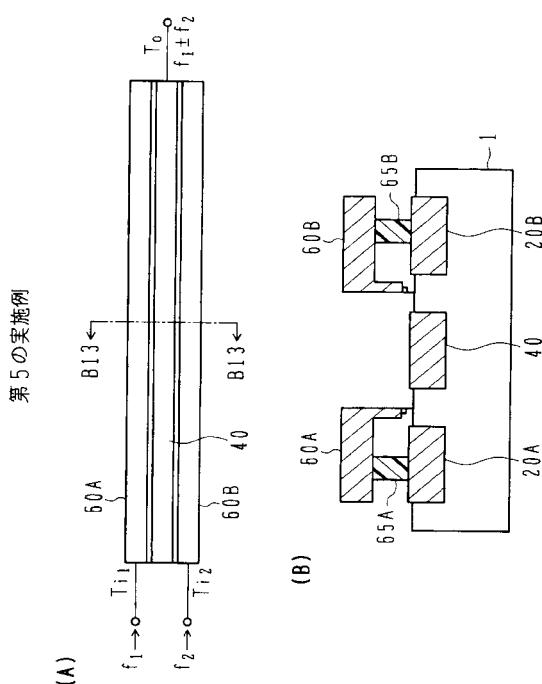


【図12】

第4の実施例

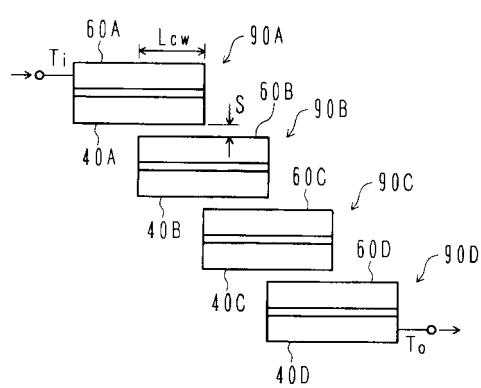


【図13】



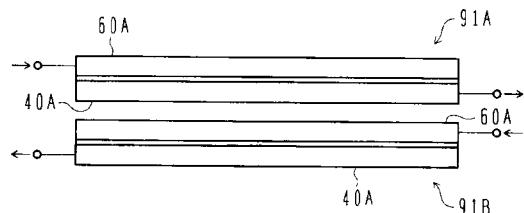
【図14】

第6の実施例



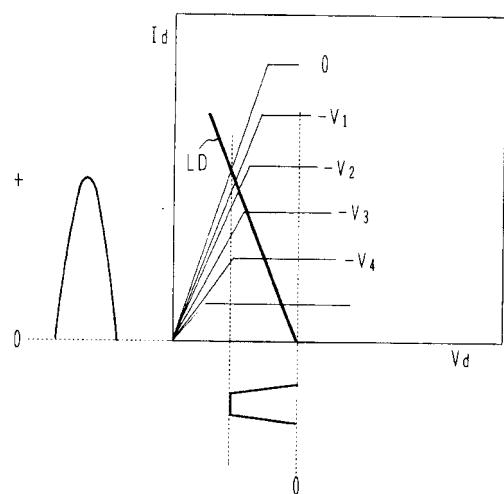
【図15】

第7の実施例



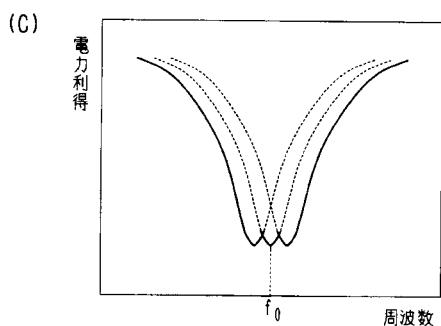
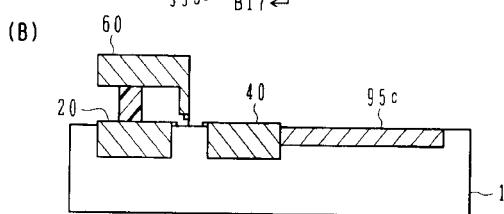
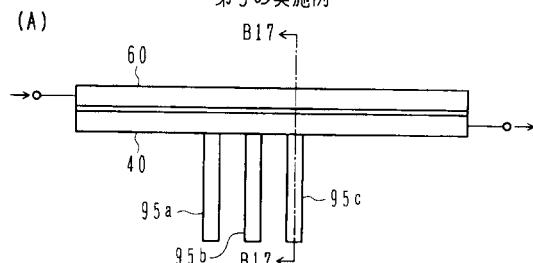
【図16】

第8の実施例



【図17】

第9の実施例



フロントページの続き

(56)参考文献 特開平04-032309(JP,A)
特開平07-307349(JP,A)
特開平07-240369(JP,A)
特開平10-041404(JP,A)
特開平08-241983(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/338
H01L 29/778
H01L 29/80-29/812
H01P 1/15
H01P 5/08