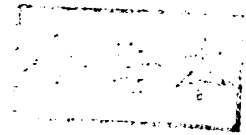


發明專利說明書



(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 93102945
 ※ 申請日期： 93.2.109 ※IPC 分類： H01L 25/00 (2006.01)
 H05K 3/46 (2006.01)

壹、發明名稱：(中文/英文)

電子零件封裝結構及其製造方法/ELECTRONIC PARTS PACKAGING STRUCTURE
 AND METHOD OF MANUFACTURING THE SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

新光電氣工業股份有限公司 / SHINKO ELECTRIC INDUSTRIES CO., LTD.

代表人：(中文/英文)

茂木淳一 / MOGI, JUNICHI

住居所或營業所地址：(中文/英文)

日本國長野縣長野市小島田町 80

80, OSHIMADA-MACHI, NAGANO-SHI, NAGANO 381-2287 JAPAN

國籍：(中文/英文)

日本 / JAPAN

參、發明人：(共 5 人)

姓名：(中文/英文)

1. 春原昌宏 / SUNOHARA, MASAHIRO

2. 村山啓 / MURAYAMA, KEI

3. 小山利德 / KOYAMA, TOSHINORI

4. 小林和貴 / KOBAYASHI, KAZUTAKA

5. 東光敏 / HIGASHI, MITSUTOSHI

住居所地址：(中文/英文)

1. ~ 5. 日本國長野縣長野市小島田町 80

80, OSHIMADA-MACHI, NAGANO-SHI, NAGANO 381-2287 JAPAN

國籍：(中文/英文)

日本 / JAPAN

肆、聲明事項：

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本； 2003.02.13； 特願 2003-035156

2.

3.

4.

5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

發明領域

本發明係有關於一種電子零件封裝結構及其製造方法。更詳言之，本發明係有關於一種電子零件封裝結構，其中一半導體晶片或類似物被安裝於一配線基板上使半導體晶片或類似物埋藏於一絕緣薄膜中，及其製造方法。

【先前技術】

發明背景

做為實作多媒體裝置之關鍵技術的大型積體電路(LSI)技術目前正朝向使資料傳輸具有更高速度與更大容量之方向發展。有鑑於此，更高密度之封裝技術亦在發展之列，以期做為LSI和電子裝置之間的介面。

基於因應進一步之密度成長的需求，業已開發一種半導體裝置，其中複數個半導體晶片被立體堆疊且安裝於一配線基板上。引述舉例言之，專利文獻1（日本未審查專利公告案第2001-177045號）及專利文獻2（日本未審查專利公告案第2000-323645號）各揭露一種具有以下結構的半導體裝置：複數個半導體晶片被立體安裝於一配線基板上使半導體晶片埋藏於絕緣薄膜中，且該等複數個半導體晶片使用多層型態之配線圖案或類似物且使該等絕緣薄膜設於其間而相互連接。

然而，於上述專利文獻1及2中，並未考量下列情形，亦即，欲將層間絕緣薄膜形成於被安裝之該半導體晶片上

時，此層間絕緣薄膜形成後可能由於該半導體晶片之厚度而產生梯度。

具體的說，如果梯度產生於位在該半導體晶片上之層間絕緣薄膜內，則當配線圖案形成於此層間絕緣薄膜上時所應用的光微影術會造成散焦。據此，即難以形成高精準度之所需配線圖案。

此外，由於梯度亦產生於形成在該層間絕緣薄膜上之配線圖案內，因此當一半導體晶片以覆晶法接合技術被接合至該等配線圖案時，此一接合之可靠度可能會降低。

10 【發明內容】

發明概要

本發明的目的在於提供一種電子零件封裝結構，其結構中電子零件被埋藏於一配線基板上之絕緣薄膜中，其中可輕易去除由於電子零件的厚度所產生之梯度以被平面化，以及提供其製造方法。

本發明有關於一種電子零件封裝結構，包含一具配線圖案之配線基板、一第一絕緣薄膜，其形成於該配線基板上且具有一開放部於將電子零件安裝於上之一封裝區中，電子零件具有一連接終端以覆晶法安裝於該第一絕緣薄膜的開放部之配線圖案上、一第二絕緣薄膜用以覆蓋電子零件、一通孔形成於該配線圖案上該第一及第二絕緣薄膜之預定部位中，及一上配線圖案形成於該第二絕緣薄膜上且經由該通孔連接於該配線圖案。

於本發明中，具有該開放部於該封裝區中之該第一樹

脂薄膜被形成於該配線基板上，且電子零件（薄化半導體晶片或類似物）之連接終端被以覆晶法安裝於該開放部中之該配線圖案上。此外，形成用以覆蓋電子零件之第二絕緣薄膜，且該通孔形成於該配線圖案上該第一及第二絕緣

5 薄膜中。再者，經由該通孔連接於該配線圖案之該上配線圖案形成於該第二絕緣薄膜上。

如上所述，於本發明中，該第一絕緣薄膜是形成以環繞電子零件。因此，本發明的結構是可以該第一絕緣薄膜而去除因電子零件的厚度所產生之梯度。據此，用以覆蓋

10 電子零件之第二絕緣薄膜形成為使該第二絕緣薄膜的上表面呈平面之狀態，而不會被電子零件的厚度所影響。

因此，由於當形成該上配線圖案時於光微影術時不會發生散焦之情事，因此該上配線圖案可以高精確度穩定地形成。

因此，該等電子零件以覆晶法安裝於該配線圖案上，使該等電子零件埋藏於一平面之絕緣薄膜內，且用以立體堆疊複數個電子零件之該上配線圖案是毫無困難地形成於該第二絕緣薄膜上。此外，當一上電子零件以覆晶法安裝於該上配線圖案時，該上配線圖案的一連接部是位於實質

15 上相等高度處。據此，該上電子零件可以高可靠度接合。

為引述上述本發明之變化例，該第二絕緣薄膜可藉設置一保護膜於電子零件背側上而省略。於此例中，該上配線圖案是形成於該第一絕緣薄膜及該保護膜上。或者，可採用以下結構：該配線圖案上該絕緣薄膜中不形成通孔，

而將貫穿該等電子零件之通孔形成於該連接終端上該等電子零件之預定部位中，且該上配線圖案經由該等電子零件的通孔連接於該連接終端。

於前述發明之一較佳特徵中，可採用以下結構：該等
5 電子零件之連接終端是以金所製成，一金膜形成於該絕緣薄膜的開放部中該配線圖案之一表面上，且該等電子零件的連接終端以金-金之覆晶接合法安裝於該配線圖案上。

於此例中，用以去除因電子零件厚度所產生的梯度之該第一絕緣薄膜亦使用作為一遮罩層，用以可選擇地形成
10 該金膜於該第一樹脂薄膜的開放部（封裝區）中該配線圖案上（銅配線或其類似物）。如此可輕易地藉提供高接合可靠度之金-金接合法，將具有以金製成的連接終端之電子零件以覆晶法安裝於該配線圖案上。

此外，本發明係有關於一種電子零件封裝結構，包括
15 一具有一配線圖案之配線基板，一第一絕緣薄膜，其形成於該配線基板上，該第一絕緣薄膜具有一開放部於供電子零件安裝其中之封裝區中，該等電子零件安裝於該第一絕緣薄膜的開放部之封裝區中，處於一連接終端導向上之狀態，一第二絕緣薄膜用以覆蓋電子零件，通孔分別形成於
20 該連接終端上該等絕緣薄膜及配線圖案之預定部位中，及上配線圖案，其形成於該第二絕緣薄膜上，且經由該等通孔分別連接於該連接終端及該配線圖案。

於本發明中，具有該開放部於該封裝區中之該第一絕緣薄膜是形成於該配線基板上，且該等電子零件是安裝於

該開放部中，處於使該連接終端導向上之狀態。

當電子零件以此方式安裝時，相似於前述發明，因電子零件的厚度所產生的梯度亦可以該第一絕緣薄膜輕易去除。進一步地，於用以覆蓋電子零件之該第二絕緣薄膜已
5 形成一平面狀態之後，該等通孔分別形成於該連接終端上該第二絕緣薄膜及該配線圖案之預定部位中。除此之外，經由該等通孔分別連接於該連接終端及該配線圖案之該等上配線圖案是以高精確性穩定地形成於該第二絕緣薄膜上。

10 為引述上述發明之變化例，用以覆蓋電子零件之該第二絕緣薄膜可藉使用於元件形成表面上設置有一鈍化薄膜之電子零件而省略，該鈍化薄膜具有一開放部用以露出該連接終端。於此例中，該上配線圖案是形成於該絕緣薄膜及該鈍化薄膜上。

15 圖式簡單說明

第1A至1N圖是剖視圖，順序顯示本發明第一實施例之電子零件封裝結構之製造方法；

第2A至2F圖是剖視圖，順序顯示本發明第二實施例之電子零件封裝結構之製造方法；

20 第3A至3E圖是剖視圖，顯示本發明第三實施例之電子零件封裝結構之製造方法，及第4圖是剖視圖，顯示本發明第三實施例之電子零件封裝結構之製造方法之變化例示；及

第5A至5G圖是剖視圖，順序顯示本發明第四實施例之

電子零件封裝結構之製造方法，及第6圖是剖視圖，顯示本發明第四實施例之電子零件封裝結構之製造方法之變化例示。

【實施方式】

5 較佳實施例之詳細說明

本發明之實施例將參考隨附圖示說明如下。

(第一實施例)

第1A至1N圖是剖視圖，順序顯示本發明第一實施例之電子零件封裝結構之製造方法。於第一實施例之電子零件封裝結構之製造方法中，如第1A圖所示，首先，製備一基板30用以製造一組合印刷電路板。該基板30係以絕緣材質製成，如樹脂。穿孔30a設於該基板30中，且與該基板30上的第一配線圖案32連接之穿孔電鍍層30b形成在該等穿孔30a的內表面上。該等穿孔30a的開口填充有一樹脂本體30c。

然後，形成用以覆蓋該等第一配線圖案32之以樹脂或類似物所製成之第一層間絕緣膜34。之後，於該等第一配線圖案32上之該第一層間絕緣膜34以雷射、RIE(反應性離子蝕刻)或類似方式蝕刻，藉以形成第一通孔34x而具有可深至該等第一配線圖案32之深度。

繼之，透過該等第一通孔34x與該等第一配線圖案32連接之第二配線圖案32a係形成在該第一層間絕緣膜34上。該等第二配線圖案32a係以Cu配線或類似物所製成，且以與形成第三配線圖案相似方法形成，其將詳述於后。因

此，可獲得一配線基板2，以安裝半導體晶片於其上。

其次，如第1B圖所示，於該等第二配線圖案32a及該第一層間絕緣膜34上，形成一第一絕緣薄膜36a，其具有一開放部39於可將半導體晶片以覆晶技術安裝於上之一封裝區A中。

用於該第一絕緣薄膜36a可使用環氧樹脂、聚醯亞胺樹脂、合成酚醛樹脂、聚丙烯樹脂，或類似物。該第一絕緣薄膜36a之形成方法包含以光微影技術將一感光樹脂薄膜圖案化之方法。或者，亦可使用之方法是積層一薄膜狀樹脂層來形成或以旋塗法或印刷法形成一樹脂薄膜，且之後該樹脂薄膜再以雷射或RIE(反應性離子蝕刻)蝕刻，藉以形成該開放部。此外，亦可採用一方法，將一薄膜狀樹脂層之預定部位使用一衝模衝壓以形成該開放部，且附著該樹脂薄膜。此外，一樹脂薄膜可以網目印刷法形成圖案具有該開放部之形狀。

然後，將此樹脂薄膜於130至200°C的溫度中進行熱處理以將之固化，如此即可得到該第一樹脂薄膜36a。

本實施例之一特徵在於當形成將半導體晶片安裝以埋藏於一絕緣薄膜中之結構時，可輕易去除由於該半導體晶片的厚度所產生之梯度。據此，於本實施例中，具有該開放部39於該封裝區A中之該第一絕緣薄膜36a所形成之厚度是對應於一半導體晶片之厚度，且該半導體晶片是安裝於該開放部39中。因此，以該第一絕緣薄膜36a可輕易去除由於該半導體晶片的厚度所產生之梯度。

因此，該第一絕緣薄膜36a之厚度可根據不同種類的半導體晶片之厚度適意地調整。若使用的半導體晶片之厚度約為 $150\mu\text{m}$ 或更小（較佳的是 30 至 $70\mu\text{m}$ ，包含凸塊的高度），該第一絕緣薄膜36a之厚度是設定相等於此半導體晶片之厚度。此外，該第一絕緣薄膜36a之開放部39宜形成以環繞於之後所安裝之半導體晶片。

接著，如第1C圖所示，厚度為 0.1 至 $1\mu\text{m}$ 之金(Au)膜37藉無電極電鍍程序可選擇地形成於露出在該第一絕緣薄膜36a的開放部39之該第二配線圖案(Cu配線)32a上。此時，由於該第一絕緣薄膜36a是以固化樹脂薄膜所製成，因此該第一絕緣薄膜36a可抗拒無電極電鍍程序中之電鍍化學物質。注意的是該等Au膜37可在以無電極電鍍程序已形成鎳(Ni)膜作為阻擋膜於該等第二配線圖案(Cu配線)32a上之後形成。

如上所述，除了當半導體晶片如后所述安裝時可去除由於該半導體晶片的厚度所產生之梯度外，該第一絕緣薄膜36a亦具有遮罩層的功能，用以可選擇地形成該等Au膜37於該等第二配線圖案(Cu配線)32a於該封裝區A中之連接部B上。

接下來，製備一具有Au凸塊21之半導體晶片20，如第1D圖所示。該半導體晶片20是由以下所得：一半導體晶圓(未圖示)，其一元件形成表面上具有如電晶體之元件及連接墊，是藉研磨該半導體晶圓的背側來薄化以具有約 $150\mu\text{m}$ 之厚度(以 $50\mu\text{m}$ 或更小為佳)，且之後該半導體晶圓

再切割以分割成個別構件。在切割該半導體晶圓之前或之後，該半導體晶片20之Au凸塊21被形成於該等連接墊上。

儘管已引述該半導體晶片20作為電子零件之例示，然而亦可使用不同種類之電子零件，包含電容器。注意的是
5 該半導體晶片20的連接墊及凸塊21是連接終端之例子。

接著，以一超音波工具拿起之該半導體晶片20被放置於該等第二配線圖案32a的連接部B之Au膜37上，使該半導體晶片20的Au凸塊21指向下，且水平施以超音波震動而向下施壓。因此，使該半導體晶片20的Au凸塊21與該等第二
10 配線圖案32a的Au膜37黏接在一起。以此方式，該半導體晶片20可以超音波覆晶接合技術安裝於該等第二配線圖案32a上。

此時，該第一絕緣薄膜36a的開放部39之尺寸宜根據該半導體晶片20的尺寸來調整，以使一0.5至2mm的間隙（約
15 1mm為佳）可留在該半導體晶片20的側表面與該開放部39的側表面之間。

藉由上述，該半導體晶片20的背側及該第一絕緣薄膜36a的上表面位在幾乎相等的高度上，且可去除由於該半導體晶片20的厚度所產生之梯度，此係因該第一絕緣薄膜36a
20 是形成於除了該封裝區A的區域中至如上述與該半導體晶片20幾乎相等的厚度。當然要注意的是，該半導體晶片20的背側之高度及該第一絕緣薄膜36a的上表面之高度可為不同，其差異在不會對之後步驟產生問題的程度即可。

除此之外，由於該等Au膜37是可選擇地形成於該等第

二配線圖案32a的連接部B上以該第一絕緣薄膜36a作為遮罩，因此該等第二配線圖案32a的連接部B及該半導體晶片20的Au凸塊21可以低成本藉Au-Au接合法接合。

5 一般而言，若該半導體晶片20的Au凸塊21是以覆晶法安裝於以Cu膜所製成之該等第二配線圖案32a上，因Au-Cu具低接合度而可能會產生接合無效。然而，藉由本實施例採用之Au-Au接合法，可降低接合之電阻，且可改善接合的可靠度。

10 如上所述，若以該半導體晶片20的Au凸塊21及該等第二配線圖案32a藉Au-Au接合法黏接，由於該等Au膜37可選擇地形成於該等第二配線圖案32a的連接部B上，藉形成該第一絕緣薄膜36a使該封裝區A中具有該開放部39，即可非常方便於去除由於該半導體晶片20的厚度所產生之梯度。

15 附帶一提的是，以表面無形成Au膜之Cu配線作為該等第二配線圖案32a，且具有焊料塊之半導體晶片20可被以覆晶法接合於該等第二配線圖案32a的Cu配線。或者，具有焊料塊之半導體晶片20如前述可被以覆晶法接合於表面上形成有該等Au膜37之該等第二配線圖案32a。當然，亦可使用其他不同種類之覆晶安裝法。

20 現舉出獲得如前述使該半導體晶片20安裝於該第一絕緣薄膜36a的開放部39中之結構的變化實例，在該半導體晶片20以覆晶法安裝於該封裝區A中之該等第二配線圖案32a上之後，可附接一樹脂薄膜，其在對應於該封裝區A之區域中具有一開放部。於此情況，該樹脂薄膜的開放部是預先

以衝模衝壓所形成。

接下來，如第1E圖所示，將樹脂材料自該半導體晶片20與該第一絕緣薄膜36a的開放部39之間間隙射入，藉以將樹脂材料填滿於該半導體晶片20與該配線基板2之間間隙，及該半導體晶片20與第一絕緣薄膜36a的開放部39的側表面之間間隙。其後，該樹脂材料以熱處理固化以變成底層填充樹脂36c（填充絕緣薄膜）。因此，該半導體晶片20的背側、該底層填充樹脂36c的上表面及該第一絕緣薄膜36a的上表面位在幾乎相等高度上以平面化。

要注意的是該底層填充樹脂36c可如以下形成：在以覆晶法安裝該半導體晶片20之前，將絕緣膜(NCF或NCP)預先塗布在包含該封裝區A之一預定區域上，進行覆晶接合法使此樹脂插入其間，之後再將此樹脂以熱處理固化以變成該底層填充樹脂36c。

此外，至少填入於該半導體晶片20的底表面與該配線基板2之間間隙之該底層填充樹脂36c是充分的。此係因為，即使於該半導體晶片20側表面與該第一絕緣薄膜36a的開放部39側表面之間間隙中留有凹陷部，該等凹陷部會填入一第二絕緣薄膜，其形成於下一步驟，以將之平面化。

接著，如第1F圖所示，形成該第二絕緣薄膜36b，其具有5至20 μm 的厚度且覆蓋於該半導體晶片20。用於該第二絕緣薄膜36b，可使用環氧樹脂、聚醯亞胺樹脂、聚苯醚樹脂，或類似物。此外，作為該第二絕緣薄膜36b之形成方法，可積層一樹脂薄膜的方法，或以旋塗法或印刷法形成一樹

脂薄膜，再以130至200°C的溫度熱處理固化此樹脂薄膜的方法。

此時，該第二絕緣薄膜36b是形成於一下層結構上，使因該半導體晶片20的厚度所產生之梯度可去除。據此，該第二絕緣薄膜36b形成的狀態是使其上表面平面化，而不會受到該半導體晶片20的厚度所影響。

因此，即可獲得於平面化狀態之第二層間絕緣膜36，其由該第一絕緣薄膜36a、該底層填充樹脂36c，及該第二絕緣薄膜36b所構成。以此方式，即可形成一結構，使該半導體晶片20以覆晶法安裝於該等第二配線圖案32a上，以使該半導體晶片20埋藏於該第二層間絕緣膜36中之狀態。

接著，如第1G圖所示，於該等第二配線圖案32a上之第二層間絕緣膜36的預定部被以YAG或CO₂雷射或RIE蝕刻，藉以形成第二通孔36x，其具有可深至該等第二配線圖案32a之深度。

之後，如第1H圖所示，藉由無電極電鍍或濺鍍法，將一晶種Cu膜32x形成於該等第二通孔36x的內表面上及該第二層間絕緣膜36上。其後，如第1I圖所示，將一具有開放部33a對應於之後形成的第三配線圖案之抗蝕膜33藉光微影術形成在該晶種Cu膜32x上。此時，由於該第二層間絕緣膜36是完全形成為平面化狀態，因此於光微影術時不會發生散焦之情事。因此，可穩定形成具高可靠度之抗蝕膜33所需的模式。

接著，如第1J圖所示，使用該抗蝕膜33作為遮罩，藉

由電鍍法將Cu膜圖案32y形成於該等第二通孔36x及該抗蝕膜33的開放部33a中，其中該晶種Cu膜32x是利用作為電鍍電源層。

5 然後，於移除該抗蝕膜33之後，再使用該等Cu膜圖案32y作為遮罩蝕刻該晶種Cu膜32x。

因此，如第1K圖所示，將由該等晶種Cu膜32x及Cu膜圖案32y所構成之第三配線圖案32b（上配線圖案）形成於該第二層間絕緣膜36上。該等第三配線圖案32b是經由該等第二通孔36x連接於該等第二配線圖案32a。

10 該等第三配線圖案32b的形成是處在與該抗蝕膜33的圖案具高精確性區分之狀況。因此，可穩定地獲得所需之第三配線圖案32b。

該等第二及第三配線圖案32a及32b可以藉由剷除法或全添加法來取代上述半添加法來形成。

15 附帶說明的是，將複數個半導體晶片20多層堆疊以相互連接於埋藏在對應層間絕緣膜中之模式，可藉由重複形成於該配線基板2的封裝區A中具有開放部39之該第一絕緣薄膜36a的步驟（第1B圖），至形成該第三配線圖案32b的步驟（第1K圖）之程序一預定時間來形成。於此情況，各層
20 間絕緣膜亦形成平面化狀態。據此，使半導體晶片及配線薄膜於其中之層間絕緣膜可毫無問題地以堆疊方式形成。

再者，亦可採用將半導體晶片20類似地埋藏於該複數個層間絕緣膜之間的任意層間絕緣膜中之模式。此外，亦可採用將一半導體晶片20亦堆疊於該基底基板30的背側

上，使該半導體晶片20類似地埋藏於一層間絕緣膜中之模式。

於第1K圖中，顯示該等第三配線圖案32b中，連接部B之後與一上半導體晶片的凸塊連接之段部。

5 接著，如第1L圖所示，形成一焊料抗蝕膜38，其具有一開放部38a用以使該等第三配線圖案32b之連接部B隆起露出。換言之，該焊料抗蝕膜38是形成環繞於之後要安裝該上半導體晶片之一封裝區。

於本實施例中，作為該等第三配線圖案32b之連接部
10 B，是舉呈約 $150\ \mu\text{m}$ 或更小的細小間距為例（例如，線： $100\ \mu\text{m}$ ，空間： $50\ \mu\text{m}$ ）。據此，若形成一連續焊料抗蝕膜，其具有開放部以使該等第三配線圖案32b的連接部B之個別主要部位露出，則有些情況該焊料抗蝕膜的開放部形成的狀態是會於形成步驟中因移位的關係而自該等連接部B的主要部位偏離。若該焊料抗蝕膜的開放部是位於偏離該等
15 連接部B的主要部位之狀態時，則該上半導體晶片的凸塊與該等連接部B之間的接合區會減小。因此，因該等凸塊的接合強度減低易發生接合無效及類似情事發生。

然而，於本實施例中，該焊料抗蝕膜38的圖案並非形
20 成於該等第三配線圖案32b的連接部B所放置之封裝區中，而該開放部38a是隆起設於該封裝區中。因此，於該等第三配線圖案32b的連接部B中，不會發生用以覆晶法接合之接合區變小的問題。

接著，如第1M圖所示，使用該焊料抗蝕膜38作為遮

單，鎳(Ni)膜40及Au膜42藉無電極電鍍法可選擇地相繼形成於顯露在該開放部38a中之該等第三配線圖案32b上。要注意的是，該等Ni膜40可於無需阻擋膜時可以省略。

5 繼之，如第1N圖所示，製備具凸塊21之該上半導體晶片20x(上電子零件)，且該上半導體晶片20x的凸塊21以覆晶法接合於該等第三配線圖案32b的連接部B之Au膜42。作為該上半導體晶片20x的凸塊21，可使用Au塊或焊料塊。若使用Au塊時，可使用超音波進行Au-Au接合。同理，若使用焊料塊時，可藉由回流(軟熔)加熱法進行接合。

10 此時，該焊料抗蝕膜38不會存在於該等第三配線圖案32b的連接部B所放置處之封裝區中。據此，該上半導體晶片20x的凸塊21於可獲得所需的接合區之狀態，能以高可靠度接合於該等第三配線圖案32b的連接部B。

15 除此之外，由於該第二層間絕緣膜36完全以平面化狀態形成，因此該等第三配線圖案32b的個別連接部B位於幾乎相等的高度上。因此，可防止該上半導體晶片20x與該等第三配線圖案32b的連接部B之間的接合失效之情事發生。

20 要注意的是，可採取以下：藉安裝焊料球於上將凸塊形成於該等第三配線圖案32b的連接部B上，且將該上半導體晶片20x的連接終端接合於這些凸塊。

以此方式，即使該等第三配線圖案32b的連接部B是呈約 $150\mu\text{m}$ 或更小的為小間距，該上半導體晶片20x的凸塊21可以高可靠度接合於該等第三配線圖案32b的連接部B。

此時，宜使該焊料抗蝕膜38的開放部38a之尺寸可根據

該上半導體晶片20x的尺寸作適意調整，以致於自該上半導體晶片20x的環周部至該焊料抗蝕膜38的開放部38a之側表面之尺寸大小可為0.5至2mm（以約1mm為佳）。

5 之後，再如第1N圖所示，該上半導體晶片20x的元件形成表面（上表面）與該等第三配線圖案32b之間的x，及該上半導體晶片20x的元件形成表面與該第二層間絕緣膜36之間的間隙中填入有底層填充樹脂35。該底層填充樹脂35填入於在該上半導體晶片20x底表面下方之間隙中，且形成以藉該焊料抗蝕膜38的開放部38a擋止。

10 附帶一提的是，當具有呈微小間距的凸塊21之該上半導體晶片20x被以覆晶法接合時，上述使該焊料抗蝕膜38不形成在該等第三配線圖案32b的連接部B所位於處之該封裝區中之模式是其中一種較佳實例。因此，可採用一模式，將使其開放部用於該等第三配線圖案32b的連接部B的主要
15 部位之焊料抗蝕膜38連續形成於該封裝區中。

以此方式，即可完成第一實施例之半導體裝置1（電子零件封裝結構）。

於本實施例之半導體裝置1中，形成該第一絕緣薄膜36a，其具有該開放部39於該配線基板2之封裝區A中。此外，該半導體晶片20以覆晶法安裝於該第一絕緣薄膜36a的開放部39中該等第二配線圖案32a的連接部B上。再者，於該半導體晶片20的底表面下方之間隙及相鄰於其側表面之間隙以一體狀態填入有該底層填充樹脂36c。

因此，該半導體晶片20的背側（上表面）、該第一絕緣

薄膜36a的上表面，及該底層填充樹脂36c的上表面被調整為幾乎相等的高度，且藉由去除因該半導體晶片20的厚度所產生之梯度而平面化。再者，用以覆蓋該半導體晶片20之該第二絕緣薄膜是形成使該第二絕緣薄膜的上表面平面化。

此外，該半導體晶片20是以覆晶法安裝於該等第二配線圖案32a的連接部B上，使該半導體晶片20埋藏於由該第一絕緣薄膜36a、該第二絕緣薄膜36b及該底層填充樹脂36c所構成之該平面第二層間絕緣膜36中。

再者，該等第二通孔36x是形成於該等第二配線圖案32a上該第二層間絕緣膜36之預定部位中，且經由該等第二通孔36x連接於該等第三配線圖案32b是形成於該第二層間絕緣膜36上。

於該第二層間絕緣膜36上，形成該焊料抗蝕膜38，其使該開放部38a呈隆起開放該等第三配線圖案32b的連接部B所位在處之封裝區。該上半導體晶片20x的凸塊21以覆晶法接合於該等第三配線圖案32b的連接部B上。再者，於該上半導體晶片20x的底表面下方之間隙填入有該底層填充樹脂35。

如上所述，於本實施例之半導體裝置1中，該半導體晶片20以覆晶法安裝於部分構成該第二層間絕緣膜之該第一絕緣薄膜36a的開放部39中。本實施例之半導體裝置1具有以該第一絕緣薄膜36a去除因該半導體晶片20的厚度所產生的梯度之結構。

因此，由於用以覆蓋該半導體晶片20之該第二絕緣薄膜36b是形成使該第二絕緣薄膜36b的上表面呈平面化之狀態，因此形成於該第二絕緣薄膜36b上之該等第三配線圖案32b可以高精確度穩定形成。此外，由於該等第三配線圖案32b的連接部B是位於幾乎相等的高度上，因此該上半導體晶片20x的凸塊21與該等第三配線圖案32b的連接部B之間的接合可靠度可以改善。

因此，複數個半導體晶片20被立體堆疊以相互連接成被埋藏於個別層間絕緣膜中的狀態之封裝結構可毫無困難地輕易被製造。

(第二實施例)

第2A至2F圖是剖視圖，順序顯示本發明第二實施例之電子零件封裝結構之製造方法。第二實施例不同於第一實施例在於使用一半導體晶片，其具有一保護膜設置於其背側上，以及不形成一絕緣膜來覆蓋該半導體晶片。於第二實施例中，與第一實施例相似之步驟將不再詳細說明。

於第二實施例之電子零件封裝結構之製造方法中，如第2A圖所示，首先，製備一配線基板2，其與第一實施例中第1C圖所示者相似。其後，製備一半導體晶片20a(電子零件)，其具有凸塊21於一元件形成表面上，且具有一絕緣之保護膜44設置於其背側上。相似於第一實施例，該半導體晶片20a被薄化以具有約 $150\mu\text{m}$ 或更小之厚度(以約 $50\mu\text{m}$ 為佳)。

作為該保護膜44的材料，可使用環氧樹脂、聚醯亞胺

樹脂、聚苯醚樹脂、聚丙烯樹脂，或類似物。此外，作為該保護膜44之形成方法，可以積層一樹脂薄膜的方法，或以旋塗法或浸染法形成一樹脂薄膜之方法，或其類似方法等。當該半導體晶片20a與該保護膜44之間的黏著性改善，

5 可於矽烷接合劑被塗覆於該半導體晶片20a的背側上之後再形成該保護膜44。

之後，再如第2A圖所示，該半導體晶片20a的凸塊21藉與第一實施例相似之方法，以覆晶法接合於露出於一第一絕緣薄膜36a的開放部39（封裝區A）中之Au膜37上。

10 然後，如第2B圖所示，與第一實施例類似，於該半導體晶片20a的底表面下方之間隙及相鄰於其側表面之間隙填入有底層填充樹脂36c（填充絕緣薄膜）。因此，該絕緣薄膜36a的上表面、該半導體晶片20a的保護膜44的上表面，及該底層填充樹脂36c的上表面位在幾乎相等高度上以

15 平面化。

於第二實施例中，由於使用該半導體晶片20a具有該保護膜44於其背側上，因此不同於第一實施例，其不需第二絕緣薄膜形成於該半導體晶片20a上。據此，於本實施例中，供該半導體晶片20a埋藏於中之一第二層間絕緣膜36是由該絕緣薄膜36a、該保護膜44及該底層填充樹脂36c所構成。

20

接下來，如第2C圖所示，於該等第二配線圖案32a上之該第二層間絕緣膜36之預定部以雷射或RIE(反應性離子蝕刻)蝕刻，藉以形成第二通孔36x而具有可深至該等第二配

線圖案32a之深度。

接著，如第2D圖所示，經由該等第二通孔36x連接於該等第二配線圖案32a之第三配線圖案32b（上配線圖案）被以與第一實施例相似之方法，形成於該第二層間絕緣膜36
5 上。

然後，如第2E圖所示，相似於第一實施例，於第2D圖的結構上形成一焊料抗蝕膜38，其具有一開放部38a用以使該等第三配線圖案32b之連接部B隆起露出。此外，Ni膜40及Au膜42藉無電極電鍍法相繼形成於該等第三配線圖案
10 32b之連接部B上。

接著，如第2F圖所示，一上半導體晶片20x（上電子零件）之凸塊21藉與第一實施例相似之方法，以覆晶法接合於該等第三配線圖案32b的連接部B之Au膜42。其後，相似於第一實施例，該上半導體晶片20x下方之間隙填入有底層
15 填充樹脂35。

以此方式，即可獲得第二實施例之半導體裝置1a（電子零件封裝結構）。

於第二實施例中，可施行與第一實施例相似之功效。除此之外，由於使用之該半導體晶片20a具有該保護膜44於其背側上，因此相較於第一實施例中形成一第二絕緣薄膜用以覆蓋半導體晶片之方法，其製造方法更為簡化，且可降低其製造成本。此外，藉由使用具有該保護膜44於其背側上之該半導體晶片20a，可製成的半導體裝置較第一實施
20 例為薄。

(第三實施例)

第3A至3E圖是剖視圖，順序顯示本發明第三實施例之電子零件封裝結構之製造方法。第三實施例不同於第一及第二實施例在於，於一半導體晶片被以覆晶法安裝之後，貫通該半導體晶片之通孔形成於其中，藉以達到相互連接的目的。於第三實施例中，與第一實施例相似之步驟將不再詳細說明。

於第三實施例之電子零件封裝結構之製造方法中，如第3A圖所示，首先，製備一配線基板2，其與第一實施例中第1C圖所示者相似。其後，製備一半導體晶片20b，其具有連接墊23及於其連接之凸塊21於一元件形成表面上，且相似於第二實施例具有一保護膜44於其背側上。儘管未清楚顯示，該半導體晶片20b的連接墊23是藉重新排列電極墊（未圖示）所獲得，其是以周圍式排列方式配置於該半導體晶片20b的環周部上，以與Cu配線重新配線而形成一面矩陣式(area array type)配置。

接著，該半導體晶片20b的凸塊21藉與第一實施例相似之方法，以覆晶法接合於第二配線圖案32a的連接部B之Au膜37上。連接於上之該等連接墊23及凸塊21係為連接終端之例示。

繼之，如第3B圖所示，該半導體晶片20b的底表面下方之間隙及相鄰於側表面之間隙藉與第一實施例相似的方法填入有底層填充樹脂36c（填充絕緣薄膜）。因此，相似於第二實施例，可獲得一平面化第二層間絕緣膜36，其由該

絕緣薄膜36a、該保護膜44及該底層填充樹脂36c所構成。

之後，如第3C圖所示，具有可深至該等連接墊23的深度之第二通孔19，以雷射或RIE(反應性離子蝕刻)形成於該半導體晶片20b及該保護膜44之預定部中，在該等連接墊23
5 之供該等凸塊21接合以外之區域上。

將該等第二通孔19形成於該等連接墊23上供該等凸塊21接合區域以外之區域中的原因在於，若該等第二通孔19被形成於該等凸塊21接合區域的上方，則會因以雷射或RIE時於該等連接墊23與該等凸塊21接合點處造成危害而導致
10 低接合可靠度。

接著，如第3D圖所示，經由該半導體晶片20b上形成的該等第二通孔19來連接於該等連接墊23之第三配線圖案32b(上配線圖案)，藉由半添加法或類似法，被形成於該保護膜44及該絕緣薄膜36a上，此方法已詳述於第一實施例
15 中。

繼之，相似於第一實施例，形成一焊料抗蝕膜38，其具有一開放部38a用以呈隆起露出該等第三配線圖案32b的連接部B。

然後，如第3E圖所示，Ni膜40及Au膜42藉與第一實施例相似的方法，相繼形成於露出在該焊料抗蝕膜38的開放部38a中之該等第三配線圖案32b的個別連接部B上。此外，於一具有凸塊21的上半導體晶片20x(上電子零件)之凸塊21以覆晶法接合於該等第三配線圖案32b的連接部B之Au膜42之後，於該上半導體晶片20x底表面下方之間隙填入底

層填充樹脂35。

以此方式，即可獲得第三實施例之半導體裝置1b（電子零件封裝結構）。

5 接下來，將詳述第三實施例的電子零件封裝結構之變化實例。第4圖是剖視圖，顯示本發明第三實施例之電子零件封裝結構之製造方法之變化例。

如第4圖所示，於第三實施例的變化例之半導體裝置1c中，使用的半導體晶片20b無保護膜44於其背側上。此外，於該半導體晶片20b以覆晶法接合於第二配線圖案32a且填入底層填充樹脂36c之後，相似於第一實施例，一第二絕緣薄膜36b被形成於該半導體晶片20b上。

再者，於本變化例中，用以覆蓋該半導體晶片20b之該第二絕緣薄膜36b及該半導體晶片20b於形成第二通孔19之步驟時被以雷射或RIE(反應性離子蝕刻)蝕刻。此外，第三配線圖案32b形成於該第二絕緣薄膜36b上。其他構件皆與第3E圖相同，因此不再進一步詳述。

20 第三實施例具有與第一實施例相似之功效。除此之外，由於相互連接是藉由形成於該半導體晶片20b上之通孔19來達到，因此可縮短配線長度。因此，可對半導體裝置中訊號速度之加速產生作用以供高頻應用。

(第四實施例)

第5A至5G圖是剖視圖，順序顯示本發明第四實施例之電子零件封裝結構之製造方法。第四實施例不同於第一至第三實施例在於，安裝的半導體晶片是面向上。於第四實

施例中，與第一實施例相似之步驟將不再詳細說明。

於第四實施例之電子零件封裝結構之製造方法中，如第5A圖所示，首先，製備一配線基板2，其與第一實施例中第1C圖所示者相似。其後，將一具有開放部39於一封裝區A中之第一絕緣薄膜36a藉相似於第一實施例的方法，形成於該配線基板2上。

於本實施例中，將一半導體晶片面向上安裝於該封裝區A中（開放部39）。其後，與第一至第三實施例不同，無需將一Au膜形成在該封裝區A中一第二配線圖案32a之一部位中。除此之外，該配線基板2露出於該第一絕緣薄膜36a的開放部39中之封裝區A可為該第二配線圖案32a之一部位（如第5A圖所示）、一第一層間絕緣膜34之一部位，及該第二配線圖案32a及該第一層間絕緣膜34一起存在之一部位其中任何之一的部位。

接著，製備一半導體晶片20c（電子零件），如第5B圖所示。於該半導體晶片20c中，連接墊23（連接終端）設置於其一元件形成表面上，且其他部位覆蓋有一鈍化薄膜25。繼之，將該半導體晶片20c固定於露出在該第一絕緣薄膜36a的開放部39中之該第二配線圖案32a上，使界於其間之黏著層46處於將該半導體晶片20c的連接墊23導向上（面向上）之狀態。

此時，該半導體晶片20c的元件形成表面及該第一絕緣薄膜36a的上表面幾乎位於相等高度上，藉此可去除因該半導體晶片20c的厚度所產生之梯度。

接著，如第5C圖所示，一第二絕緣薄膜36b形成於該半導體晶片20c及該第一絕緣薄膜36a上。該第二絕緣薄膜36b是使用與第一實施例相似之材質及方法所形成。

5 該第二絕緣薄膜36b是形成於使其上表面被平面化之狀態而不會被因該半導體晶片20c的厚度所產生之梯度影響。此時，該半導體晶片20c的側表面與該第一絕緣薄膜36a的開放部39側表面之間間隙填入有該第二絕緣薄膜36b以將其平面化。

10 因此，即可獲得由該第一及第二絕緣薄膜36a及36b所構成之一第二層間絕緣膜36，且可形成將該半導體晶片20c埋藏於該平面的第二層間絕緣膜36中並以面向上安裝之結構。

15 接著，如第5D圖所示，該第二層間絕緣膜36於該半導體晶片20c的連接墊23上之預定部位被以雷射或RIE(反應性離子蝕刻)蝕刻，藉以形成第二通孔36x，其具有可深至該等連接墊23之深度。此時，該第二層間絕緣膜36於該第二配線圖案32a上之預定部位被同時蝕刻，藉以同時形成一第二通孔36x，其具有可深至該第二配線圖案32a之深度。

20 繼之，如第5E圖所示，第三配線圖案32b(上配線圖案)，其分別經由該等第二通孔36x連接於該半導體晶片20c的連接墊23及該第二配線圖案32a，藉由半添加法形成於該第二層間絕緣膜36上，此已於第一實施例詳述之。

附帶一提的是，自面向上安裝該半導體晶片20c於該第一絕緣薄膜36a的開放部39中之步驟(第5B圖)，至形成該

等第三配線圖案32b之步驟（第5E圖）之製程，可重覆預定次數。在此情況，即可毫無困難地輕易獲得使複數個半導體晶片20c面向上埋藏於個別層間絕緣膜中且經由通孔相互連接之封裝結構。

5 接著，如第5F圖所示，相似於第一實施例，形成一焊料抗蝕膜38，其具有一開放部38a用以使該等第三配線圖案32b之個別連接部B隆起露出。之後，Ni膜40及Au膜42相繼形成於露出於該焊料抗蝕膜38的開放部38a中之該等第三配線圖案32b上。

10 繼之，如第5G圖所示，製備一具有凸塊21之上半導體晶片20x（上電子零件），且該上半導體晶片20x的凸塊21被以覆晶法接合於該等第三配線圖案32b的連接部B之Au膜42。然後，相似於第一實施例，於該上半導體晶片20x底表面下方之間隙填入底層填充樹脂35。

15 以此方式，即可獲得第四實施例之半導體裝置1d（電子零件封裝結構）。

於第四實施例之半導體裝置1d中，具有該開放部39於該封裝區A中之該第一絕緣薄膜36a是形成在該配線基板2上。此外，該半導體晶片20c是安裝於該第一絕緣薄膜36a的開放部39中形成使該半導體晶片20c的連接墊23導向上（面向上）之狀態。因此，以該第一絕緣薄膜36a可去除因該半導體晶片20c的厚度所產生之梯度。

再者，用以覆蓋該半導體晶片20c之該第二絕緣薄膜36b是形成於使其上表面被平面化之狀態，且該第二層間絕

緣膜36是由該第一及第二絕緣薄膜36a及36b所構成。因此，該半導體晶片20c是以面向上安裝處於被埋藏於該平面的第二層間絕緣膜36中之狀態。

除此之外，第二通孔36x是分別形成於該半導體晶片20c的連接墊23上第二層間絕緣膜36及該第二配線圖案32a中。此外，經由該等第二通孔36x連接於該等連接墊23及該第二配線圖案32a之該等第三配線圖案32b，是形成於該第二層間絕緣膜36上。再者，該上半導體晶片20x的凸塊21被以覆晶法接合於該等第三配線圖案32b的連接部B。

接下來，將詳述第四實施例的電子零件封裝結構之變化實例。第6圖是剖視圖，顯示本發明第四實施例之電子零件封裝結構之製造方法之變化例示。如第6圖所示，於第四實施例的半導體裝置1e之變化實例中，一第二絕緣薄膜36b並不形成於一半導體晶片20c上。於此模式中，是使用一絕緣薄膜，其具有高可靠度的介質抗電力，且其具有開放部25a於連接墊23上，以作為半導體晶片20c之鈍化薄膜25。

對此一鈍化薄膜25，其材質及厚度並無特定限制。然而，舉例來說，該鈍化薄膜25是由具約0.5 μm 厚度之氮化矽薄膜及具約3 μm 或更多厚度之聚醯亞胺樹脂膜所構成。此外，一具有開放部以露出該等連接墊23之樹脂薄膜可附著於該半導體晶片20c上以變成該鈍化薄膜25。

繼之，該半導體晶片20c的側表面與第一絕緣薄膜36a的開放部39的側表面之間間隙填入底層填充樹脂36c，以完全達到平面化。然後，於一第二配線圖案32a上之第一絕

緣薄膜36a被蝕刻，藉以形成第二通孔36x。

其後，經由第二通孔36x連接於第二配線圖案32a，且經由鈍化薄膜25的開放部25a連接於連接墊23之第三配線圖案32b，被形成於該第一絕緣薄膜36a及該鈍化薄膜25上。藉由採用上述變化實例，可省略用以覆蓋半導體晶片20c之第二絕緣薄膜36b。其他構件皆與第5G圖相同，因此不再進一步詳述。

於第四實施例中，該半導體晶片20c是以面向上安裝於該第一絕緣薄膜36a的開放部39中。據此，相似於第一至第三實施例中半導體晶片是以面向下覆晶法安裝之例，以該第一絕緣薄膜36a可去除因該半導體晶片20c的厚度所產生之梯度。因此，第四實施例具有相似於第一實施例之功效。

【圖式簡單說明】

第1A至1N圖是剖視圖，順序顯示本發明第一實施例之電子零件封裝結構之製造方法；

第2A至2F圖是剖視圖，順序顯示本發明第二實施例之電子零件封裝結構之製造方法；

第3A至3E圖是剖視圖，顯示本發明第三實施例之電子零件封裝結構之製造方法，及第4圖是剖視圖，顯示本發明第三實施例之電子零件封裝結構之製造方法之變化例示；及

第5A至5G圖是剖視圖，順序顯示本發明第四實施例之電子零件封裝結構之製造方法，及第6圖是剖視圖，顯示本發明第四實施例之電子零件封裝結構之製造方法之變化例

示。

【圖式之主要元件代表符號表】

1,1a,1b,1c,1d,1e…半導體裝置	33a…開放部
2…基板	34…第一層間絕緣膜
19…第二通孔	34x…第一通孔
20,20a,20b,20c…半導體晶片	35…底層填充樹脂
20x…上半導體晶片	36…第二層間絕緣膜
21…Au凸塊	36a…第一絕緣薄膜
23…連接墊	36b…第二絕緣薄膜
25…鈍化薄膜	36c…底層填充樹脂
25a…開放部	36x…第二通孔
30…基底基板	37…Au膜
30a…穿孔	38…焊料抗蝕膜
30b…穿孔電鍍層	38a…開放部
30c…樹脂本體	39…開放部
32…第一配線圖案	40…Ni膜
32a…第二配線圖案	42…Au膜
32b…第三配線圖案	44…絕緣保護膜
32x…晶種Cu膜	46…黏著層
32y…Cu膜圖案	A…封裝區
33…抗蝕膜	B…連接部

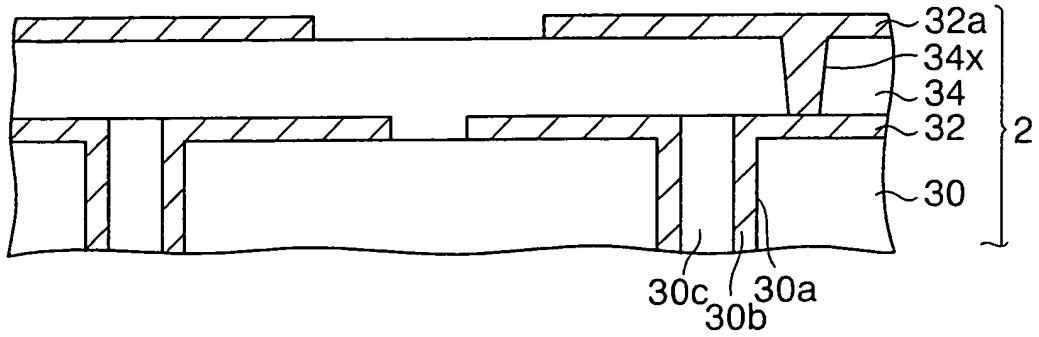
伍、中文發明摘要：

本發明之一種電子零件封裝結構，包括一具有一配線圖案之配線基板，一第一絕緣薄膜，其形成於該配線基板上且具有一開放部於供電子零件安裝其中之封裝區中，該等電子零件具有一連接終端以覆晶法安裝於露出在該第一絕緣薄膜的開放部中之配線圖案上，一第二絕緣薄膜用以覆蓋電子零件，一通孔形成於該配線基板上第一及第二絕緣薄膜之預定部位中，及一上配線圖案形成於該第二絕緣薄膜上且經由該通孔連接於該配線圖案。

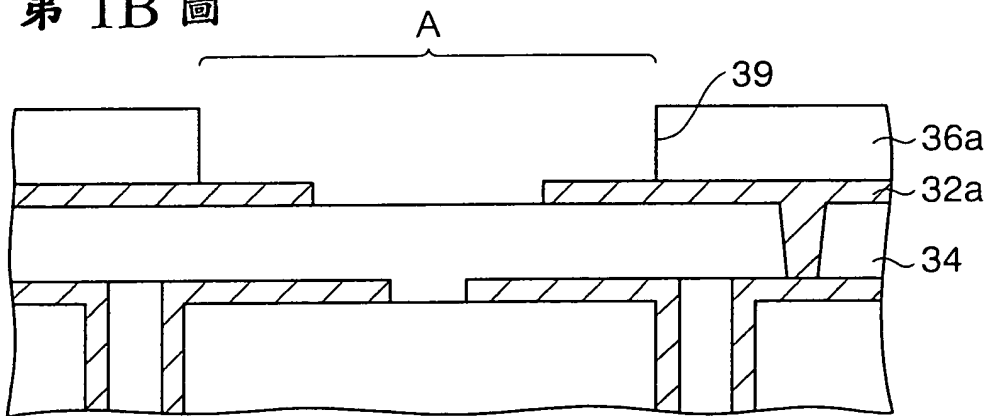
陸、英文發明摘要：

An electronic parts packaging structure of the present invention includes a wiring substrate having a wiring pattern, a first insulating film which is formed on the wiring substrate and which has an opening portion in a packaging area where an electronic parts is mounted, the electronic parts having a connection terminal flip-chip mounted on the wiring pattern exposed in the opening portion of the first insulating film, a second insulating film for covering the electronic parts, a via hole formed in a predetermined portion of the first and second insulating films on the wiring pattern, and an upper wiring pattern formed on the second insulating film and connected to the wiring pattern through the via hole.

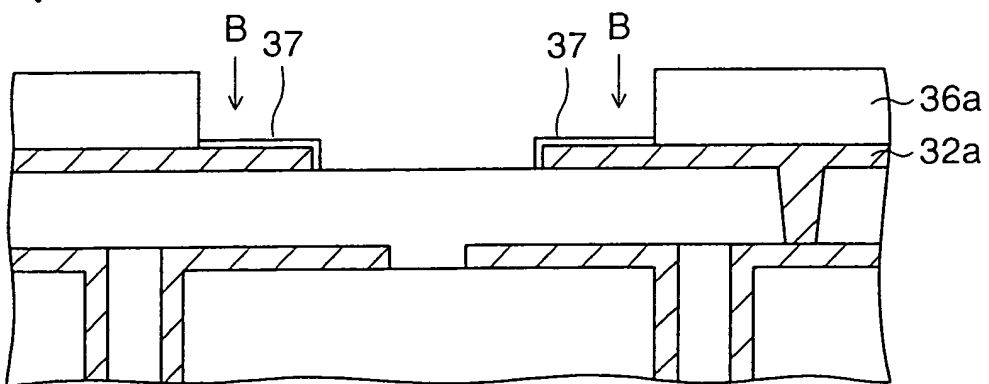
第 1A 圖



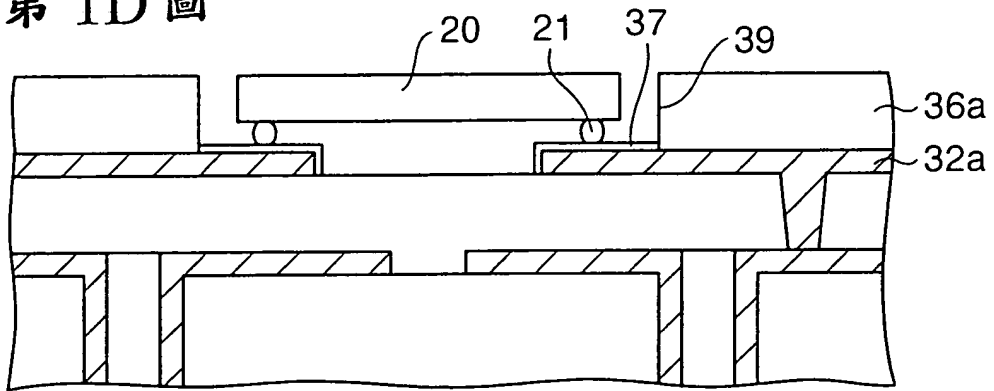
第 1B 圖



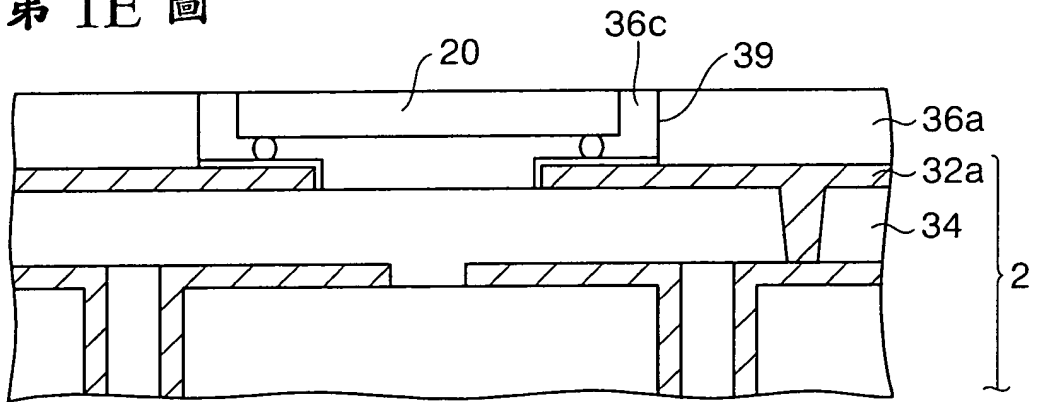
第 1C 圖



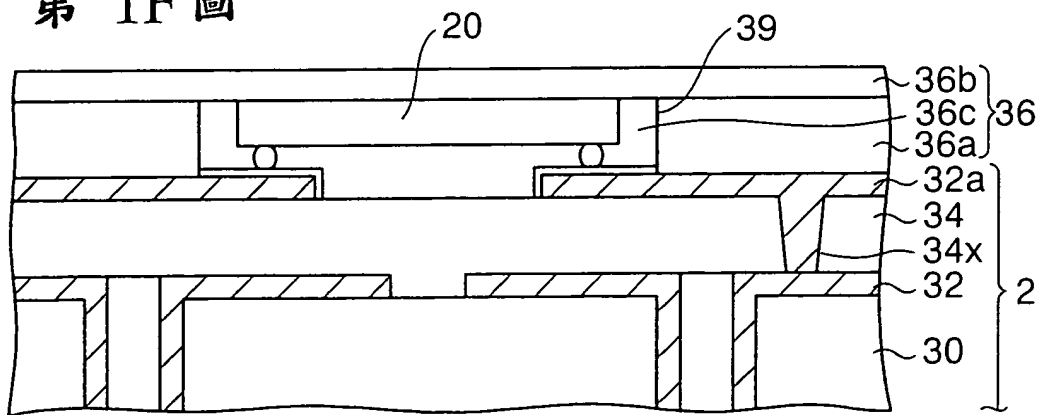
第 1D 圖



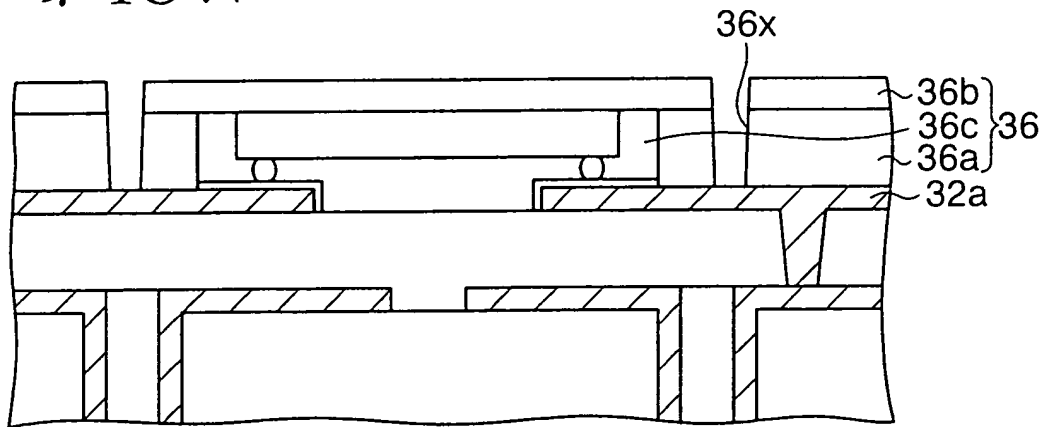
第 1E 圖



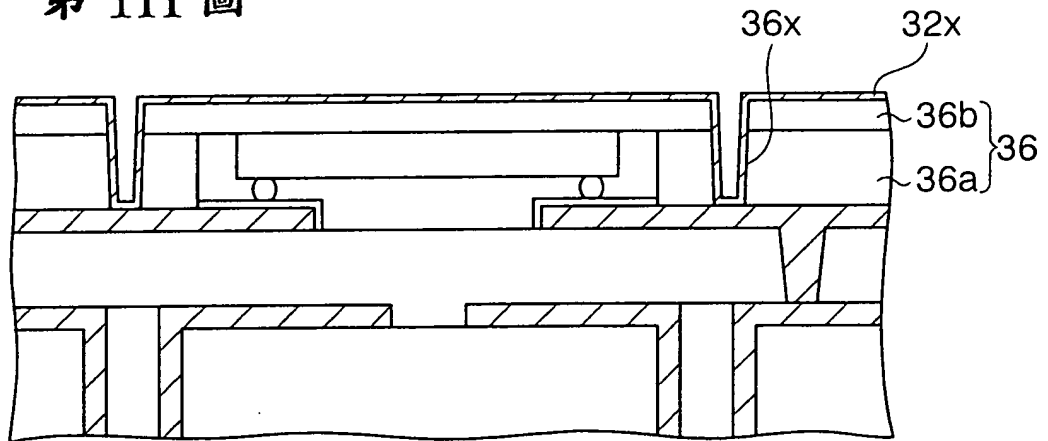
第 1F 圖



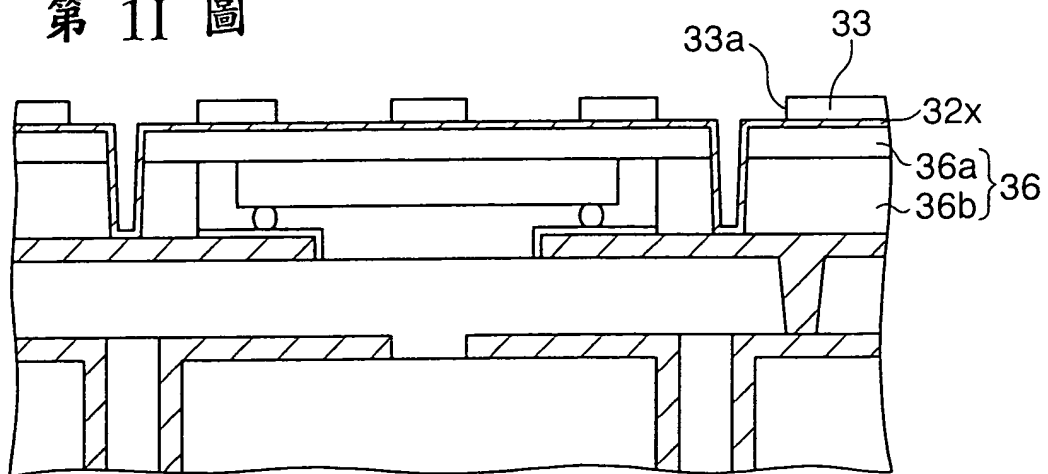
第 1G 圖



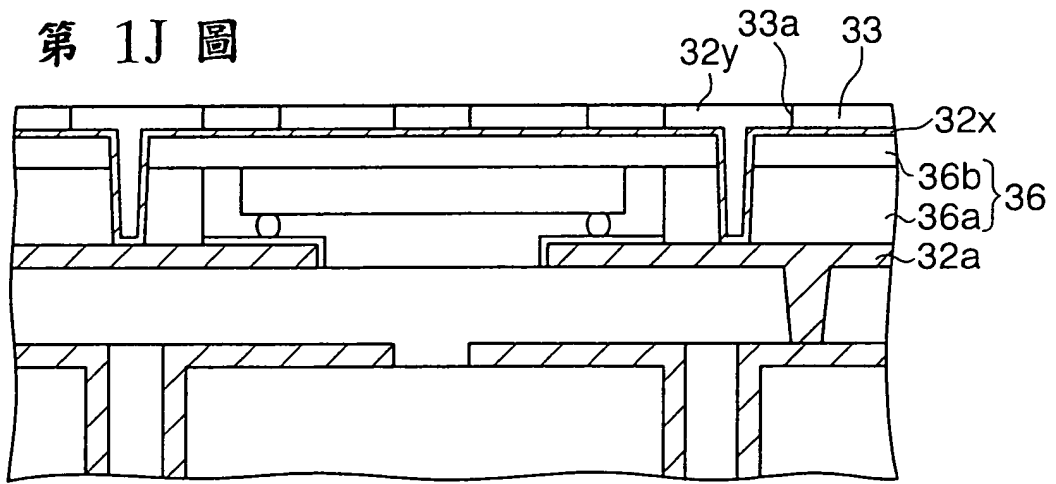
第 1H 圖



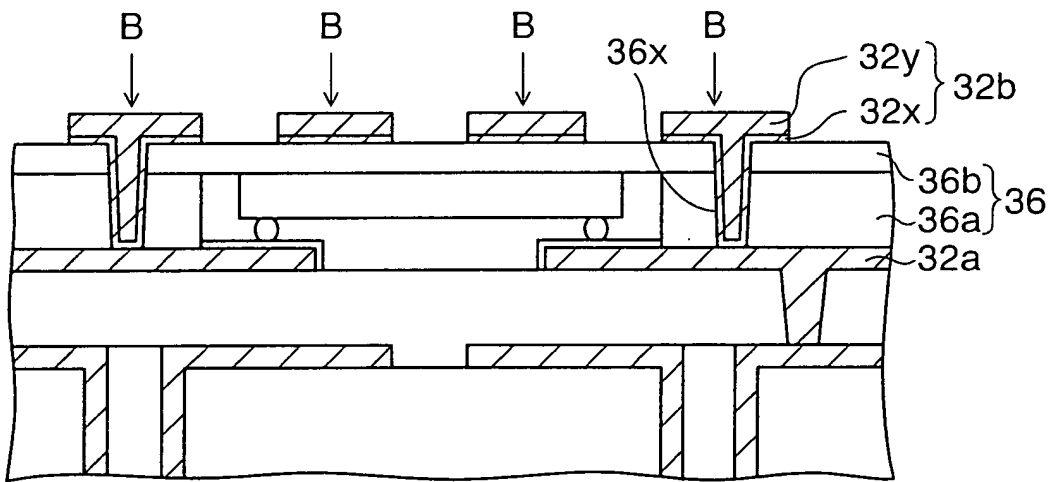
第 1I 圖



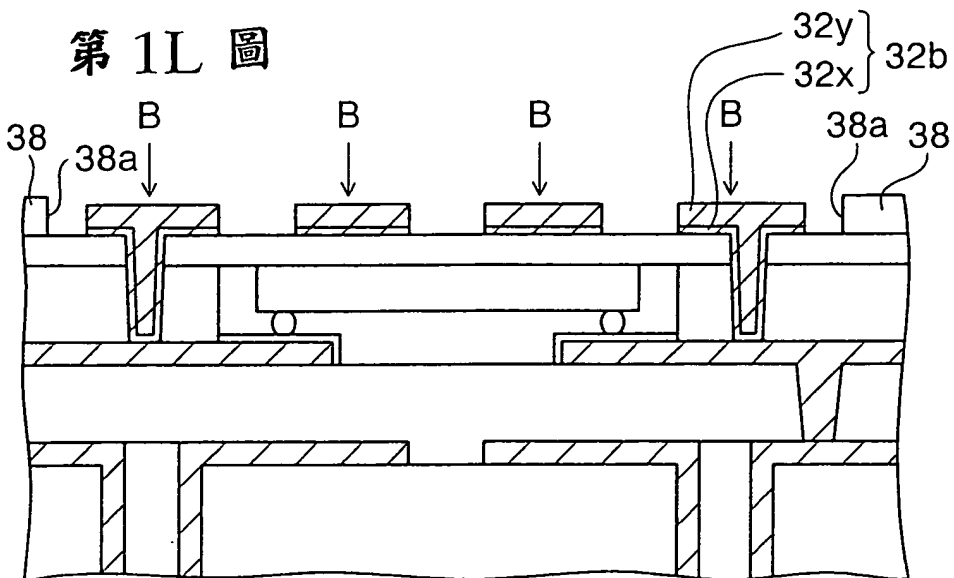
第 1J 圖



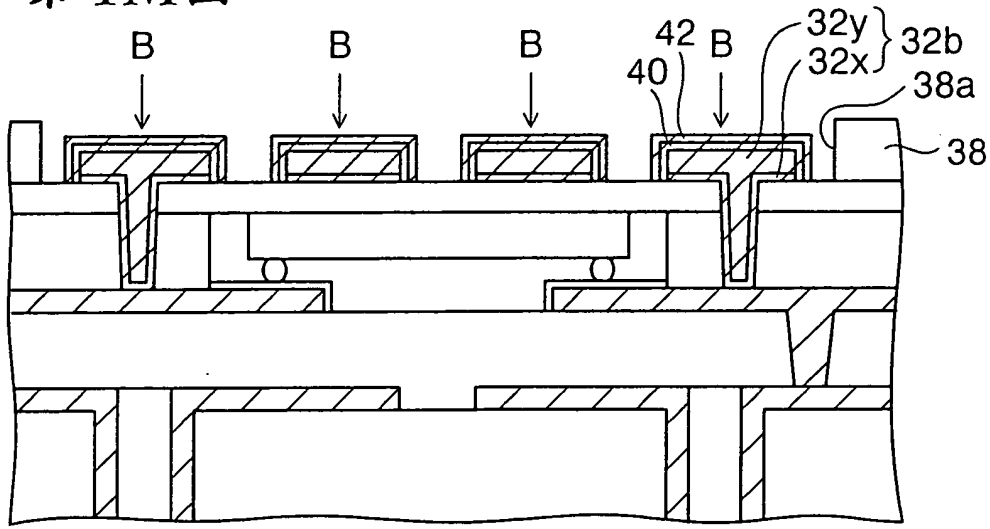
第 1K 圖



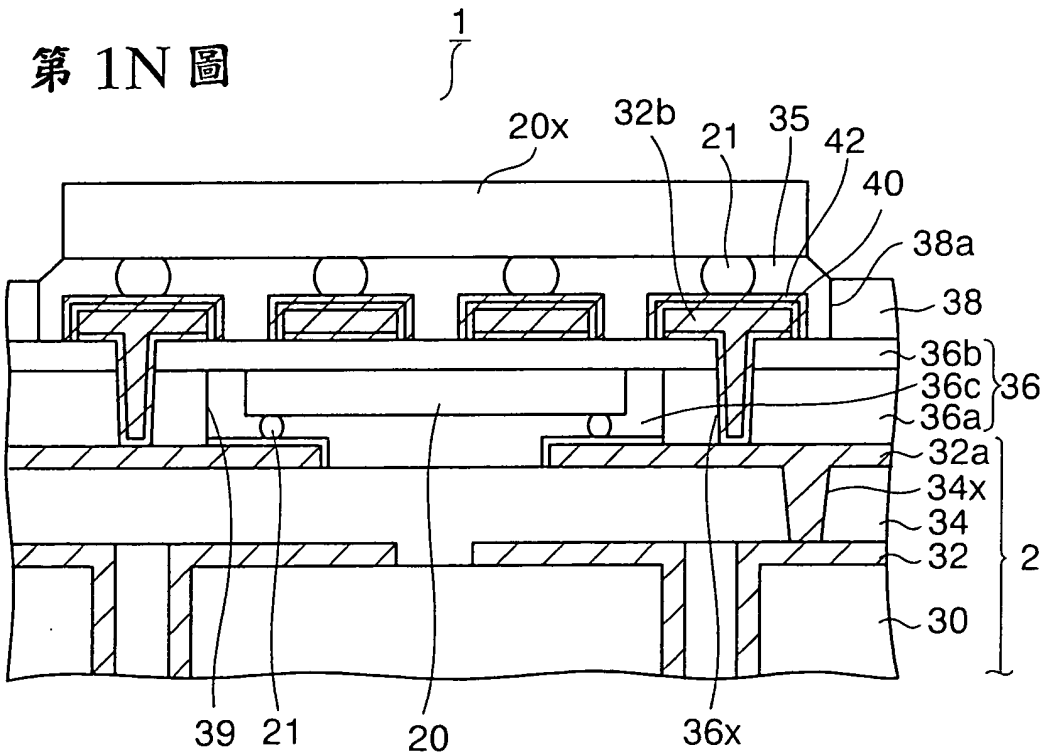
第 1L 圖



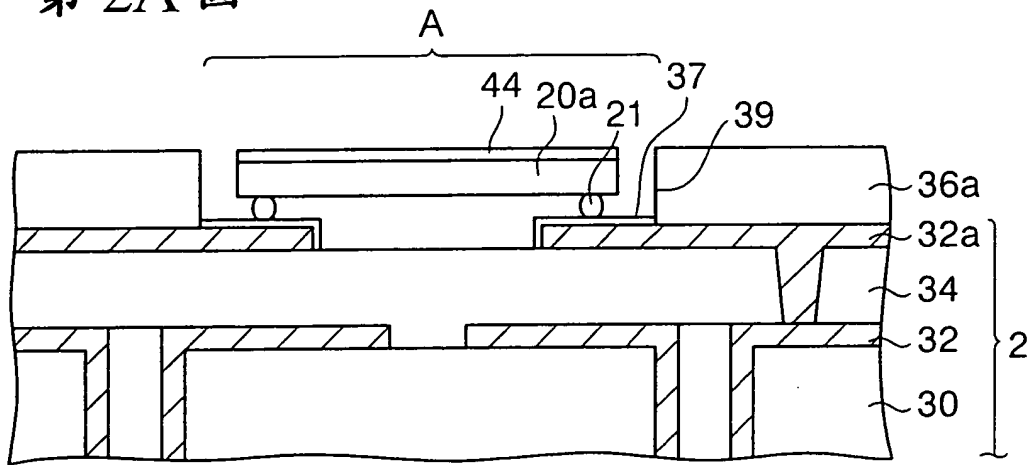
第 1M 圖



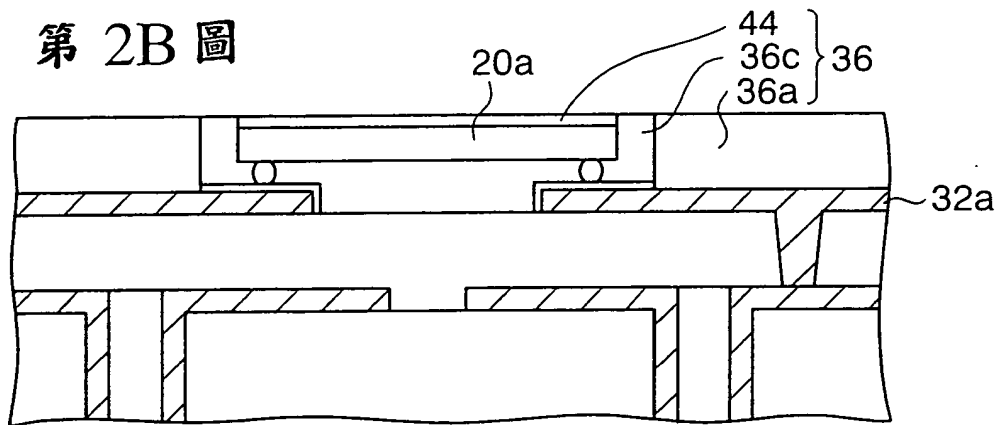
第 1N 圖



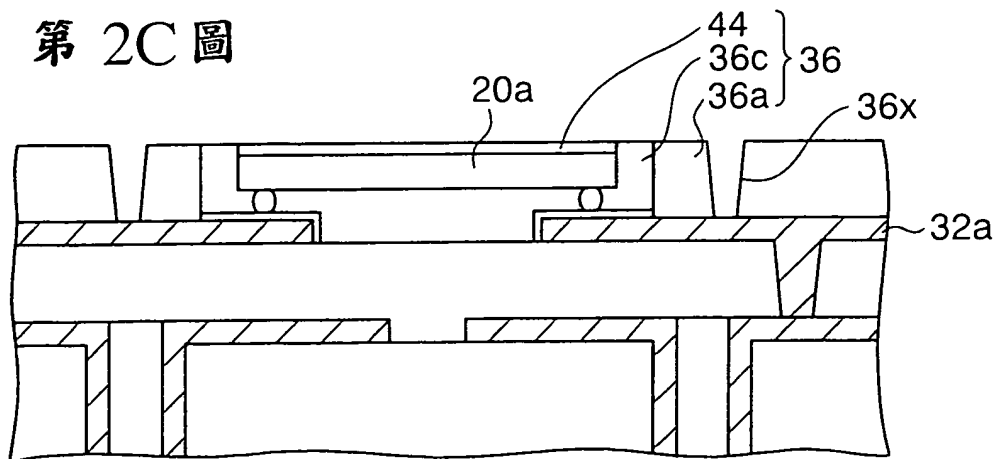
第 2A 圖



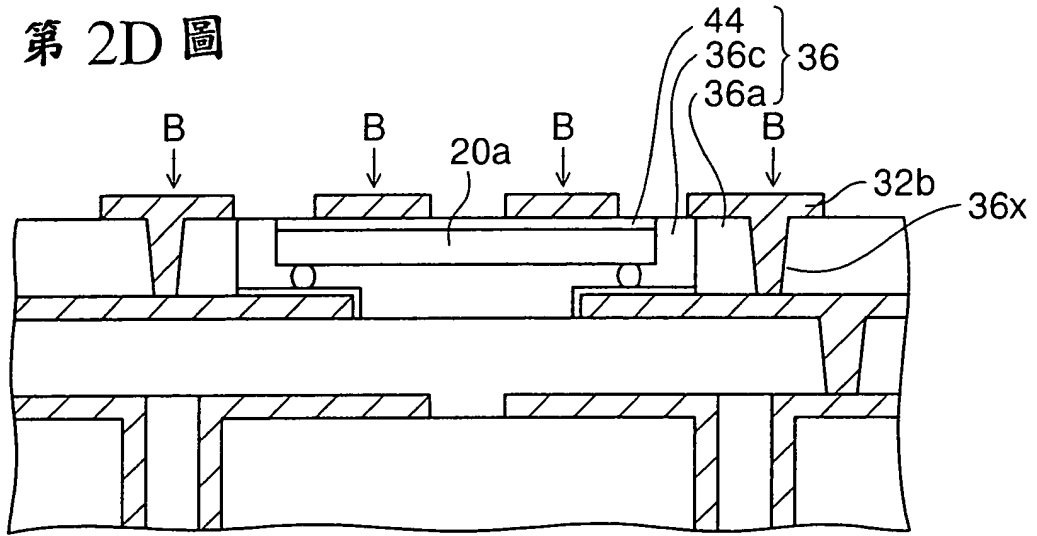
第 2B 圖



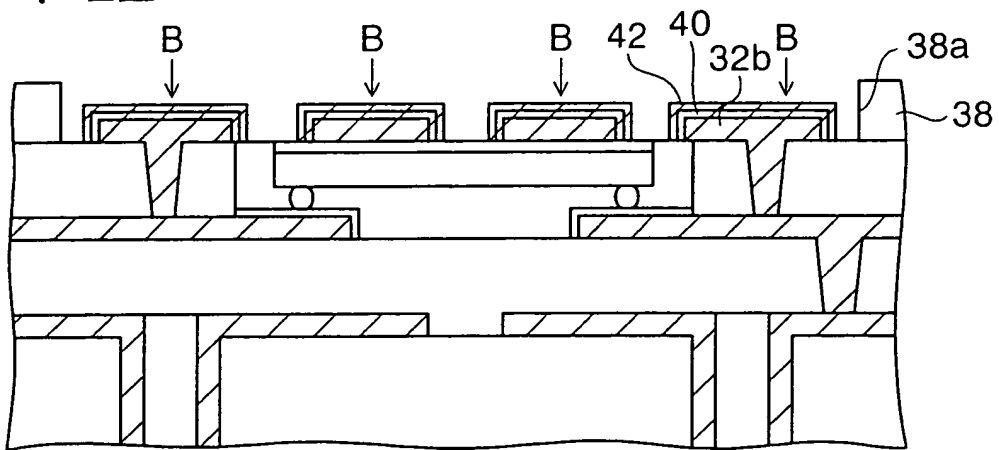
第 2C 圖



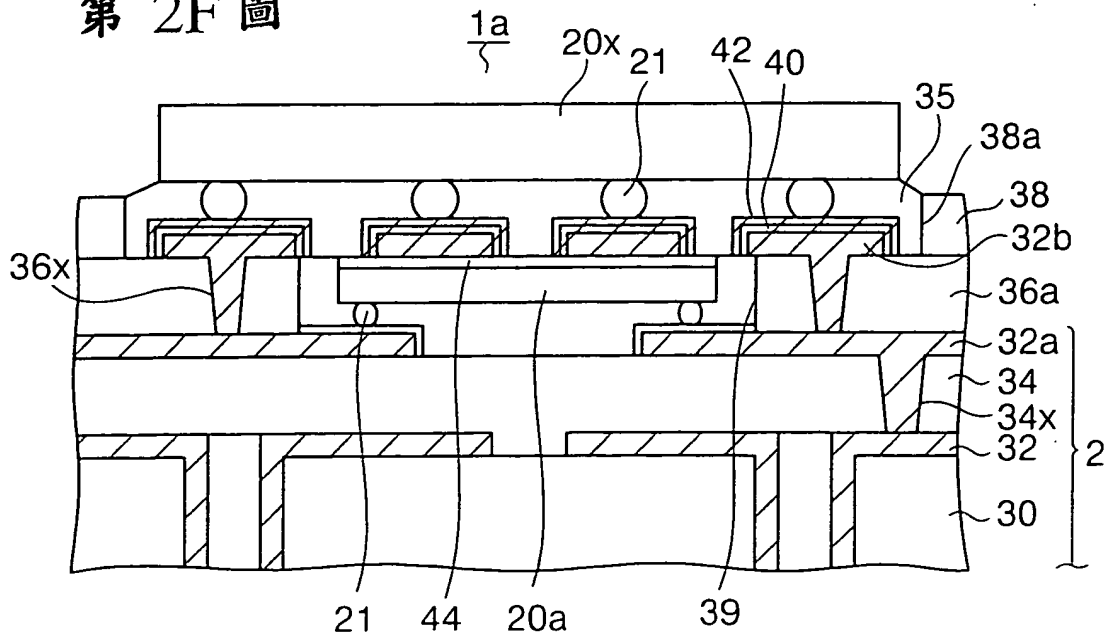
第 2D 圖



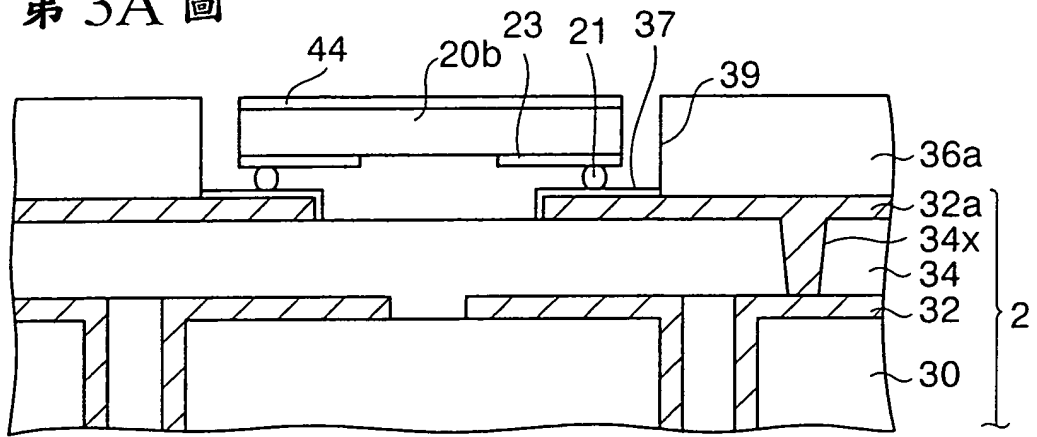
第 2E 圖



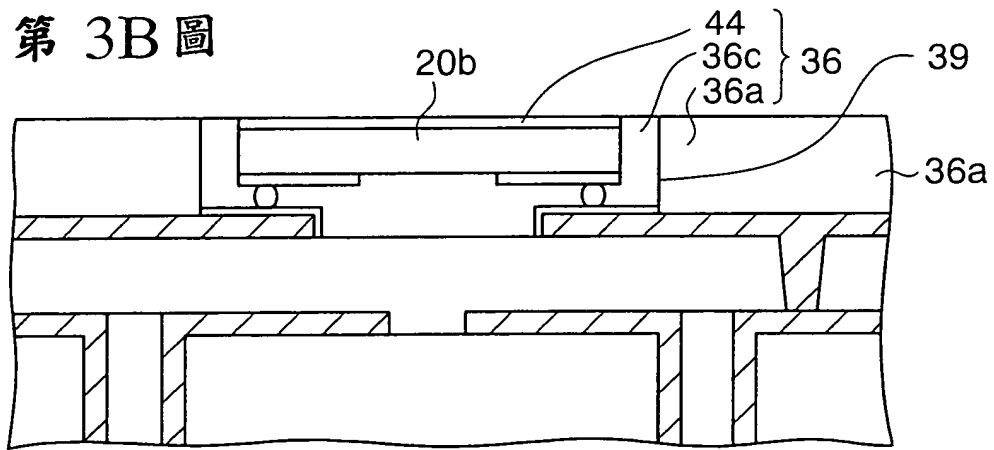
第 2F 圖



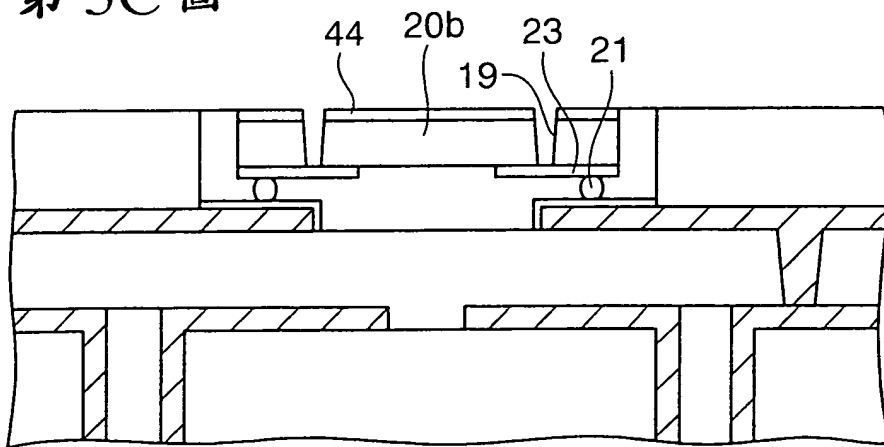
第 3A 圖



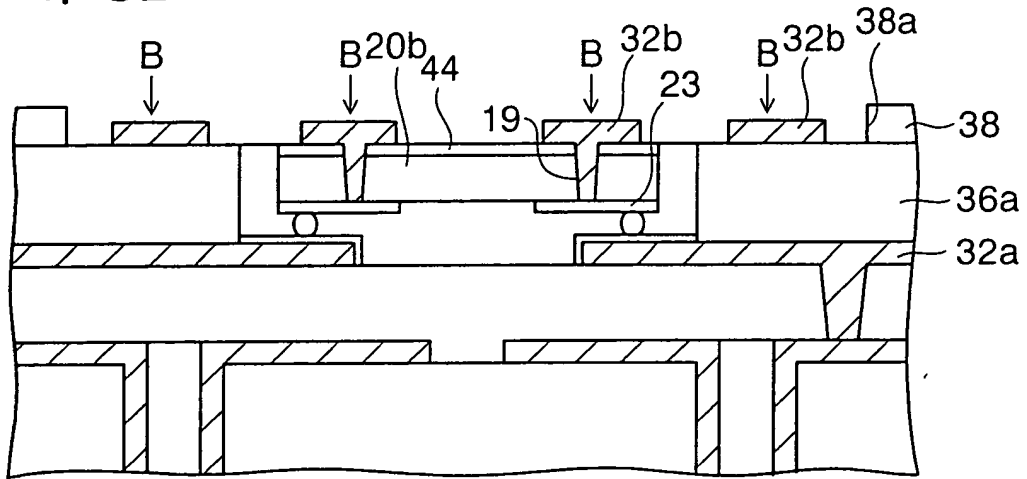
第 3B 圖



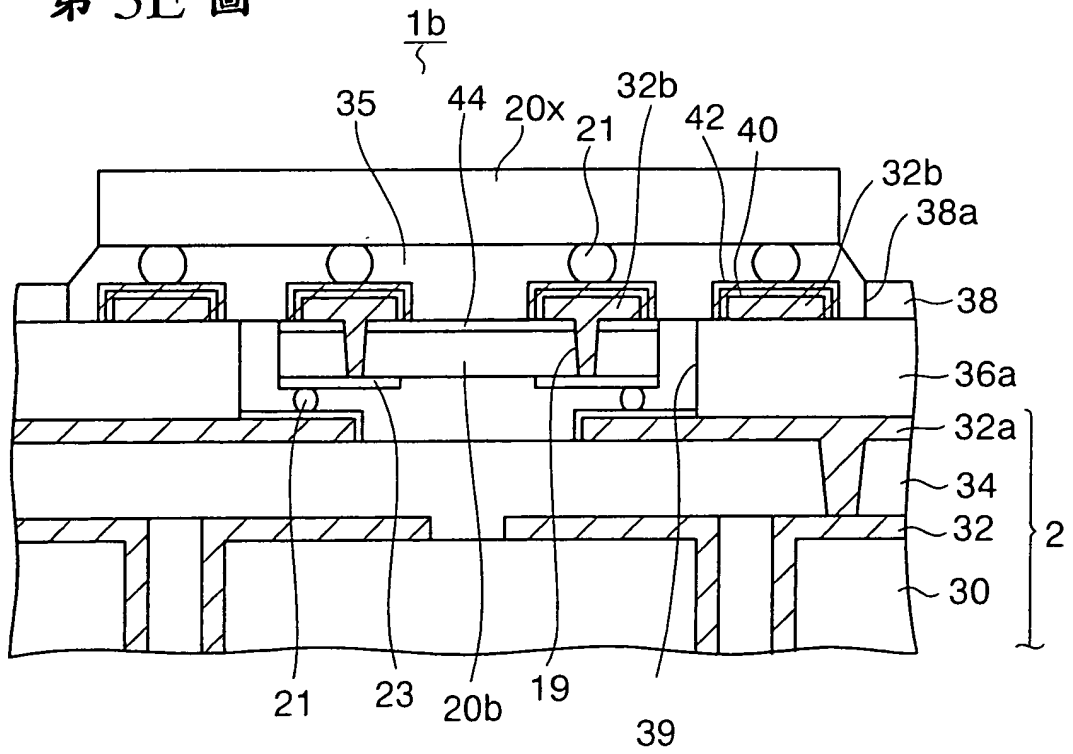
第 3C 圖



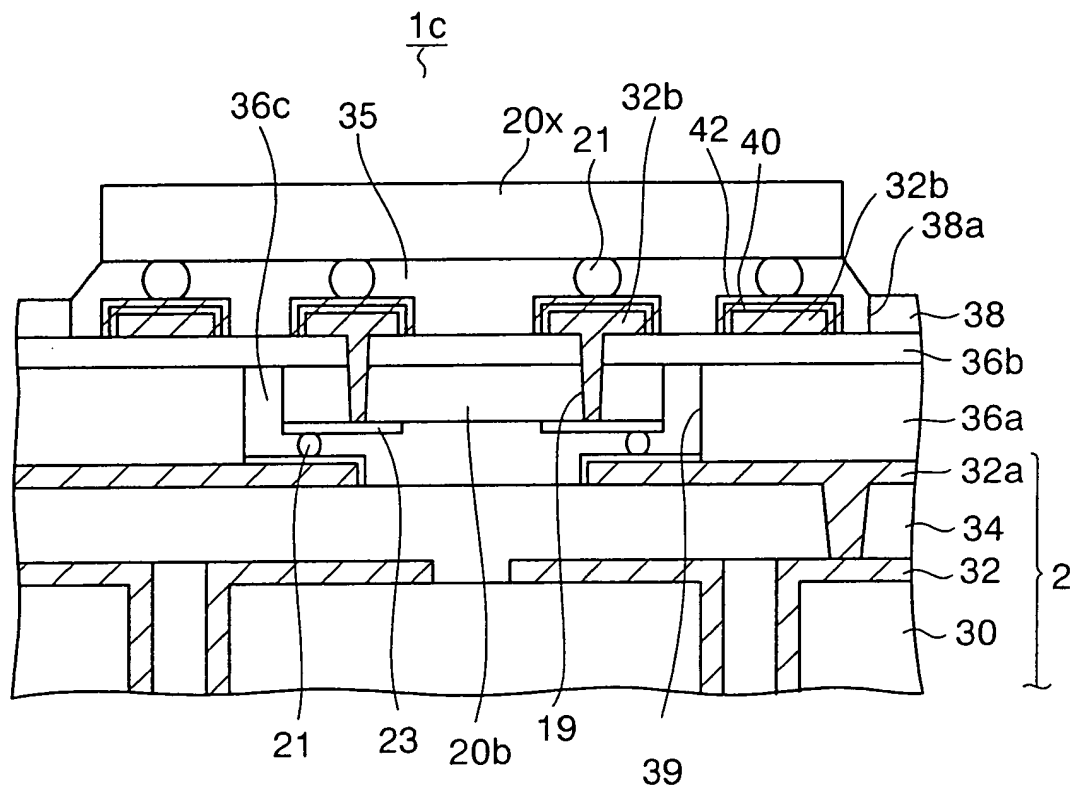
第 3D 圖



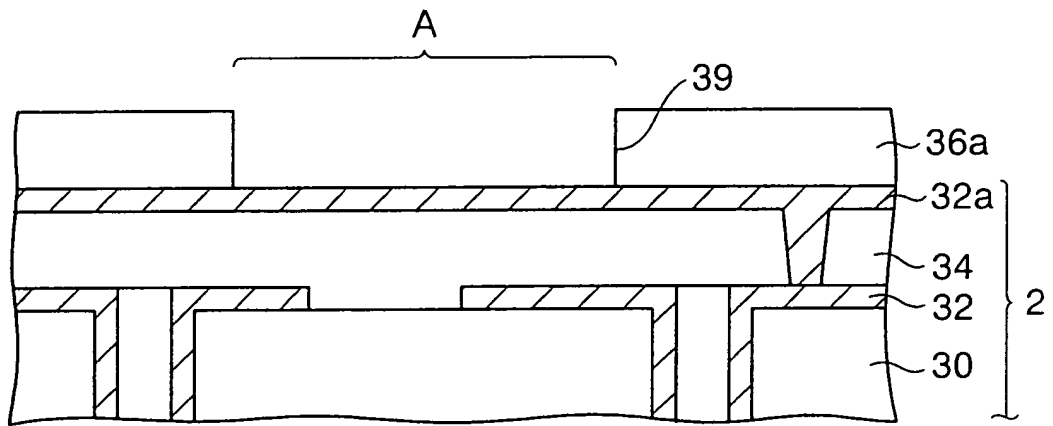
第 3E 圖



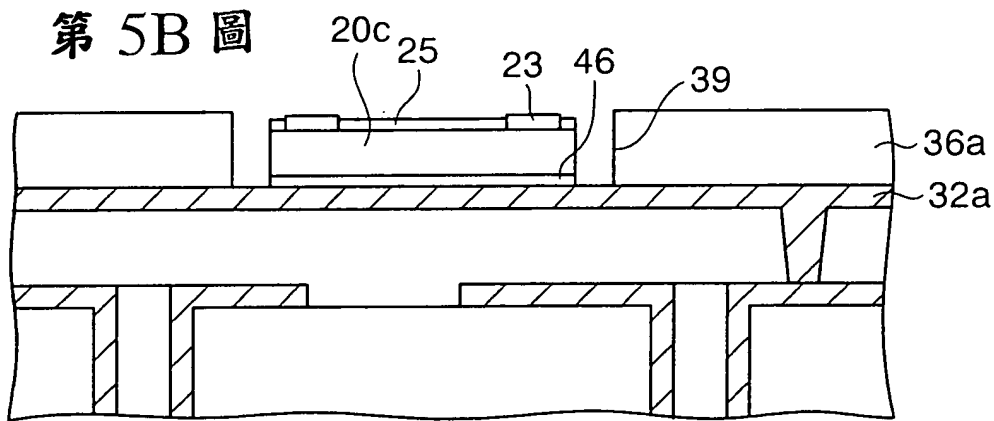
第 4 圖



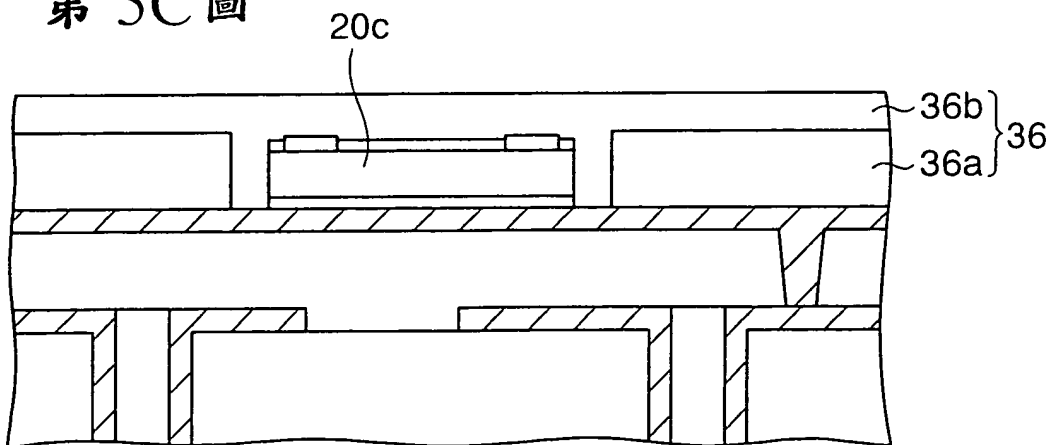
第 5A 圖



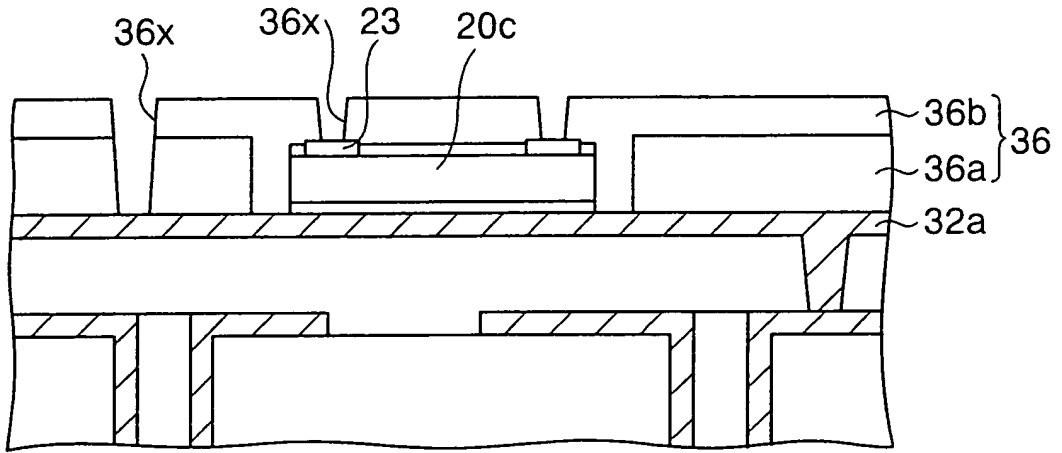
第 5B 圖



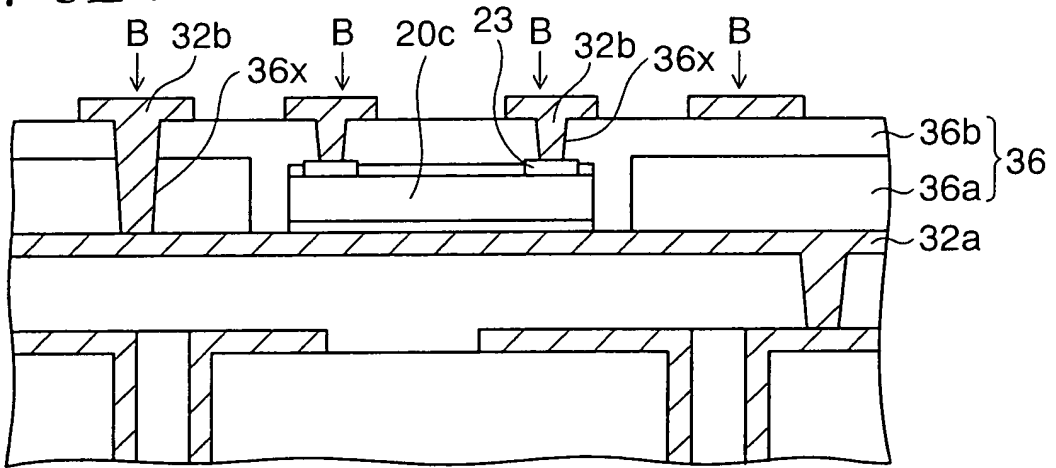
第 5C 圖



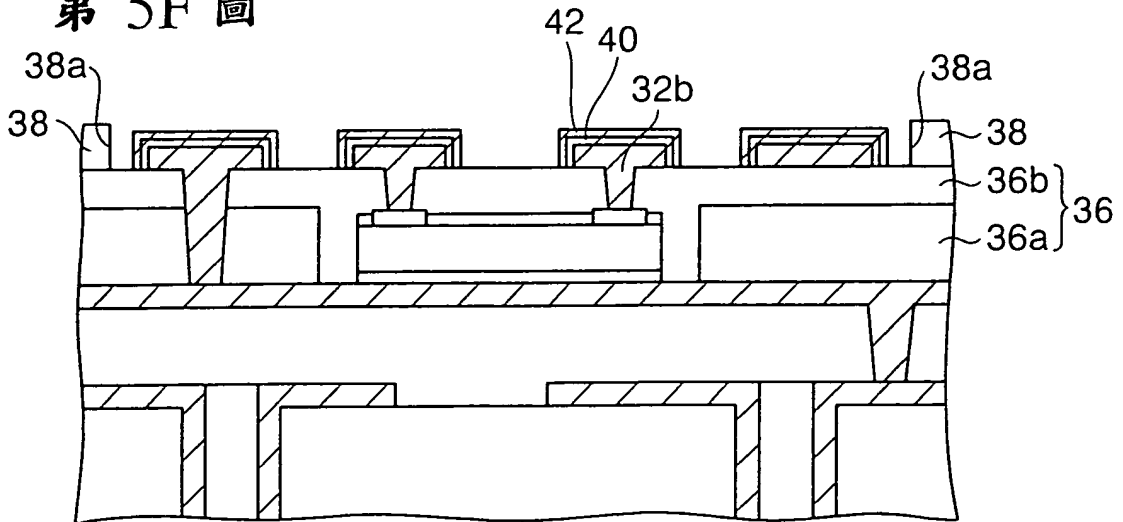
第 5D 圖



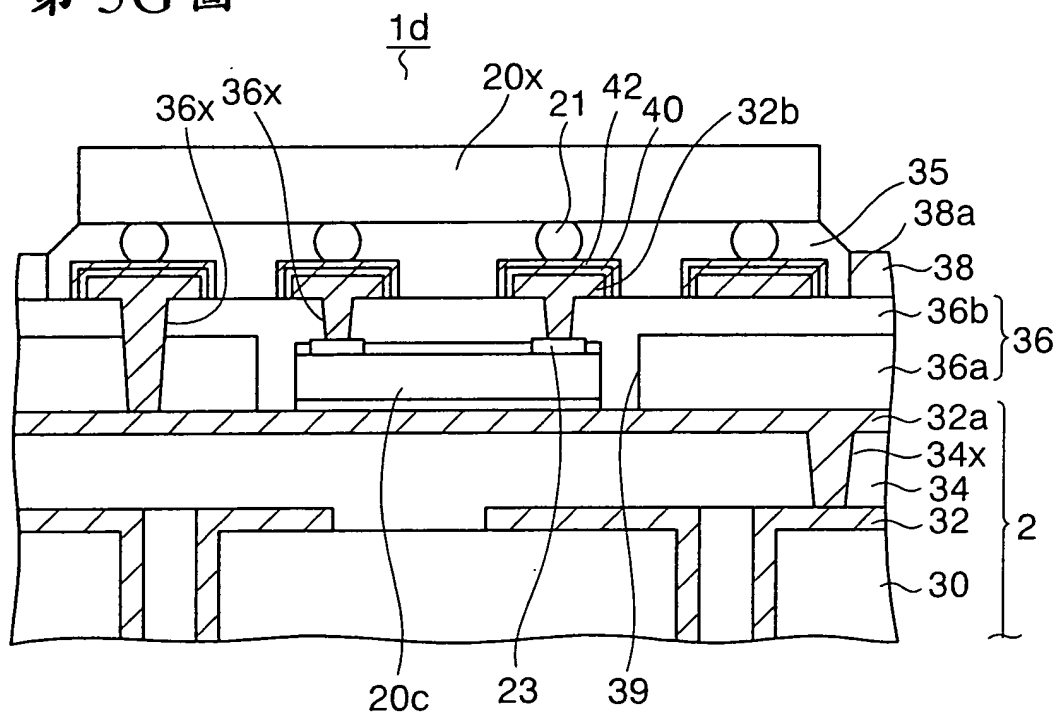
第 5E 圖



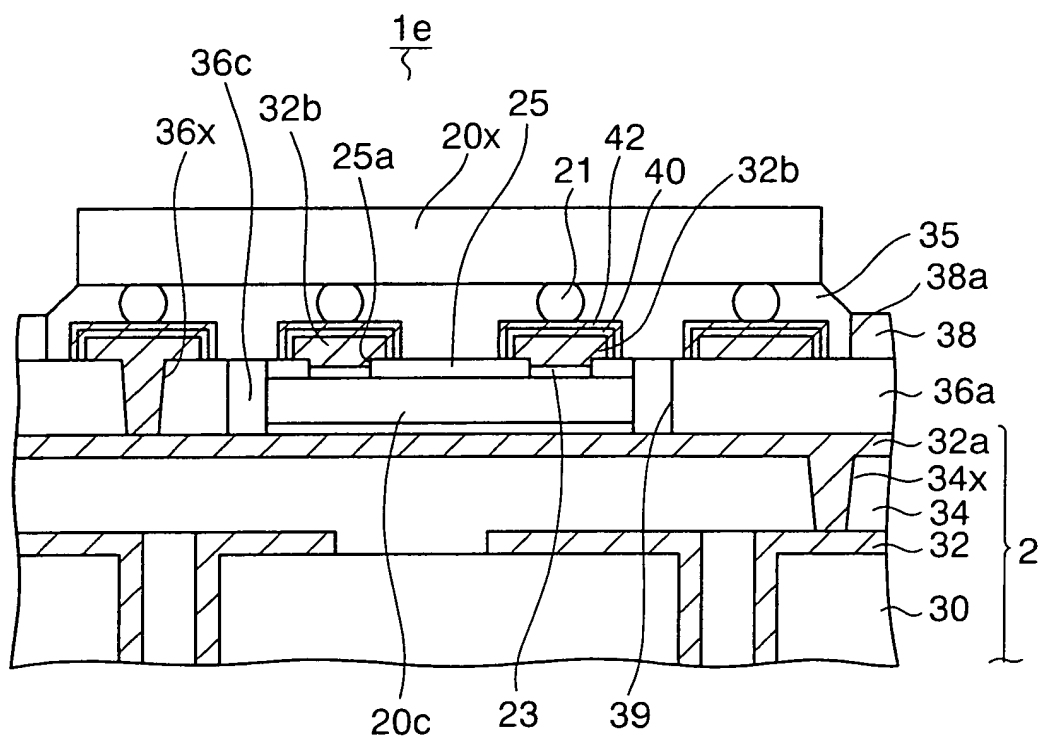
第 5F 圖



第 5G 圖



第 6 圖



柒、指定代表圖：

(一)本案指定代表圖為：第(4)圖。

(二)本代表圖之元件代表符號簡單說明：

1c…半導體裝置	36a…第一絕緣薄膜
2…基板	36b…第二絕緣薄膜
19…第二通孔	36c…底層填充樹脂
20b…半導體晶片	38…焊料抗蝕膜
20x…上半導體晶片	38a…開放部
21…Au凸塊	39…開放部
23…連接墊	40…Ni膜
32…第一配線圖案	42…Au膜
32a…第二配線圖案	
32b…第三配線圖案	
34…第一層間絕緣膜	
35…底層填充樹脂	

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍：

1. 一種電子零件封裝結構，包括：

一配線基板，具有一配線圖案；

5 一第一絕緣薄膜，形成於該配線基板上，該第一絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件；

該等電子零件具有一連接終端以覆晶法安裝於露出在該第一絕緣薄膜的開放部中之該配線圖案上；

一第二絕緣薄膜，用以覆蓋該等電子零件；

10 一通孔，形成於該配線圖案上的該第一及第二絕緣薄膜之一預定部位中，該通孔具有相同之側表面；及

一上配線圖案，由一晶種薄膜及一薄膜圖案所組成，其作為單一配線形成在該通孔之一內部表面上及在該第二絕緣薄膜上，且經由該通孔連接至該配線圖案。

15 2. 一種電子零件封裝結構，包括：

一配線基板，具有一配線圖案；

一絕緣薄膜，形成於該配線基板上，該絕緣薄膜具有一開放部，該開放部在一厚度方向上穿過供電子零件安裝於其中之封裝區中；

20 該等電子零件具有一連接終端於其一元件形成表面上，且具有一作為該等電子零件的一部分之保護膜，該保護膜只形成在相對於該元件形成表面之一背側表面上，且沒有保護膜形成在該等電子零件之一外側，該保護膜係由一樹脂所製成，該等電子零件之連接終端以覆

晶法安裝於露出在該絕緣薄膜的開放部中之該配線圖案上；

一通孔，形成於該配線圖案上的該絕緣薄膜之一預定部位中；及

5 一上配線圖案，形成為由一晶種薄膜及一薄膜圖案所組成之單一配線，且形成於該通孔之一內部表面、該絕緣薄膜及該等電子零件的保護膜上，具有接觸該絕緣薄膜及該等電子零件的保護膜之一下表面，且經由該通孔連接至該配線圖案，

10 其中該等電子零件的保護膜之一上表面及具有該開放部之該絕緣薄膜之一上表面被調整至幾乎相等的高度。

3. 一種電子零件封裝結構，包括：

一配線基板，具有一配線圖案；

15 一絕緣薄膜，形成於該配線基板上，該絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部具有大於該等電子零件之區域的一區域；

該等電子零件具有一連接終端於其一元件形成表面上，且具有一保護膜於其一背側上，該等電子零件之連接終端以覆晶法安裝於露出在該絕緣薄膜的開放部中之該配線圖案上；

20

將填充樹脂形成在該等電子零件的一下側之間隙內及在該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間隙內，

99年4月30日修正
補充

一通孔，貫穿該連接終端上的該等電子零件及該保護膜之一預定部位；及

一上配線圖案，形成於該絕緣薄膜及該保護膜上，且經由該等電子零件的通孔連接至該連接終端，

5 其中該等電子零件的一上表面及具有該開放部之該絕緣薄膜之一上表面被設定至幾乎相等的高度。

4. 一種電子零件封裝結構，包括：

一配線基板，具有一配線圖案；

10 一第一絕緣薄膜，形成於該配線基板上，該第一絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部具有大於該等電子零件之區域的一區域；

該等電子零件具有一連接終端以覆晶法安裝於露出在該第一絕緣薄膜的開放部中之該配線圖案上；

15 將填充樹脂形成在該等電子零件的一下側之間隙內及在該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間隙內，

一第二絕緣薄膜，用以覆蓋該等電子零件；

20 一通孔，貫穿該連接終端上的該等電子零件及該第二絕緣薄膜之一預定部位；及

一上配線圖案，形成於該第二絕緣薄膜上且經由該等電子零件之通孔連接至該連接終端，

其中該等電子零件的一上表面及具有該開放部之該絕緣薄膜之一上表面被設定至幾乎相等的高度。

99年4月30日
修正
補充

5. 如申請專利範圍第1至4項中任一項之電子零件封裝結構，其中該等電子零件之連接終端是以金所製成，一金膜係形成於該絕緣薄膜的開放部中之該配線圖案的一表面上，且該等電子零件的連接終端藉由金-金接合法覆晶安裝於該配線圖案上。
6. 如申請專利範圍第1項或第2項之電子零件封裝結構，其中將該等電子零件以覆晶法安裝於該絕緣薄膜的開放部中之結構，包含一結構，其中將一填充絕緣薄膜從該等電子零件與該配線基板之間的間隙，形成於該等電子零件與該配線基板之間的至少一間隙內，以及形成於該等電子零件與該開放部的側表面之間的間隙內。
7. 一種電子零件封裝結構，包括：
- 一配線基板，具有一配線圖案；
 - 一第一絕緣薄膜，形成於該配線基板上，該第一絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部具有大於該等電子零件之區域的一區域；
 - 該等電子零件安裝於該第一絕緣薄膜的開放部之封裝區中，處於一連接終端導向上之狀態；
 - 一第二絕緣薄膜，用以覆蓋該等電子零件，以及填充該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間的間隙；
 - 通孔，分別形成於該連接終端上的該等絕緣薄膜及該配線圖案之一預定部位中；及

上配線圖案，形成於該第二絕緣薄膜上，該等上配線圖案是經由該等通孔分別連接至該連接終端及該配線圖案。

8. 一種電子零件封裝結構，包括：

5 一配線基板，具有一配線圖案；

一絕緣薄膜，形成於該配線基板上，該絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部具有大於該等電子零件之區域的一區域；

10 該等電子零件具有一連接終端及一鈍化薄膜，該鈍化薄膜具有一開放部用以將該連接終端露出於其一元件形成表面上，且該等電子零件安裝於該絕緣薄膜的開放部之封裝區中，處於使該連接終端導向上之狀態；

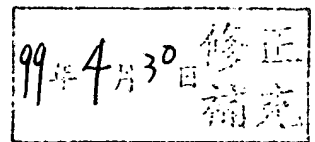
將填充樹脂形成在該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間的間隙內；

15 一通孔，形成於該配線圖案上的該絕緣薄膜之一預定部位中；及

一上配線圖案，形成於該絕緣薄膜及該鈍化薄膜上，經由該通孔連接至該配線圖案，且經由該開放部連接至該連接終端。

20 9. 如申請專利範圍第1項、第7項及第8項中任一項之電子零件封裝結構，其中該等電子零件之一上表面及具有該開放部之該絕緣薄膜之一上表面被調整為幾乎相等的高度。

10. 如申請專利範圍第2至4項及第7項及第8項中任一項之



電子零件封裝結構，進一步包括：上電子零件，具有一連接終端以覆晶法安裝於該上配線圖案上。

11. 如申請專利範圍第10項之電子零件封裝結構，其中一焊料抗蝕膜形成於該絕緣薄膜及該上配線圖案上，該焊料抗蝕膜具有一隆起之開放部開放一封裝區供上電子零件安裝，且一填充絕緣薄膜係形成於該上電子零件的一底表面下方之一間隙中。

12. 如申請專利範圍第1至4項及第7項及第8項中任一項之電子零件封裝結構，其中該等電子零件是半導體晶片，其具有約150 μm 或更小之厚度，且該絕緣薄膜是以樹脂所製成。

13. 一種電子零件封裝結構之製造方法，包括以下步驟：

製備一配線基板，其具有一配線圖案；

形成一絕緣薄膜於該配線基板上，該絕緣薄膜具有一集體的開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部穿過達一厚度方向及露出該配線圖案，且具有大於該等電子零件之區域之一區域；

將該等電子零件的一連接終端以覆晶法安裝於露出在該絕緣薄膜的開放部中之該配線圖案上，該等電子零件具有該連接終端於其一元件形成表面上，且具有一保護膜於其一背側上；

填充樹脂在該等電子零件的一下側之間隙內及在該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間之間隙內，

99年4月30日 修正
補充

藉由在該連接終端上的該等電子零件及該保護膜之一預定部位中蝕刻以形成一通孔，其具有到達該連接終端之深度，該通孔穿過該等電子零件達厚度方向；及

5 形成一上配線圖案於該絕緣薄膜及該保護膜上，該上配線圖案經由該通孔連接至該連接終端，

其中該等電子零件的一上表面及具有該開放部之該絕緣薄膜之一上表面被設定至幾乎相等的高度。

14. 一種電子零件封裝結構之製造方法，包括以下步驟：

製備一配線基板，其具有一配線圖案；

10 形成一第一絕緣薄膜於該配線基板上，該第一絕緣薄膜具有一開放部在一封裝區中，在該封裝區中安裝有電子零件，該開放部穿過達一厚度方向及露出該配線圖案，且具有大於該等電子零件之區域的一區域；

15 將該等電子零件的一連接終端以覆晶法安裝於露出在該第一絕緣薄膜的開放部中之該配線圖案上；

填充樹脂在該等電子零件的一下側之間隙內及在該等電子零件的一側表面與該絕緣薄膜的開放部之一側表面之間之間隙內，

形成一第二絕緣薄膜，用以覆蓋該等電子零件；

20 藉由在該連接終端上的該等電子零件及該第二絕緣薄膜之一預定部位中蝕刻以形成一通孔，其具有到達該連接終端之深度，該通孔穿過該等電子零件達厚度方向；及

形成一上配線圖案於該第二絕緣薄膜上，該上配線圖

99年4月30日 修正
補充

案是經由該通孔連接至該連接終端，

其中該等電子零件的一上表面及具有該開放部之該絕緣薄膜之一上表面被設定至幾乎相等的高度。

- 5 15. 如申請專利範圍第13項或第14項之方法，在形成具有該開放部之該絕緣薄膜的步驟之後，及在以覆晶法安裝該等電子零件的步驟之前，進一步包括以下步驟：

以無電極電鍍法，使用該絕緣薄膜作為遮罩，選擇地形成一金膜於露出在該絕緣薄膜的開放部中之該配線圖案上，

- 10 其中於以覆晶法安裝該等電子零件的步驟中，該等電子零件的連接終端，其以金所製成，被以覆晶法安裝在該配線圖案的該金膜上。

- 15 16. 如申請專利範圍第13項或第14項之方法，其中該等電子零件是半導體晶片，其具有約 $150\mu\text{m}$ 或更小之厚度，且該絕緣薄膜是樹脂薄膜。