

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2007年9月20日 (20.09.2007)

PCT

(10) 国際公開番号  
WO 2007/105676 A1

- (51) 国際特許分類:  
*G01N 33/53* (2006.01)    *H01L 27/12* (2006.01)  
*G01N 37/00* (2006.01)    *C12M 1/00* (2006.01)  
*G01R 29/24* (2006.01)    *C12N 15/09* (2006.01)  
*H01L 21/02* (2006.01)
- (21) 国際出願番号: PCT/JP2007/054794  
(22) 国際出願日: 2007年3月12日 (12.03.2007)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願2006-067804 2006年3月13日 (13.03.2006) JP  
(71) 出願人(米国を除く全ての指定国について): 信越化学工業株式会社 (SHIN-ETSU CHEMICAL CO., LTD.)

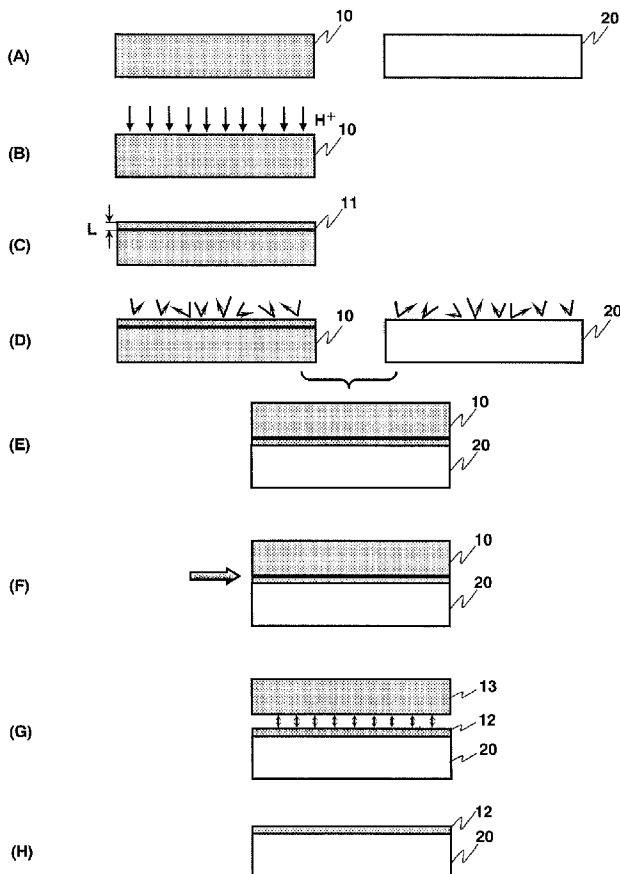
[JP/JP]; 〒1000005 東京都千代田区大手町二丁目6番1号 Tokyo (JP).

- (72) 発明者; および  
(75) 発明者/出願人(米国についてのみ): 秋山 昌次 (AKIYAMA, Shoji) [JP/JP]; 〒3790195 群馬県安中市磯部2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 久保田 芳宏 (KUBOTA, Yoshihiro) [JP/JP]; 〒3790195 群馬県安中市磯部2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 伊藤 厚雄 (ITO, Atsuo) [JP/JP]; 〒3790195 群馬県安中市磯部2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 田中 好一 (TANAKA, Koichi) [JP/JP]; 〒3790195 群馬県安中市磯部2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 川合 信 (KAWAI,

[続葉有]

(54) Title: MICROCHIP AND SOI SUBSTRATE FOR MANUFACTURING MICROCHIP

(54) 発明の名称: マイクロチップ及びマイクロチップ製造用SOI基板



(57) Abstract: Hydrogen ions are implanted on the front plane of a single crystal Si substrate (10), and a hydrogen ion implanted layer is formed on the front layer of the single crystal Si substrate (10). The single crystal Si substrate (10) whereupon the hydrogen ion implanted layer (11) is formed is bonded with a quartz substrate (20) by performing plasma processing and ozone processing to each of the bonding planes for cleaning and activating the surfaces. Then, an impact force is applied to the bonded substrates, a silicon thin film is peeled from a single crystal Si bulk section (13) along the hydrogen ion implanted layer (11), and an SOI substrate having an SOI layer (12) is obtained on the quartz substrate (20). On the front plane of the quartz substrate (20) of the SOI substrate obtained in such manner, recesses such as a hole and a micro flow channel are formed, processing required for a DNA chip and a microfluidics chip is performed, and a silicon semiconductor element for analyzing and evaluating a sample adhered and held in the recess is formed on the SOI layer (12).

(57) 要約: 単結晶Si基板(10)の表面に水素イオンを注入し、単結晶Si基板(10)の表層に水素イオン注入層を形成する。水素イオン注入層(11)を形成した単結晶Si基板(10)と石英基板(20)のそれぞれの接合面に、表面清浄化や表面活性化などを目的としたプラズマ処理やオゾン処理を施して貼り合わせる。そして、貼り合わされた基板に衝撃力を付与し、水素イオン注入層(11)に沿ってシリコン薄膜を単結晶Siのバルク部(13)から剥離し、石英基板(20)上にSOI層(12)を有するSOI基板を得る。

このようにして得られたSOI基板の石英基板(20)の表面にホールやマイクロ流路などの凹部を形成してDNAチップやマイクロ流体チップとして必要な加工を施し、SOI層(12)にはこの凹

[続葉有]

WO 2007/105676 A1



**Makoto**) [JP/JP]; 〒3790195 群馬県安中市磯部 2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP). 飛坂 優二 (**TOBISAKA, Yuuji**) [JP/JP]; 〒3790195 群馬県安中市磯部 2-13-1 信越化学工業株式会社 精密機能材料研究所内 Gunma (JP).

(74) 代理人: 大野 聖二, 外(OHNO, Seiji et al.); 〒1006036 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビル 3 6 階 大野総合法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,

SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

## 明 細 書

### マイクロチップ及びマイクロチップ製造用SOI基板

#### 技術分野

[0001] 本発明は、卓上バイオチップや表面電位センサなどのマイクロチップ及びこれらのマイクロチップ製造用SOI基板の技術に関する。

#### 背景技術

[0002] 微量のサンプルを効率よく短時間で分析するための小型バイオチップが近年脚光を浴びている。このようなマイクロチップは、半導体技術として公知のフォトリソグラフィ技術を用いて、幅数10～数100 $\mu$ m、深さ数～数10 $\mu$ mのパターンなどをガラスなどの基板の上に加工して得られるのが一般的である。このようなマイクロチップは、 $\mu$ -TAS (Micro-Total Analysis Systems) やLOAC (Lab-On-A Chip)、あるいは、Bio-MEMS (Bio-Micro Electro-Mechanical Systems)、Optical-MEMS、Fluidic-MEMS などと呼ばれる分野への応用が期待されている。

[0003] しかし、これらのマイクロチップの従来構造では、被測定試料(主に溶液)を流す、溜める、化学反応を生じさせることなどを目的とする個別の微細加工部をワンチップ(基板としては石英などの透明材料が用いられている)上に集積させて設けた「化学プラント」とでもいうべき部分のみとされるのが通常である。そして、被測定試料の分析・評価のために必要な半導体素子等はこのマイクロチップとは別の装置に搭載されるため、簡便で高効率な分析・評価を行う障害となっている。

[0004] このような障害を克服するためには、「化学プラント」部分と被測定試料の分析・評価のために必要な半導体素子等をワンチップに搭載した集積型マイクロチップが求められることとなる。卓上バイオチップを例にとると、被測定試料に光を入射して生じる電気信号を取り出すために、入射光に対して透明な基板と、この透明基板上に半導体素子を形成するための高品質な半導体層が必要であり、このような要求に応えるために、SOI基板の1種であるSOS (Silicon on Sapphire) 基板の使用が提案されている(内田秀和ほか、“SOS基板を用いた表面光電圧法2次元化学画像センサの特性改善”、(社)電気学会ケミカルセンサ研究会資料 CHS-00-66 (2000) 23.を参

照)。

[0005] しかし、SOS基板はシリコン層をサファイア基板上にヘテロエピタキシャル成長させて得られる基板であるため、シリコンとサファイアの格子定数の違いに起因してその界面で高密度の転位(格子欠陥)が発生してシリコン層の高品質化を図ることが容易ではないことに加え、サファイア基板そのものが高価であるためにSOS基板も高価なものになってしまうという問題も指摘されている。

[0006] ところで、SOI基板を得る方法のひとつとして、基板の貼り合わせによるSmartCut法が知られている。SmartCut法は、貼り合せ面側に水素イオンを注入したシリコン基板とシリコン基板や他の材料の基板とを貼り合わせ、比較的高温の熱処理を施して、注入水素イオンの濃度が最も高い領域からシリコン薄膜を熱剥離させてSOI基板を得る方法である(例えば、特許第3048201号公報や、A. J. Auberton-Herve et al., “SMART CUT TECHNOLOGY: INDUSTRIAL STATUS of SOI WAFER PRODUCTION and NEW MATERIAL DEVELOPMENTS” (Electrochemical Society Proceedings Volume 99-3 (1999) p.93-106).)。

[0007] しかしながら、貼り合せ用基板としてシリコン基板とガラス基板が選択される場合には、両基板間の熱的諸特性(例えば、熱膨張率や固有耐熱温度)が相違するために、SOI基板の製造工程中に貼り合わせ基板に施される熱処理の温度が高くなると、割れや局所的なクラックなどが生じ易くなる。このような観点からは、シリコン薄膜の剥離に高温を要するSmartCut法は、ガラス基板との貼り合わせによるSOI基板の製造方法として好ましいものとはいえない。

## 発明の開示

### 発明が解決しようとする課題

[0008] 本発明は、このような問題に鑑みてなされたものであり、その目的とするところは、シリコン基板とガラス基板の熱的諸特性の相違に起因する割れや局所的クラック等の導入を回避して、膜厚均一性、結晶性、電氣的諸特性(キャリア移動度など)に優れたSOI層を有するSOI基板を提供し、このSOI基板を用いて、ホールやマイクロ流路などと分析・評価用半導体素子とがワンチップに集積されたマイクロチップ(バイオチップ)や、検知された光電流から試料(例えば細胞)の電荷量変化をモニタすることが

可能な表面電位センサなどのマイクロチップを提供することにある。

#### 課題を解決するための手段

- [0009] このような課題を解決するために、本発明のマイクロチップは、下記の(1)乃至(4)の工程を備えた方法で製造されたSOI基板を用いて作製されたことを特徴とする。(1)シリコン基板の貼り合わせ面にイオン打ち込みして水素イオン注入層を形成する工程、(2)上記シリコン基板及びガラス基板の少なくとも一方の貼り合わせ面に表面活性化処理を施す工程、(3)上記シリコン基板と上記ガラス基板とを貼り合わせる工程、(4)上記水素イオン注入層に沿って上記シリコン基板の表層を剥離してシリコン層を上記ガラス基板上に転写する工程。
- [0010] 上記(2)の工程の表面活性化処理はプラズマ処理又はオゾン処理の少なくとも一方で実行することができ、上記(3)の工程は上記貼り合わせ後に上記シリコン基板と上記ガラス基板を貼り合わせた状態で熱処理するサブステップを備えるようにすることができる。
- [0011] 本発明において、上記サブステップの熱処理は100°C以上300°C以下の温度で実行することが好ましい。また、上記(4)の工程に続いて、上記シリコン層の剥離面を表面粗さ(RMS)が3nm以下となるように研磨する工程(工程(5))を備えるようにしてもよい。
- [0012] 本発明のマイクロチップは、例えば、上記ガラス基板の一方主面は流路やホールなどの凹部を有し、上記ガラス基板の他方主面に設けられた上記シリコン層には上記凹部に付着・保持された試料の分析評価用半導体素子が設けられている。
- [0013] また、本発明のマイクロチップは、例えば、上記シリコン層の表面に形成された絶縁層と、当該絶縁層上に設けられた試料保持部と、上記絶縁層と上記シリコン層の界面に空乏層を形成するバイアス印加部と、上記試料保持部に保持された検体によって付与された電荷量に応じて変化する上記空乏層の厚さに依存して発生した光電流量を検知する信号検出回路とを備えている。
- [0014] 本発明のマイクロチップ製造用SOI基板は、上述の(1)乃至(4)の工程を備えた方法で作製されたものである。すなわち、(1)シリコン基板の貼り合わせ面にイオン打ち込みして水素イオン注入層を形成する工程、(2)上記シリコン基板及びガラス基板の

少なくとも一方の貼り合わせ面に表面活性化処理を施す工程、(3) 上記シリコン基板と上記ガラス基板とを貼り合わせる工程、(4) 上記水素イオン注入層に沿って上記シリコン基板の表層を剥離してシリコン層を上記ガラス基板上に転写する工程。なお、このようなガラス基板は、石英基板とすることが好ましい。

### 発明の効果

[0015] 本発明は、従来法のような高温熱処理(例えば1000℃程度)を施すことなくSOI基板を作製することを可能としたので、シリコン基板とガラス基板の熱的諸特性の相違に起因する割れや局所的クラック等の導入が回避され、その結果、膜厚均一性、結晶性、電気的諸特性(キャリア移動度など)に優れたSOI層を有するSOI基板を提供することが可能となる。

[0016] そして、このようにして得られたSOI基板のガラス基板の表面にホールやマイクロ流路あるいはマイクロミキサなどの凹部を形成したりシランカップリング剤などで表面処理を行うなどしてDNAチップやマイクロフレイディスクチップとして必要な加工を施し、SOI層にはこの凹部に付着・保持された試料を分析・評価するための半導体素子部を形成すると、ホールやマイクロ流路などと分析・評価用半導体素子とがワンチップに集積されたマイクロチップ(バイオチップなど)を得ることができる。

[0017] また、SOI層の表面にシリコン酸化膜やシリコン窒化膜などの絶縁層を形成し、この絶縁層上に被測定試料を付着させたり保持したりする試料保持部を設け、さらに、絶縁層とSOI層の界面に空乏層を形成するバイアス印加用電極と試料保持部に付与された電荷量により変化する空乏層の厚さに依存して発生した光電流量を検知する信号検出回路とを設けると、検知された光電流から試料(例えば細胞)の電荷量変化をモニタすることが可能な表面電位センサなどのマクロチップを得ることができる。

### 図面の簡単な説明

[0018] [図1]図1(A)乃至(H)は、本発明のSOI基板の製造プロセス例を説明するための図である。

[図2]図2(A)乃至(C)は、シリコン薄膜剥離のための処理の様子を説明するための概念図である。

[図3]図3(A)および(B)は、本発明のマイクロチップの第1の構成を説明するための

図である。

[図4]図4は、本発明のマイクロチップの第2の構成を説明するための図である。

発明を実施するための最良の形態

[0019] 以下に、図面を参照して本発明を実施するための最良の形態について説明する。

なお、以下の説明では、ガラス基板を石英基板として説明する。

[0020] [マイクロチップ製造用基板]:図1(A)乃至(H)は、本発明のSOI基板の製造方法のプロセス例を説明するための図で、図1(A)に図示された基板10は単結晶Si基板、基板20は石英基板である。ここで、単結晶Si基板10は、例えば、CZ法(チョクラルスキ法)により育成された一般に市販されているSi基板であり、その導電型や比抵抗率などの電気特性値や結晶方位や結晶径は、本発明の方法で製造されるSOI基板のSOI層(Si薄膜層)に形成される半導体素子の設計値やプロセスあるいは個々のマイクロチップの面積などに依存して適宜選択される。また、この単結晶Si基板10はその表面(貼り合せ面)に予め酸化膜が形成された状態のものであってもよい。

[0021] なお、これらの基板の直径は実質的に同一であり、後のマイクロチップ形成プロセスの便宜のため、石英基板20にも単結晶Si基板10に設けられているオリエンテーション・フラット(OF)と同様のOFを設けておき、これらのOF同士を一致させて貼り合わせるようにすると好都合である。

[0022] 先ず、単結晶Si基板10の表面に水素イオンを注入し(図1(B))、単結晶Si基板10の表層に水素イオン注入層を形成する。このイオン注入面が後の「接合面(貼り合せ面)」となる。この水素イオン注入により、単結晶Si基板10の表面近傍の所定の深さ(平均イオン注入深さL)に均一な水素イオン注入層11が形成され、単結晶Si基板10の表面領域での平均イオン注入深さLに対応する領域には、当該領域に局在する「微小気泡層」が形成される(図1(C))。

[0023] 水素イオン注入層11の単結晶Si基板10表面からの深さ(平均イオン注入深さL)はイオン注入時の加速電圧により制御され、どの程度の厚さのSOI層を剥離させるかに依存して決定されるが、例えば、平均イオン注入深さLを2~3 $\mu$ m程度とし、加速電圧50~100keVなどとする。なお、Si結晶中へのイオン注入プロセスにおいて注入イオンのチャネリング抑制のために通常行われているように、単結晶Si基板10のイ

オン注入面に予め酸化膜等の絶縁膜を形成させておき、この絶縁膜を通してイオン注入を施すようにしてもよい。

[0024] このようにして水素イオン注入層11を形成した単結晶Si基板10と石英基板20のそれぞれの接合面に、表面清浄化や表面活性化などを目的としたプラズマ処理やオゾン処理を施す(図1(D))。なお、このような表面処理は、接合面となる表面の有機物除去や表面上のOH基を増大させて表面活性化を図るなどの目的で行われるものであり、単結晶Si基板10と石英基板20の双方の接合面に処理を施す必要は必ずしもなく、何れか一方の接合面にのみ施すこととしてもよい。

[0025] この表面処理をプラズマ処理により実行する場合には、予めRCA洗浄等を施した表面清浄な単結晶Si基板および/または石英基板を真空チャンバ内の試料ステージに載置し、当該真空チャンバ内にプラズマ用ガスを所定の真空度となるように導入する。なお、ここで用いられるプラズマ用ガス種としては、単結晶Si基板の表面処理用として、酸素ガス、水素ガス、アルゴンガス、またはこれらの混合ガス、あるいは水素ガスとヘリウムガスの混合ガスなどがあり、単結晶Si基板の表面状態や目的などにより適宜変更され得る。

[0026] また、当該表面処理が単結晶Si表面を酸化させることをも目的とするような場合には、少なくとも酸素ガスを含有するものをプラズマ用ガスとして用いる。なお、石英基板はその表面が酸化状態にあるため、このようなプラズマ用ガス種の選定に特別な制限はない。プラズマ用ガスの導入後、100W程度の電力の高周波プラズマを発生させ、プラズマ処理される単結晶Si基板および/または石英基板の表面に5~10秒程度の処理を施して終了する。

[0027] 表面処理をオゾン処理で実行する場合には、予めRCA洗浄等を施した表面清浄な単結晶Si基板および/または石英基板を酸素含有の雰囲気とされたチャンバ内の試料ステージに載置し、当該チャンバ内に窒素ガスやアルゴンガスなどのプラズマ用ガスを導入した後に所定の電力の高周波プラズマを発生させ、当該プラズマにより雰囲気中の酸素をオゾンに変換させ、処理される単結晶Si基板および/または石英基板の表面に所定の時間の処理が施される。

[0028] このような表面処理が施された単結晶Si基板10と石英基板20の表面を接合面とし

て密着させて貼り合わせる(図1(E))。上述したように、単結晶Si基板10と石英基板20の少なくとも一方の表面(接合面)は、プラズマ処理やオゾン処理などにより表面処理が施されて活性化しているために、室温で密着(貼り合せ)した状態でも後工程での機械的剥離や機械研磨に十分耐え得るレベルの接合強度を得ることができるが、より高い貼り合せ強度をもたせる場合には、図1(E)の「貼り合せ」に続いて、比較的低温で加熱して「接合処理」を施すサブステップを設けてもよい。

[0029] このときの接合処理温度は、貼り合せに用いられる基板がシリコン基板と石英基板(ガラス基板)であることを考慮して、350°C以下の温度、好ましくは100~300°Cの温度範囲とする。このような温度選択とするのは、単結晶Siと石英との熱膨張係数差と当該熱膨張係数差に起因する歪量、およびこの歪量と単結晶Si基板10ならびに石英基板20の厚みを考慮したものである。単結晶Si基板10と石英基板20の厚みが概ね同程度である場合、単結晶Siの熱膨張係数( $2.33 \times 10^{-6}$ )と石英の熱膨張係数( $0.6 \times 10^{-6}$ )の間に大きな差異があるために、350°Cを超える温度で熱処理を施した場合には、両基板間の剛性差に起因して、熱歪によるクラックや接合面における剥離などが生じたり、極端な場合には単結晶Si基板や石英基板が割れてしまうということが生じ得る。このため、熱処理温度の上限を350°Cと選択し、好ましくは100~300°Cの温度範囲で熱処理を施す。

[0030] このような処理に続いて、貼り合わされた基板に何らかの手法により衝撃力を付与すると(図1(F))、この衝撃により水素イオン注入層11に沿ってシリコン薄膜が単結晶Siのバルク部13から剥離し(図1(F))、石英基板20上にSOI層12を有するSOI基板が得られる(図1(H))。

[0031] ここで、シリコン薄膜の剥離のための外部からの衝撃付与の手法としては種々のものがあり得る。

[0032] 図2(A)乃至(C)は、シリコン薄膜剥離のための種々の手法を例示するための概念図で、図2(A)は熱衝撃により剥離を行う例、図2(B)は機械的衝撃により剥離を行う例、そして図2(C)は振動衝撃により剥離を行う例を図示している。

[0033] 図2(A)において、符号30は加熱部であり、この図では、ホットプレート31の上に平滑面を有する加熱板32を載せ、この加熱板32の平滑面を、石英基板20と貼り合わ

された単結晶Si基板10の裏面に密着させるようにしている。加熱板32にはダミーのSi基板を用いているが、平滑面が得られやすいもの(半導体基板やセラミック基板)であれば特に材料的な制限はない。シリコンゴムなども加熱板材料として用いることも可能ではあるが、耐熱温度は250℃程度と考えられるのでそれ以上の温度での使用には適さない。また、ホットプレート31の面が十分に平滑であれば特別に加熱板32を用いることなく、ホットプレート31そのものを「加熱板」としてもよい。

[0034] 加熱板32の温度を300℃以下(例えば250~300℃)の温度に保持し、この加熱板32に石英基板20と貼り合わされた単結晶Si基板10の裏面を密着させると熱伝導により単結晶Si基板10が加熱され、石英基板20との間に温度差が生じる。上述したように、シリコン基板の熱膨張係数は石英基板の熱膨張係数よりも大きいため、貼り合わされた状態の単結晶Si基板10が裏面から加熱されると、単結晶Si基板10側の急激な膨張によって両基板間で大きな応力が発生し、この応力によってシリコン薄膜の剥離が生じることとなる。

[0035] 図2(B)に図示した例では、機械的衝撃付与のために流体の噴出を利用しており、ガスや液体などの流体をノズル40の先端部41からジェット状に噴出させて単結晶Si基板10の側面から吹き付けることで衝撃を与えている。この他にも、ブレードの先端部をイオン注入層11の近傍領域に押し当てるなどして衝撃を付与するなどの手法によることもできる。

[0036] さらに、図2(C)に図示したように、超音波発振器の振動板50から発振される超音波で振動衝撃を付与してシリコン薄膜の剥離を生じさせるようにしてもよい。

[0037] このような一連のプロセスに従って得られたSOI基板の表面状態を評価したところ、局所的なシリコン薄膜の剥がれや剥離痕あるいは未転写領域といった欠陥もなく、極めて平坦な状態を呈していた。剥離後のSOI層表面の10 $\mu$ m $\times$ 10 $\mu$ mの領域を原子間力顕微鏡(AFM)で測定したところ、RMSの平均値は5nm以下と良好であった。また、SOI層の基板面内バラつき(PV:Peak-to-Valley)は4nm以下であった。

[0038] なお、より平坦性の高いSOI層(例えばRMS値で3nm以下のSOI層)を得るために、図1(H)の工程に続いて、SOI層12表面を研磨する工程を設けてもよい。このような研磨工程を設ける場合には、研磨により失われる「取りしろ」を予め考慮して水素

イオン注入層11の形成深さ(平均イオン注入深さL)を設定することはいうまでもない。

[0039] このように、本発明のSOI基板は、その製造プロセスにおいて一貫して350℃以下(好ましくは300℃以下)の低温の処理のみが施される。従来の「貼り合わせ法」では、十分な接合強度を得る目的やシリコン原子の結合手切断のために高温熱処理を必要とする(例えば、特許第3048201号公報および特開平11-145438号公報を参照)が、本発明においてはこのような高温処理(例えば1000℃以上)は必要としない。このため、膜厚均一性、結晶性、電氣的諸特性(キャリア移動度など)に優れた低欠陥のSOI層を有している。また、上述のプロセスによれば、300~350℃を越える温度の熱処理を受けることがないので、シリコン基板と石英基板の熱膨張係数の差に起因するフレや欠けなどを生じることなく、SOI基板を得ることができる。

[0040] このようにして得られたSOI基板の石英基板20の表面にホールやマイクロ流路あるいはマイクロミキサなどの凹部を形成したりシランカップリング剤などで表面処理を行うなどしてDNAチップやマイクロフルイディスクチップとして必要な加工を施し、SOI層12にはこの凹部に付着・保持された試料を分析・評価するためのシリコン半導体素子を形成すると、ホールやマイクロ流路などと分析・評価用半導体素子とがワンチップに集積されたマイクロチップ(バイオチップ)を得ることができる。

[0041] また、SOI層12の表面にシリコン酸化膜やシリコン窒化膜などの絶縁層を形成し、この絶縁層上に被測定試料を付着させたり保持したりする試料保持部を設け、さらに、絶縁層とSOI層12の界面に空乏層を形成するバイアス印加用電極と試料保持部に付与された電荷量により変化する空乏層の厚さに依存して発生した光電流量を検知する信号検出回路とを設けると、検知された光電流から試料(例えば細胞)の電荷量変化をモニタすることが可能な表面電位センサなどのマクロチップを得ることができる。

[0042] 以下に、実施例により本発明のマイクロチップの構成例を説明する。

#### 実施例 1

[0043] 蛍光・吸収光分析用半導体素子搭載チップ:図3(A)は、本発明のマイクロチップの第1の構成を説明するための断面図で、この図に示されたマイクロチップは、被測

定試料からの蛍光や吸収光を分析する半導体素子が搭載されたチップである。この図において、符号12および20はそれぞれ、SOI層および石英基板であり、石英基板20の一方主面には、凹部21が形成され、この凹部21に感応膜22が設けられている。この感応膜22は、被測定試料そのものであったり被測定試料を付着・保持させる膜であったりするもので、例えば、DNA、脂質膜、酵素膜、抗体膜、窒化膜などである。また、被測定試料が抗体である場合は、抗原を予め凹部21に付着させるようにしてもよい。その場合には抗体が「感応膜」となる。

[0044] 図3(A)には、感応膜22が設けられた単一の凹部21のみが図示されているが、凹部21は、マイクロチップの用途に応じて種々の形態及び配置のものがあり得、例えば、ポンプ、バルブ、マイクロ流路、注入部、反応部、分離部なども本発明における凹部21である。なお、このような凹部21は単結晶Si基板10との貼り合わせの前に形成されていてもよいが、本実施例ではSOI層12を転写してSOI基板とした後に、石英基板20表面に形成している。

[0045] 一方、SOI層12の所定の部位には、凹部21に付着・保持された試料(本実施例の場合には感応膜22)を分析・評価するための半導体素子部14が形成されている。図3(A)に図示されたマイクロチップでは、 $\lambda = 1.1 \mu\text{m}$ 以下の波長の光(23)を被測定試料に照射して、被測定試料(22)からの蛍光あるいは吸収光(24)を半導体素子部(14)で検知して分析評価を行う(図3(B)参照)。プローブ光の波長を $1.1 \mu\text{m}$ 以下とするのは、これを超える波長の光はシリコン結晶中を透過してしまい、半導体素子部14で検知することができないためである。

[0046] 半導体素子部14には、被測定試料からの蛍光あるいは吸収光を受光するための受光素子や、ブランク光(被測定試料に照射されないで透過してきた参照光)と被測定試料からの光の強度を電流に変換する光電変換素子などが設けられている。この半導体素子部14は、被測定試料からの光およびブランク光に対応する電気信号を生成し、この信号に基づいて被測定試料の組成や構造の同定が行われる。

## 実施例 2

[0047] LAPS搭載チップ:図4は、本発明のマイクロチップの第2の構成を説明するための断面図で、この図に示されたマイクロチップは、被測定試料のもつ電荷量に応じて変

化する表面電位(SOI層の表面電位)を検知可能なLAPS(Light Addressable Potentiometric Sensor)を搭載したチップである。

- [0048] この図において、符号15はSOI層12の表面に形成された絶縁層、符号16は絶縁層15上に設けられた試料保持部、符号17aは被測定試料、符号17bは感応膜、符号18aおよび18bは絶縁層15とSOI層12の界面に空乏層を形成するためのバイアス印加用電極、符号19は被測定試料により感応膜17b付与された電荷量に応じて変化する空乏層の厚さに依存して発生した光電流量を検知する信号検出回路、そして、符号60は光照射して空乏層内に電子・正孔対を生成するための半導体レーザである。
- [0049] このLAPS搭載チップは、そのセンサ面が酸化シリコンなどの絶縁層15を形成したSOI層12で、バイアス印加用電極18a、18bから被測定試料17aとSOI層12との間(実質的には絶縁層15とSOI層12との間)にバイアスを印加して絶縁層15とSOI層12の界面に空乏層を形成する。一方、石英基板20の裏面からは半導体レーザ60からのレーザ光が照射され、空乏層内に電子・正孔対が形成される。絶縁層15とSOI層12の界面近傍が蓄積状態にあるバイアス印加環境下では、外部回路に光電流は流れないが、絶縁層15とSOI層12の界面近傍が反転状態となると空乏層の厚みが増大して外部回路へと光電流が流れるようになる。
- [0050] 図4に示した感応膜17bに蓄積される電荷量が増加すると、SOI層12の表面電位が増加するから、光電流が流れるためのバイアス電圧の閾値も増加する。したがって、信号検出回路19によって空乏層の厚さに依存して発生する光電流量を検知することとすれば、この光電流量から感応膜17bに蓄積された電荷量が求まることとなる。例えば、培養電解液に浸漬させた状態の細胞を試料保持部16に載置し外部から電気的な刺激等を細胞に付与すると、細胞内の電位が増加して感応膜17bに蓄積される電荷量が増加することとなる。そして、この電荷量の変化は光電流の変調として検知されるので、被測定試料である細胞に起因する電荷量に応じて変化するSOI層の表面電位を検知することができる。
- [0051] 以上、実施例により本発明の実施態様を説明したが、上記実施例は本発明を実施するための例にすぎず、本発明はこれらに限定されるものではない。これらの実施例

を種々変形することは本発明の範囲内にあり、更に本発明の範囲内において他の様々な実施例が可能であることは上記記載から自明である。

#### 産業上の利用可能性

[0052] 本発明によれば、膜厚均一性、結晶性、電氣的諸特性(キャリア移動度など)に優れた低欠陥のSOI層を有するSOI基板を提供することが可能となる。そして、このSOI基板を用いると、ホールやマイクロ流路などと分析・評価用半導体素子とがワンチップに集積されたマイクロチップ(バイオチップ)や、試料(例えば細胞)の電荷量変化をモニタすることが可能な表面電位センサなどのマクロチップを得ることができる。

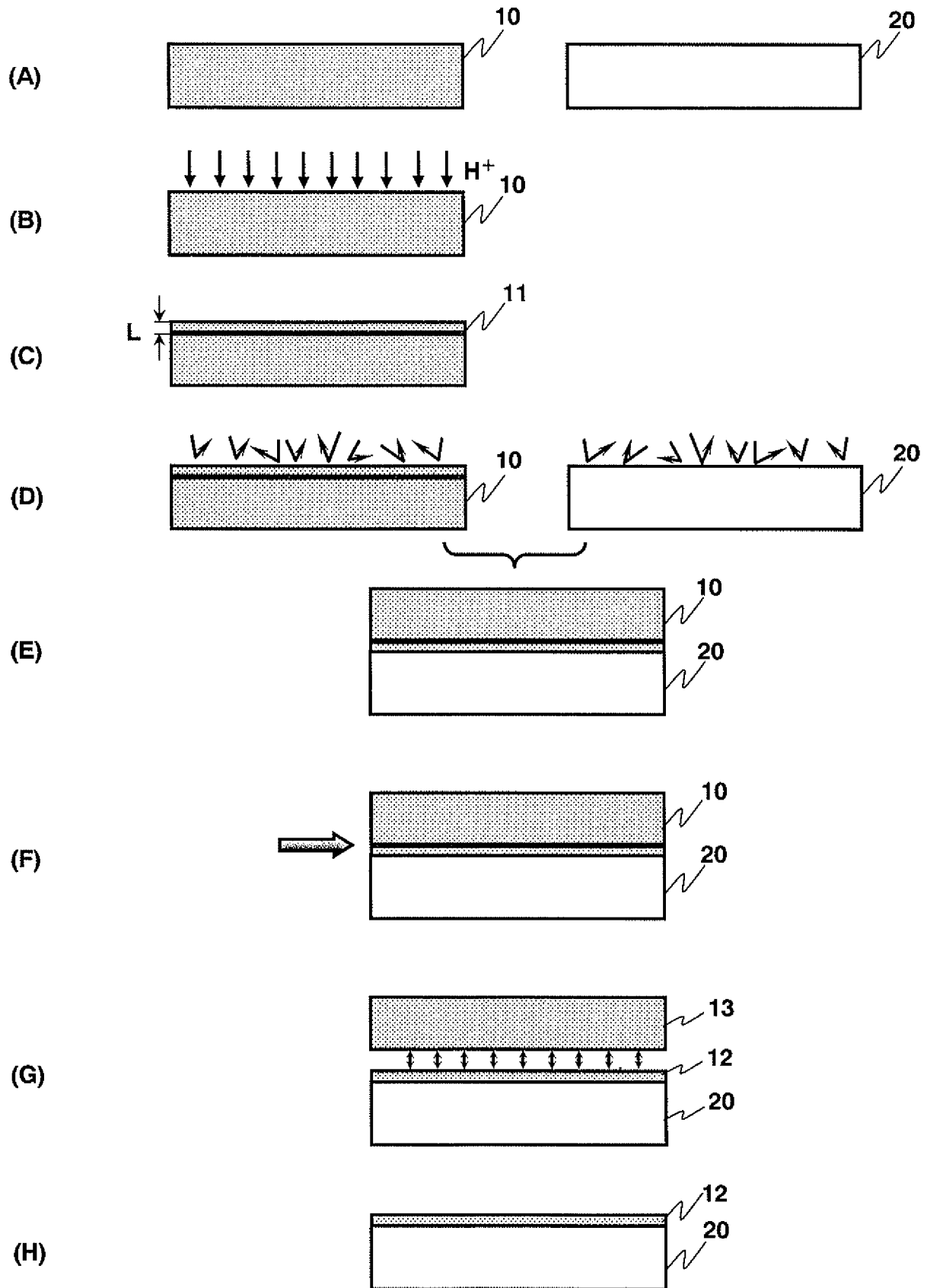
## 請求の範囲

- [1] 下記の(1)乃至(4)の工程を備えた方法で製造されたSOI基板を用いて作製されたマイクロチップ。
- (1)シリコン基板の貼り合わせ面にイオン打ち込みして水素イオン注入層を形成する工程
- (2)前記シリコン基板及びガラス基板の少なくとも一方の貼り合わせ面に表面活性化処理を施す工程
- (3)前記シリコン基板と前記ガラス基板とを貼り合わせる工程
- (4)前記水素イオン注入層に沿って前記シリコン基板の表層を剥離してシリコン層を前記ガラス基板上に転写する工程
- [2] 前記(2)の工程の表面活性化処理がプラズマ処理又はオゾン処理の少なくとも一方で実行されたものであることを特徴とする請求項1に記載のマイクロチップ。
- [3] 前記(3)の工程が前記貼り合わせ後に前記シリコン基板と前記ガラス基板を貼り合わせた状態で熱処理するサブステップを備えていることを特徴とする請求項1又は2に記載のマイクロチップ。
- [4] 前記サブステップの熱処理が100℃以上300℃以下の温度で実行されたものであることを特徴とする請求項1乃至3の何れか1項に記載のマイクロチップ。
- [5] 前記方法は前記(4)の工程に続いて下記の工程を備えているものであることを特徴とする請求項1乃至4の何れか1項に記載のマイクロチップ。
- (5)前記シリコン層の剥離面を表面粗さ(RMS)が3nm以下となるように研磨する工程
- [6] 請求項1乃至5の何れか1項に記載されたマイクロチップであって、  
前記ガラス基板の一方主面は流路やホールなどの凹部を有し、前記ガラス基板の他方主面に設けられた前記シリコン層には前記凹部に付着・保持された試料の分析評価用半導体素子が設けられていることを特徴とするマイクロチップ。
- [7] 請求項1乃至5の何れか1項に記載されたマイクロチップであって、  
前記シリコン層の表面に形成された絶縁層と、該絶縁層上に設けられた試料保持手段と、前記絶縁層と前記シリコン層の界面に空乏層を形成するバイアス印加手段と

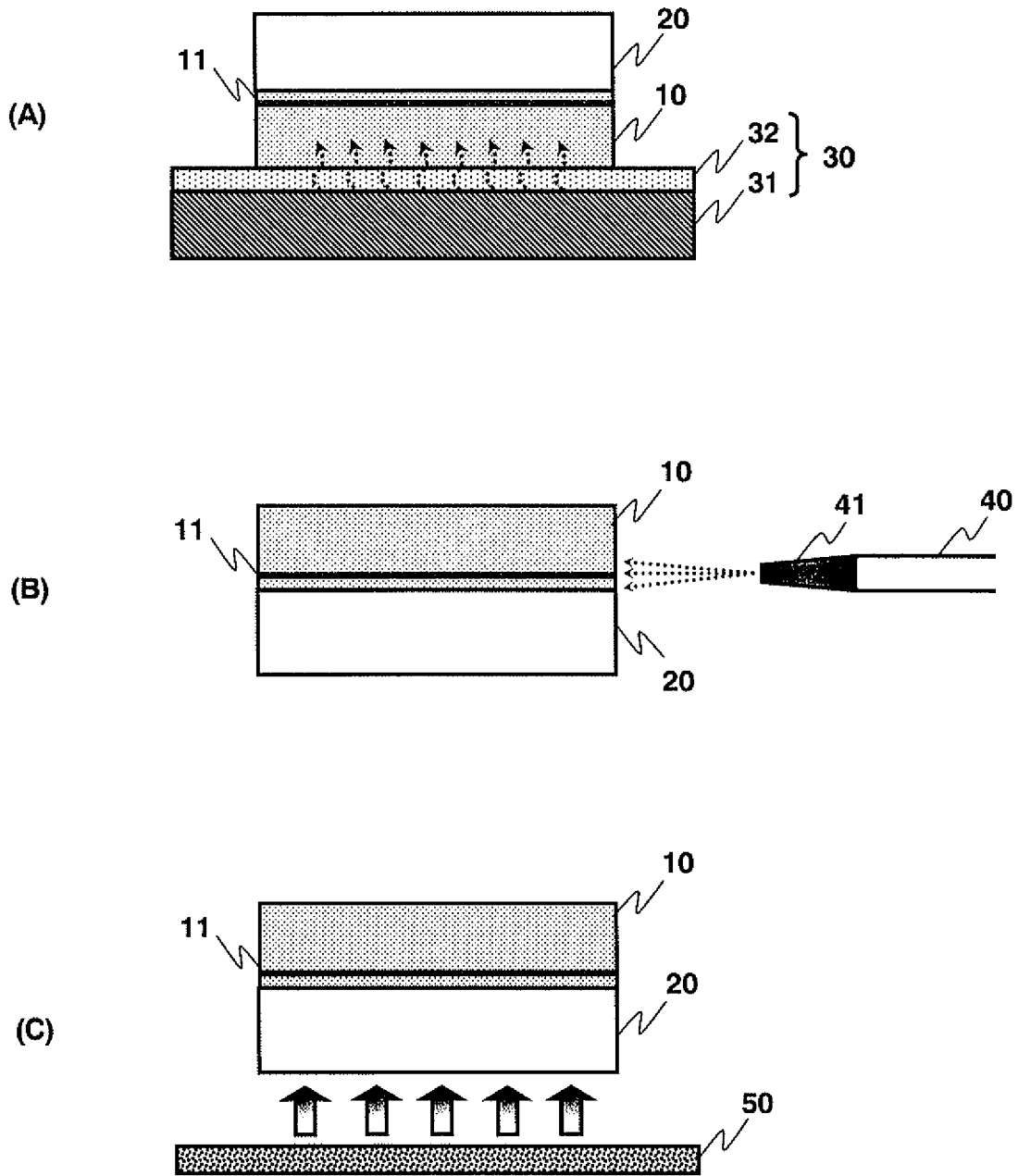
、前記試料保持手段に保持された検体により付与された電荷量に応じて変化する前記空乏層の厚さに依存して発生した光電流量を検知する信号検出回路とを備えていることを特徴とするマイクロチップ。

- [8] 前記ガラス基板が石英基板であることを特徴とする請求項1乃至7の何れか1項に記載のマイクロチップ。
- [9] 下記の(1)乃至(4)の工程を備えた方法で作製されたマイクロチップ製造用SOI基板。
- (1)シリコン基板の貼り合わせ面にイオン打ち込みして水素イオン注入層を形成する工程
  - (2)前記シリコン基板及びガラス基板の少なくとも一方の貼り合わせ面に表面活性化処理を施す工程
  - (3)前記シリコン基板と前記ガラス基板とを貼り合わせる工程
  - (4)前記水素イオン注入層に沿って前記シリコン基板の表層を剥離してシリコン層を前記ガラス基板上に転写する工程
- [10] 前記ガラス基板が石英基板であることを特徴とする請求項9に記載のマイクロチップ製造用SOI基板。

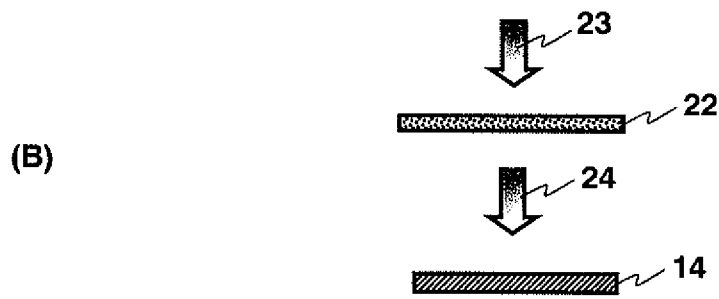
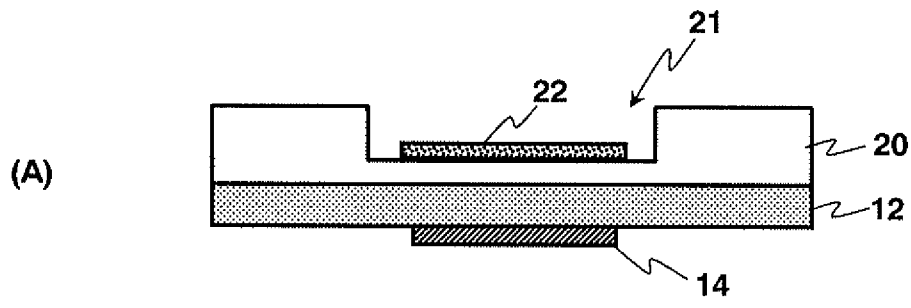
[図1]



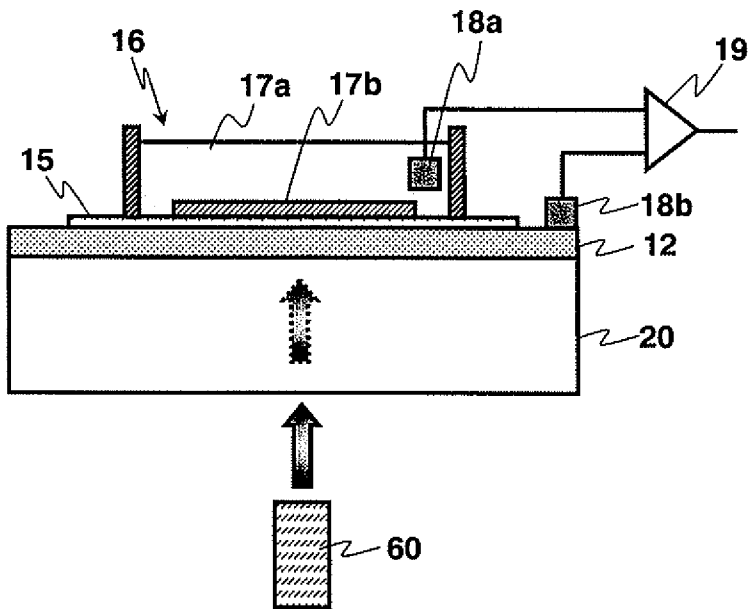
[図2]



[図3]



[図4]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/054794

**A. CLASSIFICATION OF SUBJECT MATTER**

G01N33/53(2006.01)i, G01N37/00(2006.01)i, G01R29/24(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i, C12M1/00(2006.01)n, C12N15/09(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G01N33/53, G01N37/00, G01R29/24, H01L21/02, H01L27/12, C12M1/00, C12N15/09

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-145438 A (Shin-Etsu Handotai Co., Ltd.), 28 May, 1999 (28.05.99), Claims (Family: none)	1-10
Y	JP 2005-294800 A (Yugen Kaisha Bondotekku), 20 October, 2005 (20.10.05), Claims & WO 2005/055293 A1	1-10
Y	JP 2005-024286 A (Asahi Kasei Corp.), 27 January, 2005 (27.01.05), Claims; Par. Nos. [0009], [0010] (Family: none)	6-8

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
15 May, 2007 (15.05.07)

Date of mailing of the international search report  
29 May, 2007 (29.05.07)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/054794

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-101253 A (Hitachi, Ltd.), 02 April, 2004 (02.04.04), & US 2004/0121354 A1 & EP 1396725 A1	1-10
A	JP 2002-350347 A (Matsushita Electric Industrial Co., Ltd.), 04 December, 2002 (04.12.02), & US 2002/0197636 A1 & US 2005/0051744 A1	1-10
A	JP 2005-005708 A (S.O.I. Tec Sillicon on Insulator Technologies), 06 January, 2005 (06.01.05), & US 2004/0253795 A1 & EP 1487012 A2 & FR 2856192 A	1-5
A	JP 05-211128 A (Commissariat A L'energie Atomique), 20 August, 1993 (20.08.93), & US 5374564 A1 & EP 0533551 A1 & FR 2681472 A1	1-5

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. G01N33/53(2006.01)i, G01N37/00(2006.01)i, G01R29/24(2006.01)i, H01L21/02(2006.01)i, H01L27/12(2006.01)i, C12M1/00(2006.01)n, C12N15/09(2006.01)n

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. G01N33/53, G01N37/00, G01R29/24, H01L21/02, H01L27/12, C12M1/00, C12N15/09

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2007年  
 日本国実用新案登録公報 1996-2007年  
 日本国登録実用新案公報 1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 11-145438 A (信越半導体株式会社) 1999.05.28, 【特許請求の範囲】 (ファミリーなし)	1-10
Y	JP 2005-294800 A (有限会社ボンドテック) 2005.10.20, 【特許請求の範囲】 & WO 2005/055293 A1	1-10
Y	JP 2005-024286 A (旭化成株式会社) 2005.01.27, 【特許請求の範囲】、【0009】、【0010】 (ファミリーなし)	6-8

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 15.05.2007	国際調査報告の発送日 29.05.2007
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 白形 由美子 電話番号 03-3581-1101 内線 3252	2 J	3 4 9 6
---	---	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-101253 A (株式会社日立製作所) 2004.04.02 & US 2004/0121354 A1 & EP 1396725 A1	1 - 10
A	JP 2002-350347 A (松下電器産業株式会社) 2002.12.04 & US 2002/0197636 A1 & US 2005/0051744 A1	1 - 10
A	JP 2005-005708 A (エス オー イ テク シリコン オン イン シュレータ テクノロジーズ) 2005.01.06 & US 2004/0253795 A1 & EP 1487012 A2 & FR 2856192 A	1 - 5
A	JP 05-211128 A (コミサリヤ・ア・レネルジ・アトムク) 1993.08.20 & US 5374564 A1 & EP 0533551 A1 & FR 2681472 A1	1 - 5