



(12) 发明专利

(10) 授权公告号 CN 111566621 B

(45) 授权公告日 2024.04.16

(21) 申请号 201880085092.4

S. 塞图拉曼

(22) 申请日 2018.12.18

(74) 专利代理机构 北京市柳沈律师事务所

11105

(65) 同一申请的已公布的文献号  
申请公布号 CN 111566621 A

专利代理人 邱万奎

(43) 申请公布日 2020.08.21

(51) Int.CI.

G06F 11/10 (2006.01)

(30) 优先权数据  
15/860,871 2018.01.03 US

G11C 29/52 (2006.01)

(85) PCT国际申请进入国家阶段日  
2020.07.01

(56) 对比文件

CN 101373449 A, 2009.02.25

(86) PCT国际申请的申请数据  
PCT/IB2018/060237 2018.12.18

CN 104809031 A, 2015.07.29

(87) PCT国际申请的公布数据  
W02019/135134 EN 2019.07.11

CN 105556477 A, 2016.05.04

(73) 专利权人 国际商业机器公司  
地址 美国纽约阿芒克

US 2014328132 A1, 2014.11.06

(72) 发明人 K.麦基尔韦恩 W.莫尔 金圭贤

US 2015363255 A1, 2015.12.17

US 2016134307 A1, 2016.05.12

US 2016364291 A1, 2016.12.15

US 8375257 B2, 2013.02.12

审查员 王光军

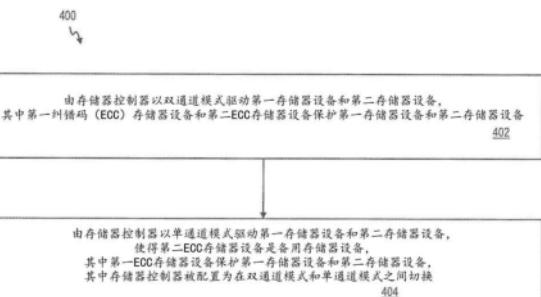
权利要求书2页 说明书10页 附图6页

(54) 发明名称

使用双通道存储器作为具有间隔的单通道存储器

(57) 摘要

一种技术涉及操作存储器控制器。存储器控制器以双通道模式驱动存储器控制器的第一存储器设备和第二存储器设备。第一纠错码(ECC)存储器设备和第二ECC存储器设备保护第一存储器设备和第二存储器设备。存储器控制器以单通道模式驱动第一存储器设备和第二存储器设备，使得第二ECC存储器设备是备用存储器设备，并且第一ECC存储器设备保护第一存储器设备和第二存储器设备。存储器控制器配置为在双通道模式和单通道模式之间切换。



1. 一种用于操作存储器控制器的方法,所述方法包括:

由所述存储器控制器以双通道模式驱动所述存储器控制器的第一存储器设备和第二存储器设备,其中第一纠错码ECC存储器设备和第二纠错码ECC存储器设备保护所述第一存储器设备和所述第二存储器设备;并且

由所述存储器控制器以单通道模式驱动所述第一存储器设备和所述第二存储器设备,使得所述第二纠错码ECC存储器设备是备用存储器设备,其中所述第一纠错码ECC存储器设备保护所述第一存储器设备和所述第二存储器设备;所述存储器控制器被配置为在所述双通道模式和所述单通道模式之间切换;所述第一存储器设备包括被配置用于数据存储的第一数据存储器设备和被配置用于纠错的第一纠错码ECC存储器设备;所述第二存储器设备包括被配置用于数据存储的第二数据存储器设备和被配置用于纠错的第二纠错码ECC存储器设备;以及所述存储器控制器被配置为在所述单通道模式期间禁用所述第二纠错码ECC存储器设备,使得所述第二纠错码ECC存储器设备是备用存储器设备。

2. 如权利要求1所述的方法,其中所述第一存储器设备和所述第二存储器设备是动态随机存取存储器DRAM。

3. 如权利要求1所述的方法,其中所述第一存储器设备和所述第二存储器设备是DRAM双列直插式存储器模块DIMM。

4. 如权利要求1所述的方法,其中所述存储器控制器被配置为从所述第一存储器设备和所述第二存储器设备检测出故障的存储器设备;

其中所述存储器控制器被配置为用所述备用存储器设备替换所述出故障的存储器设备,使得所述备用存储器设备代替所述出故障的存储器设备操作。

5. 如权利要求4所述的方法,其中,响应于检测到所述出故障的存储器设备,所述存储器控制器被配置为使得所述备用存储器设备代替所述第一数据存储器设备、所述第一纠错码ECC存储器设备和所述第二存储器设备中的任何一个进行操作。

6. 如权利要求1所述的方法,其中所述第一数据存储器设备具有32位宽的数据接口,并且所述第二数据存储器设备具有另一32位宽的数据接口。

7. 如权利要求6所述的方法,其中,在所述单通道模式期间,所述存储器控制器被配置为使得所述第一纠错码ECC存储器设备保护用于所述第一数据存储器设备和所述第二数据存储器设备两者的64位宽的数据接口,所述64位宽的数据接口包括所述32位宽的数据接口和所述另一32位宽的数据接口。

8. 如权利要求7所述的方法,其中所述第一纠错码ECC存储器设备是8位。

9. 一种用于从双通道模式切换到单通道模式的方法,所述方法包括:

由存储器控制器确定需要从操作存储器模块的所述双通道模式切换到所述单通道模式,其中所述存储器模块包括第一通道和第二通道上的存储器设备;并且

所述存储器控制器从所述双通道模式切换到所述单通道模式,其包括:

从所述存储器模块的所述存储器设备中读出所有数据,

将所述数据从所述存储器模块的所述存储器设备加载到存储装置中,

通过用单个纠错码ECC存储器设备而不是所述存储器设备中的两个纠错码ECC存储器设备保护所述第一和第二通道,使得所述存储器设备中的备用纠错码ECC存储器设备可用,

将出故障的存储器设备的输入和输出映射到备用纠错码ECC存储器设备,使得向出故

障的存储器设备的意图写入和从出故障的存储器设备的意图读取改为向所述备用纠错码ECC存储器设备写入和从所述备用纠错码ECC存储器设备读取，并且

将数据从所述存储装置写回到所述存储器模块的所述存储器设备，使得意图用于出故障的存储器设备的数据的一部分替代地被写入到所述备用纠错码ECC存储器设备。

10. 如权利要求9所述的方法，其中，所述存储器控制器被配置为，通过识别在所述存储器模块上没有空闲存储器设备可用的所述双通道模式下在操作期间发生预定义触发，确定需要从操作所述存储器模块的所述双通道模式切换到所述单通道模式；并且

其中，所述预定义触发发生在所述存储器设备中的任一个存储器设备上的单个位错误率达到预定阈值时。

11. 如权利要求10所述的方法，其中，所述出故障的存储器设备使得所述预定义触发发生。

12. 一种存储器控制器，包括：

被配置为控制存储器模块的电路，所述电路被配置为执行任一前述权利要求所述的方法。

## 使用双通道存储器作为具有间隔的单通道存储器

### 背景技术

[0001] 本发明总体上涉及存储器模块，并且更具体地涉及在存储器模块中使用双通道存储器作为单通道存储器。

[0002] 双列直插式存储器模块 (DIMM) 包括一系列动态随机存取存储器 (DRAM) 集成电路。这些DIMM安装在印刷电路板上并且被设计用于例如个人计算机、工作站和服务器中。DIMM 已经替换SIMM(单列直插式存储器模块)作为最先进的处理器中的主要类型的存储器。SIMM 上的两侧的触点是冗余的，而DIMM在模块的每一侧上具有单独的电触点。另一差别在于标准SIMM具有32位数据路径，而标准DIMM具有64位数据路径。许多处理器具有64位总线宽度，需要匹配成对安装SIMM以便填充数据总线。然后，处理器将并行访问两个SIMM。然而，引入DIMM以消除SIMM的这种缺点。

### 发明内容

[0003] 本发明实施例针对存储器控制器的操作方法。该方法的非限制性示例包括由存储器控制器以双通道模式驱动存储器控制器的第一存储器设备和第二存储器设备，其中第一纠错码 (ECC) 存储器设备和第二ECC存储器设备保护第一存储器设备和第二存储器设备。该方法包括由存储器控制器以单通道模式驱动第一存储器设备和第二存储器设备，使得第二ECC存储器设备是备用存储器设备，其中第一ECC存储器设备保护第一存储器设备和第二存储器设备，其中存储器控制器被配置为在双通道模式和单通道模式之间切换。

[0004] 本发明的实施例涉及一种存储器控制器。存储器控制器的非限制性示例包括被配置为控制存储器模块的电路，其中该电路被配置为以双通道模式驱动第一存储器设备和第二存储器设备，其中第一纠错码 (ECC) 存储器设备和第二ECC存储器设备保护第一存储器设备和第二存储器设备。该电路被配置为在单通道模式中驱动第一存储器设备和第二存储器设备，使得第二ECC存储器设备是备用存储器设备，其中第一ECC存储器设备保护第一存储器设备和第二存储器设备，其中该电路被配置为在双通道模式和单通道模式之间切换。

[0005] 本发明的实施例针对从双通道模式切换到单通道模式的方法。该方法的非限制性示例包括：由存储器控制器确定需要从操作存储器模块的双通道模式切换到单通道模式，其中，所述存储器模块包括第一通道和第二通道上的存储器设备；以及由所述存储器控制器从所述双通道模式切换到所述单通道模式。该切换包括从存储器模块的存储器设备中读出所有数据，将所述数据从所述存储器模块的所述存储器设备加载到存储装置中，通过用单个纠错码 (ECC) 存储器设备而不是所述存储器设备中的两个ECC存储器设备保护所述第一和第二通道，使得所述存储器设备中的备用ECC存储器设备可用，以及将出故障的存储器设备的输入和输出映射到备用ECC存储器设备，使得向出故障的存储器设备的预期写入和从出故障的存储器设备的预期读取改为向备用ECC存储器设备写入和从备用ECC存储器设备读取。该切换包括将数据从存储装置写回到存储器模块的存储器设备，使得预期写入出故障的存储器设备的数据的一部分替代地被写入到备用ECC存储器设备。

## 附图说明

- [0006] 图1是连接至存储器控制器的存储器模块的示意图。
- [0007] 图2是根据实施例的连接至经修改的存储器控制器的存储器模块的示意图。
- [0008] 图3是根据实施例的连接至经修改的存储器控制器的经修改的存储器模块的示意图。
- [0009] 图4是根据实施例的用于操作存储器控制器的方法的流程图。
- [0010] 图5是根据实施例的用于配置存储器控制器的方法的流程图。
- [0011] 图6是根据实施例的用于从双通道模式切换到单通道模式的方法的流程图。

## 具体实施方式

[0012] 在此参考相关附图描述了本发明的不同实施例。在不偏离本文档的范围的情况下,可以设计本发明的替代实施例。注意,在以下描述和附图中的元件之间阐述了各种连接和位置关系(例如,上方、下方、相邻等)。除非另有说明,否则这些连接和/或位置关系可以是直接的或间接的,而非意图在这方面进行限制。因而,实体的耦合可以指直接或间接耦合,并且实体之间的位置关系可以是直接或间接位置关系。作为间接位置关系的示例,提及在层“B”上形成层“A”包括在层“A”和层“B”之间有一个或多个中间层(例如,层“C”)的情况,只要层“A”和层“B”的相关特征和功能实质上不被中间层改变即可。

[0013] 出于说明的目的已经呈现了本发明的不同实施例的描述,但并非旨在是详尽的或限于所讨论的实施例。在不背离所描述的实施例的范围和精神的情况下,许多修改和变化对本领域的普通技术人员而言将是显而易见的。选择在此使用的术语以最佳地解释实施例的原理、实际应用或在市场上找到的技术上的技术改进,或使得本领域普通技术人员能够理解在此讨论的实施例。

[0014] 术语“约”及其变体旨在包括与基于在提交本申请时可用的设备的具体量的测量相关联的误差程度。例如,“约”可以包括给定值的±8%或5%、或2%的范围。

[0015] 高端和低端计算系统在大多数情况下采用高速存储器接口,如通常被称为双倍数据速率(DDR)同步DRAM(SDRAM)的那些接口。DDR存储器和相关联的接口由被称为电子装置工程联合委员会(JEDEC)的工业标准规范主体界定。尽管DDR存储器通过JEDEC标准化,但是对采用DDR存储器子系统的高端和低端计算机系统的需求非常不同。例如,当考虑低端个人计算机(PC)相对于高端主机时,可恢复性、可用性和可服务性(RAS)、功率/热和性能(带宽、等待时间、速度)需求非常不同。因为较低端计算机系统具有比高端计算机系统大得多的销售量,所以较低端系统要求在DDR SDRAM模块DIMM定义的标准化中权重更大。这导致针对较低端、较低成本的计算机系统(诸如PC)优化的DRAM DIMM。需要较高级别的RAS并且可能包括DRAM设备备用的较高端计算机系统被留下来开发定制的DIMM,由此将系统成本增加相当大的量。实施例提供了使用双存储器通道DRAM DIMM(针对较低端计算机系统优化)作为具有备用的单通道DIMM的方法和系统。这允许较高端计算机系统利用更低成本的DIMM,同时仍然实现更高级别的RAS。较低端计算机系统具有不需要备用存储器设备的DIMM(存储器模块)。然而,使用针对较低端计算机系统设计的相同DIMM,实施例被配置为通过创建备用存储器设备(即,备用DRAM阵列)来改进DIMM的RAS。

[0016] 在现有技术中,存在以“锁步(lockstep)”运行的双通道存储器系统,其中,相同的

地址被呈现给两个通道。现有技术要求使用两个DIMM。然而,本实施例仅采用一个DIMM,即使双通道存储器系统以“锁步”运行,其中,相同的地址被呈现给两个通道。实施例允许将单个双通道DIMM用作单通道DIMM(其类似于锁步中的两个通道),具有备用存储器设备的附加益处。除了备用存储器(DRAM)设备之外,还可以部署备用RCD设备。在一些实施例中,与在双通道DIMM上运行两个单独的通道并且同时使RCD设备和备用设备活动相比,可以禁用备用RCD和备用DRAM存储器设备以节省功率。成对使用当前DDR DIMM技术的现有技术系统不允许备用装置。另外,可以对单个RCD和双RCD执行实施例。

[0017] 图1是连接至存储器控制器110的存储器模块100的示意图。存储器模块100可以是DDR5 DIMM。在该示例中,存储器模块100具有通道0和通道1。通道0包括存储器设备102A,而通道1包括存储器设备102B。如本领域技术人员所理解的,存储器设备102A和102B各自是DRAM阵列。存储器设备102A和102B中的每个被展示为8位宽的芯片,其名称“x8”由8表示。应了解,存储器设备可为4位宽芯片(即,x4)。此外,尽管存储器模块被示出为由x8存储器设备组成,但是存储器模块100可以由其他宽度的DRAM设备(诸如存储器设备102A和102B)组成,包括x4、x8、x16、x32或任何组合。图1中的存储器模块100示出为具有两个命令总线;然而,它可具有1个或更多个命令地址总线。

[0018] 通道是作为本地存储器控制器级的最高级结构。计算机可以具有两个、三个或更多个通道,但是在该示例中示出了两个通道。通道0中的每一存储器设备在通道1中的相同位置中具有匹配的存储器设备。

[0019] 通道0具有专用纠错码(ECC)存储器设备102A,而其他存储器设备102A是数据存储器设备。类似地,通道1具有专用纠错码(ECC)存储器设备102B,而其他存储器设备102B是数据存储器设备。如本领域技术人员所理解的,通道0中的数据存储器设备102A和通道1中的数据存储器设备102B被配置为存储数据(用于读取和写入)。ECC存储器设备102A被配置为为数据存储器设备102A提供错误保护。ECC存储器设备102B被配置为为数据存储器设备102B提供错误保护。在存储器模块100中,每个通道有两个32位数据。这意味着通道0中的4个数据存储器设备102A向存储器控制器110提供32位宽的数据接口(每个通道x32数据),并且通道1中的4个数据存储器设备102B向存储器控制器110提供32位宽的数据接口(每个通道x32数据)用于读取或写入。突发长度(burst length, BL)可以是16,其中在一次读取或写入上,对于64B的总数据传输,存在16次32b的传输。对于单个ECC存储器设备(诸如ECC存储器设备102A或ECC存储器设备102B),在32位数据上的纠错码需要7位的ECC存储器,使得每个通道需要另外的8位(x8)ECC存储器设备。因此,单个ECC存储器设备(诸如ECC存储器设备102A或ECC存储器设备102B)仅可以保护单个通道(32位数据通道)。因此,ECC存储器设备102A保护4个数据存储器设备102A(即,保护32位数据通道,4x8=32位),并且ECC存储器设备102B保护4个数据存储器设备102B(即,保护32位数据通道)。因此,存储器模块100需要两个ECC存储器设备,示出为ECC存储器设备102A和ECC存储器设备102B。

[0020] 存储在存储器设备102A和102B中的数据由存储在ECC设备内的纠错码(ECC)保护,ECC码通常与许多类型的计算机数据存储装置一起使用,以检测和校正最常见的数据损坏。可以通过使用包括额外存储器位(ECC存储器设备102A和102B)的DRAM模块和利用这些位的存储器控制器110来减轻问题。这些额外的位用于记录奇偶校验(即,使用纠错码)。奇偶校验允许检测所有单位错误(实际上,任何奇数个错误位)。最常见的错误校正码,单错

误校正和双错误检测 (SECDED) 汉明码, 允许校正单位错误, 并且允许检测双位错误 (在通常的配置中, 具有额外的奇偶校验位)。

[0021] 寄存/寄存器时钟驱动器 (RCD) 112 连接至通道0和通道1两者。RCD 112可以是存储器模块100上的芯片。RCD 112被配置为用于经由通道0命令地址 (CA) 总线210A在通道0上路由和加载到数据存储器设备102A, 并且经由通道1命令地址 (CA) 总线210B在通道1上路由和加载到数据存储器设备102B。寄存/寄存器时钟驱动器112也是缓冲器设备。RCD 112连接到存储器设备102A(包括数据存储器设备和ECC存储器设备)。RCD 112连接到存储器设备102B(包括数据存储器设备和ECC存储器设备)。

[0022] 如本领域技术人员所理解的, RCD 112包括用于控制通道0的逻辑150A和用于控制通道1的逻辑150B, 用于控制行业标准DIMM。在正常双通道模式中, 通道0逻辑150A将命令和地址信息从存储器控制器110传递到DIMM的一侧(通道0)的期望的存储器设备102A, 并且通道1逻辑150B将命令和地址信息从存储器控制器110传递到另一侧(通道1)的期望的存储器设备102B。

[0023] 存储器控制器110被配置为用于经由至RCD 112的命令地址 (CA) 线(其是CH0总线210A CH1总线210B)与存储器模块100通信。读取和写入命令经由逻辑150A从存储器控制器110发布到用于通道0的RCD 112, 并且经由逻辑150B从存储器控制器110发布到用于通道1的RCD 112。例如, 写入可以发生在通道0上(经由CH0总线210A), 而读取发生在存储器模块100的通道1上(经由CH1总线210B)。因此, 存储器控制器110用来控制存储器设备102A和存储器设备102B(即, DRAM)的所有软件都通过RCD 112。存储器控制器110可以是DDR5存储器控制器, 其具有连接到存储器模块100(例如, DDR5DIMM)的物理层接口 (PHY)。如本领域技术人员所理解的, 当前标准正在从DDR4转换到DDR5。进一步, 存储器设备102A和102B中的每一个经由DQS和DQx8连接到存储器控制器110, 其中DQS是数据选通 (strobe) 并且DQx8是8位的数据。

[0024] 图2是根据实施例的连接至经修改的存储器控制器110的存储器模块100的示意图。存储器控制器110可以包括上面讨论的存储器控制器110的功能以及此处讨论的附加功能。存储器控制器110被配置为将存储器模块100切换和操作为具有单个64位数据通道0的单个通道, 而不是将存储器模块100操作为双通道存储器(即, 作为单独的32位数据通道0和单独的32位数据通道1)。换言之, 存储器控制器110被配置为从在双通道存储器模式下操作存储器模块100切换到单通道存储器模式(反之亦然)。出于解释的目的, 示出了单个64位数据通道0, 但是应当理解, 单个64位数据通道0实际上是通道0和1两者。

[0025] 在正常双通道模式下, 存储器控制器110被配置为用于经由用于通道0的存储器设备102A的CH0命令地址总线210A向RCD 112的通道0逻辑150A发出命令和地址信息。类似地, 存储器控制器110被配置为在双通道模式中经由用于通道1的存储器设备102B的CH1命令地址总线210B向RCD112的通道1逻辑150B发出命令和地址信息。在双通道模式中, 需要两个ECC存储器设备, 即ECC存储器设备102A和ECC存储器设备102B。然而, 当在单通道模式下将通道0和1两者组合为一个通道(例如, 通道0)时, 存储器控制器110被配置为向通道0和1两者发出相同的命令和地址信息, 同时使它们在单通道模式下一起充当一个大通道(即, 充当64位宽的数据通道); 在CH0总线210A和CH1总线210B上同时(或几乎同时)发布该命令和地址信息。在单通道模式中, 仅需要一个ECC存储器设备, 其可以是ECC存储器设备102A或ECC

存储器设备102B,如下面进一步讨论的。出于解释的目的,ECC存储器设备102A被指定用于纠错码存储器。

[0026] 如图2中所示,实施例提供了x64数据每通道驱动的存储器模块100,其可以具有突发长度(BL)8,其中,BL 8意味着来自存储器设备/模块100的8个数据突发(burst),如果设备是x8,则8个数据突发等于64b数据。在典型的DDR4存储器系统中,存储器设备包括64b宽的接口,并且标准数据传输是BL8,其等同于在8个突发上的64b数据,这等同于64字节的数据。在DDR5存储器系统中,可存在BL16,其中在一个32位宽的存储器通道上的数据传输将为16个搏动(beat),每个搏动32位,这也等于如在DDR4存储器系统中的64字节。其他突发长度也是可能的,例如BL4或BL32。突发长度是在每个传输中在中央处理器单元(即,处理器)与存储器之间传输的数据量。在图2中,BL8传输的每个突发存在64位数据,总计每个写入或读取有64字节,并且其他BL长度也包含于实施例。因此,对(保护)64位数据的纠错码需要8位,这意味着保护64位数据需要在单通道模式下的一个x8 ECC存储器设备102A或102B(但不是两者)。因此,在一个BL8传输期间,存在总共8字节的ECC数据。根据实施例,存储器控制器110被配置为使用额外的ECC存储器设备作为备用存储器设备(其可用作备用数据存储器设备和/或备用ECC存储器设备,因为它们都是相同的存储器设备但是用于不同的目的)。存储器控制器110被配置为将ECC存储器设备102A和102B中的一个来用作用于单个64位数据通道(在单通道模式中)的纠错码存储器,而另一未使用的ECC存储器设备是备用的(未用于ECC)。出于说明的目的,ECC存储器设备102A被指定为202A,并且ECC存储器设备102B被指定为202B,以便突出显示作为保护64位数据接口的ECC存储器设备的操作对比作为备用存储器设备的操作。存储器设备102A的ECC存储器设备202A可以在单通道模式下作为单个64位数据通道的ECC存储器设备操作,而存储器设备102B的ECC存储器设备202B作为备用存储器设备操作。在数据存储器设备102A和102B中的任何一个存储器设备发生故障的情况下,存储器控制器110被配置为利用备用(ECC)存储器设备202B来替换发生故障的存储器设备。出于解释而非限制的目的,以下是根据实施例可以如何实现这一点的示例场景。在存储器设备102A或102B与存储器控制器110的连接之间的诸如重复的存储器传输失败或存储器设备102A或102B内的存储器存储位置的失败的某些情况下,存储器控制器110可以开始使用备用设备202B。通常,当存储器控制器110接收到数据时发现故障,并且存储器控制器110针对ECC码检查数据(例如,通过使用ECC存储器设备202A)以指示错误数据。典型的ECC码可以用于校正单位失败和检测双位失败。存储器控制器110可以使用该检查来确定故障在系统(存储器模块100)中的位置。在检测到特定存储器设备102A或102B的故障时,存储器控制器110可以选择禁用该数据存储器设备(例如,102A或102B中的一个数据存储器设备)并使用备用ECC存储器设备202B。这通常在错误仍可校正的同时完成。在一些实施例中,存储器控制器110启用备用设备(即,备用ECC存储器设备202B),然后通过所有存储器执行一系列读然后写操作,其中来自故障设备(例如,102A或102B中的一个数据存储器设备)的数据将被读、校正和写回到存储器。然而,在写入时,备用设备(即,备用ECC存储器设备202B)从(或者将要)出故障的设备(例如,102A或102B中的一个数据存储器设备)获得数据的副本。该机制可能需要可编程多路复用器网络280,其允许任何存储器设备的数据被写入到DIMM上的另一存储器设备。因此,如果数据存储设备102A、102B发生故障或者如果ECC存储器设备202A发生故障,则存储器控制器110可以根据需要切换到备用存储器设备202B作为数据存储设备或

ECC存储器设备。存储器控制器110被配置为经由CH0总线210A和CH1总线210B而不是出故障的存储器设备向备用存储器设备202B的地址发布必要的命令,从而当存储器模块100最初被设计为没有RAS(即,没有备用存储器设备202B)时已经实现了RAS。

[0027] 在图2中,作为单个通道的DDR5 DIMM的操作不需要修改DDR5 DIMM(存储器模块100)本身。然而,存储器控制器110被配置为将相同的命令和地址(CA)驱动到通道0和1两者(经由总线210A和210B),从而创建其中存储器模块100现在具有备用存储器设备202B的单个双宽通道。在一些实施例中,存储器控制器110被配置为关闭(存储器设备102B中的)ECC存储器设备202B和/或禁止ECC存储器设备202B用作纠错码存储器,使得ECC存储器设备202B可用作备用。在单通道模式中,存储器通道110被配置为向ECC存储器设备202A发出先前已经被寻址到ECC存储器设备202B的任何命令。此外,在存储器设备102A和102B中的任何一个发生故障的情况下,存储器控制器110还被配置为将命令寻址到备用(ECC)存储器设备202B,以便将数据保存在备用(ECC)存储器设备202B上。存储器控制器110配置有作为硬件的电路214以起到如本文中所讨论的作用。电路214可以包括逻辑212、缓冲器等,如本文已经讨论的进行操作。存储器控制器110包括可操作地连接到存储器模块的标准硬件和中央处理单元(即,未示出的处理器),如本领域技术人员所理解的。在一种情况下,逻辑212可以包括固件和/或微代码,以使得电路214执行逻辑212以如本文中所讨论的进行操作。逻辑212可以是可执行指令、专用集成电路(ASIC)等的形式。

[0028] 存储器控制器110可以在以双通道模式与单通道模式操作存储器模块100之间来回切换。例如,用户可以选择存储器控制器110上的单通道模式和/或双通道模式的设置。例如,在存储器控制器110检测到存储器设备102A和102B中的故障存储器设备时,存储器控制器110可以被配置为从双通道模式(即,分别操作通道0和通道1)切换到单通道模式,使得可以利用备用存储器设备202B来代替故障存储器设备。出于解释而非限制的目的,以下是存储器控制器110可以如何从双通道模式切换到单通道模式的示例场景。通常,当以双通道模式运行时,没有备用设备,因为每个32b宽的通道102A和102B正在使用其ECC存储器设备(分别为ECC存储器设备202A和202B)来检测并校正在其相应的通道0和1上的故障。然而,在一个实施例中,如果任何数据存储器设备上的单个位错误率开始增加(例如,位错误率达到预定阈值),则存储器控制器110将达到预定阈值识别为存储器控制器110需要空出出故障的设备的触发。存储器控制器110被配置为使出故障的存储器设备空闲。然而,在双通道配置中,没有备用设备,并且存储器控制器110被配置为从双通道模式切换到单通道模式(从而使备用存储器设备可用于代替出故障的存储器设备使用)。在双通道系统中,该切换可以要求存储器控制器110从两个通道从DIMM读出所有数据(即,从存储器设备102A和102B读出所有数据),将数据放置到存储装置285(例如,主存储器)中,将存储器模块100切换到单通道模式,其中存在一个64b宽的通道,其要求一个ECC设备(例如,ECC存储器设备202A),留下一个ECC设备未使用作为备用(例如,备用ECC存储器设备202B)。存储器控制器110被配置为将出故障的设备(例如,一个数据存储设备102A(或一个数据存储设备102B))映射到未使用的ECC设备(例如,备用ECC存储设备202B)作为备用,然后将所有存储器写回到DIMM(到相应的存储器设备102A和102B中)。

[0029] 应当理解,当使用标准DDR5 DIMM(存储器模块100)时,存储器控制器110被配置为在具有7位ECC码的两个32位数据通道(即,双通道模式)中运行,并且切换到具有8位ECC码

和8位备用存储器设备的单个64b通道(即,单通道模式)。利用典型的SECDED(单错误校正、双错误检测)ECC编码,检测和校正故障所需的位数减少并且被检查的位数增加。为了用SECDED ECC覆盖32b数据,需要七位ECC码,并且为了用SECDED ECC覆盖64b数据,仅需要多一位,总共8位ECC码。双通道模式在CH0总线210A和CH1总线210B上分开且独立地发出命令和地址信息。单通道模式在CH0总线210A和CH1总线210B上发出相同的命令和地址信息。

[0030] 图3是根据实施例的连接到经修改的存储器控制器110的经修改的存储器模块100的示意图。图3示出了其中存储器模块100具有多于一个RCD的情况。在这种情况下,存储器模块100被显示为具有两个RCD,分别为RCD 212A和RCD 212B。RCD 212A具有用于通道1的逻辑150A,而RCD 212B具有用于通道2的逻辑150B。正如本文所讨论的,存储器控制器110被配置为以双通道模式操作存储器模块100,其中在总线210A上(经由RCD 212A的逻辑150A)发布到存储器设备102A的命令和地址信息独立于在总线210B上(经由RCD 212B的逻辑150B)发布到存储器设备102B的命令和地址信息。独立意味着可以在CH0总线210A上发布诸如写命令之类的一种类型的命令,而在CH1总线210B上同时发布诸如读命令之类的另一种类型的命令。存储器控制器110被配置为以单通道模式操作存储器模块100,其中相同的命令和地址信息经由RCD212A和212B的逻辑150A和150B在总线210A和210B两者上被发布到存储器设备102A和102B。

[0031] 命令地址和数据总线210A和210B可以是单端或差分的。

[0032] 图4是根据实施例的用于操作存储器控制器110的方法的流程图400。在框402,存储器控制器110被配置为以双通道模式驱动第一存储器设备102A和第二存储器设备102B,其中第一纠错码(ECC)存储器设备202A和第二ECC存储器设备202B保护第一存储器设备102A和第二存储器设备102B。

[0033] 在框404处,存储器控制器110被配置为以单通道模式驱动第一存储器设备102A和第二存储器设备102B,使得第二ECC存储器设备202B是备用存储器设备,其中第一ECC存储器设备202A保护第一存储器设备102A和第二存储器设备102B,其中存储器控制器110被配置为在双通道模式和单通道模式之间切换。

[0034] 存储器模块100是动态随机存取存储器(DRAM)。存储器模块是DRAM双列直插式存储器模块(DIMM)。

[0035] 第一存储器设备102A包括被配置用于数据存储的第一数据存储器设备102A和被配置用于纠错的第一ECC存储器设备202A。第二存储器设备102B包括被配置用于数据存储的第二数据存储器件102B和被配置用于纠错的第二ECC存储器设备202B。存储器控制器110被配置为在单通道模式期间禁用第二ECC存储器设备202B,使得第二ECC存储器设备202B是备用存储器设备。

[0036] 存储器控制器110被配置为用于从第一存储器设备102A和第二存储器设备102B中检测出故障的存储器设备。存储器控制器110被配置为用备用存储器设备替换出故障的存储器设备,使得备用存储器设备代替存储器模块100中的出故障的存储器设备而操作。响应于检测到出故障的存储器设备,存储器控制器110被配置为使备用存储器设备代替第一数据存储器设备102A、第一ECC存储器设备202A和第二存储器设备102B中的任意一个操作。

[0037] 第一数据存储器设备102A具有32位宽的数据接口,并且第二数据存储器设备102B具有另一32位宽的数据接口。在单通道模式期间,存储器控制器110被配置为使得第一ECC

存储器设备202A保护用于第一数据存储器设备102A和第二数据存储器设备102B两者的64位宽的数据接口,并且64位宽的数据接口是32位宽的数据接口和另一32位宽的数据接口的组合。第一ECC存储器设备202A是8位,并且第二ECC存储器设备202B是8位。

[0038] 图5是根据实施例的用于配置存储器控制器110的方法的流程图500。在框502,存储器控制器110被配置为在双通道模式下操作,其中在双通道模式下操作包括用7位纠错码(ECC)存储器(ECC存储器设备202A和202B)驱动两个32位数据通道。尽管ECC存储器设备202A和202B各自具有8位,但是在ECC存储器设备202A和202B的每一个中仅需要8位中的7位。

[0039] 在框504处,存储器控制器110被配置为在单通道模式下操作,其中,在单通道模式下操作包括用8位ECC存储器(例如,ECC存储器设备202A)驱动单个64位通道,从而使得8位备用存储器设备(例如,ECC存储器设备202B)可用,其中,存储器控制器110不同时在单通道模式和双通道模式两者中操作。

[0040] 图6是根据实施例的用于从双通道模式切换到单通道模式的方法的流程图600。在框602,存储器控制器110被配置为确定(例如,经由电路214和逻辑212)需要从双通道模式(例如,分别操作通道0和通道1两者)切换到操作存储器模块100的单通道模式。存储器模块100包括在第一通道(例如,通道0)和第二通道(例如,通道1)上的存储器设备102A和102B。

[0041] 在框604处,存储器控制器110被配置为从双通道模式切换到单通道模式(例如,将通道0和1两者操作为单个通道0),其包括:从存储器模块100的存储器设备102A和102B读出所有数据(在框606),将数据从存储器模块100的存储器设备102A和102B加载到存储装置/主存储器285中(在框608),通过用单个纠错码(ECC)存储器设备202A而不是存储器设备102A、102B的两个ECC存储器设备(而不是两个ECC存储器设备202A和202B)保护第一通道0和第二通道1来使得存储器设备中的备用ECC存储器设备202B是可用的(在框610),映射(例如,经由复用器网络280)出故障的存储器设备(例如,来自102A或102B中的任一个的存储器设备)的输入和输出到备用ECC存储器设备202B,使得对出故障的存储器设备的意图写入和从出故障的存储器设备的意图读取改为对备用ECC存储器设备202B的写入和从备用ECC存储器设备202B的读取(在框612),以及将数据从存储装置285写回到存储器模块100的存储器设备102A和102B,使得意图用于出故障的存储器设备的数据的部分/一部分改为被写到备用ECC存储器设备202B(在框614)。

[0042] 存储器控制器110被配置为用于通过识别在双通道模式下操作期间发生预定义触发来确定需要从双通道模式切换到操作存储模块的单通道模式,在该双通道模式下,存储模块上没有空闲存储器设备可用。所述预定义触发发生在所述存储器装置中的任一个存储器装置上的单个位错误率达到预定阈值时。出故障的存储器设备使得预定义触发发生。

[0043] 技术效果和益处包括用于从标准存储器模块提供备用存储器设备的结构和方法。技术效果和益处包括存储器控制器被配置为在使用标准DDR5 DIMM时在具有7位ECC码的两个32位数据通道中运行,并且切换到具有8位ECC码和8位备用存储器设备的单个64位通道。进一步,技术益处允许最初设计用于低端计算机的不具有RAS(即,没有备用存储器设备)的存储器模块被用作用于高端计算机的具有RAS(即,具有备用存储器设备)的存储器模块。

[0044] 在任何可能的技术细节结合层面,本发明可以是系统、方法和/或计算机程序产品。计算机程序产品可以包括计算机可读存储介质,其上载有用于使处理器实现本发明的

各个方面的计算机可读程序指令。

[0045] 计算机可读存储介质可以是可以保持和存储由指令执行设备使用的指令的有形设备。计算机可读存储介质例如可以是——但不限于——电存储设备、磁存储设备、光存储设备、电磁存储设备、半导体存储设备或者上述的任意合适的组合。计算机可读存储介质的更具体的例子(非穷举的列表)包括:便携式计算机盘、硬盘、随机存取存储器(RAM)、只读存储器(ROM)、可擦式可编程只读存储器(EPROM或闪存)、静态随机存取存储器(SRAM)、便携式压缩盘只读存储器(CD-ROM)、数字多功能盘(DVD)、记忆棒、软盘、机械编码设备、例如其上存储有指令的打孔卡或凹槽内凸起结构、以及上述的任意合适的组合。这里所使用的计算机可读存储介质不被解释为瞬时信号本身,诸如无线电波或者其他自由传播的电磁波、通过波导或其他传输媒介传播的电磁波(例如,通过光纤电缆的光脉冲)、或者通过电线传输的电信号。

[0046] 这里所描述的计算机可读程序指令可以从计算机可读存储介质下载到各个计算/处理设备,或者通过网络、例如因特网、局域网、广域网和/或无线网下载到外部计算机或外部存储设备。网络可以包括铜传输电缆、光纤传输、无线传输、路由器、防火墙、交换机、网关计算机和/或边缘服务器。每个计算/处理设备中的网络适配卡或者网络接口从网络接收计算机可读程序指令,并转发该计算机可读程序指令,以供存储在各个计算/处理设备中的计算机可读存储介质中。

[0047] 用于执行本发明操作的计算机程序指令可以是汇编指令、指令集架构(ISA)指令、机器指令、机器相关指令、微代码、固件指令、状态设置数据、集成电路配置数据或者以一种或多种编程语言的任意组合编写的源代码或目标代码,所述编程语言包括面向对象的编程语言——诸如Smalltalk、C++等,以及过程式编程语言——诸如“C”语言或类似的编程语言。计算机可读程序指令可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中,远程计算机可以通过任意种类的网络——包括局域网(LAN)或广域网(WAN)——连接到用户计算机,或者,可以连接到外部计算机(例如利用因特网服务提供商来通过因特网连接)。在一些实施例中,通过利用计算机可读程序指令的状态信息来个性化定制电子电路,例如可编程逻辑电路、现场可编程门阵列(FPGA)或可编程逻辑阵列(PLA),该电子电路可以执行计算机可读程序指令,从而实现本发明的各个方面。

[0048] 这里参照根据本发明实施例的方法、装置(系统)和计算机程序产品的流程图和/或框图描述了本发明的各个方面。应当理解,流程图和/或框图的每个方框以及流程图和/或框图中各方框的组合,都可以由计算机可读程序指令实现。

[0049] 这些计算机可读程序指令可以提供给通用计算机、专用计算机或其它可编程数据处理装置的处理器,从而生产出一种机器,使得这些指令在通过计算机或其它可编程数据处理装置的处理器执行时,产生了实现流程图和/或框图中的一个或多个方框中规定的功能/动作的装置。也可以把这些计算机可读程序指令存储在计算机可读存储介质中,这些指令使得计算机、可编程数据处理装置和/或其他设备以特定方式工作,从而,存储有指令的计算机可读介质则包括一个制造品,其包括实现流程图和/或框图中的一个或多个方框中规定的功能/动作的各个方面指令。

[0050] 也可以把计算机可读程序指令加载到计算机、其它可编程数据处理装置、或其它设备上,使得在计算机、其它可编程数据处理装置或其它设备上执行一系列操作步骤,以产生计算机实现的过程,从而使得在计算机、其它可编程数据处理装置、或其它设备上执行的指令实现流程图和/或框图中的一个或多个方框中规定的功能/动作。

[0051] 附图中的流程图和框图显示了根据本发明的多个实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上,流程图或框图中的每个方框可以代表一个模块、程序段或指令的一部分,所述模块、程序段或指令的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。在有些作为替换的实现中,方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如,两个连续的方框实际上可以基本并行地执行,它们有时也可以按相反的顺序执行,这依所涉及的功能而定。也要注意的是,框图和/或流程图中的每个方框、以及框图和/或流程图中的方框的组合,可以用执行规定的功能或动作的专用的基于硬件的系统来实现,或者可以用专用硬件与计算机指令的组合来实现。

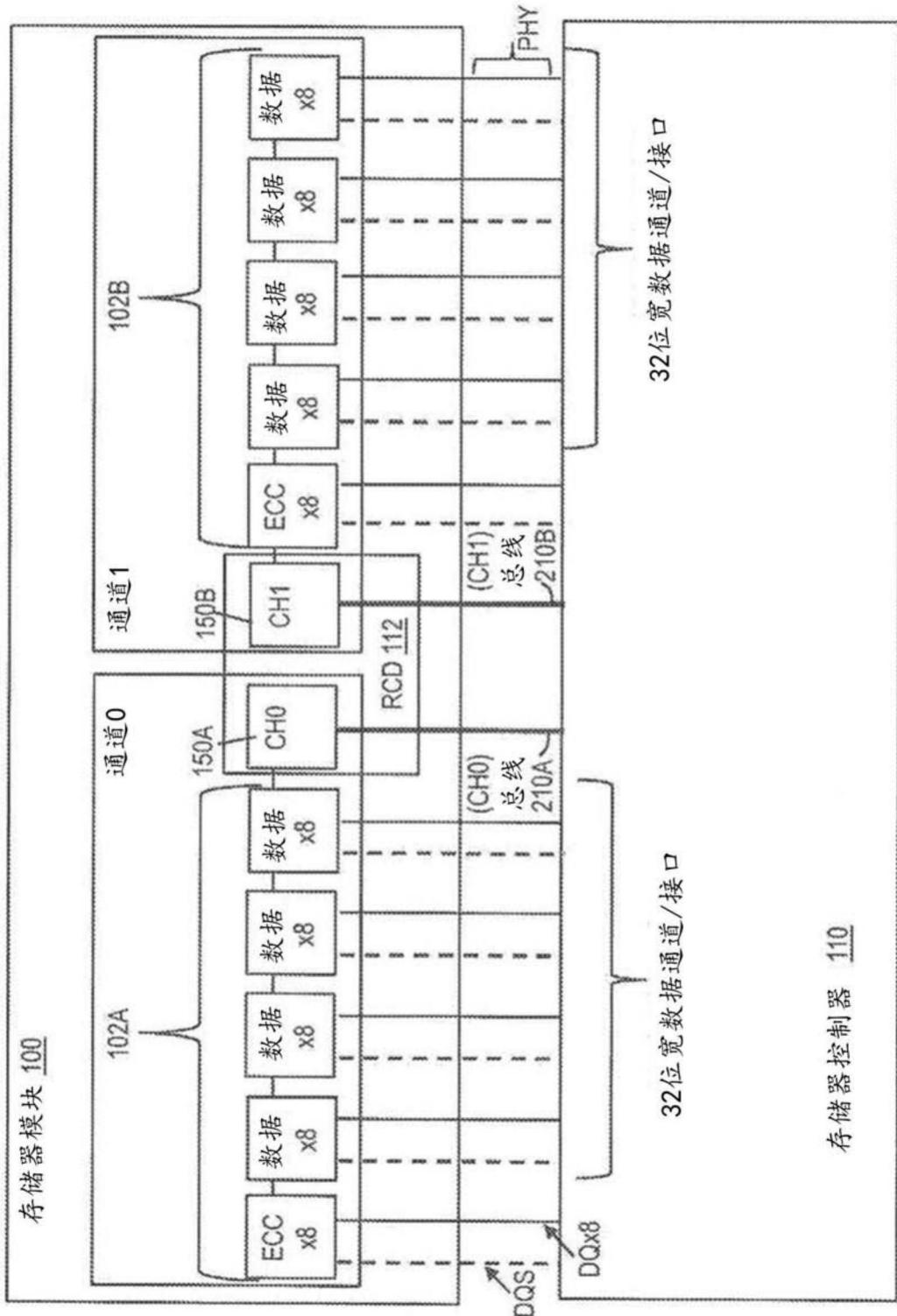
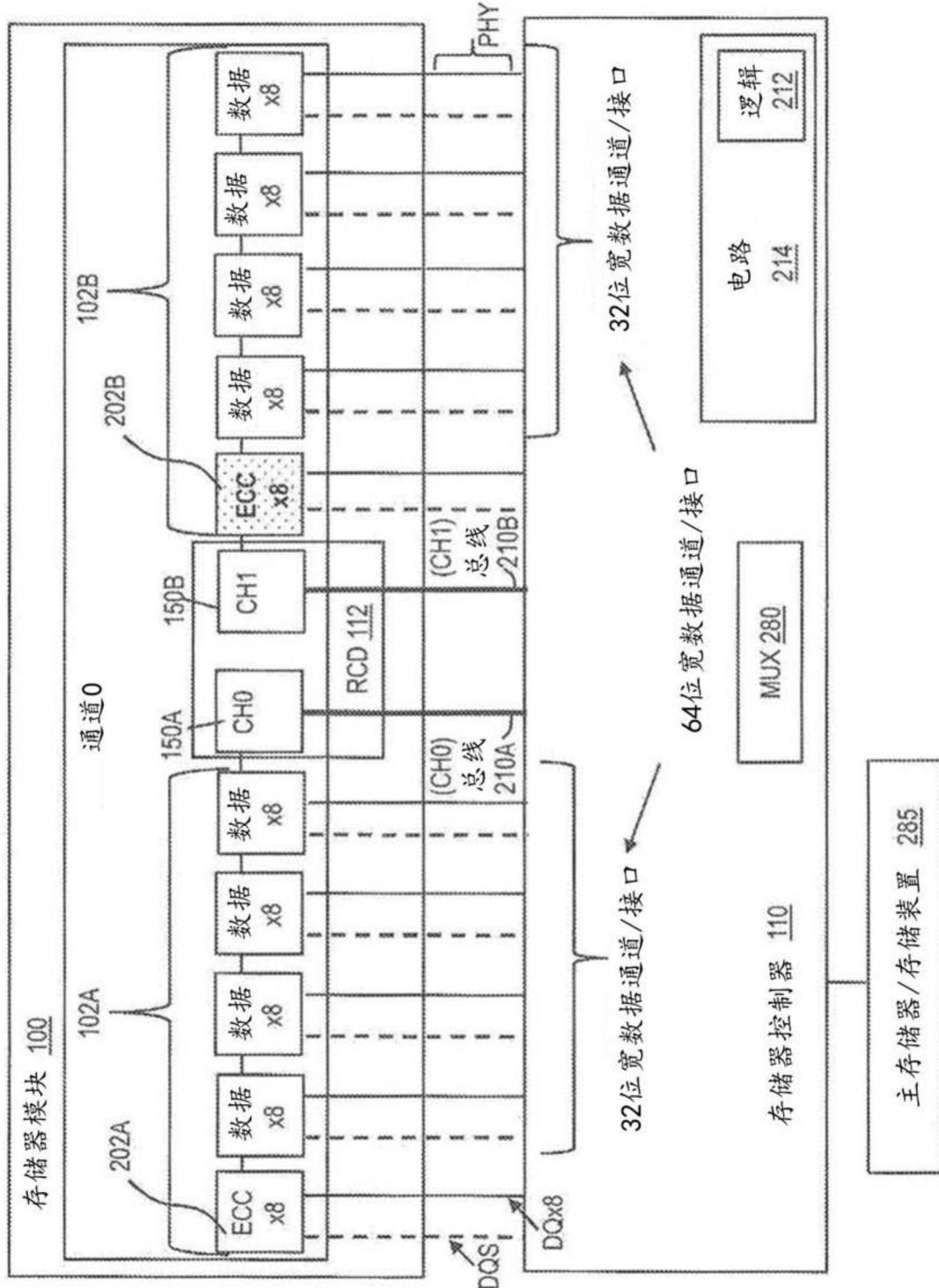


图1



冬 2

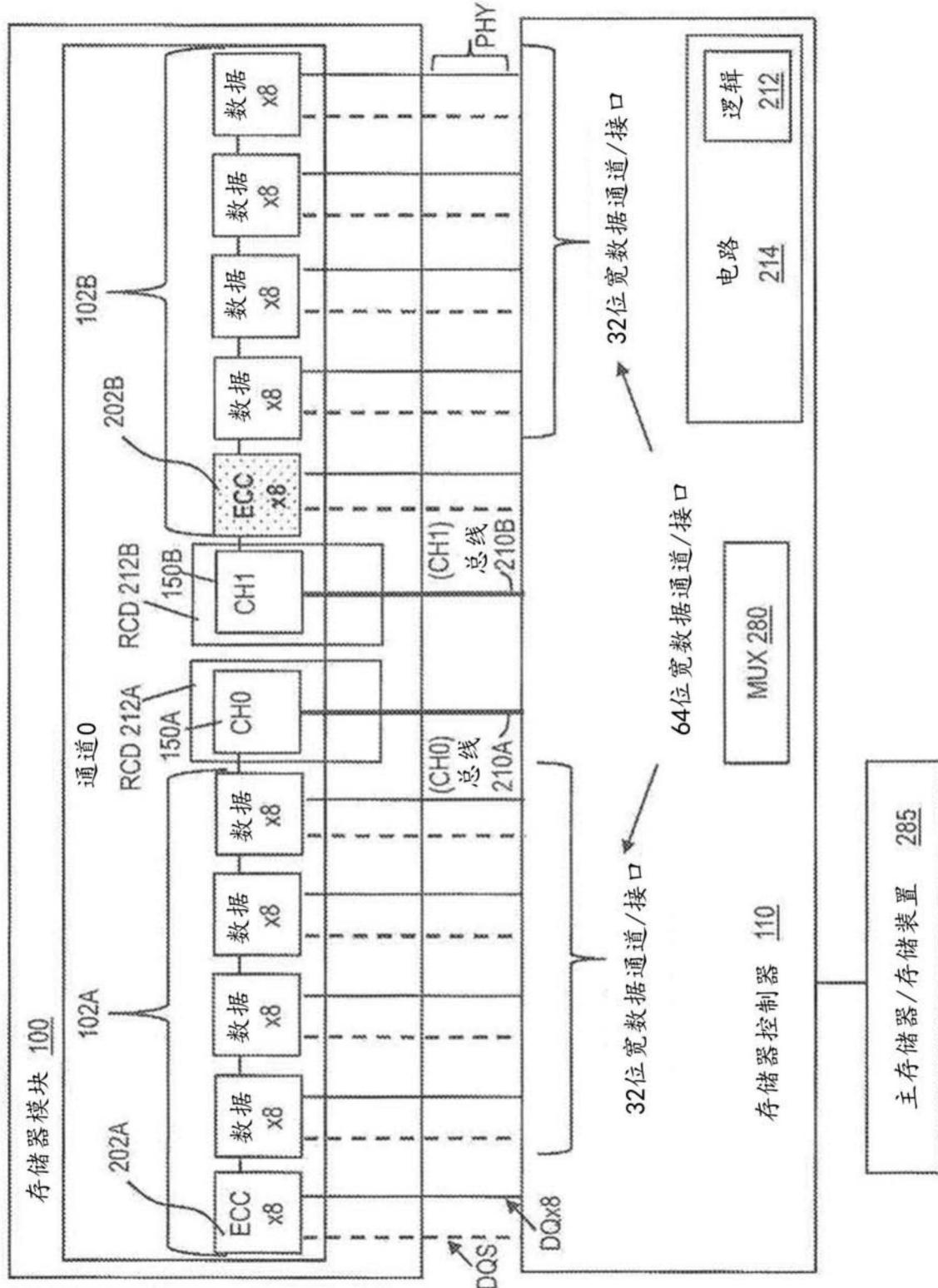
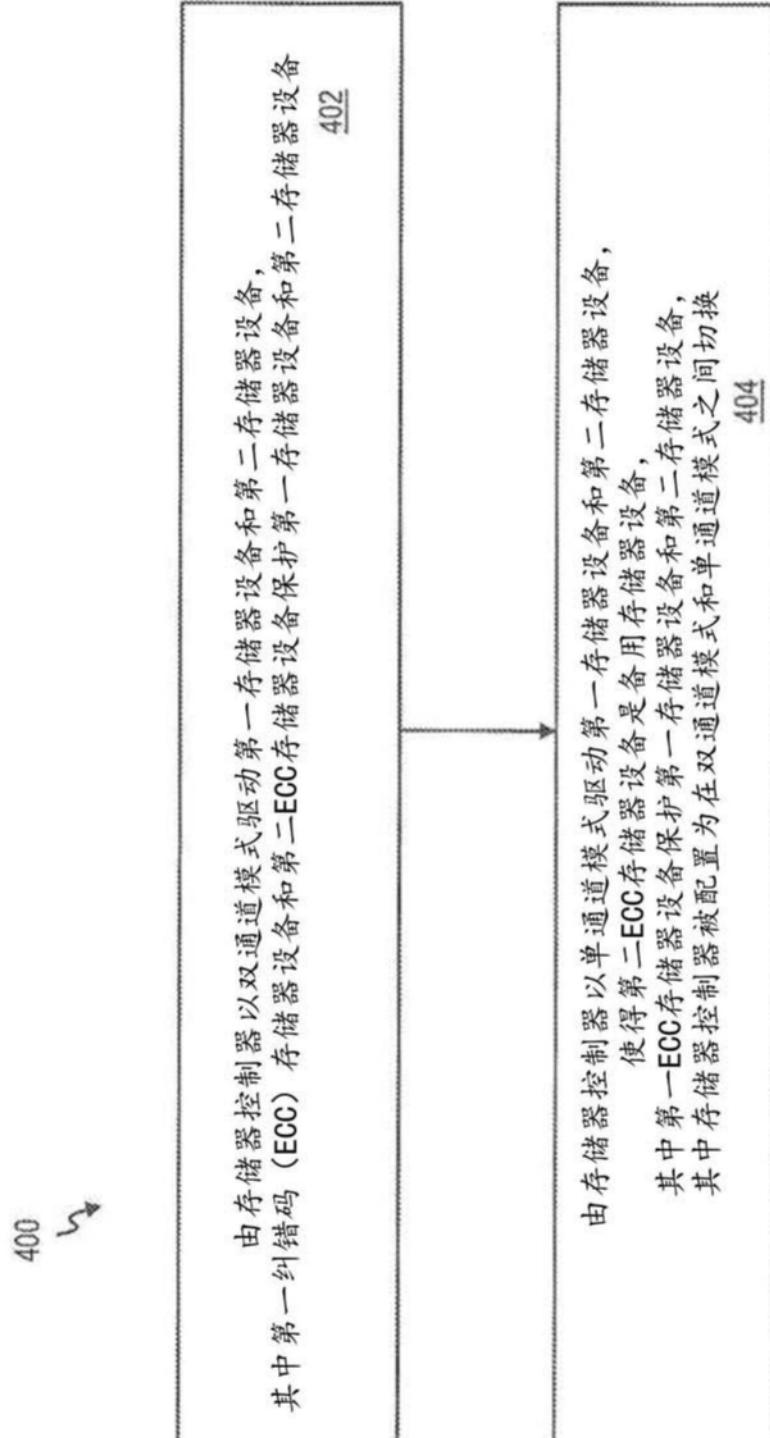
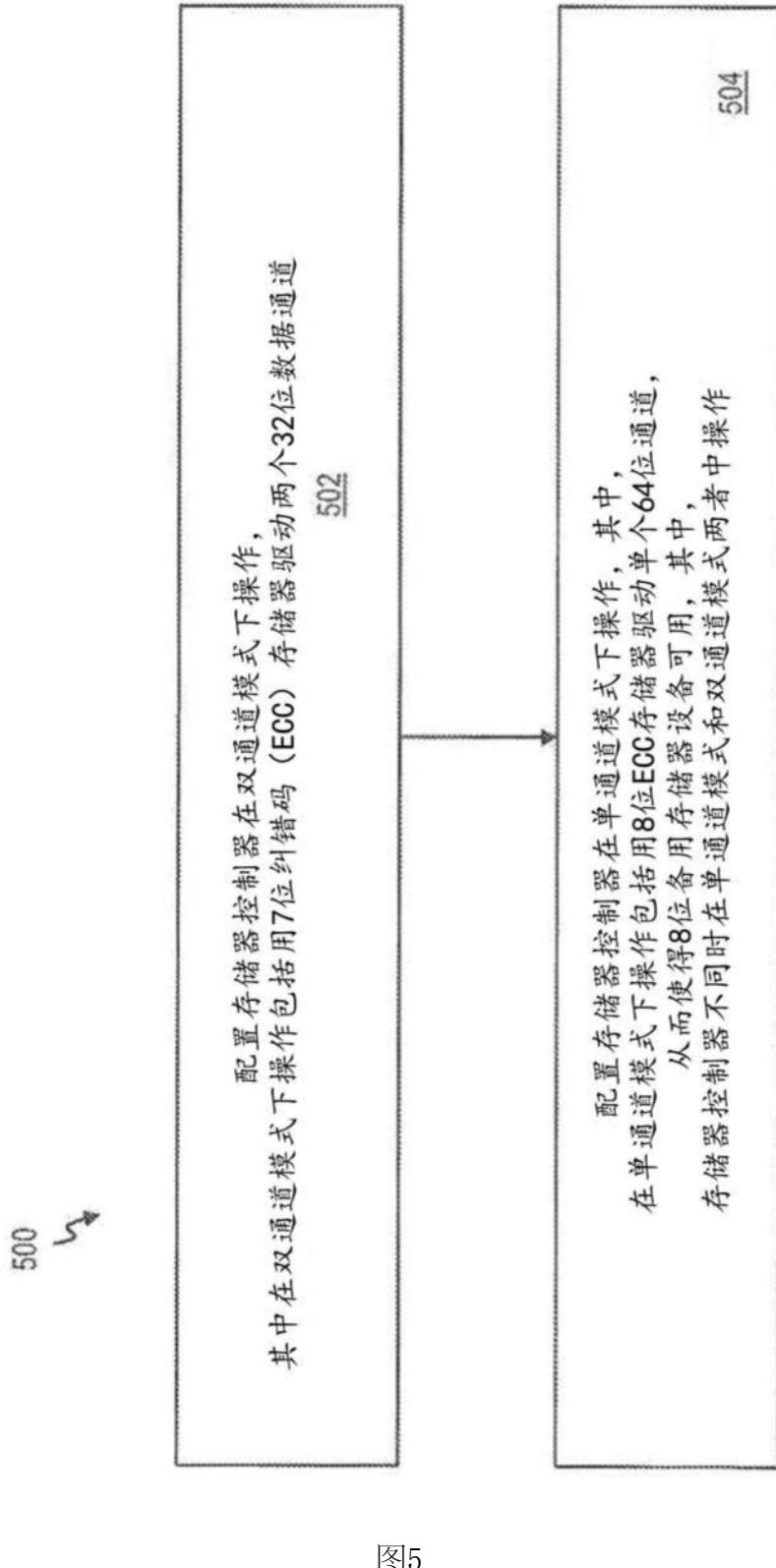


图3





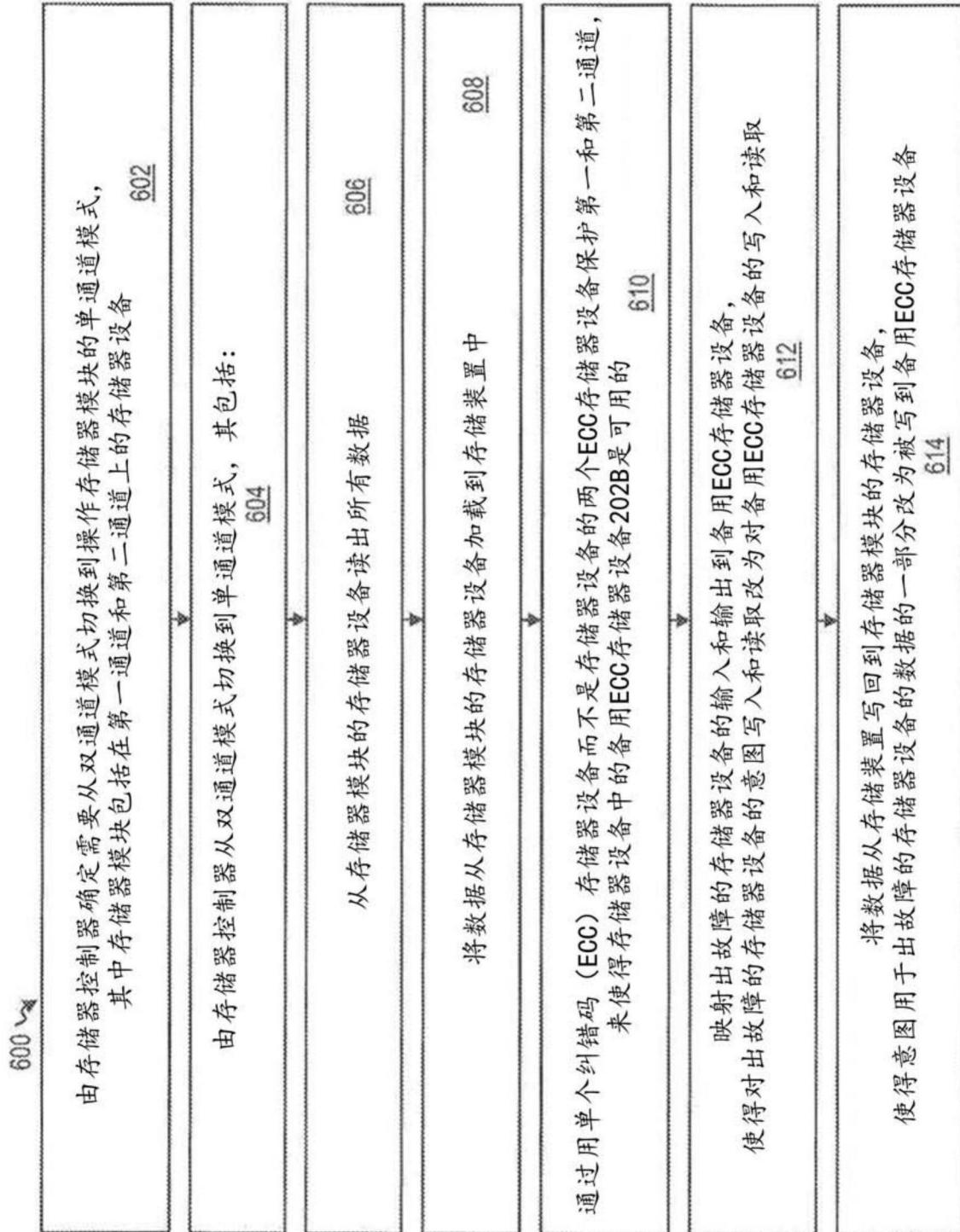


图6