



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I770436 B

(45)公告日：中華民國 111 (2022) 年 07 月 11 日

(21)申請案號：108141333

(22)申請日：中華民國 108 (2019) 年 11 月 14 日

(51)Int. Cl. : **H01L27/11521** (2017.01) **H01L27/11526** (2017.01)
H01L27/11556 (2017.01) **H01L27/11568** (2017.01)
H01L27/11573 (2017.01) **H01L27/11582** (2017.01)

(30)優先權：2018/11/15 美國 16/192,462

(71)申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國(72)發明人：唐 珊 D TANG, SANH D. (US)；羅伯特 馬丁 C ROBERTS, MARTIN C.
(US)；珊得胡 高提傑 S SANDHU, GURTEJ S. (US)

(74)代理人：陳長文

(56)參考文獻：

TW	201113984A	TW	201304074A
TW	201508963A	US	9698272B1
US	2018/0323200A1		

審查人員：陳俊宏

申請專利範圍項數：14 項 圖式數：6 共 39 頁

(54)名稱

包括記憶體單元之記憶體陣列

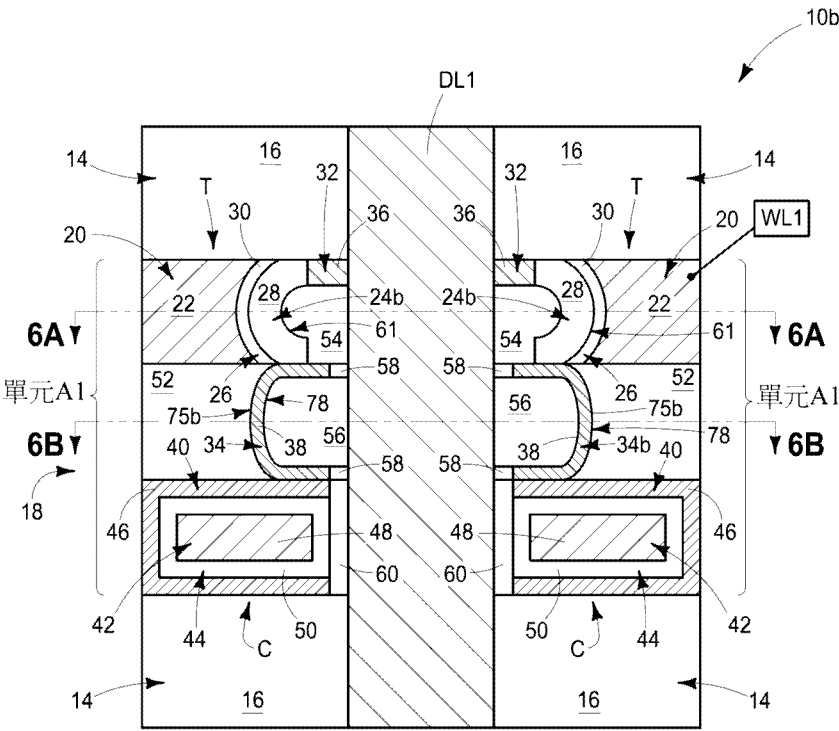
(57)摘要

一些實施例包含一種記憶體陣列，該記憶體陣列具有豎直堆疊的記憶體單元。該等記憶體單元中之每一記憶體單元包含與一電荷儲存裝置耦接之一電晶體，並且該等電晶體中的每一電晶體具有一帶隙大於 2 電子伏特的通道材料。一些實施例包含一種記憶體陣列，該記憶體陣列具有沿一豎直方向延伸的數位線及沿一水平方向延伸的字線。該記憶體陣列包含記憶體單元，其中該等記憶體單元中之每一記憶體單元由該等數位線之一及該等字線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包含具有 GaP 通道材料的一電晶體。該等電晶體中的每一電晶體具有藉由該 GaP 通道材料彼此間隔開的第一源極/汲極區及第二源極/汲極區。該等第一源極/汲極區與該等數位線耦接，並且該等記憶體單元中之每一記憶體單元包含與該相關聯的電晶體的該第二源極/汲極區耦接之一電容器。亦揭示了其他實施例。

Some embodiments include a memory array having vertically-stacked memory cells. Each of the memory cells includes a transistor coupled with a charge-storage device, and each of the transistors has channel material with a bandgap greater than 2 electron-volts. Some embodiments include a memory array having digit lines extending along a vertical direction and wordlines extending along a horizontal direction. The memory array includes memory cells, with each of the memory cells being uniquely addressed by combination of one of the digit lines and one of the wordlines. Each of the memory cells includes a transistor which has GaP channel material. Each of the transistors has first and second source/drain regions spaced from one another by the GaP channel material. The first source/drain regions are coupled with the digit lines,

and each of the memory cells includes a capacitor coupled with the second source/drain region of the associated transistor. Other embodiments are disclosed.

指定代表圖：



【圖6】

符號簡單說明：

- 10b:記憶體陣列
- 14:絕緣區
- 16:絕緣材料
- 18:記憶體層
- 20:閘極
- 22:導電閘極材料
- 24b:通道區
- 26:介電區
- 28:通道材料
- 30:介電材料
- 32:第一源極/汲極區
- 34:第二源極/汲極區
- 36:導電材料
- 38:導電材料
- 40:第一電極
- 42:第二電極
- 44:電容器介電區
- 46:導電材料
- 48:導電材料
- 50:介電材料
- 52:絕緣材料
- 54:絕緣材料
- 56:絕緣材料
- 58:絕緣材料
- 60:絕緣材料
- 61:相對的 C 形形狀
- 75b:導電互連
- 78:相對的 C 形形狀
- A1:記憶體單元
- C:電容器
- DL1:數位線
- T:電晶體
- WL1:字線



I770436

【發明摘要】

【中文發明名稱】

包括記憶體單元之記憶體陣列

【英文發明名稱】

MEMORY ARRAYS COMPRISING MEMORY CELLS

【中文】

一些實施例包含一種記憶體陣列，該記憶體陣列具有豎直堆疊的記憶體單元。該等記憶體單元中之每一記憶體單元包含與一電荷儲存裝置耦接之一電晶體，並且該等電晶體中的每一電晶體具有一帶隙大於2電子伏特的通道材料。一些實施例包含一種記憶體陣列，該記憶體陣列具有沿一豎直方向延伸的數位線及沿一水平方向延伸的字線。該記憶體陣列包含記憶體單元，其中該等記憶體單元中之每一記憶體單元由該等數位線之一及該等字線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包含具有GaP通道材料的一電晶體。該等電晶體中的每一電晶體具有藉由該GaP通道材料彼此間隔開的第一源極/汲極區及第二源極/汲極區。該等第一源極/汲極區與該等數位線耦接，並且該等記憶體單元中之每一記憶體單元包含與該相關聯的電晶體的該第二源極/汲極區耦接之一電容器。亦揭示了其他實施例。

【英文】

Some embodiments include a memory array having vertically-stacked memory cells. Each of the memory cells includes a transistor coupled with a charge-storage device, and each of the transistors has channel material with a bandgap greater than 2 electron-volts. Some

embodiments include a memory array having digit lines extending along a vertical direction and wordlines extending along a horizontal direction. The memory array includes memory cells, with each of the memory cells being uniquely addressed by combination of one of the digit lines and one of the wordlines. Each of the memory cells includes a transistor which has GaP channel material. Each of the transistors has first and second source/drain regions spaced from one another by the GaP channel material. The first source/drain regions are coupled with the digit lines, and each of the memory cells includes a capacitor coupled with the second source/drain region of the associated transistor. Other embodiments are disclosed.

【指定代表圖】

圖6

【代表圖之符號簡單說明】

- 10b 記憶體陣列
- 14 絕緣區
- 16 絕緣材料
- 18 記憶體層
- 20 閘極
- 22 導電閘極材料
- 24b 通道區
- 26 介電區
- 28 通道材料

30	介電材料
32	第一源極/汲極區
34	第二源極/汲極區
36	導電材料
38	導電材料
40	第一電極
42	第二電極
44	電容器介電區
46	導電材料
48	導電材料
50	介電材料
52	絕緣材料
54	絕緣材料
56	絕緣材料
58	絕緣材料
60	絕緣材料
61	相對的C形形狀
75b	導電互連
78	相對的C形形狀
A1	記憶體單元
C	電容器
DL1	數位線
T	電晶體
WL1	字線

【發明說明書】

【中文發明名稱】

包括記憶體單元之記憶體陣列

【英文發明名稱】

MEMORY ARRAYS COMPRISING MEMORY CELLS

【技術領域】

【0001】本文揭示之實施例係關於包括記憶體單元之記憶體陣列。

【先前技術】

【0002】記憶體係一種類型的積體電路系統並且在電腦系統中用於儲存資料。記憶體可以被製造成一或多個由個別記憶體單元構成的陣列。可以使用數位線(其也可以被稱為位元線、資料線、感測線或資料/感測線)及存取線(其也可以被稱為字線)對記憶體單元進行寫入或讀取。數位線可以將沿陣列的行的記憶體單元導電互連，並且存取線可以將沿陣列的列的記憶體單元導電互連。每一記憶體單元可以經由數位線及存取線的組合唯一地定址。

【0003】記憶體單元可以是揮發性的或非揮發性的。非揮發性記憶體單元可以將資料儲存延長的時間段，包含電腦關機時。在許多情況下，揮發性記憶體每秒多次地耗散並且因此快速再新/重寫。無論如何，記憶體單元均被組態成在至少兩種不同的可選擇狀態下保留或儲存記憶體。在二進位系統中，該等狀態被視為「0」或「1」。在其他系統中，至少一些個別記憶體單元可以被組態成儲存兩種以上資訊位準或狀態。

【0004】一些記憶體單元可以包含電晶體與電容器(或其他適當的電荷儲存裝置)的組合。電晶體用於選擇性地存取電容器並且可以被稱為存

取裝置。電容器可以以電場的形式靜電地將能量儲存在兩個電容器板之間的電容器介電質內。電容器的電氣狀態可以用於表示記憶體狀態。

【發明內容】

【0005】 本申請案係關於一種記憶體陣列，其包括：一第一組導電線，該第一組導電線沿一豎直方向延伸；一第二組導電線，該第二組導電線沿一水平方向延伸；複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由來自該第一組的該等導電線之一及來自該第二組中的該等導電線之一的組合唯一地定址；該等記憶體單元中之每一記憶體單元包括一電晶體；該等記憶體單元中之每一記憶體單元包括與該電晶體耦接之一電容器；絕緣材料及該等記憶體單元的豎直交替層；以及該電容器的一對電極，其位於該電晶體的一通道區正上方。

【0006】 本申請案亦係關於一種記憶體陣列，其包括：一第一組導電線，該第一組導電線沿一豎直方向延伸；一第二組導電線，該第二組導電線沿一水平方向延伸；複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由來自該第一組的該等導電線之一及來自該第二組中的該等導電線之一的組合唯一地定址；該第一導電線及該第二導電線個別地與該等記憶體單元中之個別記憶體單元直接電耦接；以及一第三組導電線，該第三組導電線在該等記憶體單元上方或下方水平延伸，該第三組中的該等導電線個別地與該第二組中的該等豎直延伸的導電線中的個別導電線直接電耦接。

【0007】 本申請案亦係關於一種記憶體陣列，其包括：數位線，該等數位線沿一豎直方向延伸；字線，該等字線沿一水平方向延伸；複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由該等數位線之

一及該等字線之一的組合唯一地定址；該等記憶體單元中之每一記憶體單元包括具有通道材料的一電晶體；該等電晶體被組態為圍繞該等數位線的環；該等電晶體中的每一電晶體包括藉由該通道材料彼此間隔開並且相對於彼此豎直移位的第一源極/汲極區及第二源極/汲極區；該等第一源極/汲極區與該等數位線耦接；該等記憶體單元中之每一記憶體單元包括與該記憶體單元之該電晶體的該第二源極/汲極區耦接之一電容器；以及該等記憶體單元上方或下方的水平延伸的導電線，該等水平延伸的導電線個別地與該等豎直延伸的數位線中的個別數位線直接電耦接。

【0008】 本申請案亦係關於一種記憶體陣列，其包括：絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括一電晶體及一電容器，(a)該電晶體的一通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方；並且該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【0009】 本申請案亦係關於一種記憶體陣列，其包括：絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括一電晶體及一電容器，(a)該電晶體的一通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方；該電晶體包括一閘極，並且該通道區沿該閘極在高度上延伸，該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【0010】 本申請案亦係關於一種記憶體陣列，其包括：絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括一電晶體及一電容器，(a)該電晶體的一通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方；一導電互連，該導電互連將該電晶體與該電容器

的該對電極之一直接電耦接，該導電互連包括在一直線豎直截面中面向彼此的相對的L形形狀；該電晶體包括一閘極，並且該通道區沿該閘極在高度上延伸，該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【圖式簡單說明】

【0011】圖1為示例記憶體陣列的區域的圖解視圖。

【0012】圖2為示例記憶體陣列的區域的圖解性截面側視圖並且展示了示例記憶體單元。

【0013】圖2A為沿圖2的線2A-2A截取的圖解性截面視圖。

【0014】圖3為示例記憶體陣列的區域的圖解視圖。

【0015】圖4為示例記憶體陣列的區域的圖解視圖。

【0016】圖5為示例記憶體陣列的區域的圖解視圖。

【0017】圖6為示例記憶體陣列的區域的圖解性截面側視圖並且展示了示例記憶體單元。

【0018】圖6A為沿圖6的線6A-6A截取的圖解性截面視圖。

【0019】圖6B為沿圖6的線6B-6B截取的圖解性截面視圖。

【實施方式】

相關專利資料

【0020】本專利係關於2017年7月27日申請的美國臨時申請案第62/537,842號及2018年7月6日申請的美國專利申請案第16/029,248號。本專利由美國專利申請案第16/029,248號的部分接續申請案產生。

【0021】積體記憶體可以形成為三維記憶體陣列，在該三維記憶體陣列中，記憶體單元彼此豎直堆疊。圖1中圖解性地展示了示例三維記憶

體陣列10的區域。記憶體陣列10包括相對於下面的支撐基板12豎直延伸的第一組導電線以及跨記憶體陣列水平延伸的第二組導電線。第一組中的導電線被標記為數位線DL1、DL2、DL3及DL4；並且第二組中的導電線被標記為字線WL1、WL2及WL3。數位線沿記憶體陣列的行延伸，其中此類行被標記為行A、行B、行C及行D。字線沿記憶體陣列的列延伸，其中此類列被標記為列1、列2及列3。因此，並且舉例來說，圖1及本文中的其他類似圖在結構上也將列2示出為位於列1下方；將列3示出為位於列2下方；並且將列A、B、C及D示出為所示各個組件的實際(即，實體)電路構造中的橫向間隔開的豎直行。

【0022】記憶體陣列10包括複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由數位線之一及字線之一唯一地定址。記憶體單元藉由指示其相對於列及行的位置的描述語進行標記。例如，沿行A及列1的記憶體單元被標記為單元A1；沿行B及列1的記憶體單元被標記為單元B1，依此類推。記憶體單元包含電晶體(T)與電容器(C)之組合。每一電晶體具有與相關聯的數位線耦接之源極/汲極區(此類耦接藉由線11圖解性地展示)並且具有與電容器的儲存節點耦接之另一源極/汲極區(此類耦接藉由線13圖解性地展示)。每一電晶體還具有與橫跨電晶體的字線耦接之閘極。

【0023】電晶體將包含源極/汲極區之間的通道材料(下文參考圖2示出及描述了示例通道材料)。在一些實施例中，認識到，可能有利的是，將磷化鎵(GaP)用作圖1之記憶體陣列10的豎直堆疊的記憶體單元內之通道材料。GaP可以提供的優點在於帶隙大、電荷載流子遷移率合理並且與矽晶格相容。在某些態樣，認識到，對於在豎直堆疊的記憶體單元之通道

區中使用而言，GaP由於帶隙大且電荷載流子遷移率合理而可能優於矽及其他半導體材料。因此，認識到，可能有利的是，將GaP結合到豎直堆疊的記憶體單元的電晶體中。

【0024】GaP通道材料在豎直堆疊的記憶體單元的許多組態中可能是有利的。參考圖2描述了示例組態。具體地，圖2示出了包括單元A1的記憶體陣列10的一部分的展開區域。記憶體陣列10的其他記憶體單元的組態可以與所展示的單元A1的組態基本相同；其中術語「基本相同」是指在合理的製造及量測容限內相同。

【0025】記憶體陣列10的所示區域包含豎直延伸穿過記憶體單元A1的數位線DL1。絕緣區14位於記憶體單元A1上方及下方，其中此類絕緣區包括絕緣材料16。絕緣材料16可以包括任何合適的組合物或組合物組合；並且在一些實施例中可以包括二氧化矽，基本上由其組成或由其組成。

【0026】在一些實施例中，記憶體單元A1可以被視為豎直地位於與絕緣區14相對應的絕緣層之間的記憶體層18的一部分。層18還可以包含圖1的記憶體單元B1、C1及D1，其中此類記憶體單元相對於記憶體單元A1水平移位；並且另外的記憶體層可以相對於層18豎直移位，其中此類另外的層包括圖1的記憶體單元A2、A3、B2、B3等。

【0027】繼續圖2的描述，記憶體單元A1包含電晶體T及電容器C。電晶體T具有包括導電閘極材料22的閘極20。導電閘極材料22可以包括任何合適的導電材料，例如以下中的一或多種：各種金屬(例如，鈦、鎢、鈷、鎳、鉑等)、含金屬組合物(例如，金屬矽化物、金屬氮化物、金屬碳化物等)及/或導電摻雜的半導體材料(例如，導電摻雜的矽、導電摻雜的鍺

等)。

【0028】電晶體T還包含藉由介電區26與閘極20間隔開的通道區24。

【0029】通道區包括通道材料28，在一個實施例中，指示該通道材料包含GaP。可以用任何合適的摻雜劑將GaP摻雜到合適的臨限電壓並且GaP可以為n型或p型。可以使用的示例摻雜劑包含砷、鋅、硫、碲、矽、鍺、錫等。

【0030】介電區26包括介電材料30。介電材料30可以包括任何合適的組合物或組合物組合；並且在一些實施例中可以包括二氧化矽、氧化鋁、氧化鉛等中的一或多種，基本上由其組成或由其組成。在一些實施例中，介電材料30可以被稱為閘極介電材料。

【0031】電晶體T包含第一源極/汲極區32及第二源極/汲極區34，其中第一源極/汲極區及第二源極/汲極區相對於彼此豎直移位。源極/汲極區32及34分別包括導電材料36及38。此類導電材料可以包含任何合適的組合物或組合物組合；例如，導電摻雜的半導體材料(例如，導電摻雜的矽)、金屬(例如，鈦、鎢、鈷、鎳、鉑等)、含金屬組合物(例如，金屬矽化物、金屬氮化物、金屬碳化物等)等。通常，源極/汲極區32及34不包括GaP，而是包括與GaP相容並且適於在將GaP用作通道材料的電晶體組態中用作源極/汲極區的導電材料。源極/汲極區32及34的導電材料36及38在一些實施例中可以彼此相同，而在其他實施例中可以彼此不同。例如，在一些實施例中，第一源極/汲極區32可以包括導電摻雜的矽，而第二源極/汲極區34可以包括金屬及/或一或多種含金屬組合物。

【0032】數位線DL1可以包括任何一或多種合適的導電材料，例如

以下中的一或多種：各種金屬(例如，鈦、鎢、鈷、鎳、鉑、鈮等)、含金屬組合物(例如，金屬矽化物、金屬氮化物、金屬碳化物等)及/或導電摻雜的半導體材料(例如，導電摻雜的矽、導電摻雜的鍺等)。第一源極/汲極區32與數位線DL1電耦接並且在所示實施例中直接抵靠數位線DL1。

【0033】在一些實施例中，可以不存在所示出的源極/汲極區32觸點，而相反GaP 28可以延伸以直接接觸數位線DL1。而且，在一些實施例中，數位線DL1可以被構造成包括一種材料(例如，摻雜的矽)的外層及第二材料(例如，金屬或含金屬材料)的內芯。在某些應用中，可以藉由比所示結構更少的工藝步驟來構建消除了所示源極/汲極區32並且相反將GaP 28直接耦接到數位線DL1的結構。

【0034】第二源極/汲極區34與電容器C的第一電極(儲存節點)40電耦接。電容器C還包含第二電極42及位於第一電極40與第二電極42之間的電容器介電區44。

【0035】電極40及42分別包括導電材料46及48。此類導電材料可以是任何合適的材料，例如，以下中的一或多種：各種金屬(例如，鈦、鎢、鈷、鎳、鉑等)、含金屬組合物(例如，金屬矽化物、金屬氮化物、金屬碳化物等)及/或導電摻雜的半導體材料(例如，導電摻雜的矽、導電摻雜的鍺等)。電極40及42可以包括彼此相同的組合物，或者可以包括彼此不同的組合物。

【0036】電容器介電區44包括介電材料50(其可以被稱為電容器介電材料)。此類介電材料可以包括任何合適的組合物或組合物組合；並且在一些實施例中可以包括二氧化矽、氮化矽等。在一些實施例中，電容器介電材料可以包括鐵電材料。

【0037】電晶體T的閘極20藉由絕緣材料52與電容器C的第一電極40間隔開。絕緣材料52可以包括任何合適的組合物或組合物組合；並且在一些實施例中可以包括二氧化矽，基本上由其組成或由其組成。

【0038】通道區24的某個區段藉由絕緣材料54與數位線DL1間隔開，源極/汲極區38的某個區段藉由絕緣材料56與數位線DL1間隔開，源極/汲極區38的另一區段藉由絕緣材料58與數位線間隔開，並且電容器C藉由絕緣材料60與數位線DL1間隔開。絕緣材料54、56、58及60可以包括任何合適的一或多種組合物或一或多種組合物組合；並且在一些實施例中可以包括二氧化矽、氮化矽等中的一或多種。絕緣材料54、56、58及60可以包括彼此相同的組合物，或者可以包括彼此不同的組合物。例如，在一些實施例中，絕緣材料54可以包括二氧化矽，絕緣材料56可以包括氮化矽，絕緣材料58可以包括二氧化矽，並且絕緣材料60可以包括氮化矽。

【0039】在一些實施例中，電晶體T及電容器C各自可以被組態為圍繞數位線DL1的環。例如，圖2A示出了沿圖2的線2A-2A截取的截面，並且示出了被組態為圍繞數位線DL1的示例環的電晶體T。具體地，閘極20被組態為圍繞對應於閘極介電質30的環形區域的外部環形區域，該閘極介電質進而圍繞對應於通道材料28的環形區域，該通道材料進而圍繞對應於絕緣材料54的環形區域，該絕緣材料進而圍繞數位線DL1。字線WL1與電晶體閘極20耦接，其中此類耦接在圖2及圖2A中圖解性地示出。

【0040】如上所述，記憶體單元A1可以表示記憶體陣列中使用的大量基本相同的記憶體單元。圖3示出了示例記憶體陣列10的區域，該示例記憶體陣列具有沿藉由軸線7表示的豎直方向延伸的數位線及沿藉由軸線5

表示的水平方向延伸的字線。記憶體單元A1被示出為跨記憶體陣列延伸的複數個基本相同的記憶體單元之一，其中該記憶體單元中之每一記憶體單元藉由數位線之一及字線之一唯一地定址(例如，記憶體單元A1藉由數位線DL1及字線WL1唯一地定址)。記憶體單元中之每一記憶體單元可以具有上文參考圖2及圖2A描述的組態，並且因此可以包括被組態為圍繞數位線的環的電晶體(例如，圖2的電晶體T)。每一電晶體可以包括藉由GaP通道材料(例如，圖2的通道材料28)彼此間隔開的第一源極/汲極區及第二源極/汲極區(例如，圖2的第一源極/汲極區32及第二源極/汲極區34)，其中第一源極/汲極區及第二源極/汲極區相對於彼此豎直移位。記憶體單元中之每一記憶體單元還可以包括與電晶體的源極/汲極區之一耦接(例如，與圖2所示的第二源極/汲極區34耦接)的電容器(例如，圖2的電容器C)。

【0041】圖3的記憶體陣列10可以包括任何合適數量的記憶體單元，並且在一些實施例中可以包括數百個、數千個、數百萬個、數十億個等基本相同的記憶體單元。圖3的記憶體陣列10可以是與半導體晶片相關聯的唯一記憶體陣列，或者可以是與該晶片相關聯的多個記憶體陣列之一。

【0042】儘管上述實施例將GaP用作通道材料，但是在一些實施例中，認識到，可能有利的是，利用300凱氏溫度下帶隙大於2電子伏特(eV)的任何合適的通道材料，其中GaP(300凱氏溫度下帶隙為約2.25 eV)是合適的通道材料的實例。帶隙大於2 eV的通道材料可以是單一組合物或多種組合物。

【0043】在一個實施例中，並且如圖2所示，導電互連75將電晶體T與電容器C的一對電極(例如，40、42)之一(例如，40)直接電耦接。在一個實施例中，並且如圖所示，導電互連75可以被視為第二源極/汲極區34

的一部分，或第二源極/汲極區34可以被視為導電互連75的一部分。無論如何，並且在所示的一個實施例中，導電互連75包括在直線豎直截面(例如，作為圖2所在的頁面平面的豎直截面)中面向彼此的相對的L形形狀76。

【0044】可以關於上述實施例使用本文中關於其他實施例示出及/或描述的任何一或多個其他屬性或態樣。

【0045】替代性示例通道材料28可以用於通道區24，例如，一或多種半導體氧化物，並且不論該一或多種此類通道材料的帶隙如何，但是理想地，通道材料28的總體帶隙大於2 eV。無論如何，並且舉例來說，該一或多種半導體氧化物可以包括任何合適的組合物，並且在一些實施例中可以包含銦、鋅、錫及鎵中的一或多種。例如，半導體氧化物可以具有氧氣與銦、鋅及鎵中的任何一種的組合。銦、鋅及鎵是此類組合物內的一或多種金屬(例如，半導體金屬氧化物)，並且可以使用替代性的及/或另外的一或多種金屬，並且該組合物不必是或不必包括一或多種化學計量化合物。無論如何，並且僅舉例來說，一些實例包含 ZnO_x 、 InO_x 、 In_2O_3 、 SnO_2 、 TiO_x 、 $\text{Zn}_x\text{O}_y\text{N}_z$ 、 $\text{Mg}_x\text{Zn}_y\text{O}_z$ 、 $\text{In}_x\text{Zn}_y\text{O}_z$ 、 $\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}_a$ 、 $\text{In}_x\text{Ga}_y\text{Si}_z\text{O}_a$ 、 $\text{Zr}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Sn}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Al}_x\text{Sn}_y\text{In}_z\text{Zn}_a\text{O}_d$ 、 $\text{Si}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Zn}_x\text{Sn}_y\text{O}_z$ 、 $\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 、 $\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 及 $\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 。

【0046】參考圖4及圖5描述了替代性的或另外的實施例三維記憶體陣列10a。在適當的情況下已經使用來自上述實施例的類似數字，其中用後綴「a」或用不同的字母及數字指示一些構造差異。在此類實施例中，第一導電線(例如，DL1、DL2、DL3、DL*)及第二導電線(例如，WL1-WL7、WL*)個別地與記憶體單元(例如，單元A1-A7、單元B1-B7、單元

C1-C7、單元*)中的個別記憶體單元直接電耦接。記憶體陣列10a進一步包括第三組導電線(例如，CL1、CL2、CL3)，該第三組導電線在記憶體單元上方或下方(示出的是上方)水平延伸(例如，沿軸線9)。此類導電線中的全部導電線可以位於記憶體單元上方或下方(在一個實例中，如圖所示)，或此類導電線中的一些導電線可以位於記憶體單元上方，而此類導電線中的一些導電線可以位於記憶體單元下方(未示出)。第三組中的導電線CL1、CL2及CL3個別地與第二組中的豎直延伸的導電線(例如，DL1、DL2、DL3、DL*)中的個別導電線直接電耦接。舉例來說，圖5僅示出了單個示例記憶體層18，其中電晶體T將位於相應記憶體單元中之電容器C上方，由此電容器C在圖5中未示出/不可見。

【0047】參考圖6、圖6A及圖6B示出並描述了替代性實施例記憶體陣列10b。在適當的情況下已經使用來自上述實施例的類似數字，其中用後綴「b」或用不同的數字指示一些構造差異。圖6及圖6A將替代性實施例通道區24b示出為包括在直線豎直截面中面向彼此的相對的C形形狀61，例如，被示出為圖6所處的頁面平面的截面。圖6及圖6B還示出了一個替代性示例實施例導電互連75b，該導電互連將電晶體T與電容器C的一對電極(例如，40、42)之一(例如，40)直接電耦接。導電互連75b包括在直線豎直截面中面向彼此的相對的C形形狀78，例如，作為圖6所處的頁面平面的截面。

【0048】本發明之實施例包括記憶體陣列(例如，10、10a、10b)，該記憶體陣列包括沿豎直方向(例如，7)延伸的第一組導電線(例如，DL1、DL2、DL3、DL*)。第二組導電線(例如，WL1-WL7、WL*)沿水平方向(例如，5)延伸。包含複數個記憶體單元(例如，單元A1-A7、單元

B1-B7、單元C1-C7、單元*)，其中該等記憶體單元中之每一記憶體單元藉由來自第一組的導電線之一及來自第二組的導電線之一的組合唯一地定址。該第一導電線及該第二導電線個別地與該等記憶體單元中之個別記憶體單元直接電耦接。第三組導電線(例如，CL1、CL2、CL3)在記憶體單元上方或下方水平延伸(例如，在水平方向5上)。該第三組中的該等導電線個別地與該第二組中的該等豎直延伸的導電線中的個別導電線直接電耦接。可以使用本文中關於其他實施例示出及/或描述的任何一或多個其他屬性或態樣。

【0049】記憶體陣列(例如，10、10a、10b)包括沿豎直方向(例如，7)延伸的數位線(例如，DL1、DL2、DL3、DL*)。字線(例如，WL1-WL7、WL*)沿水平方向(例如，5)延伸。包含複數個記憶體單元(例如，單元A1-A7、單元B1-B7、單元C1-C7、單元*)，其中該等記憶體中的每一記憶體單元藉由該等數位線之一及該等字線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包括具有通道材料(例如，28)的電晶體(例如，T)。該等電晶體被組態為圍繞該等數位線的環。該等電晶體中的每一電晶體包括藉由通道材料彼此間隔開並且相對於彼此豎直移位的第一源極/汲極區及第二源極/汲極區(例如，分別地，32及34)。該等第一源極/汲極區與該等數位線耦接。該等記憶體單元中之每一記憶體單元包括與該記憶體單元的電晶體的第二源極/汲極區耦接之電容器(例如，C)。水平延伸的導電線(例如，CL1、CL2、CL3)位於記憶體單元上方或下方。水平延伸的導電線個別地與豎直延伸的數位線中的個別數位線直接電耦接。可以使用本文中關於其他實施例示出及/或描述的任何一或多個其他屬性或態樣。

【0050】本發明之實施例包括記憶體陣列(例如，10、10a、10b)。記憶體包括絕緣材料(例如，16)及記憶體單元(例如，單元A1-A7、單元B1-B7、單元C1-C7、單元*)的豎直交替層(例如，14/18/14/18等)。記憶體單元個別地包括電晶體(例如，T)及電容器(例如，C)。(a)電晶體的通道區(例如，24、24b)或(b)電容器的一對電極(例如，40、42)中之一者位於(a)及(b)中之另一者正上方。在一個此類實施例中，通道區位於該對電極正上方(例如，圖2及圖6)。在另一實施例中，該對電極位於通道區正上方(如果將圖2及圖6中的每一圖所處的頁面平面旋轉180°[顛倒]，則會發生或出現這種情況)。在一個實施例中，通道區包括直線水平截面中的環，例如，作為圖2A及圖6A中的每一圖的截面。在一個實施例中，電晶體包括閘極(例如，20)，該閘極包括直線水平截面中的環，例如，作為圖2A及圖6A中的每一圖的截面。在一個實施例中，通道區包括在直線豎直截面中面向彼此的相對的C形形狀(例如，61)，例如，作為圖6所處的頁面平面的截面。可以使用本文中關於其他實施例示出及/或描述的任何一或多個其他屬性或態樣。

【0051】本發明之實施例包括記憶體陣列(例如，10、10a、10b)，該記憶體陣列包括絕緣材料(例如，16)及記憶體單元(例如，單元A1-A7、單元B1-B7、單元C1-C7、單元*)的豎直交替層(例如，14/18/14/18等)。記憶體單元個別地包括電晶體(例如，T)及電容器(例如，C)。(a)電晶體的通道區(例如，24、24b)或(b)電容器的一對電極(例如，40、42)中之一者位於(a)及(b)中之另一者正上方。電晶體包括閘極(例如，20)。通道區沿閘極在高度上(elevationally)(例如，豎直地)延伸。可以使用本文中關於其他實施例示出及/或描述的任何一或多個其他屬性或態樣。

【0052】以上一或多種處理或構造可以被視為相對於某一組件陣列，該組件陣列被形成為下面的基底基板上方的此類組件的單個堆疊或單個層面或形成於其內，或被形成為下面的基底基板的一部分(但該單個堆疊/層面可以具有多個層)。用於操作或存取陣列內的此類組件的控制及/或其他外圍電路系統還可以以成品構造的一部分的形式形成在任何地方，並且在一些實施例中可以位於陣列之下(例如，陣列之下的CMOS)。無論如何，可以在附圖中示出或上文描述的堆疊/層面上方及/或下方提供或製造一或多個另外的此類堆疊/層面。進一步地，一或多個組件陣列可以在不同的堆疊/層面中彼此相同或不同。可以在豎直緊密相鄰的堆疊/層面之間提供中間結構(例如，另外的電路系統及/或介電層)。而且，不同的堆疊/層面可以彼此電耦接。可以單獨且按順序地(例如，一個位於另一個之上)製造多個堆疊/層面，或可以基本上同時製造兩個或更多個堆疊/層面。

【0053】上文討論的結構可以結合到電子系統中。此類電子系統可以用於例如記憶體模組、裝置驅動程式、功率模組、通信數據機、處理器模組及專用模組中，並且可以包含多層多晶片模組。電子系統可以是各種系統中的任何系統，例如，攝影機、無線裝置、顯示器、晶片組、機上盒、遊戲機、照明、車輛、時鐘、電視、蜂巢式電話、個人電腦、汽車、工業控制系統、飛行器等。

【0054】除非另有說明，否則本文描述的各種材料、物質、組合物等可以藉由當前已知的或是尚待開發的任何合適的方法形成，該等方法包含例如原子層沈積(ALD)、化學汽相沈積(CVD)、物理汽相沈積(PVD)等。

【0055】術語「介電」及「絕緣」可以用來描述具有絕緣電性質的

材料。在本揭示中，該等術語被視為是同義的。在某些情況下使用術語「介電」並且在其他情況下使用術語「絕緣」(或「電絕緣」)可能是為了提供本揭示內的語言變化以簡化隨後的申請專利範圍內的前提基礎，而不是用於指示任何顯著的化學或電氣差異。

【0056】 各個實施例在附圖中的特定朝向僅用於說明目的，並且在一些應用中，可以相對於所示朝向旋轉實施例。本文提供的描述以及隨後的申請專利範圍係關於在各個特徵之間具有所描述關係的任何結構，而不論該等結構是處於附圖的特定朝向，還是相對於此類朝向旋轉。

【0057】 除非另有說明，否則所附圖示的截面視圖僅示出截面的平面內的特徵，而未示出截面的平面後面的材料，以簡化附圖。

【0058】 當一個結構在上文中被稱為「位於另一結構上」或「抵靠另一結構」時，該結構可以直接位於另一結構上，或者也可以存在中間結構。相比而言，當結構被稱為「直接位於另一結構上」或「直接抵靠另一結構」時，不存在中間元件。

【0059】 結構(例如，層、材料等)可以被稱為「豎直延伸」以表明該等結構總體上自下面的基底(例如，基板)向上延伸。豎直延伸的結構可以相對於基底的上表面基本上正交地延伸，或者不如此延伸。

【0060】 本文中，如果在正常運行時電流能夠自一個區域-材料-組件連續地流到另一個區域-材料-組件並且主要藉由次原子正電荷及/或負電荷(當產生了充分的電荷時)的移動實現該流動，則區域-材料-組件彼此「耦接」或「電耦接」。另一個電子組件可以位於區域-材料-組件之間並且電耦接到該等區域-材料-組件。相比之下，當區域-材料-組件被稱為「直接耦接」或「直接電耦接」時，在直接耦接或直接電耦接之區域-材

料-組件之間不存在中間電子組件(例如，不存在二極體、電晶體、電阻器、換能器、開關、熔斷器等)。

【0061】 在此文檔中，除非另外指明，否則「在高度上」、「較高」、「上部」、「下部」、「頂部」、「頂上」、「底部」、「上方」、「下方」、「下面」、「上」及「下」通常是參考豎直方向。「水平」是指沿主基板表面的總體方向(即，10度內)，並且可以相對於在製造期間處理基板的方向，並且豎直是與其總體上正交的方向。對「剛好水平」的引用是沿主基板表面的方向(即，不與其偏離任何角度)，並且可以相對於在製造期間處理基板的方向。進一步地，本文使用的「豎直」及「水平」是彼此總體上垂直的方向並且與基板在三維空間中的朝向無關。另外，「在高度上延伸(elevationally-extending及extend(ing) elevationally)」是指與剛好水平方向成至少45°角的方向。另外，相對於場效電晶體「在高度上延伸」及「水平延伸(extend(ing) horizontally、horizontally-extending)」等參考電晶體的通道長度的朝向，電流在運行時沿該朝向在源極/汲極區之間流動。對於雙極接面電晶體，「在高度上延伸」及「水平延伸」參考基底長度的朝向，電流在運行時沿該朝向在發射極與集極之間流動。在一些實施例中，在高度上延伸的任何組件、特徵及/或區域均豎直延伸或處於豎直方向的10°內。

【0062】 進一步地，「位於……正上方」、「位於……正下方」及「位於……正下面」需要兩個所陳述的區域/材料/組件相對於彼此的至少某種橫向重疊(即，水平地)。而且，在「上方」之前不使用「直接」僅要求位於所陳述的區域/材料/組件的某一部分上方的另一部分在高度上位於該某一部分的外側(即，與該兩個區域/材料/組件之間是否存在橫向重疊無

關)。類似地，在「下方」及「下面」之前不使用「直接」僅要求位於所陳述的區域/材料/組件的某一部分下方/下面的另一部分在高度上位於該某一部分的內側(即，與該兩個區域/材料/組件之間是否存在橫向重疊無關)。

【0063】 本文所描述的材料、區域及結構中的任何材料、區域及結構可以是均勻的或非均勻的，並且無論如何在其覆蓋的任何材料之上都可以是連續的或不連續的。當提供任何材料的一或多種示例組合物時，該材料可以包括一或多種此類組合物、基本上由其組成或由其組成。進一步地，除非另有說明，否則每種材料可以使用任何合適的現有或今後開發的技術形成，其中該技術的實例為原子層沈積、化學汽相沈積、物理汽相沈積、磊晶生長、擴散摻雜及離子注入。

【0064】 除非另有說明，否則本文中使用的「或」涵括任一者及兩者。

【0065】 一些實施例包含一種記憶體陣列，該記憶體陣列具有豎直堆疊的記憶體單元。該等記憶體單元中之每一記憶體單元包含與電荷儲存裝置耦接之電晶體，並且該等電晶體中的每一電晶體具有帶隙大於2電子伏特的通道材料。

【0066】 一些實施例包含一種記憶體陣列，該記憶體陣列具有沿豎直方向延伸的第一組導電線及沿水平方向延伸的第二組導電線。該記憶體陣列包含複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由來自該第一組的該等導電線之一及來自該第二組的該等導電線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包含具有GaP通道材料的電晶體。

【0067】一些實施例包含一種記憶體陣列，該記憶體陣列具有沿豎直方向延伸的數位線及沿水平方向延伸的字線。該記憶體陣列包含複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元由該等數位線之一及該等字線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包含具有GaP通道材料的電晶體。該等電晶體被組態為圍繞該等數位線的環。該等電晶體中的每一電晶體具有藉由該GaP通道材料彼此間隔開的第一源極/汲極區及第二源極/汲極區。該等第一源極/汲極區與該等數位線耦接。該等記憶體單元中之每一記憶體單元包含與該記憶體單元的該電晶體的該第二源極/汲極區耦接之電容器。

【0068】一些實施例包含一種記憶體陣列，該記憶體陣列具有沿豎直方向延伸的第一組導電線及沿水平方向延伸的第二組導電線。該記憶體陣列包含複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元藉由來自該第一組的該等導電線之一及來自該第二組的該等導電線之一的組合唯一地定址。該第一導電線及該第二導電線個別地與該等記憶體單元中之個別記憶體單元直接電耦接。第三組導電線在該等記憶體單元上方或下方水平延伸。該第三組中的該等導電線個別地與該第二組中的該等豎直延伸的導電線中的個別導電線直接電耦接。

【0069】一些實施例包含一種記憶體陣列，該記憶體陣列具有沿豎直方向延伸的數位線及沿水平方向延伸的字線。該記憶體陣列包含複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元由該等數位線之一及該等字線之一的組合唯一地定址。該等記憶體單元中之每一記憶體單元包括具有通道材料的電晶體。該等電晶體被組態為圍繞該等數位線的環。該等電晶體中的每一電晶體包括藉由通道材料彼此間隔開並且相對於彼此

豎直移位的第一源極/汲極區及第二源極/汲極區。該等第一源極/汲極區與該等數位線耦接。該等記憶體單元中之每一記憶體單元包括與該記憶體單元的該電晶體的該第二源極/汲極區耦接之電容器。水平延伸的導電線位於該等記憶體單元上方或下方。該等水平延伸的導電線個別地與該等豎直延伸的數位線中的個別數位線直接電耦接。

【0070】一些實施例包含一種記憶體陣列，該記憶體陣列具有絕緣材料及記憶體單元的豎直交替層。該記憶體單元個別地包括電晶體及電容器。(a)該電晶體的通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方。該通道區包括在直線豎直截面中面向彼此的相對的C形形狀。

【0071】一些實施例包含一種記憶體陣列，該記憶體陣列具有絕緣材料及記憶體單元的豎直交替層。該等記憶體單元個別地包括電晶體及電容器。(a)該電晶體的通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方。該電晶體包括閘極。該通道區沿閘極在高度上延伸。

【0072】根據規定，本文所揭示之標的物已用或多或少特定於結構及方法特徵的語言進行描述。然而，應當理解，申請專利範圍不限於所示出和描述的特定特徵，因為本文所揭示之構件包括示例性實施例。因此，申請專利範圍應按字面上的措詞給予充分的範圍，並應按照等同原則進行適當的解譯。

【符號說明】

【0073】

5 軸線

7	軸線
9	軸線
10	記憶體陣列
10a	記憶體陣列
10b	記憶體陣列
11	線
12	支撐基板
13	線
14	絕緣區
16	絕緣材料
18	記憶體層
20	閘極
22	導電閘極材料
24	通道區
24b	通道區
26	介電區
28	通道材料
30	介電材料
32	第一源極/汲極區
34	第二源極/汲極區
36	導電材料
38	導電材料
40	第一電極

42	第二電極
44	電容器介電區
46	導電材料
48	導電材料
50	介電材料
52	絕緣材料
54	絕緣材料
56	絕緣材料
58	絕緣材料
60	絕緣材料
61	相對的C形形狀
75	導電互連
75b	導電互連
76	相對的L形形狀
78	相對的C形形狀
A	行/列
A1	記憶體單元
A2	記憶體單元
A3	記憶體單元
A4	記憶體單元
A5	記憶體單元
A6	記憶體單元
A7	記憶體單元

B	行/列
B1	記憶體單元
B2	記憶體單元
B3	記憶體單元
B4	記憶體單元
B5	記憶體單元
B6	記憶體單元
B7	記憶體單元
C	行/列/電容器
C1	記憶體單元
C2	記憶體單元
C3	記憶體單元
C4	記憶體單元
C5	記憶體單元
C6	記憶體單元
C7	記憶體單元
CL1	第三組導電線
CL2	第三組導電線
CL3	第三組導電線
D	行/列
D1	記憶體單元
D2	記憶體單元
D3	記憶體單元

DL1	數位線
DL2	數位線
DL3	數位線
DL4	數位線
T	電晶體
WL1	字線
WL2	字線
WL3	字線
WL4	字線
WL5	字線
WL6	字線
WL7	字線
WL*	字線

【發明申請專利範圍】

【第1項】

一種記憶體陣列，其包括：

一第一組導電線，該第一組導電線在一基底之一水平表面之上沿一豎直方向延伸；

一第二組導電線，該第二組導電線沿一水平方向延伸；

複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元係藉由來自該第一組的該等導電線之一者及來自該第二組中的該等導電線之一者的組合唯一地定址；

該等記憶體單元中之每一記憶體單元包括一電晶體，該電晶體具有一閘極區且包括沿著該閘極區之一豎直側壁延伸之一通道區，該通道區具有一水平寬度且具有超過該水平寬度之一垂直高度；

該等記憶體單元中之每一記憶體單元包括與該電晶體耦接之一電容器；

絕緣材料及該等記憶體單元的豎直交替層；以及

該電容器的一對電極，其位於該電晶體的該通道區正上方。

【第2項】

一種記憶體陣列，其包括：

一第一組導電線，該第一組導電線相對於一基底之一水平表面沿一豎直方向延伸；

一第二組導電線，該第二組導電線沿一水平方向延伸；

複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元係藉由來自該第一組的該等導電線之一者及來自該第二組中的該等導電線之一

者的組合唯一地定址，該等記憶體單元中之每一記憶體單元包括：

一電晶體，其包括具有一豎直延伸(vertically-extending)側壁之一閘極，包括沿著該豎直延伸側壁延伸之一通道區，且包括藉由該通道區而與一第二源極/汲極區間豎直地隔開之一第一源極/汲極區；及
一電容器，其經組態為圍繞該第一組的該等導電線之一者之一環；且

該第一導電線及該第二導電線個別地與該等記憶體單元中之個別記憶體單元直接電耦接；以及

一第三組導電線，該第三組導電線在該等記憶體單元上方或下方水平延伸，該第三組中的該等導電線個別地與該第一組中的該等豎直延伸的導電線中的個別導電線直接電耦接。

【第3項】

如請求項2之記憶體陣列，其中該通道材料包括一半導體金屬氧化物。

【第4項】

一種記憶體陣列，其包括：

數位線，該等數位線相對於一基底之一水平表面沿一豎直方向延伸；

字線，該等字線沿一水平方向延伸；

複數個記憶體單元，其中該等記憶體單元中之每一記憶體單元係藉由該等數位線之一者及該等字線之一者的組合唯一地定址；

該等記憶體單元中之每一記憶體單元包括具有沿著一閘極區之一豎直側壁延伸之通道材料的一電晶體，該通道區具有超過一通道寬度之一垂

直高度；

該等電晶體被組態為圍繞該等數位線的環；

該等電晶體中的每一電晶體包括藉由該通道材料彼此間隔開並且相對於彼此豎直移位的第一源極/汲極區及第二源極/汲極區；該等第一源極/汲極區與該等數位線耦接；

該等記憶體單元中之每一記憶體單元包括與該記憶體單元之該電晶體的該第二源極/汲極區耦接之一電容器；以及

該等記憶體單元上方或下方的水平延伸的導電線，該等水平延伸的導電線個別地與該等豎直延伸的數位線中的個別數位線直接電耦接。

【第5項】

如請求項4之記憶體陣列，其中該通道材料包括一半導體金屬氧化物。

【第6項】

一種記憶體陣列，其包括：

在一基底之上之絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括：一電晶體，其包括具有一豎直延伸側壁之一閘極，包括沿著該豎直延伸側壁延伸之一通道區，且包括藉由該通道區而與一第二源極/汲極區豎直地間隔開之一第一源極/汲極區，該通道區具有超過一通道寬度之一垂直高度；及一電容器，其經組態為圍繞豎直地延伸通過該等豎直交替層之一導電線之一環；

該等記憶體單元經組態使得(a)該電晶體的一通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方；並且

該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【第7項】

如請求項6之記憶體陣列，其中該通道區位於該對電極正上方。

【第8項】

如請求項6之記憶體陣列，其中該對電極位於該通道區正上方。

【第9項】

如請求項6之記憶體陣列，其中該通道區包括一直線水平截面中的一環。

【第10項】

如請求項6之記憶體陣列，其中該閘極包括一直線水平截面中的一環。

【第11項】

如請求項6之記憶體陣列，其包括一導電互連，該導電互連將該電晶體與該電容器的該對電極之一者直接電耦接，該導電互連包括在一直線豎直截面中面向彼此的相對的L形形狀。

【第12項】

如請求項6之記憶體陣列，其包括一導電互連，該導電互連將該電晶體與該電容器的該對電極之一者直接電耦接，該導電互連包括在一直線豎直截面中面向彼此的相對的C形形狀。

【第13項】

一種記憶體陣列，其包括：

絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括一電晶體及一電容器，該電容器經組態為圍繞豎直地延伸通過該等豎直交替層之一導電線之一環，(a)該電晶體的一通道區或(b)該電容器的一對電

極中之一者位於(a)及(b)中之另一者正上方；

該電晶體包括一閘極，並且

該通道區沿該閘極在高度上延伸且包括一通道材料，該通道材料具有超過該通道材料之一水平寬度之一垂直高度，該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【第14項】

一種記憶體陣列，其包括：

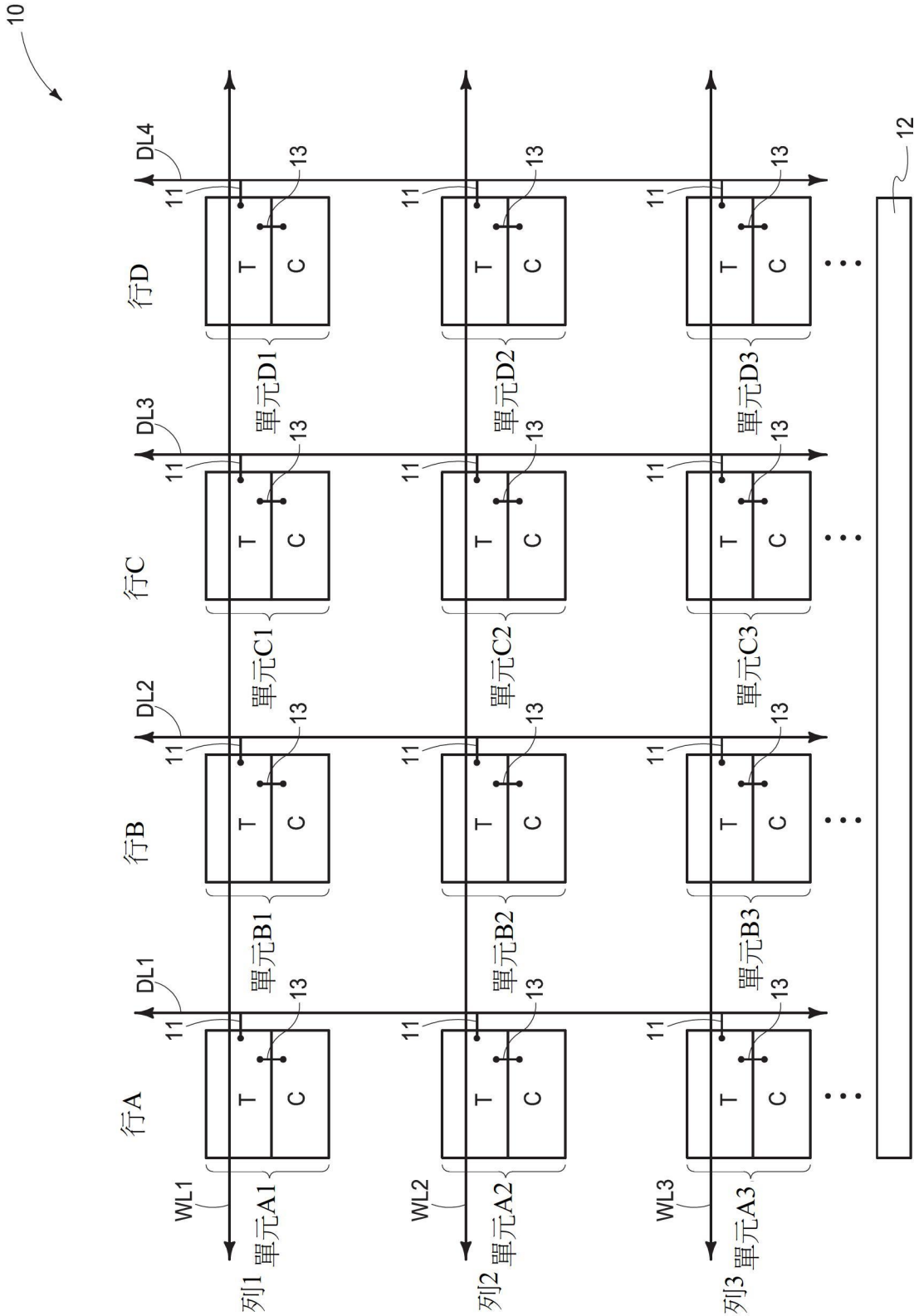
在一基底之一水平表面之上之絕緣材料及記憶體單元的豎直交替層，該等記憶體單元個別地包括一電晶體及一電容器，(a)該電晶體的一通道區或(b)該電容器的一對電極中之一者位於(a)及(b)中之另一者正上方；

一導電互連，該導電互連將該電晶體與該電容器的該對電極之一者直接電耦接，該導電互連具有沿著該通道區之一橫向表面(lateral surface)延伸之一第一部分，具有豎直延伸之一第二部分，及具有自該第二部分橫向延伸且與該對電極之該一者直接物理接觸(physical contact)之一第三部分；

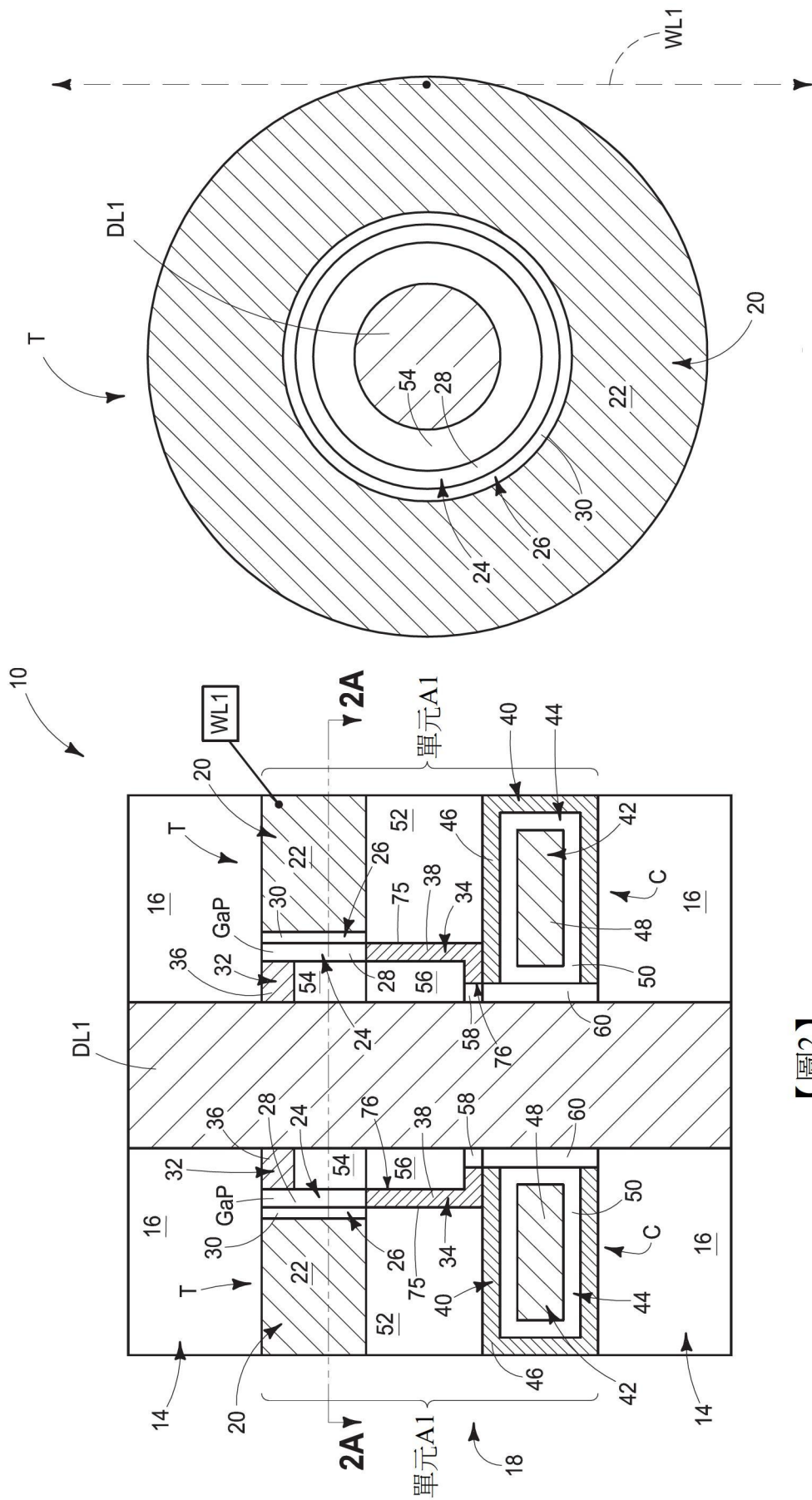
該電晶體包括一閘極，並且

該通道區沿該閘極在高度上延伸，該通道區包括在一直線豎直截面中面向彼此的相對的C形形狀。

【發明圖式】

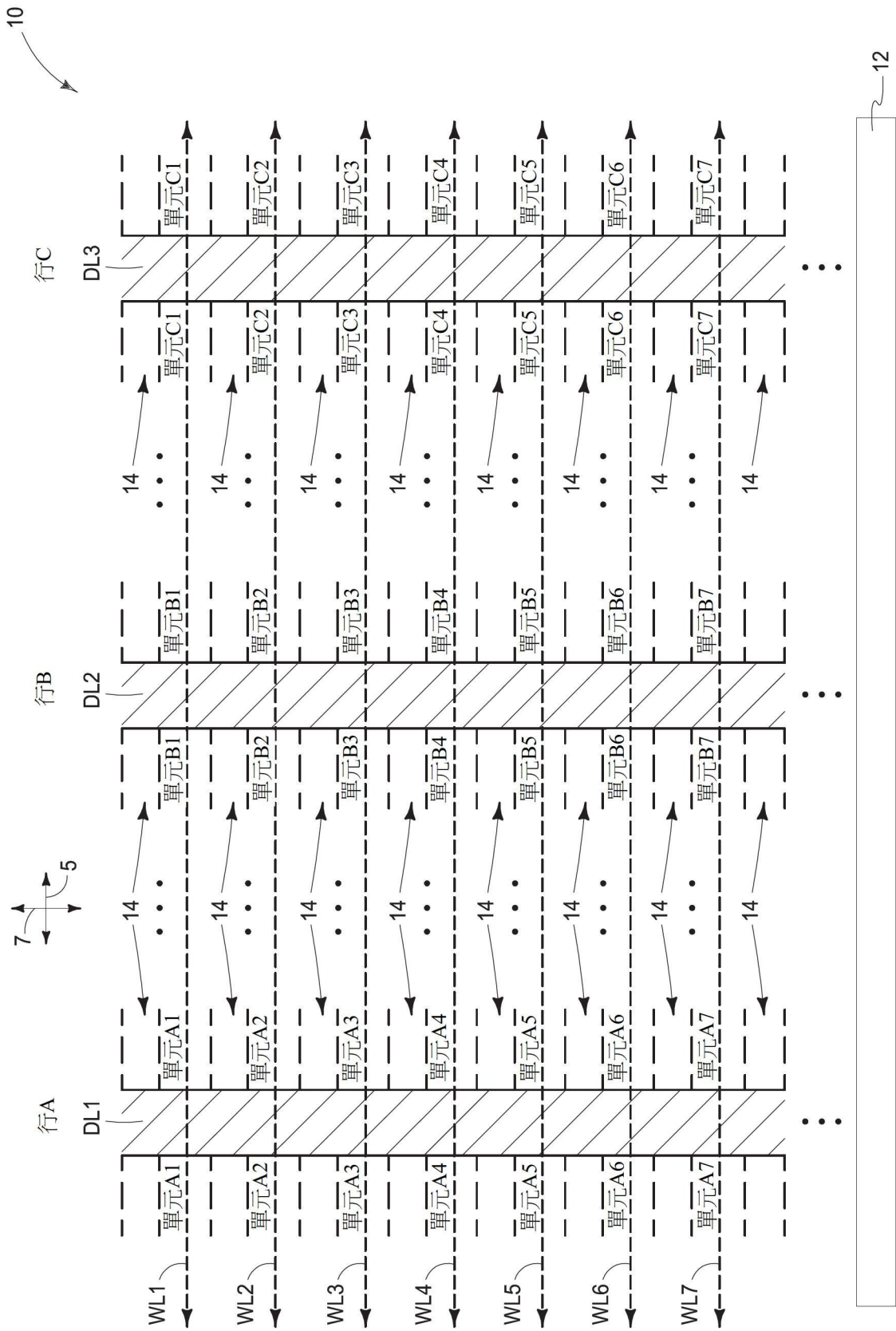


【圖1】

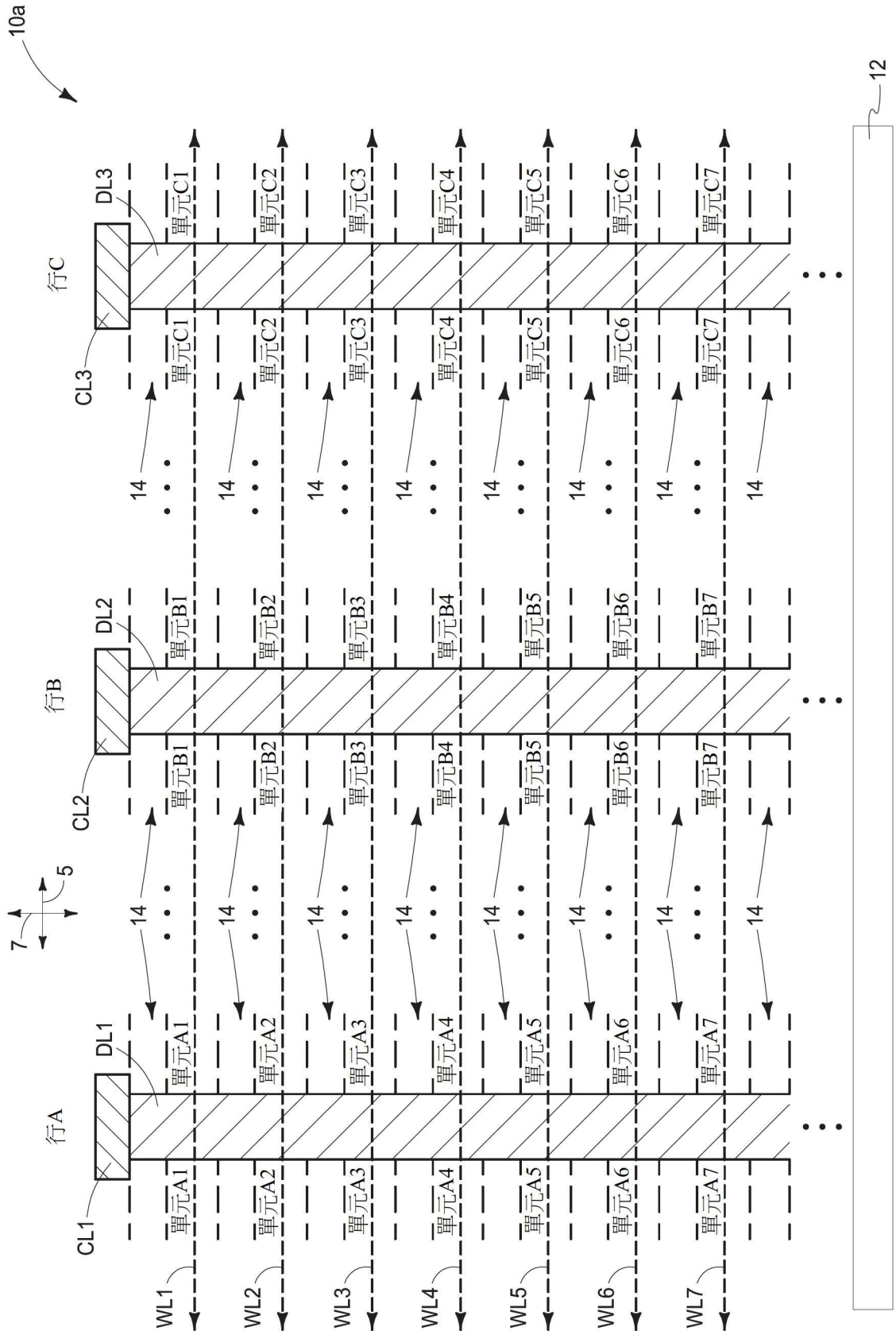


【圖2A】

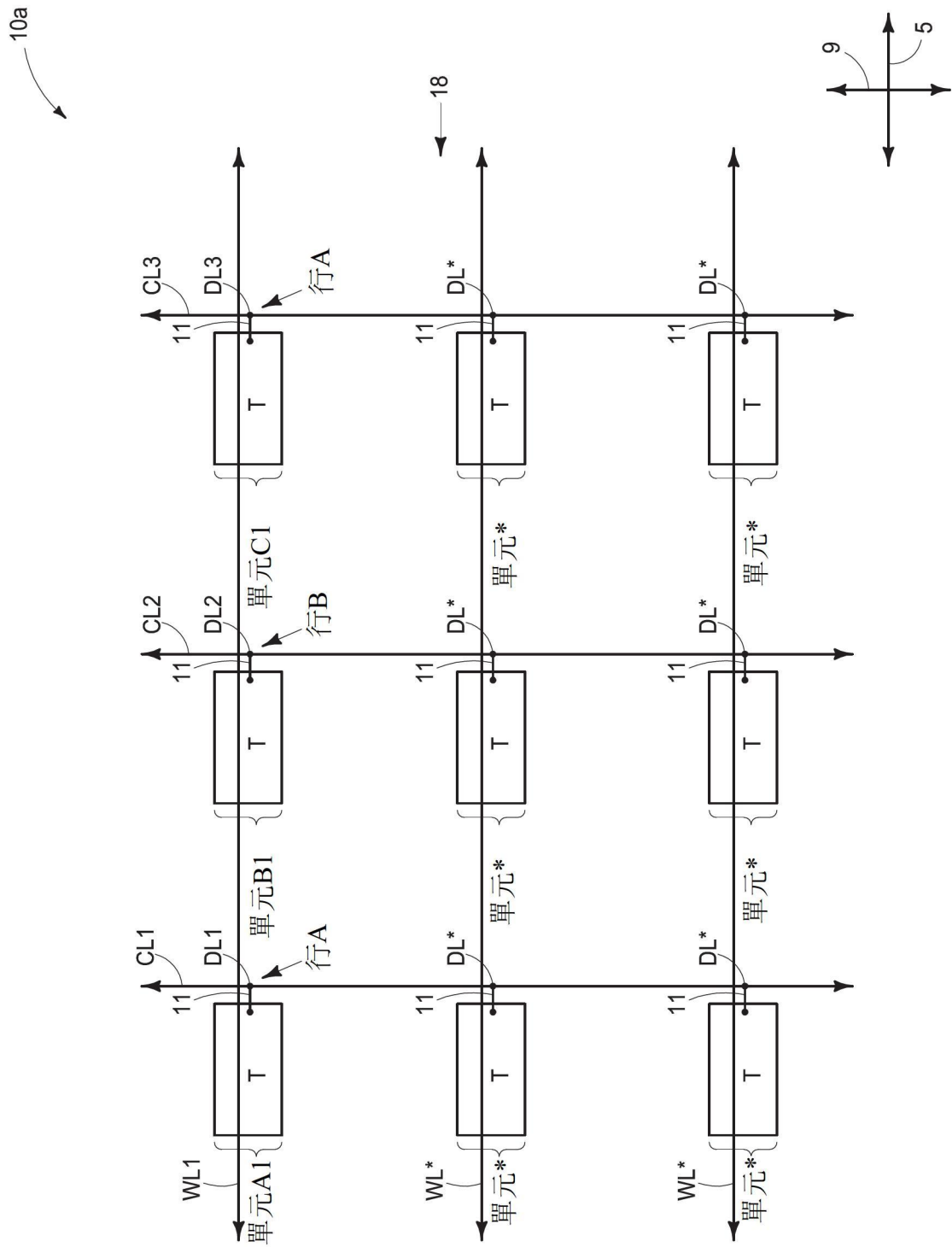
【圖2】



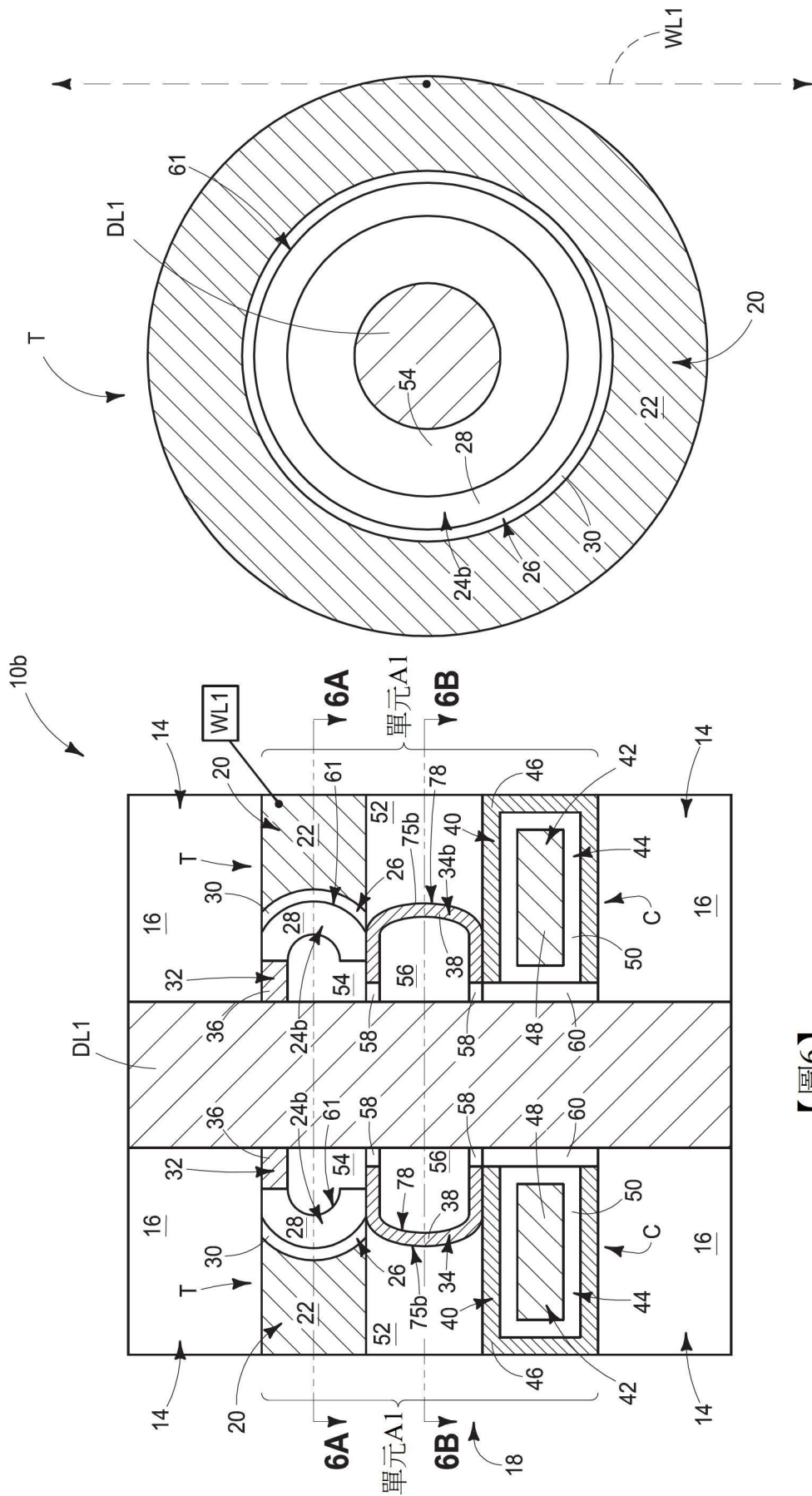
【圖3】

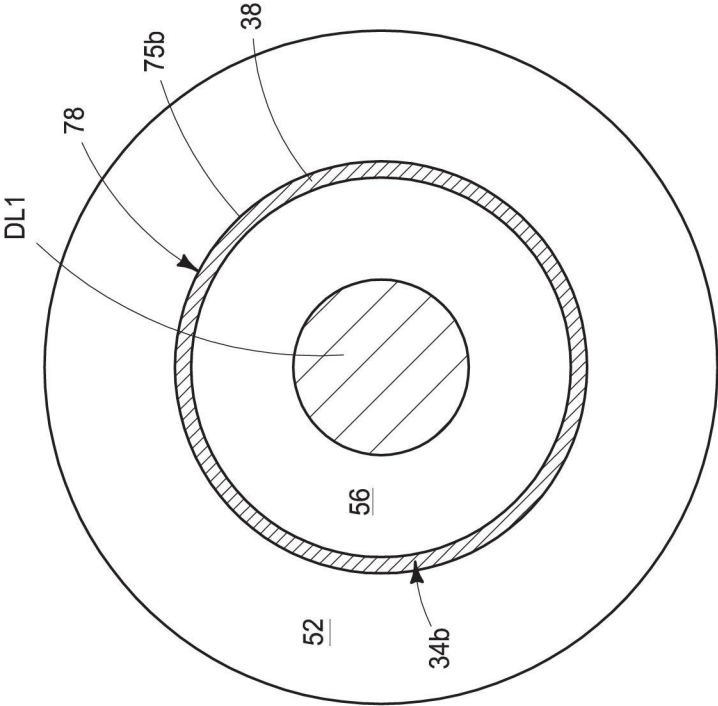


【圖4】



【圖5】





【圖6B】