

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200510069963.8

[51] Int. Cl.

H01L 27/092 (2006.01)

H01L 29/78 (2006.01)

H01L 21/8238 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2009 年 1 月 14 日

[11] 授权公告号 CN 100452400C

[22] 申请日 2005.5.11

[21] 申请号 200510069963.8

[30] 优先权

[32] 2004.7.30 [33] US [31] 10/710,738

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 B·梅辛杰 R·T·莫  
D·J·斯凯皮西

[56] 参考文献

CN1502124A 2004.6.2

US2003/0230778A1 2003.12.18

US6410371B1 2002.6.25

CN1322016A 2001.11.14

审查员 王 军

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峥

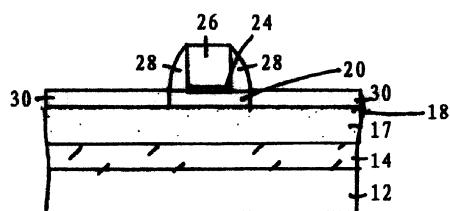
权利要求书 2 页 说明书 8 页 附图 3 页

[54] 发明名称

沟槽应变抬升源/漏结构及其制造方法

[57] 摘要

本发明提供了一种用于制造应变抬升源/漏层的沟槽硅的可制造方法，该方法采用端点探测方法用于沟槽蚀刻并提供沟槽上的紧密度容差。该方法包括：在掺杂半导体衬底的表面上形成包括氧和碳的单层；在掺杂半导体衬底上形成外延 Si 层；在外延 Si 层上形成至少一个栅极区；使用端点探测，选择性地蚀刻外延 Si 层未受栅极区保护的暴露部分，在掺杂半导体衬底上停止，并暴露掺杂半导体衬底；以及在暴露的掺杂半导体衬底上形成应变 SiGe 层。应变 SiGe 层充当其中可以随后形成源/漏扩散区的抬升层。



1. 一种半导体结构，包括：

掺杂半导体衬底；

位于所述掺杂半导体表面上的包括碳和氧的单层；

位于部分所述掺杂半导体衬底上的外延 Si 层；

位于所述外延 Si 层上的栅极区；以及

位于所述掺杂半导体衬底上与所述外延 Si 层和所述栅极区相邻的应变 SiGe 层，所述应变 SiGe 层充当用于源/漏扩散区的抬升层。

2. 根据权利要求 1 的半导体结构，其中所述掺杂半导体衬底包括绝缘体上硅衬底的绝缘体上硅层。

3. 根据权利要求 2 的半导体结构，其中所述绝缘体上硅层具有从 10nm 到 120nm 的厚度。

4. 根据权利要求 1 的半导体结构，其中所述掺杂半导体衬底包括 N 型杂质。

5. 根据权利要求 1 的半导体结构，其中所述掺杂半导体衬底包括 P 型杂质。

6. 根据权利要求 1 的半导体结构，其中所述栅极区包括栅极介质，覆盖所述栅极介质的栅电极以及位于所述栅电极侧壁上的至少一个隔离层。

7. 一种形成半导体结构的方法，包括以下步骤：

在掺杂半导体衬底的表面上形成包括氧和碳的单层；

在所述掺杂半导体衬底上形成外延 Si 层；

在所述外延 Si 层上形成至少一个栅极区；

使用端点探测，蚀刻所述外延 Si 层未受所述栅极区保护的暴露部分，在所述掺杂半导体衬底上停止，并暴露所述掺杂半导体衬底；以及

在所述暴露的掺杂半导体衬底上形成抬升应变 SiGe 层。

8. 根据权利要求 7 的方法，其中所述形成所述单层的方法包括原子层沉积。

9. 根据权利要求 7 的方法，其中所述形成所述单层的方法包括化学处理工艺。

10. 根据权利要求 9 的方法，其中所述掺杂半导体衬底在通过所述化学处理工艺形成所述单层之前经历氢封端处理步骤。

11. 根据权利要求 10 的方法，其中所述氢封端处理步骤包括将所述第一半导体层与稀释氢氟酸接触。

12. 根据权利要求 9 的方法，其中所述化学处理工艺包括将所述掺杂半导体衬底与包括碘和醇的溶液接触。

13. 根据权利要求 12 的方法，其中所述醇包括甲醇。

14. 根据权利要求 7 的方法，其中所述端点探测包括分析来自气体的流出物，以探测所述单层中碳或氧的至少一种。

15. 根据权利要求 7 的方法，其中所述端点探测包括分析来自气体的流出物，以探测所述掺杂半导体衬底中的杂质。

16. 根据权利要求 7 的方法，其中所述蚀刻所述外延 Si 层的方法包括选择性蚀刻工艺。

17. 根据权利要求 7 的方法，其中所述形成抬升应变 SiGe 层的方法包括使用传统外延反应室生长外延 SiGe 膜。

18. 根据权利要求 7 的方法，其中所述形成所述至少一个栅极区的方法包括：淀积栅极介质层和栅电极材料；构图所述栅电极材料；并在所述构图的栅电极的至少一个侧壁上形成至少一个隔离层。

19. 根据权利要求 7 的方法，其中所述形成所述至少一个栅极区的方法包括其中采用虚栅极区的镶嵌工艺。

## 沟槽应变抬升源/漏结构及其制造方法

### 技术领域

本发明涉及半导体器件，尤其涉及具有与栅极区相邻的应变抬升源/漏（RSD）层的互补金属氧化物半导体（CMOS）器件。本发明还提供了制造应变 RSD 结构的方法。

### 背景技术

随着半导体的发展，高级 CMOS 的性能不断得到优化，传统技术对新特征的需求日益明显。对于高性能 CMOS，尤其是薄绝缘体上硅（SOI）层上的 CMOS，已经采用抬升源/漏结构，以提高寄生电阻值。最近，也已经采用应变硅，用于提高沟道内部分晶体晶格的或可选地通过外部应力技术使沟道内的硅晶格变形的性能。现有技术中使用的第三方法是提供能够提高迁移率和短沟道性能的突变倒退（regrograde）阱结构。

一种这样的技术使用 SiGe 在源区和漏区上提供应变层。为了使沟道具有明显应变，最好在源区和漏区中的硅上形成沟槽，然后在这些沟槽区域上生长应变 SiGe 选择性外延薄膜。这种方法的一个问题是源/漏硅上的沟槽必须是可控和可再生的，以获得可制造的方法。传统上，以定时方式使用湿蚀刻或干等离子体蚀刻来形成该沟槽。这些方法受到诸多因素的影响，例如蚀刻率一天一天地变化，以及将要蚀刻的硅表面也是变化的并在蚀刻开始之前具有变化的感应时间（induction time）。这些因素导致对沟槽的低可控性，从而不适合大规模生产。

鉴于上述情况，需要一种可以获得沟槽应变抬升源/漏结构的方法，其中源和漏硅上的沟槽是可控和可再生的，因此提供了一种可制造的方法。

## 发明内容

本发明提供了通过应用沟槽硅的可制造方法解决上述问题的技术，该方法采用端点探测方法用于沟槽蚀刻并提供沟槽上的紧密度容差（tight tolerance）。本发明还提供了一种通过上述方法制造的半导体结构。

具体的讲，本发明的半导体结构包括：掺杂半导体衬底；位于掺杂半导体表面上的包括碳和氧的单层；位于部分掺杂半导体衬底上的外延Si层；位于外延Si层上的栅极区；以及位于掺杂半导体衬底上与外延Si层和栅极区相邻的应变SiGe层。根据本发明，应变SiGe层充当用于源/漏扩散区的抬升层。根据本发明的一方面，所述绝缘体上硅层具有从10nm到120nm的厚度。

本发明通过利用以下方法步骤形成上述结构：在掺杂半导体衬底的表面上形成包括氧和碳的单层；在掺杂半导体衬底上形成外延Si层；在外延Si层上形成至少一个栅极区；使用端点探测，选择性地蚀刻外延Si层未受栅极区保护的暴露部分，在掺杂半导体衬底上停止，并暴露掺杂半导体衬底；以及在暴露的掺杂半导体衬底上形成应变SiGe层。

## 附图说明

图1A-1F是示意图（通过截面图），说明了本发明中采用的基本工艺步骤。

图2示出了具有原硅酸四乙酯（TEOS）覆盖层的烷氧基封端硅的TEM。

## 具体实施方式

本发明提供了一种可制造沟槽抬升应变源/漏结构及其制造方法，现在将通过参考结合本发明的附图给予详细的说明。

虽然本说明书和附图表明使用SOI衬底作为初始衬底，但是可以使用除了SOI以外的其它半导体衬底。本发明中可以使用的其它初始衬底的示例性例子包括但不限于：Si, SiC, SiGe, SiGeC, Ge, InAs, InP以及III/V族和II/VI族化合物半导体。初始衬底也可以包括绝缘体上SiGe衬底，

或如 Si/SiGe 的其它叠层半导体。

虽然可以采用其它半导体衬底，但是优选使用如图 1A 所示的 SOI 衬底作为初始衬底 10。优选 SOI 衬底，因为它们提供用于在其上制造高性能 CMOS 器件的衬底。SOI 衬底包括含 Si 衬底层 12，位于含 Si 衬底层 12 顶部的掩埋绝缘层 14，以及位于掩埋绝缘层 14 顶部的含 Si 层 16。含 Si 层 16 在这里也可以指衬底的 SOI 层。掩埋绝缘层 14 可以由包括例如氧化物和氮化物的任何绝缘材料构成。通常，掩埋绝缘层 14 是掩埋氧化物（BOX）区。这里使用的术语“含 Si”指任何包括 Si 的半导体材料。SOI 衬底的含 Si 层 16 可以具有变化的厚度，取决于用于形成 SOI 衬底的技术。然而，通常 SOI 衬底的含 Si 层 16 具有从约 10nm 到约 1000nm 的厚度，更典型的厚度从约 100 到约 500nm。掩埋绝缘层 14 的厚度也可以变化，取决于制造 SOI 衬底时使用的技术。然而，通常掩埋绝缘层 14 具有从约 100nm 到约 1000nm 的厚度，更典型的厚度从约 120 到约 200nm。SOI 衬底的含 Si 衬底层 12 的厚度对本发明不重要。

可以使用层转移工艺如接合工艺形成图 1A 所示的 SOI 衬底。可选地，可以采用称为注氧隔离（SIMOX）的技术，其中将离子特别是氧注入体含 Si 衬底，然后在能够形成掩埋绝缘层 14 的条件下对含注入离子的衬底进行退火。

接下来，通过光刻和蚀刻，形成至少一个延伸到含 Si 衬底层 12 上表面的沟槽（在图中未示出）。光刻步骤包括：将光致抗蚀剂施加到 SOI 衬底的表面，将光致抗蚀剂曝光于辐射图形，并使用传统的抗蚀剂显影剂显影曝光的光致抗蚀剂。在形成沟槽中使用的蚀刻步骤包括任何标准的 Si 定向反应离子蚀刻工艺。在这里也可以考虑其它干蚀刻方法，例如等离子体蚀刻、离子束蚀刻和激光销蚀。在掩埋绝缘层 14 的顶部（也未示出）上，或在掩埋绝缘层 14 下的含 Si 衬底 12 上停止蚀刻。蚀刻之后，通常利用传统的光致抗蚀剂剥离工艺，除去构图的光致抗蚀剂。在一些实施例中，构图的光致抗蚀剂可以保留在结构上，并在后续的蚀刻步骤之后被除去。

在本发明的此时，利用离子注入掺杂 SOI 衬底的含 Si 层 16。注入含

Si 层 16 的杂质可以是 N 型杂质如 P、As 或 Sb 离子，或 P 型杂质如 B 离子。含 Si 层 16 中杂质浓度通常为约  $10^{17}$  到约  $10^{19}$  原子/cm<sup>3</sup>。在 SOI 衬底的含 Si 层 16 中注入杂质离子之后，可以使用任何能够激活注入杂质的传统退火工艺对杂质进行退火。在注入和退火步骤之后形成的结构如图 1B 所示。在图 1B 中，标号 17 代表 SOI 衬底的掺杂含 Si 层。在本发明的此时进行的离子注入和退火形成了结构的阱注入区。

接下来，在掺杂含 Si 层 17 的表面形成包括碳和氧的单层。通过原子层淀积 (ALD) 或化学处理工艺，形成由标号 18 代表的单层。可以采用任何传统的 ALD 工艺。化学处理工艺优于 ALD 工艺。

当用化学处理工艺形成单层 18 后，掺杂半导体层 17 首先经历这样的步骤，其中掺杂含 Si 层 17 的表面被氢封端。“氢封端”意思是掺杂含 Si 层 17 的外表面包括氢原子，例如形成具有-Si-H 键的结构。利用可以提供氢封端的稀释氢氟酸或任何其它类似溶液，进行导致氢封端的该步骤。

在用氢原子对 SOI 衬底的掺杂含 Si 层 17 封端之后，掺杂含 Si 层 17 经历碘/醇处理步骤。该化学处理步骤导致在掺杂含 Si 层 17 的表面上形成包括碳和氧的单层 18。通常，将包括碘和醇的溶液施加到掺杂含 Si 层 17。该溶液通过将上述两种成分添加到一起并充分地混合来制备。

碘/醇溶液的施加可以通过沉浸、刷涂覆、浸渍涂覆、喷射涂覆或任何其它类似涂覆工艺进行。在一些实施例中，也可以蒸发溶液，并以气体混合物施加。通常在室温（即 20℃）下将碘/醇溶液施加到掺杂 SOI 层 17。虽然通常采用室温，但是可以在稍高于室温的温度下施加含有碘和醇的溶液。包含碘和醇的溶液的接触时间，可以根据溶液中碘和醇的量来变化。包含碘和醇的溶液与掺杂 SOI 层 17 的接触通常为约 15 到约 60 分钟，优选约 20 到约 30 分钟的接触时间。

如上所述，在本发明中采用的用于形成碳和氧的单层的溶液包括碘和醇。

溶液中采用的醇可以包括任何直链或支化一元醇，优选采用甲醇。

在与碘/醇溶液接触之后，通常在醇中漂洗处理过的结构，然后使用本领域公知的标准烘干工艺烘干。用于漂洗结构的醇通常但不必是与碘/醇溶液中存在的相同的醇。在本发明中可以使用的特定烘干工艺包括表面张力烘干工艺，其中采用了包括异丙醇和水的薄雾。

单层 18 层充当前面形成进入 SOI 衬底的含 Si 层中的杂质的扩散阻挡层。该单层在不破坏随后生长的外延 Si 覆盖层的晶体结构的情况下，提供掺杂含 Si 层 17 的烷基和烷氧基封端。如在图 2 提供的 TEM 中所示。

在 SOI 衬底的掺杂含 Si 层 17 的表面上形成单层 18 之后，通过传统的外延生长工艺形成 Si 层 20。外延 Si 层 20 在低于 800℃ 的温度下形成。外延 Si 层 20 通常具有从约 10nm 到约 30nm 的厚度。注意，外延 Si 层 20 只在包含单层 18 的 Si 表面上形成。

在单层 18 和外延 Si 层 20 形成之后所得的结构如图 1C 所示。由于单层 18 的存在，先前注入到 SOI 衬底的含 Si 层 16 中的杂质，在外延 Si 层 20 的沉积和任何后续退火的热循环期间，将在 SOI/外延层界面堆积。而且，单层 18 基本上防止了杂质从掺杂含 Si 层 17 扩散到外延 Si 层 20。

在一些实施例中，如果前面没有形成沟槽隔离区（未示出），可以在本发明的此时使用上述技术来形成。

在形成外延 Si 层 20 之后，可以进行传统的 CMOS 工艺，以形成图 1D 所示的晶体管结构。图 1D 所示的晶体管结构包括栅极区 22，该栅极区包括栅极介质 24、栅电极 26 和在至少栅电极 26 的侧壁上形成的隔离层 28。虽然本发明描述和列举了单晶体管结构，但是本发明可以在外延 Si 层 20 上形成多个这样的晶体管结构。

通过首先在外延 Si 层 20 的整个表面上形成栅极介质 24，来形成栅极区 22。可以通过如氧化、氯化或氧氯化的热生长工艺形成栅极介质 24。作为选择，也可以通过如化学气相沉积 (CVD)、等离子体辅助 CVD、原子层沉积 (ALD)、蒸发、反应溅射、化学溶液沉积和其它类似沉积工艺的沉积工艺形成栅极介质 24。也可以利用上述工艺的任意结合形成栅极介质 24。

栅极介质 24 由包括但不局限于如下的绝缘材料构成：氧化物，氯化物，氧氯化物和/或硅酸盐。在一些实施例中，栅极介质 24 优选包括如  $\text{SiO}_2$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{SrTiO}_3$ 、 $\text{LaAlO}_3$  及其混合物的氧化物，包括硅和氮的添加剂。

栅极介质 24 的物理厚度可以变化，但是通常，栅极介质 24 具有从约 0.5nm 到约 10nm 的厚度，优选从约 0.5nm 到 3nm 的厚度。

在形成栅极介质 24 后，在栅极介质 24 上利用如物理气相沉积(PVD)，CVD 或蒸发的公知的沉积工艺形成栅电极材料 26 的覆盖层。栅电极材料 26 可以包括多晶硅、 $\text{SiGe}$ 、硅化物或金属。优选地，栅电极 26 由硅化物或金属构成。可以用作栅电极 26 的金属的例子包括但不限于： $\text{W}$ 、 $\text{Pt}$ 、 $\text{NiSi}$ 、 $\text{CoSi}_2$ 。栅电极材料 26 的覆盖层可以被掺杂或不被掺杂。如果掺杂，可以采用就地掺杂沉积工艺。作为选择，可以通过沉积、离子注入和退火形成掺杂栅电极 26。

栅电极 26 的掺杂改变了形成的栅板的功函数。掺杂离子的示例性例子包括  $\text{As}$ 、 $\text{P}$ 、 $\text{B}$ 、 $\text{Sb}$ 、 $\text{Bi}$ 、 $\text{In}$ 、 $\text{Al}$ 、 $\text{Tl}$ 、 $\text{Ga}$  或其混合物。在本发明的此时，栅电极材料 26 的沉积厚度，也就是高度，会根据采用的沉积工艺而变化。通常，栅电极材料 26 具有从约 20nm 到约 180nm 的垂直厚度，优选从约 40nm 到约 150nm 的厚度。

在一些实施例中，可以利用传统的沉积工艺在栅电极材料 26 上形成可选的硬掩膜（未示出）。该可选的硬掩膜可以由如氧化物或氯化物的介质构成。

然后通过光刻和蚀刻，构图覆盖栅电极材料 26（可选地，和栅极介质 24），以提供至少一个没有隔离层的栅板区 22。每个形成的栅板区 22，可以具有相同的尺寸，也就是长度，或它们可以具有不同的尺寸以提高器件的性能。光刻步骤包括：将光致抗蚀剂施加到覆盖沉积的栅电极材料 26 的上表面，将光致抗蚀剂曝光于辐射的预定图形，并利用传统的抗蚀剂显影剂显影曝光的光致抗蚀剂。然后利用干蚀刻工艺，将光致抗蚀剂中的图形转移到栅电极材料 26 的覆盖层。在蚀刻完成之后，除去构图的光致抗蚀

剂。在一些实施例中，可以在光致抗蚀剂形成之前形成硬掩膜，并在构图栅电极材料 26 的覆盖层时使用。

在形成栅极区 22 时在本发明中可以使用的合适的干蚀刻工艺包括但不限于：反应离子蚀刻、离子束蚀刻、等离子体蚀刻或激光销蚀。采用的干蚀刻工艺通常相对于下面的栅极介质 24 具有选择性，因此该蚀刻步骤通常不会除去栅极介质 24。然而，在一些实施例中，该蚀刻步骤可以用于除去栅极介质 24 未受栅极区 22 保护的部分。本申请的附图示出了后一实施例。

接下来，在每个栅电极的暴露侧壁上形成至少一个隔离层 28。至少一个隔离层 28 包括如氧化物、氯化物、氧氯化物和/或其任意结合的绝缘体。可以通过淀积和蚀刻形成至少一个隔离层 28。

除了一个隔离层 28，本发明还涉及包括多个隔离层的结构。特别地，本发明涉及包括具有第一宽度的第一隔离层和具有第二宽度的第二隔离层的结构，其中第一宽度小于第二宽度。通常，如果在底部测量，每个隔离层 28 具有从约 20nm 到约 80nm 的宽度。

除了上述方法，还可以利用其中首先在外延 Si 层 20 上形成虚栅极区的镶嵌工艺形成栅极区 22。然后淀积如氧化物的平面化介质，并平面化所得的结构，以暴露虚栅极区的上表面。然后通过蚀刻选择性地除去虚栅极区，然后形成栅极区 22。

接下来，如图 1E 所示，使用掺杂含 Si 层 17 或单层 18 作为端点蚀刻探测层，除去外延 Si 层 20 未受栅极区 22 保护的暴露部分。端点探测可以包括使用分析器，该分析器使用来自气体的流出物，以探测单层 18 中存在的碳和/或氧或掺杂含 Si 层 17 中的杂质离子的突变梯度。可以利用任何相对于掺杂半导体层具有选择性地除去外延 Si 的蚀刻工艺，进行外延 Si 层的暴露部分的选择性蚀刻。例如，可以使用  $\text{CF}_4$ 、 $\text{CHF}_3$  或  $\text{NF}_3$  选择性地除去外延 Si 层 20 的暴露部分。

在除去外延 Si 层 20 的暴露部分，暴露下面的掺杂含 Si 层 17 之后，形成应变 SiGe 层 30。例如，图 1F 示出了包括应变 SiGe 层 30 的所得结构。

可以利用任何能够形成应变 SiGe 层的工艺形成应变 SiGe 层。例如，可以利用超高真空 CVD 外延（UHCVD 外延）或 RTCVD 外延（降温 CVD 外延）形成应变 SiGe 层 30。

应变 SiGe 层 30 的厚度可以根据形成相同层所使用的技术而变化。通常，应变 SiGe 层 30 具有从约 20nm 到约 200nm 的厚度，优选从约 40nm 到约 80nm 的厚度。在本发明的此时形成的应变 SiGe 层 30 是结构的抬升层，在其中可以随后形成源/漏扩散区。

现在可以将源/漏区（未示出）注入到应变 SiGe 层 30 中，然后通过热退火激活。作为选择，可以生长其中包含杂质的外延膜（就地掺杂外延）。在层 30 中形成源/漏区之后，可以在源/漏区上形成硅化物接触（未示出），然后可以进行传统的后段制程（BEOL）工艺。

虽然通过本发明的优选实施例特定地示出并说明了本发明，本领域的技术人员应该理解，只要不脱离本发明的范围和精神，可以在形式和细节上进行上述和其它修改。因此本发明并不限于前面描述和说明的具体形式和细节，而是落入所附权力要求书的范围。

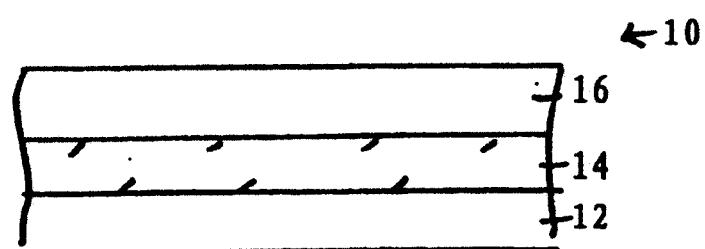


图 1A

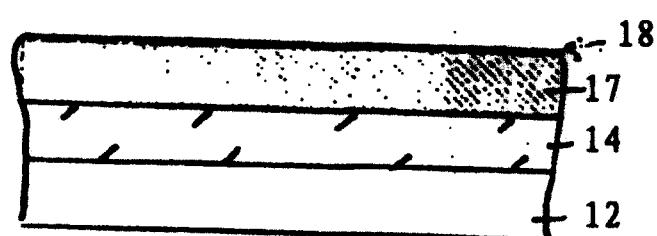


图 1B

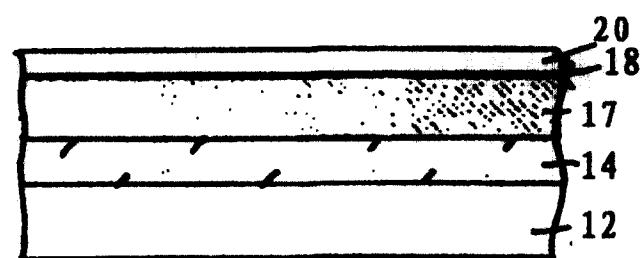


图 1C

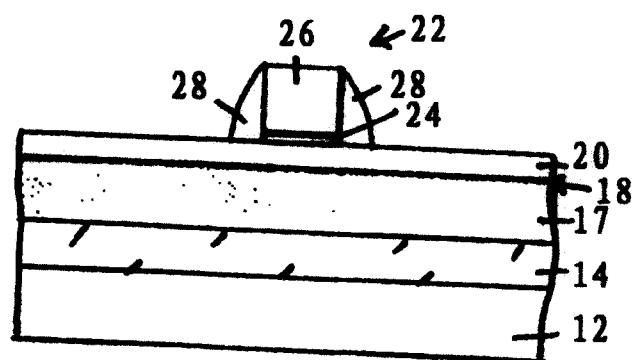


图 1D

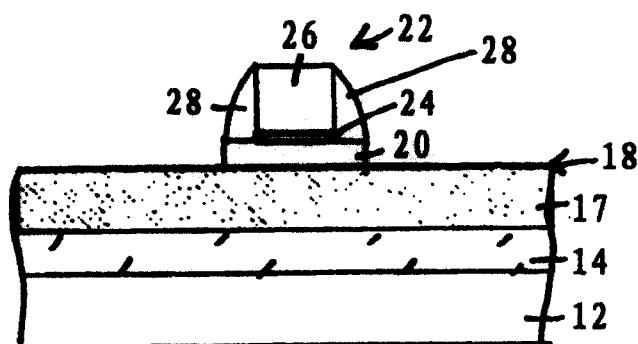


图 1E

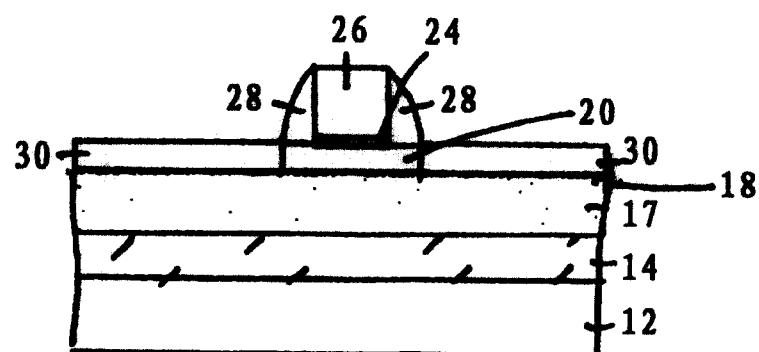


图 1F



图 2