

公告本

申請日期	Sp. 4.18
案 號	89107280
類 別	H01L 27/00

A4
C4

(以上各欄由本局填註)

469631

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	日 文	半導体集積回路装置および その製造方法
二、發明 人	姓 名	1. 内山 博之 2. 荻島 淳史 3. 宿利 章二
	國 籍	均日本
	住、居所	均日本國東京都千代田區丸之内一丁目5番1號新丸大樓 日立製作所股份有限公司知的所有權本部内
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦

裝

訂

線

經濟部智慧財產局員工消費合作社印製

469631

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1999年04月23日 特願平11-115871 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

本發明係有關半導體積體電路裝置及其製造技術，尤其是有關適用於有動態隨機存取記憶體(DRAM)之半導體積體電路裝置的有效技術。

DRAM的記憶格由一個記憶格選擇用金屬絕緣體半導體場效應電晶體(Metal Insulator Semiconductor Field Effect Transistor; MISFET)，其係位於半導體基板主面上配置成矩陣狀之數個字線與數個位元線的交點上，以及與其串聯的一個資訊儲存電容元件(電容器)所構成。

上述的記憶格選擇用MISFET，主要由閘(Gate)氧化膜、與字線一體構成的閘極及構成源極與汲極的一對半導體範圍所構成。資訊儲存用電容元件配置在記憶格選擇用MISFET的上方，與其源極、汲極的一者電連接。此外，位元線也配置在記憶格選擇用MISFET的上方，與其源極、汲極的另一者電連接。

在記憶格選擇用MISFET的上方配置資訊儲存用電容元件，亦即是採用疊層(Stacked)電容器結構的上述DRAM，雖然是採用在位元線上方配置資訊儲存用電容元件的位元線上方電容器(Capacitor Over Bitline; COB)或是在位元線下方配置資訊儲存用電容元件的位元線下方電容器(Capacitor Under Bitline; CUB)，但是前者(COB結構)適用於記憶格的微細化。此因，欲增加被微細化之資訊儲存用電容元件的儲存電荷量時，必須採用立體化結構來增加表面積，而在資訊儲存用電容元件的上方配置位元線的CUB結構，其位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

元線與記憶格選擇用 MISFET 連接之接觸孔的縱橫比非常大，導致開孔困難。

發明概述

於位元線上方配置資訊儲存用電容元件之上述 COB 結構的 DRAM 中，在記憶格選擇用 MISFET 的上方藉由氧化矽膜(第一氧化矽膜)配置位元線，並在位元線的上方藉由氧化矽膜(第二氧化矽膜)配置資訊儲存用電容元件。因此，記憶格選擇用 MISFET 之源極、汲極的一者與位元線的連接，是透過在第一氧化矽膜上所形成的接觸孔來達成；而源極、汲極的另一者與資訊儲存用電容元件的連接，則是透過相互鄰接之位元線間隙的第二氧化矽膜上所形成的通孔與其下方之第一氧化矽膜上所形成的接觸孔來達成。

因此，上述 COB 結構的 DRAM 爲了縮小記憶格的大小，而縮小位元線的間隙時，不易保持容納位元線及通過其間隙之通孔的必要空間，以致嵌埋入通孔內部的接點(Plug)與位元線發生短路的問題。

避免發生上述問題的對策之一，是考慮採用自調整接觸(Self Align Contact: SAC)技術，亦即是使用氮化矽膜覆蓋位元線的上方及側壁，利用該氮化矽膜與通孔開孔範圍之第二氧化矽膜兩者的蝕刻速度差，對位元線以自我整合的方式來開通孔。

然而採用上述的自調整接觸技術，亦即以氮化矽膜被覆在位元線四周時，氮化矽的電容率高於氧化矽的兩倍以上，導致位元線的寄生電容大，又會造成不易檢測儲存在資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明⁽³⁾

訊儲存用電容元件內之訊號的問題。

保持同時容納位元線及通孔足夠空間的第二個對策，是採用將位元線寬度予以微細化的方法，亦即藉由將位元線用的金屬膜形成圖案(Patterning)時所使用的光抗蝕膜予以微細化。將光抗蝕膜予以微細化時，首先是藉由將塗抹在位元線用金屬膜上方的光抗蝕膜曝光、顯影，形成由微影(Photolithography)解像度所決定之最小加工寬度的光抗蝕膜，再藉由對該光抗蝕膜進行各向同性的蝕刻，以進一步的縮小其寬度。

然而，上述對光抗蝕膜進行各向同性蝕刻，促使其寬度微細化的方法，不易精確控制光抗蝕膜的被蝕刻量，造成蝕刻後光抗蝕膜的尺寸穩定性低。此外，使用微細化至小於微影之解像度所決定的最小加工寬度的光抗蝕膜，將金屬膜形成圖案時，也會發生被蝕刻量普遍不均勻，且位元線的尺寸穩定性低的問題。

另外，對塗抹在金屬膜上方的光抗蝕膜進行微細加工時，還會因暈光作用使抗蝕尺寸的變動更加明顯。若是採取在光抗蝕膜的底層形成防止反射膜的對策，又會發生降低蝕刻控制性的問題。

此外，在上述COB結構的DRAM製造步驟中，為求以良好的成品率在位元線的上方形成資訊儲存用電容元件，需要在位元線的間隙及上方堆積氧化矽膜(第二氧化矽膜)後，採用CMP法使其表面平坦。為了確保研磨的邊緣，必須在位元線的上方保留一定膜厚的氧化矽膜，因此，這個部分

五、發明說明(4)

形成記憶格的範圍(記憶體陣列)的標高較高。導致連接資訊儲存用電容元件上方所形成之A1配線與外圍電路之MISFET的接觸孔縱橫比較大，致使連接孔的加工成品率及嵌埋入連接孔內的導電層連接可靠性降低。

本發明的目的，是提供一種技術，其係藉由將位元線寬度微細化至小於由微影之解像度所決定的最小加工尺寸，以縮小DRAM記憶格的大小。

本發明的其他目的，是提供一種技術，其係藉由減低位元線上的寄生電容，以提高檢測儲存在資訊儲存用電容元件內訊號的靈敏度。

本發明的其他目的，是提供一種技術，其係藉由降低記憶體陣列的標高，以提高DRAM的製造成品率。

本發明的前述內容及其他目的與新的特徵，可以從本明細書的內容及附加的圖式中瞭解。

本申請案所公開之發明的相關技藝概述如下：

(1)本發明之半導體積體電路裝置，是在半導體基板的主面上形成具備與延伸在該第一方向之字線一體構成之閘極的記憶格選擇用MISFET，前述記憶格選擇用MISFET上方的絕緣膜中，形成與前述第一方向交叉，向第二方向延伸的配線溝，在前述配線溝的內部，形成與前述記憶格選擇用MISFET之源極、汲極的一者電連接的位元線，在前述位元線的上方，具有形成與前述源極、汲極之另一者電連接之資訊儲存用電容元件的記憶格，在前述配線溝的內壁形成第二絕緣膜，前述的位元線則在前述第二絕緣膜的內側形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

成。

(2)本發明之半導體積體電路裝置，在前述之申請專利範圍第1項中，前述位元線的寬度比相互鄰接之前述位元線間的間隔為窄。

(3)本發明之半導體積體電路裝置，在前述之申請專利範圍第1項中，前述位元線的一部分嵌埋入形成前述配線溝下方之前述絕緣膜的第一接觸孔內，與前述之源極、汲極的一者直接連接。

(4)本發明之半導體積體電路裝置，在前述之申請專利範圍第1項中，前述之位元線嵌埋入形成前述配線溝下方之前述絕緣膜的第一接觸孔內，且經由接點與前述源極、汲極的一者電連接。

(5)本發明之半導體積體電路裝置，在前述之申請專利範圍第3項及第4項中，前述第一接觸孔由前述第一方向直徑比前述第二方向直徑為大的平面形狀所構成，其一部分延伸在形成前述記憶格選擇用MISFET的活性區域上，其他部分則延伸在前述位元線正下方之元件分離範圍上。

(6)本發明之半導體積體電路裝置，在前述之申請專利範圍第1項中，形成前述記憶格選擇用MISFET的活性區域，係沿著前述第二方向作細長的延伸，且其中央部的一邊，係由向前述第一方向成凸狀突出的平面形狀所構成。

(7)本發明之半導體積體電路裝置，在前述之申請專利範圍第1項中，前述位元線的表面高度與前述絕緣膜的表面高度相等。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

(8)本發明之半導體積體電路裝置的製造方法，包含以下的步驟：

(a)在半導體基板的主面上，形成具有與向該第一方向延伸之字線一體構成之閘極的記憶格選擇用 MISFET 後，在前述記憶格選擇用 MISFET 的上方形成第一絕緣膜的步驟，

(b)藉由蝕刻前述第一絕緣膜，形成到達前述記憶格選擇用 MISFET 之源極、汲極另一者的第二接觸孔後，在前述第二接觸孔的内部形成接點的步驟，

(c)在前述第一絕緣膜的上方形成與前述第一絕緣膜蝕刻速度不同的第三絕緣膜，在前述第三絕緣膜的上方，形成與前述第三絕緣膜蝕刻速度不同之第四絕緣膜的步驟，

(d)藉由將前述第三絕緣膜用作蝕刻的阻擋膜 (Stopper)，來蝕刻前述第四絕緣膜，形成沿著與前述第一方向交叉之第二方向的配線溝步驟，

(e)在包含前述配線溝内部的前述第四絕緣膜上，形成膜厚小於前述配線溝寬度二分之一的第二絕緣膜步驟，

(f)藉由依次蝕刻前述配線溝内部之前述第二絕緣膜、其下方之前述第三絕緣膜及前述第一絕緣膜，形成到達前述記憶格選擇用 MISFET 之源極、汲極一者的第一接觸孔步驟，及

(g)在包含前述第一接觸孔内部的前述第二絕緣膜上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

，堆積作為位元線材料的第一導電膜後，使用化學性機械研磨法，藉由分別研磨前述第一導電膜及前述第四絕緣膜上之第二絕緣膜，分別在前述配線溝及前述第一接觸孔的內部形成位元線的步驟。

(9)本發明之半導體積體電路裝置的製造方法，包含以下的步驟：

(a)在半導體基板的主面上，形成具有與向該第一方向延伸之字線一體構成之閘極的記憶格選擇用MISFET後，在前述記憶格選擇用MISFET的上方形形成第一絕緣膜的步驟，

(b)藉由蝕刻前述第一絕緣膜，形成到達前述記憶格選擇用MISFET之源極、汲極一者的第一接觸孔，及到達前述源極、汲極另一者的第二接觸孔後，分別在前述第一及第二接觸孔的內部形成接點的步驟，

(c)在前述第一絕緣膜的上方形形成與前述第一絕緣膜蝕刻速度不同的第三絕緣膜，在前述第三絕緣膜的上方，形成與前述第三絕緣膜蝕刻速度不同之第四絕緣膜的步驟，

(d)藉由將前述第三絕緣膜用作蝕刻的阻擋膜，來蝕刻前述第四絕緣膜，形成沿著與前述第一方向交叉之第二方向的配線溝步驟，

(e)在包含前述配線溝內部的前述第四絕緣膜上，形成第二絕緣膜後，藉由對前述第二絕緣膜進行各向異性蝕刻，在前述配線溝的側壁形成側壁間隔片的步驟，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

(f)藉由蝕刻前述配線溝內部之前述第三絕緣膜及其下方之前述第一絕緣膜，形成到達前述第一接觸孔之第一通孔的步驟，及

(g)在包含前述第一通孔內部的前述第四絕緣膜上，堆積作為位元線材料的第一導電膜後，使用化學性機械研磨法，藉由研磨前述之第一導電膜，分別在前述配線溝及前述第一通孔的內部形成位元線的步驟。

(10)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第八及第9項中，以照相術(Photography)解像度所決定的最小尺寸形成與前述字線一體構成之閘極的寬度與間隔，以照相術解像度所決定的最小尺寸形成前述配線溝的寬度及間隔。

(11)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第八項中，以前述的(f)步驟，形成到達前述記憶格選擇用MISFET之源極、汲極一者的第一接觸孔後，通過前述的第一接觸孔，在前述源極、汲極的一者注入與前述源極、汲極相同導電型的雜質離子。

(12)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第八及第9項中，以前述的(g)步驟，在前述第一通孔內部堆積作為位元線材料的高熔點金屬膜後，藉由對前述基板退火(anneal)，在前述高熔點金屬與前述基板的界面上形成矽化物層。

(13)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第八及第9項中，還包括以下的步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

(h)在前述第四絕緣膜的上方形成第五絕緣膜後，藉由依次蝕刻前述第五絕緣膜、其下方的前述第四絕緣膜、前述第三絕緣膜及前述第一絕緣膜，形成到達前述第二接觸孔的第二通孔步驟，

(i)在前述第二通孔的内部形成接點後，在前述第五絕緣膜的上方形成與前述第五絕緣膜蝕刻速度不同的第六絕緣膜，繼續在前述第六絕緣膜的上方形成第七絕緣膜後，在前述第七絕緣膜及其下方的前述第六絕緣膜中形成溝的步驟，及

(j)在前述溝的内部形成資訊儲存用電容元件，通過前述第二通孔及其下方的前述第二接觸孔，使前述資訊儲存用電容元件與前述記憶格選擇用MISFET的源極、汲極之另一者電連接的步驟。

(14)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第13項中，前述第五絕緣膜及前述第四絕緣膜的蝕刻，是用前述第三絕緣膜作蝕刻的阻擋膜。

(15)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第13項中還包含以下步驟：

(k)以前述之(a)步驟，形成外圍電路之MISFET的步驟，

(l)以前述之(g)步驟，形成外圍電路之第一層配線的步驟，

(m)以前述之(j)步驟，形成資訊儲存用電容元件後，在前述資訊儲存用電容元件的上方形成第八絕緣膜，

五、發明說明⁽¹⁰⁾

繼續藉由蝕刻前述第八絕緣膜、前述第七絕緣膜、前述第六絕緣膜及前述第五絕緣膜，形成到達前述外圍電路第一層配線的通孔的步驟。

(16)本發明之半導體積體電路裝置的製造方法，在前述之申請專利範圍第15項中，前述第八絕緣膜及前述第七絕緣膜的蝕刻，是用前述第六絕緣膜作蝕刻的阻擋膜。

圖式描述

圖1顯示本發明具體實施例1之DRAM製造步驟中之記憶格的基板主要部分平面圖。

圖2(a)、(b)顯示本發明具體實施例1之DRAM製造步驟中之記憶格的基板主要部分剖面圖。

圖3(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖4顯示本發明具體實施例1之DRAM製造方法的基板主要部分平面圖。

圖5(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖6顯示本發明具體實施例1之DRAM製造方法的基板主要部分平面圖。

圖7(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖8(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖9顯示本發明具體實施例1之DRAM製造方法的基板主

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

要部分平面圖。

圖10(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖11(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖12(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖13(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖14(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖15顯示本發明具體實施例1之DRAM製造方法的基板主要部分平面圖。

圖16(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖17(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖18(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖19(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖20(a)、(b)顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖21顯示本發明具體實施例1之DRAM製造方法的基板主

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明⁽¹²⁾

要部分剖面圖。

圖22顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖23顯示本發明具體實施例1之DRAM製造方法的基板主要部分剖面圖。

圖24(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖25(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖26(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖27(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖28(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖29(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖30(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖31(a)、(b)顯示本發明具體實施例2之DRAM製造方法的基板主要部分剖面圖。

圖32顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖33顯示本發明具體實施例3之DRAM製造方法的基板主

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

要部分剖面圖。

圖34顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖35顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖36顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖37顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖38顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖39顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

圖40顯示本發明具體實施例3之DRAM製造方法的基板主要部分剖面圖。

較佳之具體實施例

以下，依據圖式詳細說明本發明之具體實施例。用於說明具體實施例的圖式中，具有相同機能的材料註記相同的符號，其中重複的說明予以省略。

(具體實施例1)

圖1為顯示DRAM製造步驟中之記憶格的基板主要部分平面圖，圖2(a)、(b)則為其基板的主要部分剖面圖。另外，圖2(a)的左側部分為沿圖1之A-A'線的剖面圖，右側部分為沿B-B'線的剖面圖，圖2(b)的左側部分為沿圖1之C-

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

C'線的剖面圖，右側部分為沿D-D'線的剖面圖。

例如，由p型單結晶矽所構成之基板1的主面上形成p型井(Well)3，p型井3中藉由元件分離溝2，將周圍形成規定之活性區域L。如圖1所示，活性區域L係由向圖的左右方向作細長延伸，且其中央部向圖的上方突出成凸狀的倒T字型平面形狀所構成。

在上述的各個活性區域L中，形成共用源極、汲極(n型半導體範圍11)一者的兩個MISFET(記憶格選擇用MISFETQs)。該記憶格選擇用MISFETQs與在爾後步驟中於其上方形成之資訊儲存用電容元件C(圖1、圖2中未顯示)串聯，藉以構成DRAM之1位元(bit)的記憶格。

上述之記憶格選擇用MISFETQs主要由在活性區域L的基板1(p型井3)表面所形成的閘氧化膜8、在該閘氧化膜8上所形成的閘極9及在該閘極9兩側的基板1(p型井3)上形成之一對n型半導體範圍11、11(源極、汲極)所構成。

上述記憶格選擇用MISFETQs的閘極9，與字線WL一體構成，沿著圖1的垂直方向，以相同的寬度與間隔作直線延伸。閘極9(字線WL)的寬度(閘長)及間隔，分別等於微影的解像度所決定的最小尺寸。

上述閘極9(字線WL)，可由摻雜了P(磷)等n型雜質的低電阻多結晶矽膜上方，疊層WN(氮化鎢)膜及TiN(氮化鈦)膜等的可變金屬膜與W(鎢)膜的聚合金屬結構所構成。此外，在閘極9(字線WL)的上方形形成與閘極9(字線WL)同一個平面形狀的氮化矽膜10。

五、發明說明⁽¹⁵⁾

包圍上述活性區域L之基板1(p型井3)的元件分離溝2，係由在基板1(p型井3)上所形成的溝內部嵌埋入氧化矽膜7所構成。氧化矽膜7的表面予以平坦化，其高度與活性區域L之基板1(p型井3)的表面概等。此外，在元件分離溝2的內壁與氧化矽膜7的界面上，爲了減低在氧化矽膜7與基板1(p型井3)之間產生的界面能級，而採用熱氧化法形成薄的氧化矽膜6。

在上述記憶格選擇用MISFETQs的上方，形成氮化矽膜12及雙層的氧化矽膜13、14。在記憶格選擇用MISFETQs之源極、汲極(n型半導體範圍11)一者上方的氮化矽膜12及氧化矽膜13、14上，形成如嵌埋入由低電阻多結晶矽膜所構成之接點17的接觸孔16。在爾後步驟中所形成的資訊儲存用電容元件C通過該接觸孔16，與上述之源極、汲極(n型半導體範圍11)的一者電連接。

在上述氧化矽膜14的上方，形成氧化矽膜18、氮化矽膜19及氧化矽膜20，氧化矽膜20上形成沿著B-B'線方向，以一定寬度及一定間隔延伸的配線溝23。這些配線溝23的寬度及間隔分別等於由微影之解像度所決定的最小尺寸。

在上述配線溝23中，沿著其內壁形成薄的氧化矽膜21，又在氧化矽膜21的內側形成位元線BL。位元線BL通過尤其底部的氧化矽膜21及氧化矽膜21下層的氮化矽膜19、氧化矽膜18、14、13與氮化矽膜12所形成的接觸孔15，與記憶格選擇用MISFETQs之源極、汲極之另一者(兩個記憶格選擇用MISFETQs所共用的n型半導體範圍11)電連接。

五、發明說明(16)

例如由Ti膜(或Co膜)、TiN膜、W膜等三層膜所構成的上述位元線BL，沿著圖1的水平方向(B-B'線方向)，亦即與字線WL成垂直的方向，以相同的寬度與間隔作直線延伸。如前所述，由於位元線BL係在具有與微影解像度所決定之最小尺寸相等寬度之配線溝23內壁所形成之氧化矽膜21的內側形成，因此其寬度小於微影之解像度所決定的最小尺寸。

繼續利用圖3~圖23，按照步驟順序說明具有如上所述之微細位元線BL的DRAM之記憶格製造方法。而在這些圖中的平面圖(圖4、圖6、圖9、圖15)裡僅顯示活性區域、閘極(字線)、位元線、連接孔(接觸孔、通孔)的平面形狀，絕緣膜(氧化矽膜、氮化矽膜)及嵌埋入連接孔之接點的圖式則予以省略。此外，以下是說明使用 $0.18\mu\text{m}$ 之設計原則的製造步驟，唯並無特別限制。

首先如圖3(a)、(b)中所示，例如在由具有約 $1\sim 10\Omega\text{cm}$ 電阻率之p型單結晶係所構成的基板1上形成元件分離溝2。在形成元件分離溝2時，先蝕刻元件分離範圍的基板1，在形成深度約350 nm的溝後，對基板1進行約 $850^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ 的熱氧化處理，在該溝的內壁形成膜厚約10 nm的薄氧化矽膜6。為了恢復溝內壁所產生之乾式蝕刻的損傷，同時為了在下一階段的步驟中減低嵌埋入溝內部之氧化矽膜7及基板1的界面所產生的界面能級而形成氧化矽膜6。此外，在形成上述的溝時，調整蝕刻基板1的氣體(如 CF_4+O_2)成分，在溝的側壁形成約 80° 的錐形時，在下一階段的步驟中，堆

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

積之氧化矽膜7就容易嵌埋入溝的内部。

其次，在包含溝内部的基板1上，採用CVD法堆積膜厚約450~500 nm的氧化矽膜7，繼續藉由對基板1進行約1000°C的熱氧化處理，加以熱緊固(Densify)，以改善氧化矽膜7的膜質，之後採用化學性機械研磨(CMP)法研磨溝上方的氧化矽膜6，使其表面平坦化。

採用上述方法在基板1上形成的元件分離溝2，如圖4所示，是藉由元件分離溝2同時形成包圍在四周，成島狀散佈的許多活性區域L。這些活性區域L在位元線延伸方向有長邊之長方形的角部成圓形狀，且在位元線延伸方向的中央部有凸起部。沿著活性區域L之C-C'線的尺寸及與鄰近活性區域L的間隔，分別作為由微影之解像度所決定的最小尺寸(0.18 μm)，沿A-A'線的尺寸為0.9 μm 。

其次，如圖5(a)、(b)所示，藉由在基板1上離子嵌埋入p型雜質(硼)及n型雜質(磷等)後，將基板1進行約950°C的熱處理，使上述雜質擴散，來形成p型井3及n型井4。位於p型井3下方的n型井4，係從圖上未顯示的輸出輸入電路等通過基板1所形成，以防止噪音入侵p型井3。

再以使用氫氟酸的濕式蝕刻來清洗基板1的表面，繼續將基板1進行約800~850°C的熱氧化處理，在其表面形成膜厚約為7 nm，清潔的閘氧化膜8。閘氧化膜8的一部分也可以由含有氮化矽的氧氮化矽膜所構成。由於氧氮化矽膜比氧化矽膜控制在膜中發生界面能級及減低電子陷阱(Trap)的效果為高，因此，可以提高閘氧化膜8的耐熱載子性能。形

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

成氧氮化矽膜時，宜在NO或NO₂等含氮氣環境中進行熱氧化處理。

其次如圖6及圖7(a)、(b)所示，在開氧化膜8的上方形開極9(字線WL)後，藉由在開極9的兩側基板1(p型井3)上離子嵌入n型雜質(磷或砷)，形成n型半導體範圍11(源極、汲極)，即完成記憶格選擇用MISFETQs。

開極9(字線WL)採用CVD法在開氧化膜8上堆積摻雜磷(P)，膜厚約70 nm的低電阻多結晶矽膜，繼續採用濺鍍法在其上方堆積膜厚約50 nm的WN膜及膜厚約100 nm的W膜，再以CVD法於其上方堆積氮化矽膜10後，採用以光抗蝕膜(圖上未顯示)為遮光膜(Mask)的乾式蝕刻法將這些膜蝕刻成圖案。開極9(字線WL)的寬度(開長)及間隔分別為微影之解像度所決定的最小尺寸(0.18 μm)。

其次，如圖8(a)、(b)所示，採用CVD法在基板1上堆積膜厚約50~100 nm的氮化矽膜12，繼續以CVD法在氮化矽膜12上方堆積膜厚約700 nm~800 nm的氧化矽膜13後，再以CMP法研磨氧化矽膜13，使其表面平坦化。或是在基板1上塗抹膜厚約300 nm的SOG(Spin on Glass)膜(圖上未顯示)後，對基板1進行約800℃的熱處理，使SOG膜熱緊固(Densify)，繼續採用CVD法在SOG膜的上方堆積膜厚約500 nm~600 nm的氧化矽膜13後，再以CMP法研磨氧化矽膜13，使其表面平坦化。由於SOG膜在微細配線間的填隙性優於採CVD法堆積的氧化矽膜，因此可以適切的嵌入微細化至微影解像度所決定之最小尺寸的開極9(字線WL)間隙

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

內。

之後，再採用CVD法於氧化矽膜13的上方堆積膜厚約100 nm的薄氧化矽膜14。所堆積的氧化矽膜14係用於修補採用CMP法研磨時造成前述氧化矽膜13表面的輕微損傷。

其次如圖9及圖10(a)、(b)所示，採用以光抗蝕膜(圖上未顯示)為遮光膜的乾式蝕刻法，對氧化矽膜14、13進行乾式蝕刻，繼續藉由乾式蝕刻氮化矽膜12，在記憶格選擇用MISFETQs的n型半導體範圍11(源極、汲極)的一者上方形成接觸孔16。

上述氧化矽膜14、13的蝕刻，是在氧化矽的蝕刻率大於氮化矽的條件下進行，氮化矽膜12不會完全被刻除。

此外，氮化矽膜12的蝕刻，是在氮化矽的蝕刻率大於矽及氧化矽的條件下進行，對基板1不會蝕刻過深，同時對於氮化矽膜12的膜厚僅採用必要最小限度的蝕刻量，也不會對氧化矽膜7蝕刻過深。且該蝕刻係在對氮化矽膜12採用各向異性蝕刻的條件下進行，在閘極9(字線WL)的側壁殘留氮化矽膜12。因而，對於閘極9(字線WL)，可以採用自調整(Self Align)形成比微影解像度所決定之最小尺寸更微小直徑的接觸孔16。

其次，如圖11(a)、(b)所示，在接觸孔16的內部形成接點17。採用CVD法，在包含接觸孔16內部之氧化矽膜14的上方堆積摻雜磷(P)等n型雜質的低電阻多結晶矽膜，繼續回蝕(或採用CMP法研磨)該多結晶矽膜，僅殘留接觸孔16的內部，來形成接點17。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

其次如圖12(a)、(b)所示，採用CVD法依次在氧化矽膜14的上方堆積膜厚約100~200 nm的氧化矽膜18、膜厚約20 nm的氮化矽膜19及膜厚約300 nm的氧化矽膜20。在氧化矽膜14上方形成氧化矽膜18，係為了防止在嵌埋入其下層接觸孔16之接點17及在爾後步驟中，於氮化矽膜19上方形成位元線BL之間發生洩漏。此外，氮化矽膜19則用於在爾後步驟中，蝕刻其上方的氧化矽膜20，以形成配線溝23時的蝕刻阻擋膜。氮化矽膜19也用於在下一個步驟中，為了連接於位元線BL上方所形成之資訊儲存用電容元件C與前述接觸孔16，而形成通孔28時的蝕刻阻擋膜。

其次，如圖13(a)、(b)所示，藉由以光抗蝕膜(圖上未顯示)為遮光膜，乾式蝕刻氧化矽膜20，形成沿著B-B'線方向，以一定的寬度及間隔延伸之數個配線溝23。在氧化矽膜20上所形成之配線溝23的C-C'線(D-D'線)方向之寬度及間隔，分別作為微影解像度所決定之最小尺寸。亦即，配線溝23的寬度及間隔與字線的寬度及間隔相等。該配線溝23係在前述圖1所示之位元線BL所形成的範圍內形成。

上述氧化矽膜20的蝕刻，係用於蝕刻下層氮化矽膜19的阻擋膜，亦即，氧化矽膜20的蝕刻，係在氧化矽的蝕刻率大於氮化矽的條件下進行，使氮化矽膜19不會完全被刻除。因而，為了在氧化矽膜20上形成配線溝23而進行蝕刻時，不需要為了在晶圓面內吸收氧化矽膜20不均勻的膜厚而進行過度蝕刻，可以使下層氧化矽膜18的膜厚變薄，因此可以降低形成基板1主面之記憶格範圍(記憶體陣列)的標高。

五、發明說明 (21)

其次，如圖14(a)、(b)所示，採用CVD法在包含配線溝23內部的氧化矽膜20上方堆積氧化矽膜21。此時，控制氧化矽膜21的膜厚(t)小於配線溝23寬度(w)的二分之一($t < w/2$)，以便於堆積在配線溝23內壁之氧化矽膜21的內側形成間隙。

其次，如圖15及圖16(a)、(b)所示，以光抗蝕膜(圖上未顯示)為遮光膜，藉由依次乾式蝕刻氧化矽膜21、20、氮化矽膜19、氧化矽膜18、14、13及氮化矽膜12，在記憶格選擇用MISFETQs的n型半導體範圍11(源極、汲極)之另一者(由兩個記憶格選擇用MISFETQs所共用的n型半導體範圍11)的上方形形成接觸孔15。

上述蝕刻與形成前述之接觸孔16時的蝕刻相同，係在氧化矽的蝕刻率大於氮化矽，以及氮化矽的蝕刻率大於矽的條件下進行。因而，對於閘極9(字線WL)，可以採用自調整(Self Align)形成比微影解像度所決定之最小尺寸更微小直徑的接觸孔15。

此外，上述的接觸孔15，為了在下一個步驟中，保持在其內部形成位元線BL及與n型半導體範圍11接觸的足夠面積，形成D-D'線方向的直徑比A-A'線(B-B'線)方向的直徑大的長方形平面圖案，並且與活性區域L的凸狀突出部分作重疊配置。亦即，將活性區域L形成凸狀，可以保持位元線BL與n型半導體範圍11的足夠接觸面積，而且也可以保持與鄰近位元線BL之接觸線BL的短邊緣(Short Margin)。

五、發明說明(22)

其次如圖17(a)、(b)所示，在包含接觸孔15及配線溝23各個內部之氧化矽膜21的上方，堆積作為位元線BL材料的金屬膜22。金屬膜22係以濺鍍法堆積成膜厚約40 nm的Ti膜(或是Co膜)、以CVD法堆積成膜厚約30 nm的TiN膜及膜厚約300 nm的W膜所構成。此外，金屬膜22也可以使用以CVD法堆積之W膜或是W膜與TiN膜的疊層膜來形成。另外也可以由W膜以外之高熔點金屬膜(如Mo膜、Ta膜等)及高熔點金屬氮化膜或是其疊層膜等來形成。

之後，藉由採用CMP法，將金屬膜22及氧化矽膜20上方的氧化矽膜21研磨至露出氧化矽膜20的表面，如前述圖1及圖2(a)、(b)所示，分別在接觸孔15及配線溝23的內部形成位元線BL。

由於如此方式所形成的位元線BL，係在與微影解像度所決定之最小尺寸相等寬度的配線溝23的內部插入氧化矽膜21所形成的，因此其寬度小於微影解像度所決定之最小尺寸。即使縮小了記憶格的尺寸，可以在爾後的步驟中，保持位元線BL、BL間範圍所形成的通孔28及位元線BL的合併邊緣，確實防止嵌埋入通孔28內部之接點29與位元線BL的短路。

上述的位元線BL係在形成氧化矽膜20之配線溝23的內部形成，其表面的高度與氧化矽膜20的表面高度相等，形成平坦化。此外由於位元線BL係於堆積在配線溝23內壁之氧化矽膜21的內側形成，因此其寬度可以由氧化矽膜21的膜厚來控制。亦即，位元線BL的尺寸(寬度及膜厚)係藉由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

控制氧化矽膜20、21的膜厚來控制。

採用CVD法控制氧化矽膜20、21膜厚的尺寸變動程度，要比採用各向同性蝕刻使光抗蝕膜微細化的方法更小。因此，本具體實施例藉由控制氧化矽膜20、21的膜厚，來控制位元線BL尺寸的方法，與使用藉由各向同性蝕刻將其寬度予以微細化的光抗蝕膜，使位元線材料(金屬膜22)形成圖案的方法相比，可以減少位元線BL尺寸的變動。亦即，藉由本具體實施例來形成位元線的方法，可以高尺寸精度形成低於微影解像度所決定之最小尺寸的微細位元線。

此外，由於依據本具體實施例形成位元線的方法，彼此相鄰之位元線BL的間隔比位元線BL的寬度大，因此，與分別將位元線BL的寬度及彼此相鄰之位元線BL的間隔，定在由微影解像度所決定之最小尺寸相比，可以減低位元線BL的寄生電容。

其次，如圖18(a)、(b)所示，採用CVD法，在位元線BL的上方依次堆積膜厚約300 nm~400 nm的氧化矽膜24及膜厚約200 nm的多結晶矽膜25後，以光抗蝕膜(圖上未顯示)為遮光膜的乾式蝕刻，在接觸孔16上方的多結晶矽膜25中形成通孔26。該通孔26的直徑為微影解像度所決定之最小尺寸。

堆積在位元線BL上方的上述氧化矽膜24，為於爾後步驟中將形成之資訊儲存用電容元件C之下方電極33與位元線BL分離的絕緣膜。於氧化矽膜20中形成配線溝23的內部形成位元線BL的本具體實施例，由於氧化矽膜20與位元線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(24)

BL的表面高度相等，因此堆積在位元線BL上方的上述氧化矽膜24的表面平坦。因此，依據本具體實施例形成位元線的方法，不需要採用CMP法對堆積在位元線BL上方之氧化矽膜24實施平坦化步驟，以致可以縮短DRAM的製造步驟。此外，由於可以使氧化矽膜24的膜厚變薄，因此可以減低記憶體陣列的標高。

其次，如圖19(a)、(b)所示，在通孔26的側壁上形成側壁間隔片27。側壁間隔片27係藉由在採用CVD法，於包含通孔26內部的多結晶矽膜25的上方堆積膜厚約60 nm之薄的第二多結晶矽膜後，各向異性乾式蝕刻乾多結晶矽膜，殘留在通孔26的側壁上而形成。藉由形成該側壁間隔片27，通孔26實際的直徑小於由微影解像度所決定之最小尺寸。

其次，如圖20(a)、(b)所示，以多結晶矽膜25及側壁間隔片27作為遮光膜，藉由乾式蝕刻通孔26底部的氧化矽膜24、20、氮化矽膜19及氧化矽膜18，形成通過彼此鄰近的位元線BL、BL之間，達到接觸孔16的通孔28。由於該通孔28與由微影解像度所決定之最小尺寸的通孔26不同，係採自調整方式，亦即藉由側壁間隔片27形成規定的直徑，因此其直徑小於該尺寸。即使縮小記憶格尺寸，仍能夠保持位元線BL與通孔28合併的邊緣，因此，可以在下一個步驟中確實的防止嵌埋入通孔28內部之接點29與位元線BL的短路。

此外，在形成上述的通孔28時，首先將氮化矽膜19作為蝕刻的阻擋膜，來蝕刻氧化矽膜24、20，接著在蝕刻氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

矽膜19之後，蝕刻氧化矽膜18。如此，形成從氧化矽膜24的表面到達接觸孔16內之接點17表面深的通孔28時，在蝕刻中途(氮化矽膜19的表面)暫停時，即使通孔28與其下方的接觸孔16不吻合，仍可以防止下層氧化矽膜14、13蝕刻過深。由於此種方式不需要通孔28與接觸孔16的合併邊緣，因此容易縮小記憶格的尺寸。

其次，如圖21所示，在通孔28的內部形成接點29之後，採用CVD法，在氧化矽膜24上方依次堆積膜厚約200nm的氮化矽膜30及膜厚約 $1.3\mu\text{m}$ 的厚氧化矽膜31。接點29係採用CVD法在包含通孔28內部之氧化矽膜24上方堆積摻雜磷(P)等n型雜質的低電阻多結晶矽膜，繼續回蝕(或採用CMP法研磨)該多結晶矽膜，僅殘留通孔28的內部所形成。此外，氮化矽膜30及其下層的氧化矽膜24也可以僅由單層的氮化矽膜30來構成。

其次，如圖22所示，以光抗蝕膜(圖上未顯示)作為遮光膜，藉由依次乾式蝕刻氧化矽膜31及其下層的氮化矽膜30，在通孔28的上方形形成溝32。形成從氧化矽膜31表面到達通孔28內之接點29表面深度的溝32時，在氮化矽膜30的表面暫停蝕刻，爾後藉由蝕刻氮化矽膜30，可以防止對下層的氧化矽膜24蝕刻過深。

其次，採用CVD法在包含上述溝32內部之氧化矽膜31上方堆積摻雜磷(P)等n型雜質，膜厚約50nm的低電阻多結晶矽膜後，將光抗蝕膜等嵌埋入溝32內部，藉由回蝕氧化矽膜31上方的多結晶矽膜，僅殘留溝32的內壁。因而在沿著

五、發明說明(26)

溝32的內壁形成資訊儲存用電容元件C的下方電極33。

其次，如圖23所示，在下方電極33的上方形形成由氧化鉬膜等所構成的電容絕緣膜34與TiN膜等所構成的上方電極35。電容絕緣膜34及上方電極35是經由先以CVD法在包含下方電極33上方的氧化矽膜31的上方堆積膜厚約20 nm的薄氧化矽膜，繼續以CVD法及濺鍍法在該氧化鉬膜的上方堆積TiN膜，使其嵌埋入溝32的內部後，以光抗蝕膜(圖上未顯示)為遮光膜，乾式蝕刻成TiN膜及氧化鉬膜所形成。

繼續形成以多結晶矽膜所構成的下方電極33、以氧化鉬膜所構成的電容絕緣膜34及以TiN膜所構成的上方電極35所構成的資訊儲存用電容元件C。經由前述的步驟，完成由記憶格選擇用MISFETQs及與其串聯的資訊儲存用電容元件C所構成的DRAM記憶格。

之後，在資訊儲存用電容元件C的上方形形成兩層的Al(鋁)配線，再於Al配線上方形形成表面保護膜，不過這一部分的圖式省略。

(具體實施例2)

也可以採用下述的方法，來形成具有小於微影解像度所決定之最小尺寸的微細寬度位元線BL。

圖24(a)、(b)為基板的剖面圖，其係顯示在記憶格選擇用MISFETQs上方堆積氮化矽膜12及氧化矽膜13，繼續將氧化矽膜13的表面加以平坦化後，在其上方堆積氧化矽膜14的狀態。至此的步驟與前述具體實施例1之圖3~圖8所示的步驟相同。

五、發明說明(27)

其次如圖25(a)、(b)所示，以光抗蝕膜(圖上未顯示)作為遮光膜，乾式蝕刻氧化矽膜14、13後，繼續乾式蝕刻氮化矽膜12，在記憶格選擇用MISFETQs的n型半導體範圍11(源極、汲極)的一者上方形成接觸孔16，在另一者(由兩個記憶格選擇用MISFETQs所共用的n型半導體範圍11)的上方形成接觸孔40。該接觸孔16、40與前述具體實施例1相同，對閘極9係以自調整方式形成。此外，接觸孔40為了在爾後步驟中保持在其上方形成位元線BL及與n型半導體範圍11接觸的足夠面積，與前述具體實施例1的接觸孔15(圖15、圖16)相同，形成D-D'線方向的直徑大於A-A'線(B-B'線)方向之直徑的長方形平面圖案，且與向活性區域L的凸狀突出的部分做重疊配置。

其次如圖26(a)、(b)所示，在接觸孔16、40的內部形成接點17。採用CVD法，在包含接觸孔16、40內部之氧化矽膜14的上方堆積摻雜磷(P)等n型雜質的低電阻多結晶矽膜，繼續回蝕(或採用CMP法研磨)該多結晶矽膜，僅殘留接觸孔16、40的內部，來形成接點17。

其次如圖27(a)、(b)所示，採用CVD法依次在氧化矽膜14的上方堆積氧化矽膜18、氮化矽膜19及氧化矽膜20後，如圖28(a)、(b)所示，藉由以光抗蝕膜(圖上未顯示)為遮光膜的乾式蝕刻，將氧化矽膜20形成圖案，形成沿著A-A'線方向，以一定的寬度及間隔延伸之數個配線溝23。與前述的具體實施例1相同，這些配線溝23的C-C'線(D-D'線)方向之寬度及間隔，分別作為微影解像度所決定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(28)

之最小尺寸。

其次如圖29(a)、(b)所示，以光抗蝕膜(圖上未顯示)作為遮光膜，依次乾式蝕刻配線溝23底部的氮化矽膜19及氧化矽膜18，在接觸孔40的上方形形成通孔41。該通孔41的直徑大於以微影解像度所決定的最小尺寸。此外，也可以在形成配線溝23之前形成通孔41。亦即，也可以在氧化矽膜14的上方堆積氧化矽膜18及氮化矽膜19後，藉由乾式蝕刻氮化矽膜19及氧化矽膜18，在接觸孔40的上方形形成通孔41，繼續在氮化矽膜19的上方堆積氧化矽膜20後，在氧化矽膜20中形成配線溝23。

其次如圖30(a)、(b)所示，在配線溝23的側壁形成側壁間隔片42。側壁間隔片42係藉由在採用CVD法，於包含配線溝23內部的氧化矽膜20的上方堆積氧化矽膜(圖上未顯示)後，各向異性乾式蝕刻乾該氧化矽膜，殘留在配線溝23的側壁上而形成。同時也在通孔41的側壁形成側壁間隔片42。

藉由在配線溝23的側壁上形成上述的側壁間隔片42，配線溝23實際的寬度小於由微影解像度所決定之最小尺寸。

其次如圖31(a)、(b)所示，在包含通孔41內部的配線溝23內部形成位元線BL。該位元線係藉由在同時包含通孔41及配線溝23內部的氧化矽膜20的上方堆積作為位元線BL材料的金屬膜後，採用CMP法研磨金屬膜，直到露出氧化矽膜20的表面來形成位元線BL。

由於此種方式所形成的位元線BL係在具有與微影解像度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

所決定之最小尺寸相等寬度的配線溝23內部插入側壁間隔片42所形成，因此，其寬度小於微影解像度所決定的最小尺寸。即使縮小記憶格尺寸。在爾後的步驟中，仍可保持在位元線BL、BL間的範圍內形成通孔28及與位元線BL的合併邊緣，可以確實防止嵌埋入通孔28內部之接點29及位元線BL的短路。

上述的位元線BL尺寸(寬度及膜厚)可以藉由控制氧化矽膜20及側壁間隔片42的膜厚來控制。

採用各向同性蝕刻來控制氧化矽膜20及側壁間隔片42的膜厚，其膜厚尺寸的變動程度小於光抗蝕膜微細化的方法。因此，本具體實施例的方法，與採用各向同性蝕刻，使用寬度經過微細化的光抗蝕膜，將位元線材料形成圖案的方法相比，位元線BL的尺寸變動較小。亦即，藉由本具體實施例來形成位元線的方法，可以高尺寸精度形成低於微影解像度所決定之最小尺寸的微細位元線。

此外，由於依據本具體實施例形成位元線的方法，彼此相鄰之位元線BL的間隔比位元線BL的寬度大，因此，與分別將位元線BL的寬度及彼此相鄰之位元線BL的間隔，定在由微影解像度所決定之最小尺寸相比，可以減低位元線BL的寄生電容。

之後，依據前述具體實施例1的圖18~圖23所示的步驟，藉由在位元線BL的上方形形成資訊儲存用電容元件C，來完成DRAM的記憶格(圖式省略)。

(具體實施例3)

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(30)

其次，使用圖32~圖40，按照步驟順序來說明包含周圍電路的DRAM製造方法。

首先如圖32所示，採用前述的方法在記憶體陣列(圖的左側部分)的p型井3中形成記憶格選擇用MISFETQs。並在周圍電路(圖的右側部分)的p型井3中形成n通路(Channel)型MISFETQn，在n型井5中形成p通路型MISFETQp。n通路型MISFETQn及p通路型MISFETQp的各個閘極9，係在記憶格選擇用MISFETQs閘極9(字線WL)同一個步驟中形成。而n通路型MISFETQn的源極、汲極(n型半導體範圍51)係在記憶格選擇用MISFETQs的源極、汲極(n型半導體範圍11)的同一個步驟中形成，砷(As)等的n型雜質用部分高濃度的離子嵌埋入形成。p通路型MISFETQp的源極、汲極(p型半導體範圍52)則是在周圍電路的n型井5中離子嵌埋入p型雜質(硼)來形成。

其次如圖33所示，分別在記憶格選擇用MISFETQs、n通路型MISFETQn及p通路型MISFETQp的上方堆積氮化矽膜12及氧化矽膜13，繼續將氧化矽膜13的表面加以平坦化後，在其上方堆積氧化矽膜14。

其次，在記憶格選擇用MISFETQs的n型半導體範圍11(源極、汲極)的一者上方形成接觸孔16後，採用CVD法在氧化矽膜14的上方堆積摻雜磷(P)等n行雜質的低電阻多結晶矽膜，繼續回蝕(或以CMP法研磨)該多結晶矽膜，僅殘留接觸孔16的內部來形成接點17。與前述的具體實施例1相同，以自調整(Self align)方式對閘極9(字線WL)形成接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(31)

16。

其次如圖34所示，採用前述具體實施例1相同的方法，在氧化矽膜14的上方依次堆積氧化矽膜18、氮化矽膜19及氧化矽膜20，繼續採用以光抗蝕膜(圖上未顯示)為遮光膜的乾式蝕刻，將氧化矽膜20形成圖案，來形成配線溝23後，在包含配線溝23內部的氧化矽膜20上方堆積氧化矽膜21。

其次如圖35所示，以光抗蝕膜(圖上未顯示)作為遮光膜，藉由依次乾式蝕刻氧化矽膜21、20、氮化矽膜19、氧化矽膜18、14、13及氮化矽膜12，在記憶格選擇用MISFETQs的n型半導體範圍11(源極、汲極)的另一者(兩個記憶格選擇用MISFETQs所共用的n型半導體範圍11)上方形成接觸孔15。

同時在周圍電路的n通路型MISFETQn之源極、汲極(n型半導體範圍51)的上方形成接觸孔53，在p通路型MISFETQp之閘及9及源極、汲極(p型半導體範圍52)的上方形成接觸孔54。周圍電路的接觸孔53、54與記憶體陣列的接觸孔15相同，係在氧化矽的蝕刻率大於氮化矽，且氮化矽的蝕刻率大於矽的條件下進行，對閘極9以自調整方式形成。

其次如圖36所示，藉由通過記憶體陣列的接觸孔15及周圍電路的接觸孔53，在p型井3離子嵌埋入n型雜質(磷或砷)，在記憶格選擇用MISFETQs的源極、汲極之一者(兩個記憶格選擇用MISFETQs所共用的n型半導體範圍11)的部分形成高雜質濃度的n⁺型半導體55，並分別在n通路型

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

MISFETQn的源極及汲極(n型半導體範圍51)的部分形成高雜質濃度的 n^+ 型半導體55。此外,藉由通過周圍電路的接觸孔54,在n型井中離子嵌埋入p型雜質(硼),分別在p通路型MISFETQp的源極及汲極(p型半導體範圍52)的部分形成高雜質濃度的 p^+ 型半導體56。分別使記憶格選擇用MISFETQs、n通路型MISFETQn及p通路型MISFETQp的源極、汲極低電阻化。

其次如圖37所示,採用前述具體實施例1的方法,藉由在包含記憶體陣列之接觸孔15及配線溝23各內部的氧化矽膜21的上方堆積作為位元線BL材料的金屬膜後,使用CMP法研磨金屬膜及氧化矽膜20上方的氧化矽膜21,直至露出氧化矽膜20的表面,分別在接觸孔15及配線溝23的內部形成位元線BL。

同時藉由在包含周圍電路之接觸孔53、54及配線溝23各內部的氧化矽膜21上方堆積金屬膜後,使用CMP法,研磨金屬膜及氧化矽膜20上方的氧化矽膜21,直至露出氧化矽膜20的表面,在接觸孔53、54及配線溝23各內部形成第一層配線57~61。

上述的金屬膜可由Ti膜(或是Co膜)、TiN膜及W膜所構成。此時,堆積Ti膜(或是Co膜)及TiN膜後,在堆積W膜步驟之前,將基板1退火,使Ti膜(或是Co膜)與基板1進行反應後,在兩者的界面上形成由Ti矽化物或Co矽化物所構成的矽化物層62。如此即可使記憶格選擇用MISFETQs、n通路型MISFETQn及p通路型MISFETQp的各個源極、汲極低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

電阻化，進而提高這些 MISFET 的動作速度。

此外，上述的位元線 BL (及第一層配線 57~61) 也可以採用前述具體實施例 2 的方法來形成。亦即，也可以在配線溝 23 的側壁形成側壁間隔片 42，並在該側壁間隔片 42 的內側形成位元線 BL (及第一層配線 57~61)。

其次如圖 38 所示，採用與前述具體實施例 1 相同的方法，在記憶體陣列的位元線 BL 上方形成由下方電極 33、電容絕緣膜 34 及上方電極 35 所構成的資訊儲存用電容元件 C。

其次如圖 39 所示，藉由採用 CVD 法，在資訊儲存用電容元件 C 的上方堆積氧化矽膜 63，繼續依次蝕刻周圍電路的氧化矽膜 63 及其下方的氧化矽膜 31、氮化矽膜 30 及氧化矽膜 24，在第一層配線 57 的上方形成通孔 64，並在第一層配線 58 的上方形成通孔 65。

其次，在通孔 64、65 的內部形成接點 66 後，藉由將堆積於氧化矽膜 63 上方之 Al 膜形成圖案，通過上述的通孔 64，形成與第一層配線 57 電連接的第二層配線 67；並通過通孔 65，形成與第一層配線 58 電連接的第二層配線 68。同時，在記憶體陣列的氧化矽膜 63 上方形成第二層配線 69。接點 66 可以採用 CVD 法，在包含通孔 64、65 內部的氧化矽膜 63 的上方堆積 TiN 膜及 W 膜後，回蝕 (或是採用 CMP 法研磨) 堆積在氧化矽膜 63 上方的這些膜，於通孔 64、65 的內部殘留來形成。

此外，在形成上述的通孔 64、65 時，首先將氮化矽膜 30 作為蝕刻的阻擋膜，來蝕刻氧化矽膜 63、31，其次，在蝕

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(34)

刻氮化矽膜30後，繼續蝕刻氧化矽膜24。如此形成深度自氧化矽膜63的表面至第一層配線57、58表面的通孔64、65時，藉由在蝕刻中途(氮化矽膜30的表面)暫停，即使通孔64、65與第一層配線57、58不吻合，仍可以防止下層的氧化矽膜20、21蝕刻過深。由於此種方式不需要通孔64、65及第一層配線57、58的合併邊緣，因此如圖40所示，在第一層配線57、58中，與通孔64、65連接部分的寬度不需要實施比其他部分寬的抗拉試塊(Dog Bone)加工，因此可以縮小周圍電路的規格。

以上為依據本發明之具體實施例具體說明本發明人的發明，不過本發明並不限於前述的具體實施例，只要不脫離其主旨範圍，均可以做種種的改變。

本發明的位元線形成方法，除DRAM之外，還可以適用於搭載DRAM的邏輯LSI及內藏DRAM與快閃記憶體的微電腦等。

發明效果

本專利申請所公開之發明的主要效果概要說明如下：

由於本發明可以將位元線的寬度微細化至小於微影解像度所決定的最小尺寸，因此，可以縮小DRAM的記憶格尺寸。

由於本發明提高位元線微細化的控制性，因此也提高了經過微細化之DRAM的可靠性及製成品率。

由於本發明可以減低寄生於位元線的電容，因此提高了檢測儲存於資訊儲存用電容元件內之訊號的靈敏度。

五、發明說明 (35)

由於本發明可以降低DRAM的記憶體陣列標高，因此可以減低記憶體陣列與周圍電路間的差異，提高DRAM的處理邊緣(Process Margin)。

本發明可以縮小DRAM周圍電路的規格。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體積體電路裝置及其製造方法)

本發明藉由將位元線的寬度微細化至小於微影(Photolithography)之解像界限所決定的最小加工尺寸，來縮小動態隨機存取記憶體(Dynamic Random Access Memory; DRAM)的記憶格大小。

在氧化矽膜中所形成的配線溝內壁形成氧化矽膜，藉由在其內側形成位元線，而實現位元線的微細化。溝內的氧化矽膜厚堆積成比配線溝寬度的二分之一更薄，在其內側微細的間隙中嵌埋入作為位元線材料的金屬膜。

日文發明摘要(發明之名稱： 半導体集積回路装置および その製造方法)

ビット線の幅をフォトリソグラフィの解像限界で決まる最小加工寸法以下まで微細化することによって、DRAMのメモリセルサイズを縮小する。

酸化シリコン膜に形成された配線溝の内壁に酸化シリコン膜を形成し、その内側にビット線を形成することによって、ビット線の微細化を実現する。溝内の酸化シリコン膜は、配線溝の幅の2分の1よりも薄い膜厚となるように堆積し、その内側の微細な隙間にビット線材料となるメタル膜が埋め込まれるようにする。

六、申請專利範圍

1. 一種半導體積體電路裝置，該半導體積體電路裝置具有記憶格，且在半導體基板的主面上形成記憶格選擇用MISFET，該MISFET係具備與沿第一方向延伸之字線一體構成的閘極；在前述記憶格選擇用MISFET上方的絕緣膜中形成在與前述第一方向交叉之第二方向延伸的配線溝；在前述配線溝的內部形成與前述記憶格選擇用MISFET之源極、汲極的一者電連接的位元線；在前述位元線的上方形成與前述源極、汲極的另一者電連接的資訊儲存用電容元件；其特徵為，在前述配線溝的內壁形成第二絕緣膜，前述位元線係形成於前述第二絕緣膜的內側。
2. 如申請專利範圍第1項之半導體積體電路裝置，其中前述位元線的寬度小於彼此鄰近之前述位元線間的間隔。
3. 如申請專利範圍第1項之半導體積體電路裝置，其中前述位元線的一部分嵌埋入在前述配線溝下方之前述絕緣膜中所形成的第一接觸孔內，並與前述之源極、汲極的一者直接連接。
4. 如申請專利範圍第1項之半導體積體電路裝置，其中前述之位元線係介以嵌埋入在前述配線溝下方之前述絕緣膜中形成之第一接觸孔內的接點，與前述源極、汲極的一者電連接。
5. 如申請專利範圍第3或4項之半導體積體電路裝置，其中，前述之第一接觸孔由前述第一方向之徑大於前述第二方向直徑的平面圖案所構成，其一部分延伸於形成有前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 述記憶格選擇用MISFET的活性區域上，其他的部分則延伸於前述位元線正下方的元件分離區域上。
6. 如申請專利範圍第1項之半導體積體電路裝置，其中形成有前述記憶格選擇用MISFET之活性區域，係由沿前述第二方向作細長延伸，且其中央部的一邊向前述第一方向成凸狀突出的平面圖案所構成。
 7. 如申請專利範圍第1項之半導體積體電路裝置，其中前述位元線的表面高度與前述絕緣膜的表面高度相等。
 8. 一種半導體積體電路裝置的製造方法，其特徵為，包含以下步驟：
 - (a) 在半導體基板的主面上形成具備與沿第一方向延伸之字線一體構成之間極的記憶格選擇用MISFET後，在前述記憶格選擇用MISFET的上部形成第一絕緣膜的步驟，
 - (b) 藉由蝕刻前述之第一絕緣膜，形成到達前述記憶格選擇用MISFET之源極、汲極另一者的第二接觸孔後，在前述第二接觸孔的内部形成接點的步驟，
 - (c) 在前述第一絕緣膜的上部形成與前述第一絕緣膜蝕刻速度不同之第三絕緣膜，在前述第三絕緣膜的上部形成與前述第三絕緣膜蝕刻速度不同之第四絕緣膜的步驟，
 - (d) 藉由將前述第三絕緣膜作為蝕刻的阻擋膜，蝕刻前述第四絕緣膜，形成在與前述第一方向交叉之第二方向延伸之配線溝的步驟，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- (e) 在包含前述配線溝內部的前述第四絕緣膜上，形成膜厚小於前述配線溝寬度二分之一之第二絕緣膜的步驟，
- (f) 藉由依次蝕刻前述配線溝內部之前述第二絕緣膜、其下部之前述第三絕緣膜及前述第一絕緣膜，形成到達前述記憶格選擇用 MISFET 之源極、汲極一者之第一接觸孔的步驟，及
- (g) 在包含前述第一接觸孔內部的前述第二絕緣膜上，堆積作為位元線材料之第一導電膜後，採用化學性機械研磨法，分別研磨前述第一導電膜及前述第四絕緣膜上之前述第二絕緣膜，分別在前述配線溝及前述第一接觸孔的內部形成位元線的步驟。
9. 一種半導體積體電路裝置的製造方法，其特徵為，包含以下步驟：
- (a) 在半導體基板的主面上形成具備與沿第一方向延伸之字線一體構成之閘極的記憶格選擇用 MISFET 後，在前述記憶格選擇用 MISFET 的上部形成第一絕緣膜的步驟，
- (b) 藉由蝕刻前述之第一絕緣膜，形成到達前述記憶格選擇用 MISFET 之源極、汲極一者的第一接觸孔，及到達前述源極、汲極另一者之第二接觸孔後，分別在前述第一及第二接觸孔的內部形成接點的步驟，
- (c) 在前述第一絕緣膜的上部形成與前述第一絕緣膜蝕刻速度不同之第三絕緣膜，在前述第三絕緣膜的上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

部形成與前述第三絕緣膜蝕刻速度不同之第四絕緣膜的步驟，

(d) 藉由將前述第三絕緣膜作為蝕刻的阻擋膜，蝕刻前述第四絕緣膜，形成在與前述第一方向交叉之第二方向延伸之配線溝的步驟，

(e) 在包含前述配線溝內部的前述第四絕緣膜上，形成第二絕緣膜後，藉由在前述第二絕緣膜上實施各向異性蝕刻，在前述配線溝的側壁形成側壁間隔片的步驟，

(f) 藉由蝕刻前述配線溝內部之前述第三絕緣膜，形成到達前述第一接觸孔之第一通孔的步驟，及

(g) 在包含前述第一通孔內部的前述第四絕緣膜上，堆積作為位元線材料之第一導電膜後，採用化學性機械研磨法，藉由研磨前述第一導電膜，分別在前述配線溝及前述第一通孔的內部形成位元線的步驟。

10. 如申請專利範圍第8或9項之半導體積體電路裝置的製造方法，其中與前述字線一體構成之閘極的寬度及間隔，係由微影解像界限所決定之最小尺寸所形成，前述配線溝的寬度及間隔由微影解像界限所決定之最小尺寸所形成。

11. 如申請專利範圍第8項之半導體積體電路裝置的製造方法，其中在前述(f)項步驟中形成到達前述記憶格選擇用MISFET之源極、汲極一者的第一接觸孔後，通過前述第一接觸孔，在前述源極、汲極的一者注入與前述源極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

、汲極相同導電型的雜質離子。

12. 如申請專利範圍第8或9項之半導體積體電路裝置的製造方法，其中在前述(g)項步驟中，在第一通孔內部堆積作為位元線材料之高熔點金屬膜後，藉由對前述基板退火，在前述高熔點金屬與前述基板的界面中形成矽化物層。
13. 如在申請專利範圍第8或9項之半導體積體電路裝置的製造方法，其中尚包含以下的步驟：
 - (h) 在前述第四絕緣膜上方形成第五絕緣膜後，藉由依次蝕刻前述第五絕緣膜及其下部之前述第四絕緣膜、前述第三絕緣膜、前述第一絕緣膜，形成到達前述第二接觸孔之第二通孔的步驟，
 - (i) 在前述第二通孔內部形成接點後，在前述第五絕緣膜上部形成與前述第五絕緣膜蝕刻速度不同的第六絕緣膜，而後在前述第六絕緣膜上部形成第七絕緣膜後，在前述第七絕緣膜及其下部的前述第六絕緣膜中形成溝的步驟，及
 - (j) 在前述溝的內部形成資訊儲存用電容元件，通過前述第二通孔及其下方之前述第二接觸孔，使前述資訊儲存用電容元件與前述記憶格選擇用MISFET之源極、汲極的另一者電連接的步驟。
14. 如申請專利範圍第13項之半導體積體電路裝置的製造方法，其中前述第五絕緣膜及前述第四絕緣膜的蝕刻，係以前述第三絕緣膜作為蝕刻的阻擋膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

15. 如申請專利範圍第13項之半導體積體電路裝置的製造方法，其中尚包含以下的步驟：

(k) 在前述之(a)項步驟中，形成周圍電路之MISFET的步驟，

(l) 在前述之(g)項步驟中，形成周圍電路之第一層配線的步驟，及

(m) 前述之(j)項步驟中，形成資訊儲存用電容元件後，在前述資訊儲存用電容元件上部形成第八絕緣膜，而後藉由蝕刻前述第八絕緣膜、前述第七絕緣膜、前述第六絕緣膜及前述第五絕緣膜，形成到達前述周圍電路之第一層配線之通孔的步驟。

16. 如申請專利範圍第15項之半導體積體電路裝置的製造方法，其中前述第八絕緣膜及前述第七絕緣膜的蝕刻，係以前述第六絕緣膜作為蝕刻的阻擋膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

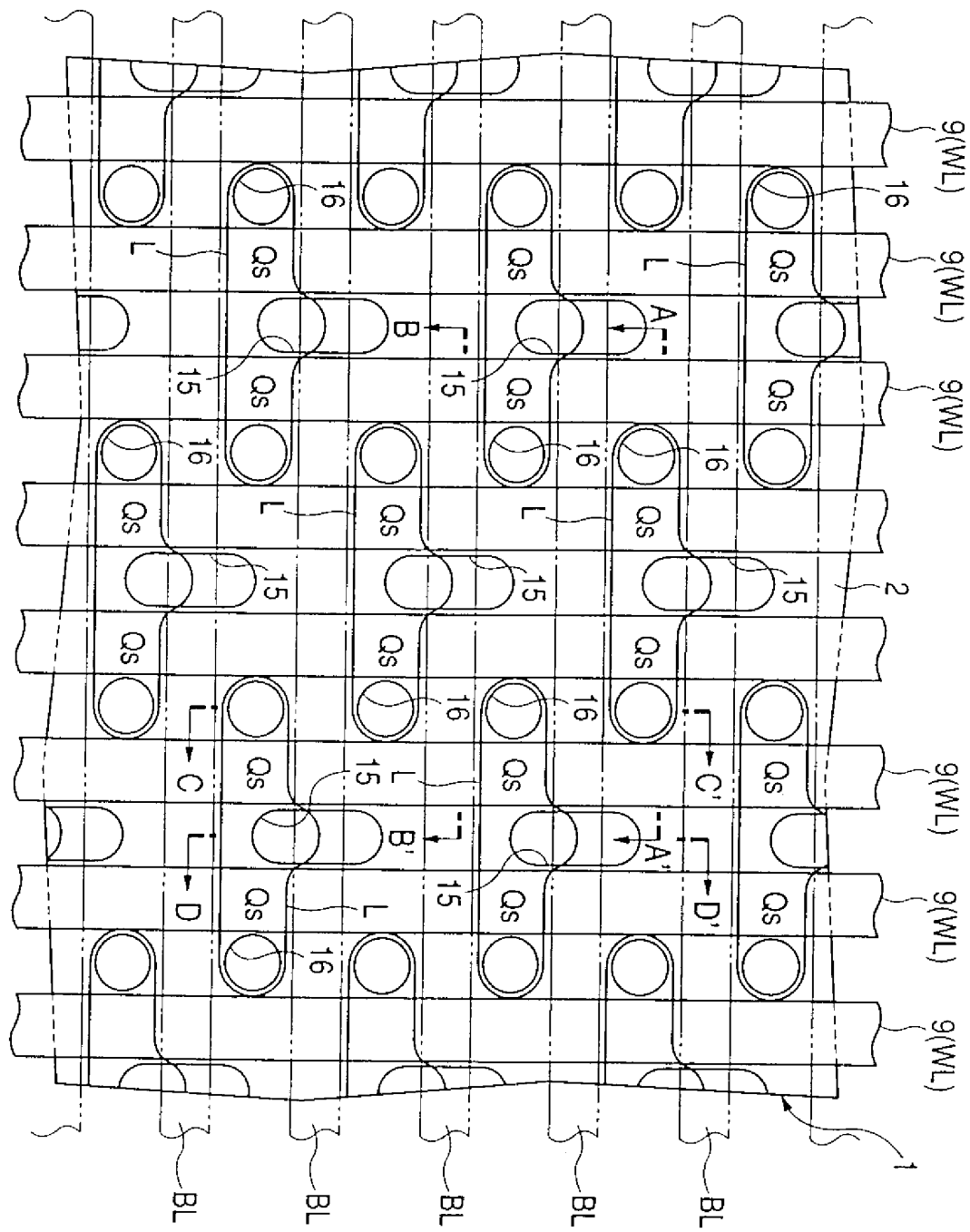
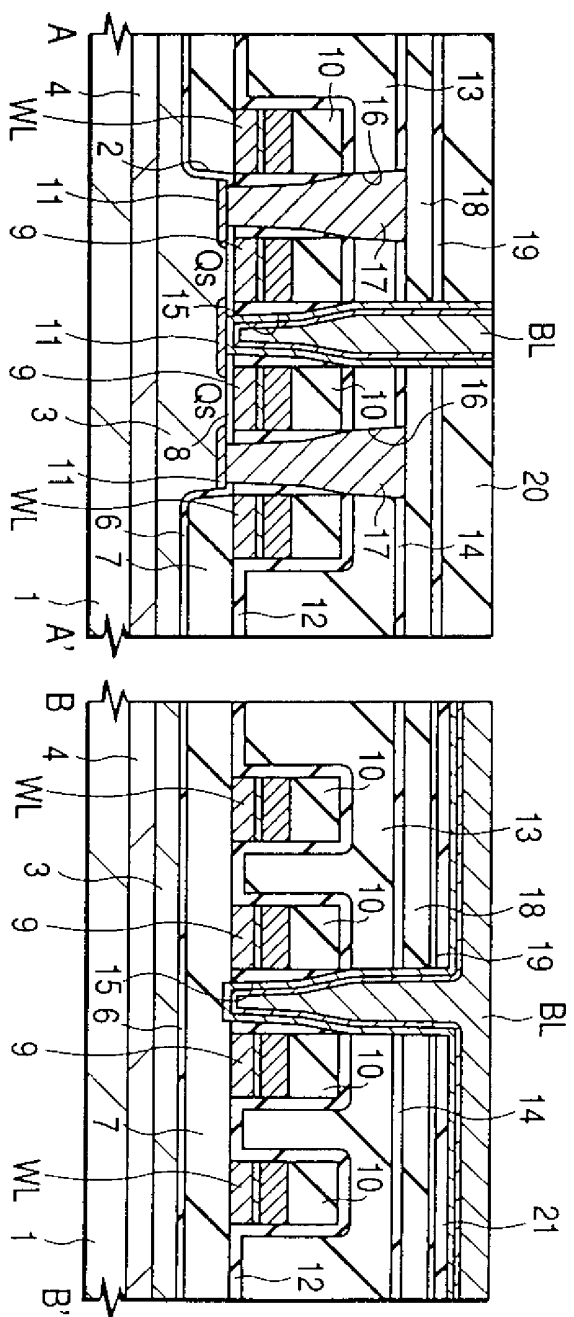
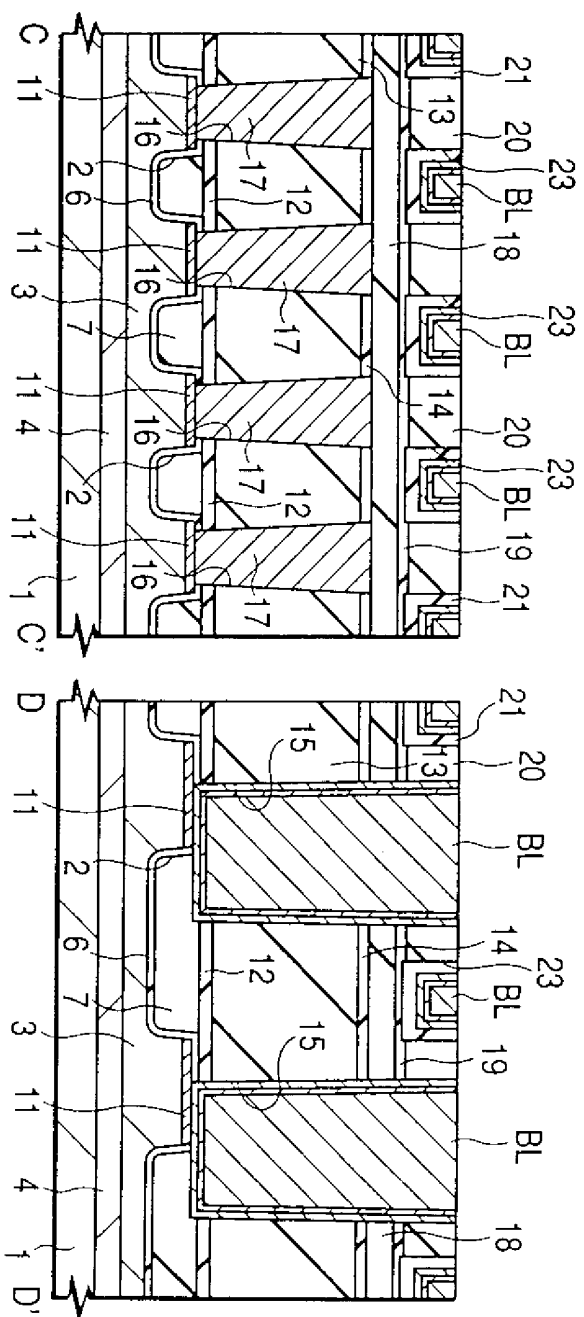


圖 1

2(a)



2(b)



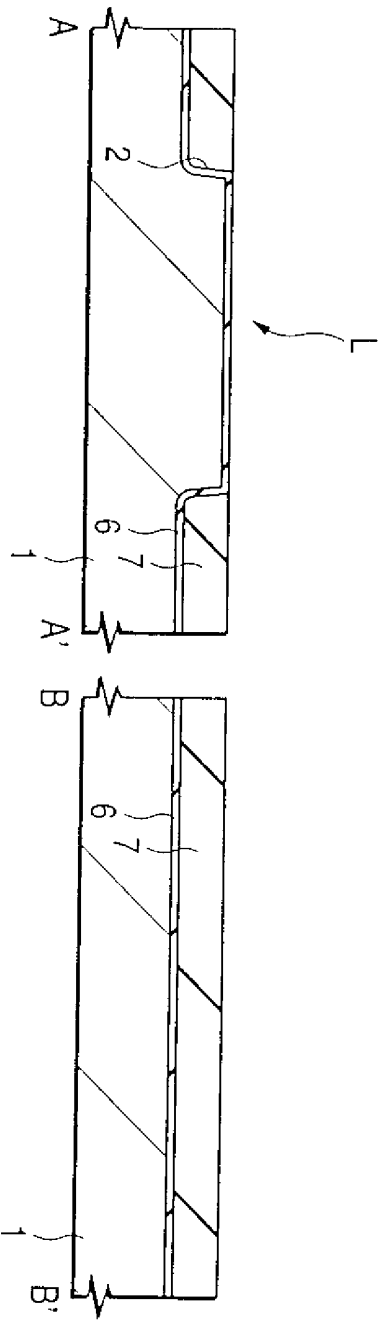


圖 3(a)

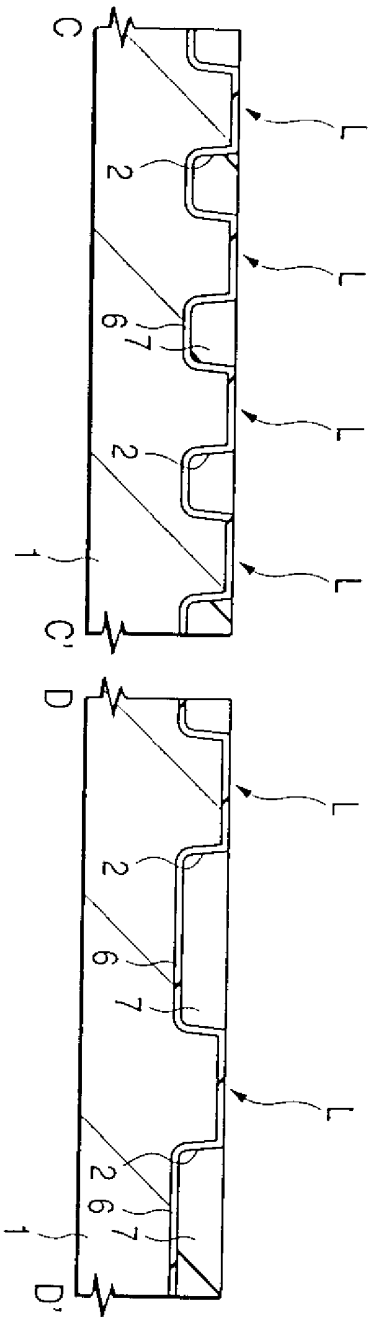


圖 3(b)

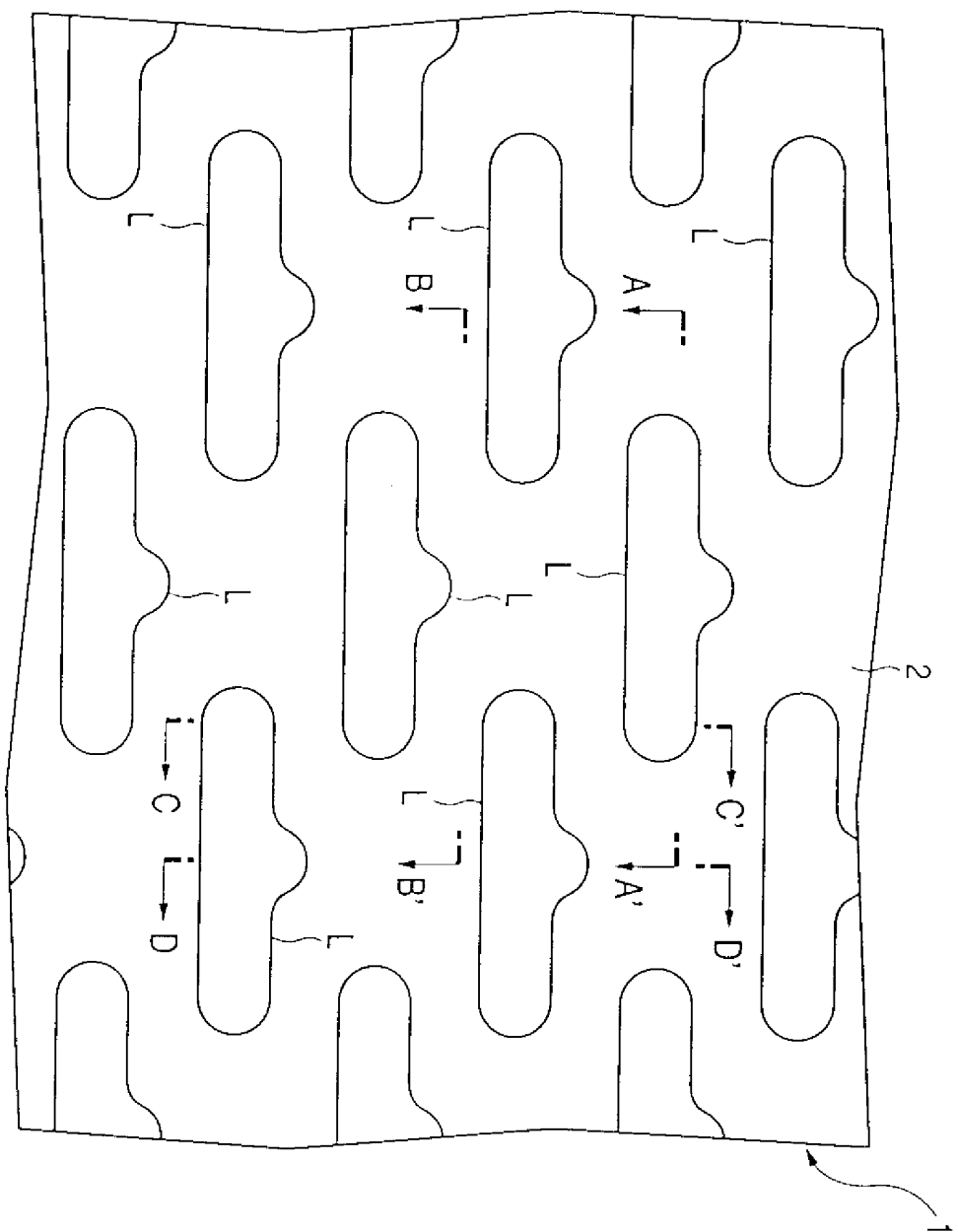


图 4

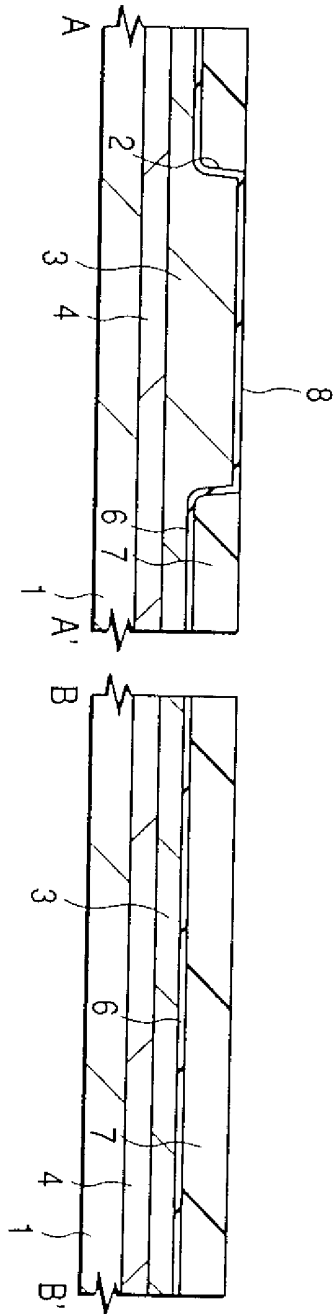


圖 5(a)

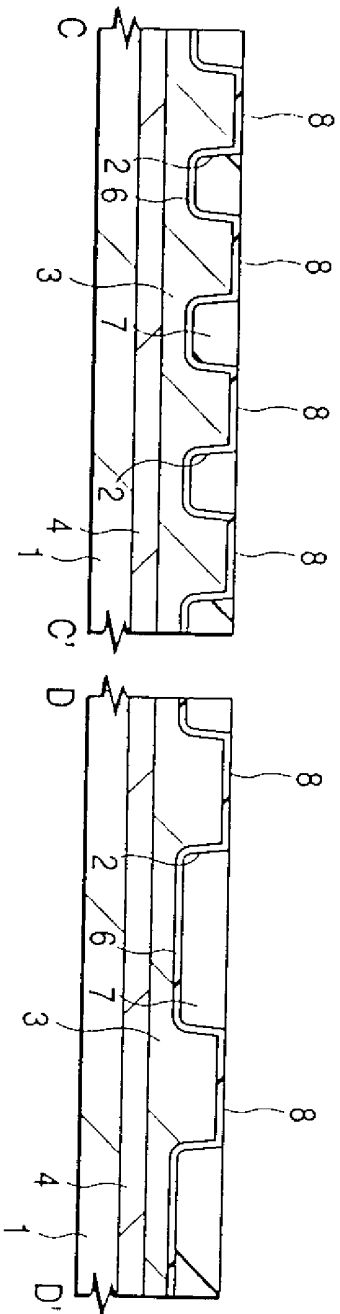
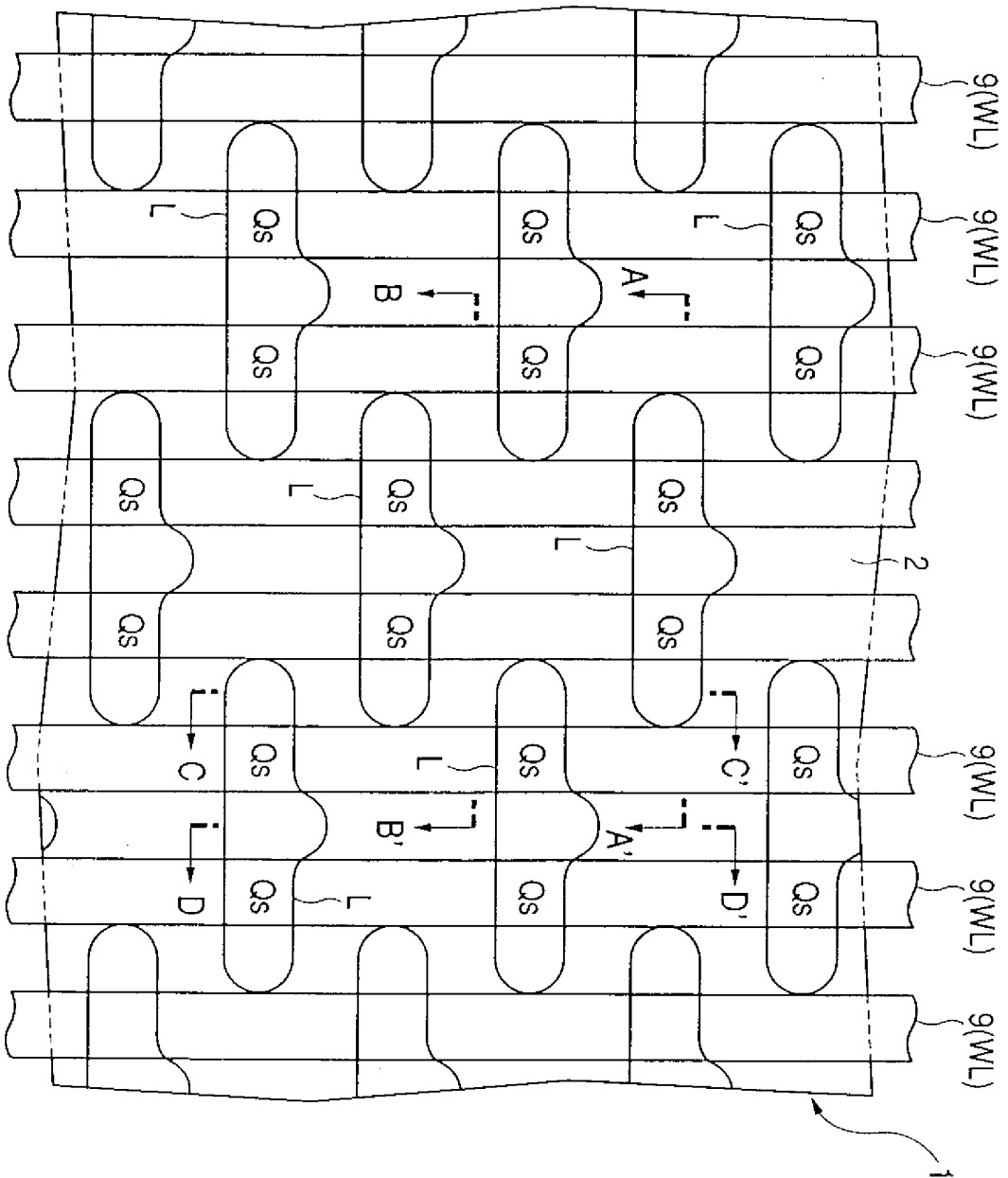


圖 5(b)



6

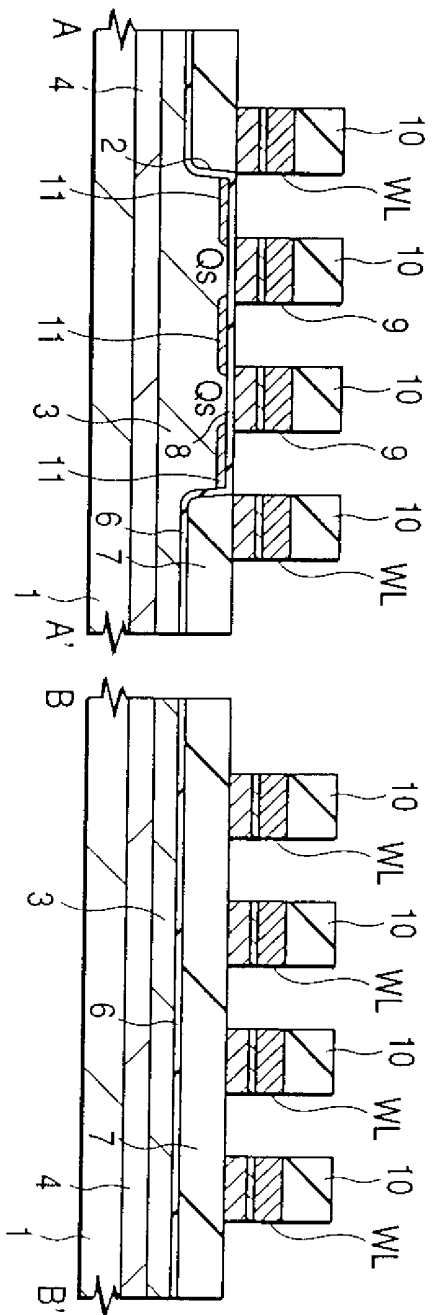


圖 7(a)

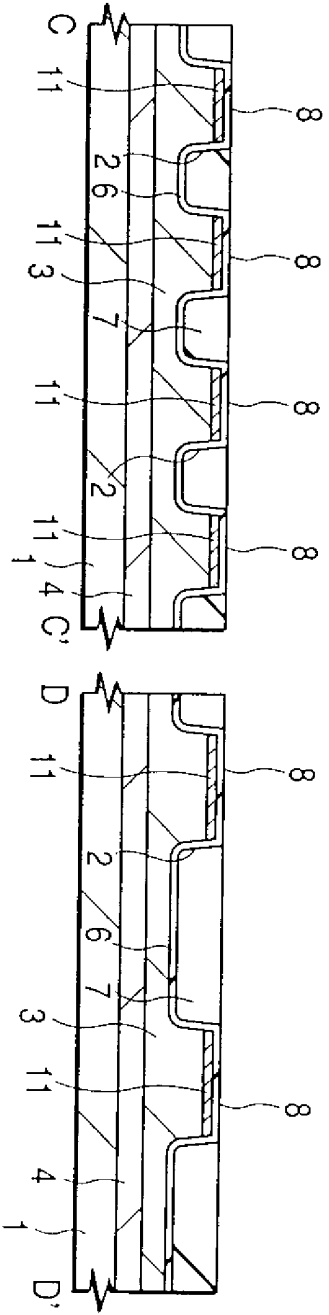


圖 7(b)

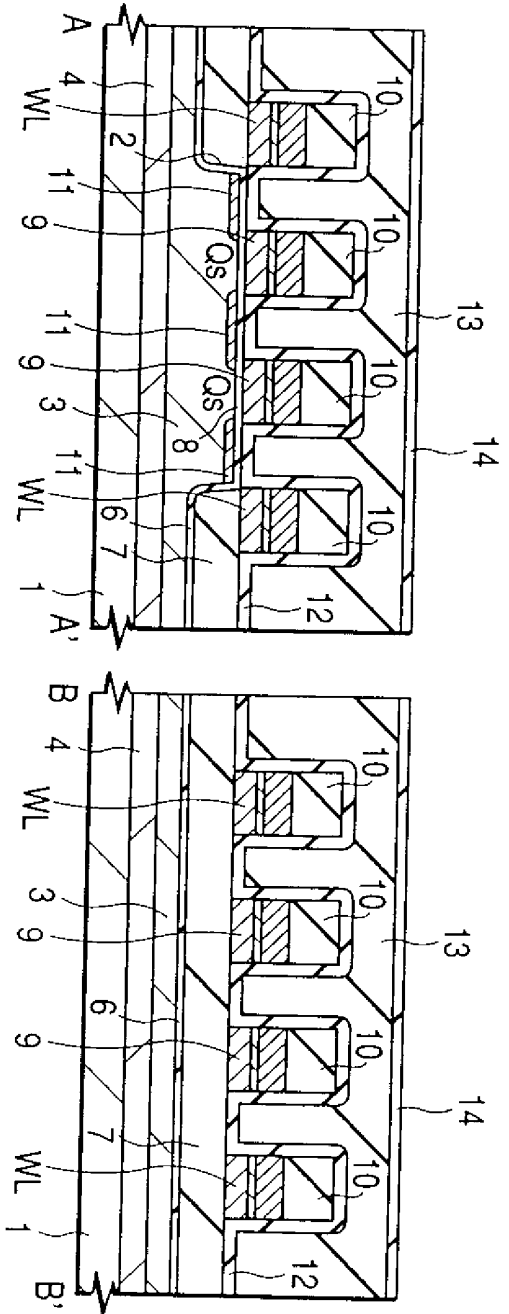


圖 8(a)

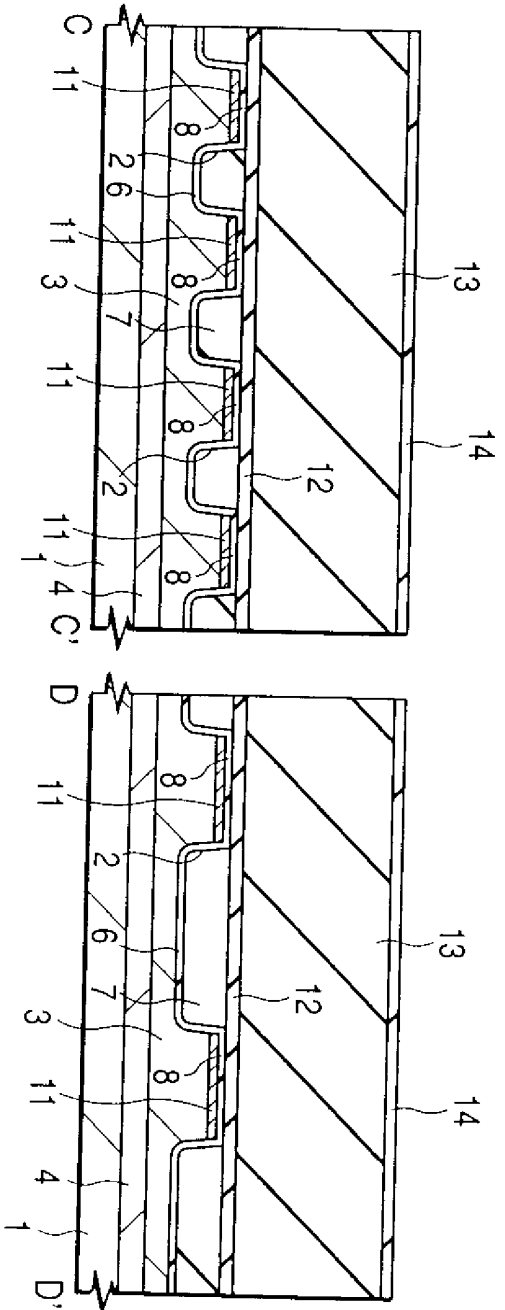


圖 8(b)

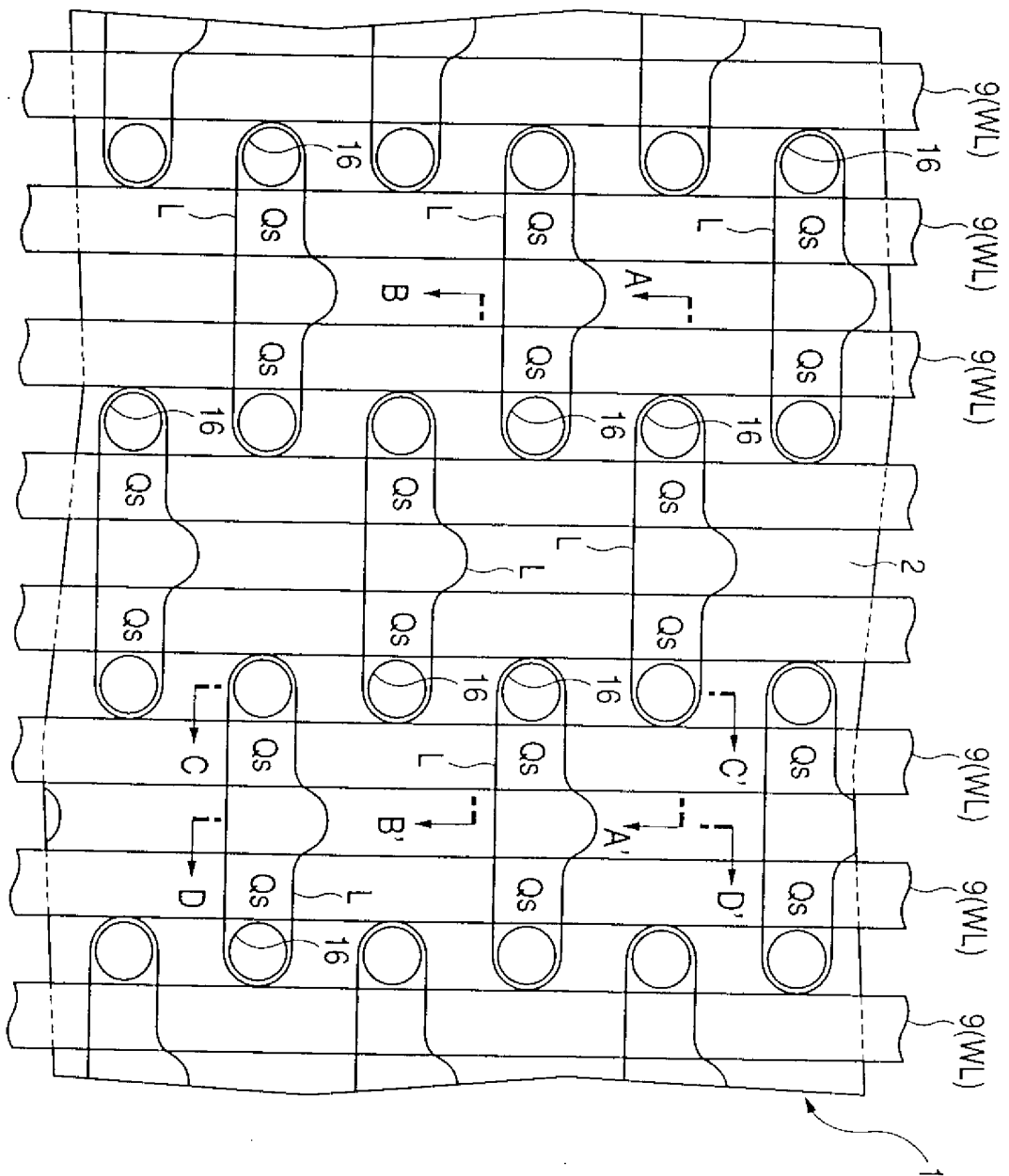


圖 9

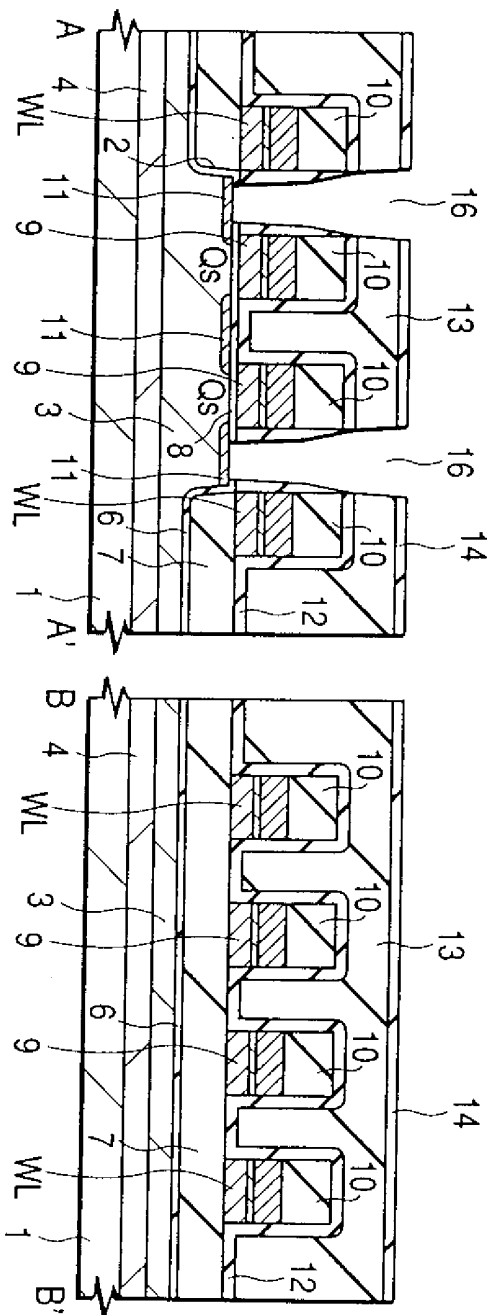


圖 10(a)

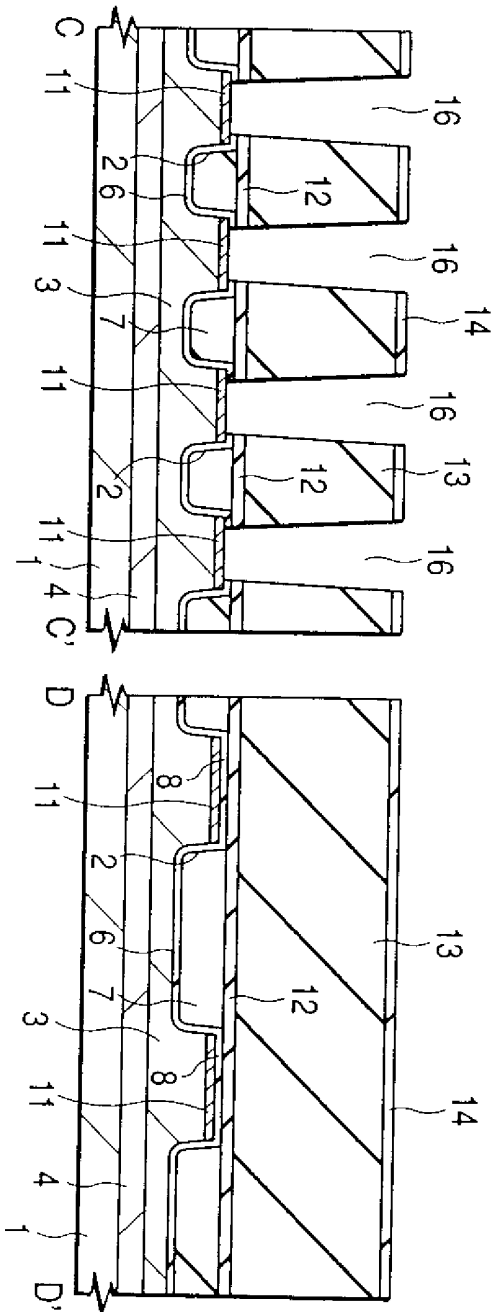
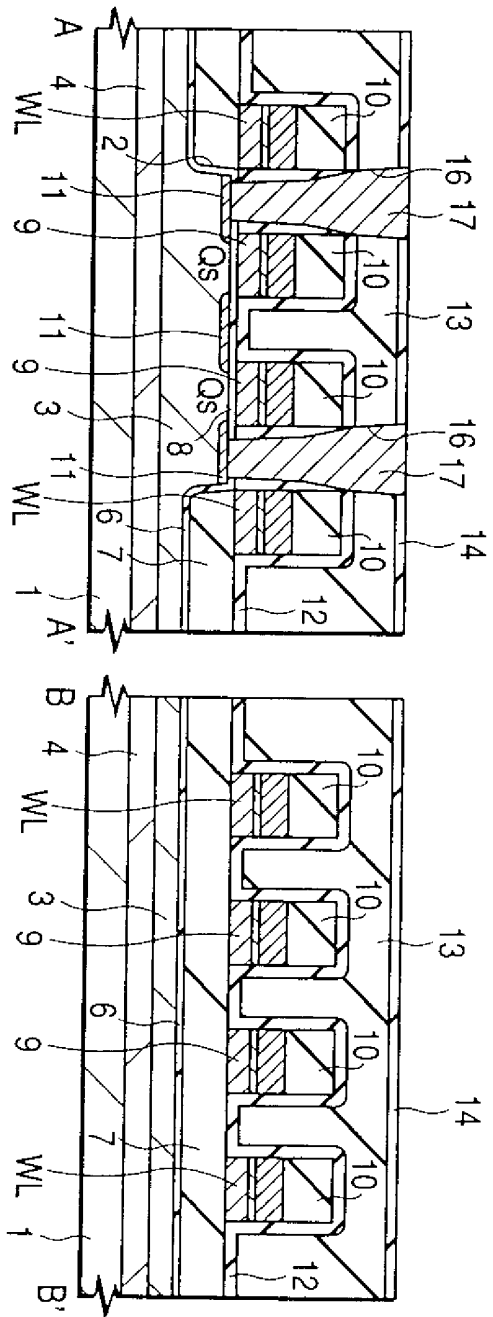
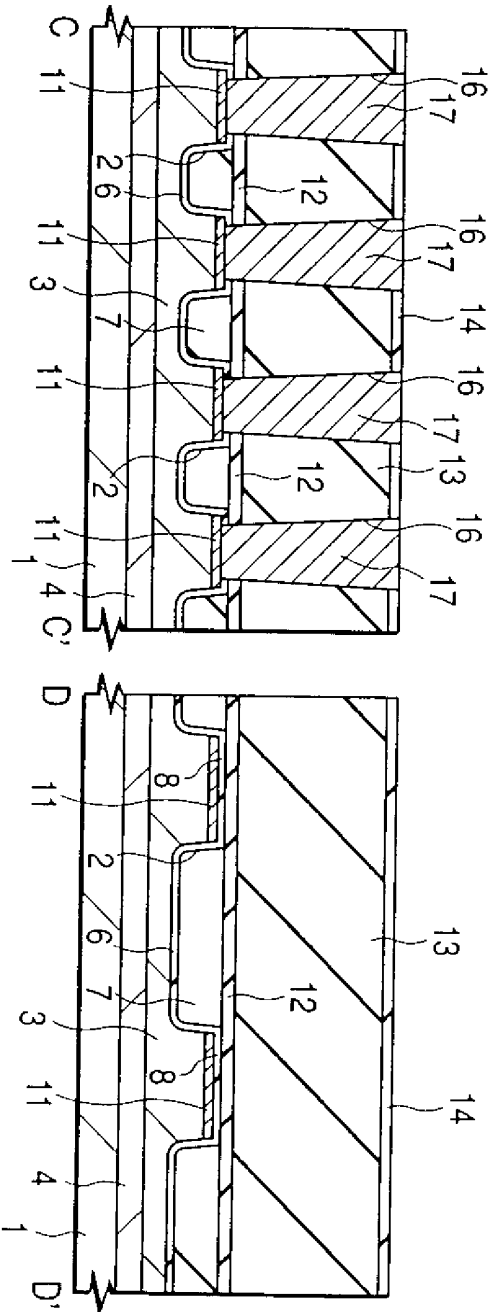


圖 10(b)



11(a)



11(b)

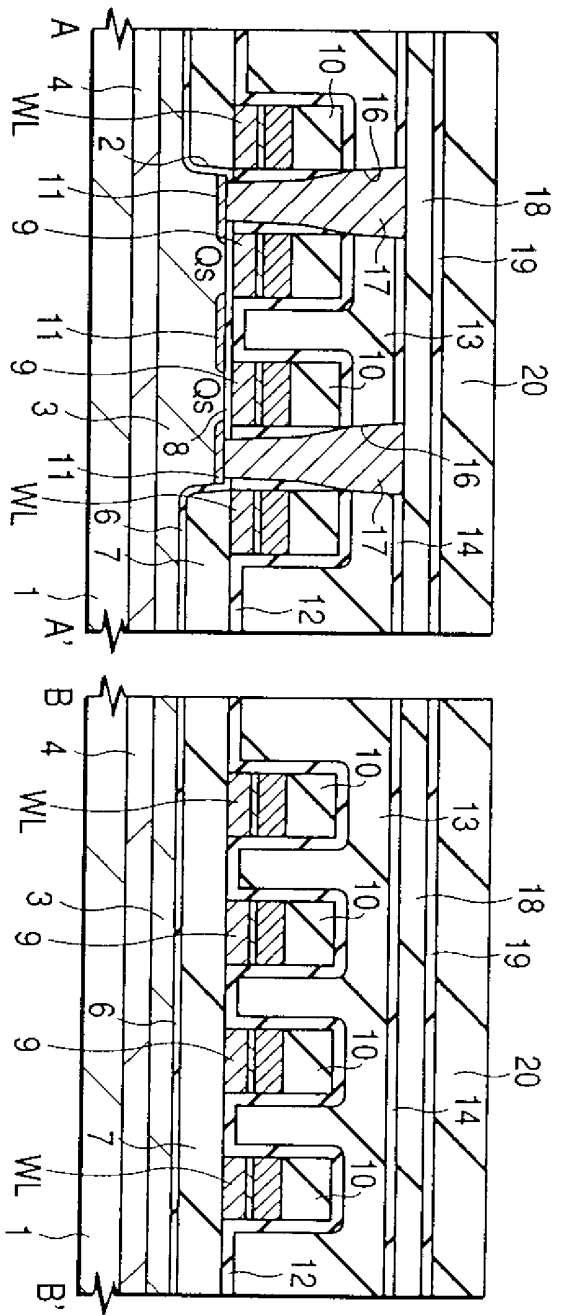


圖 12(a)

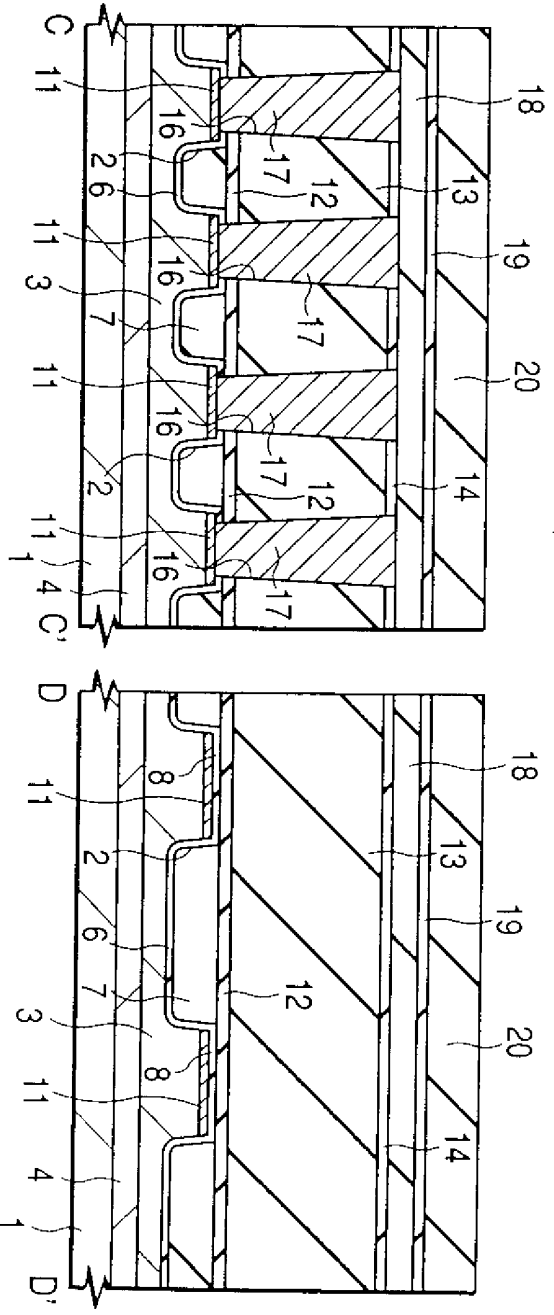


圖 12(b)

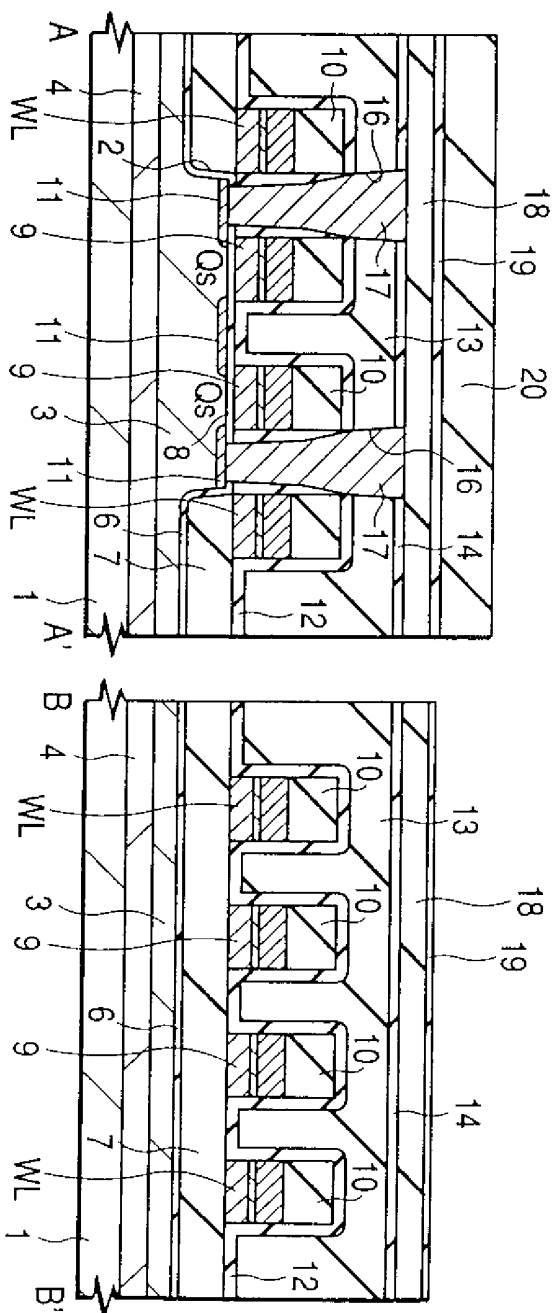


圖 13(a)

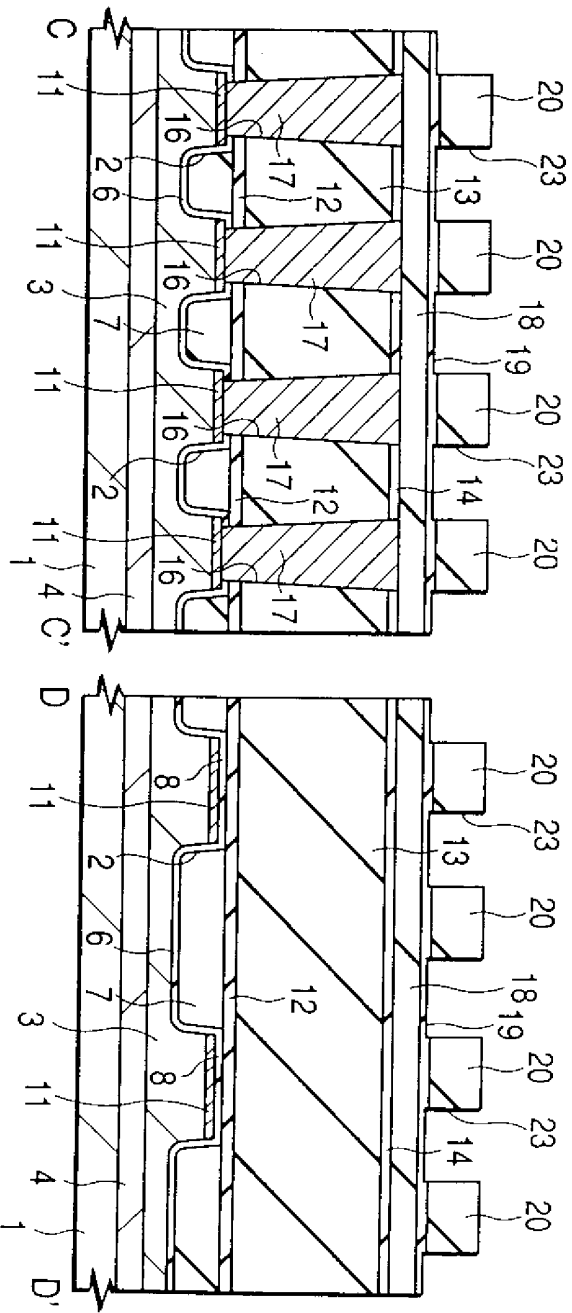
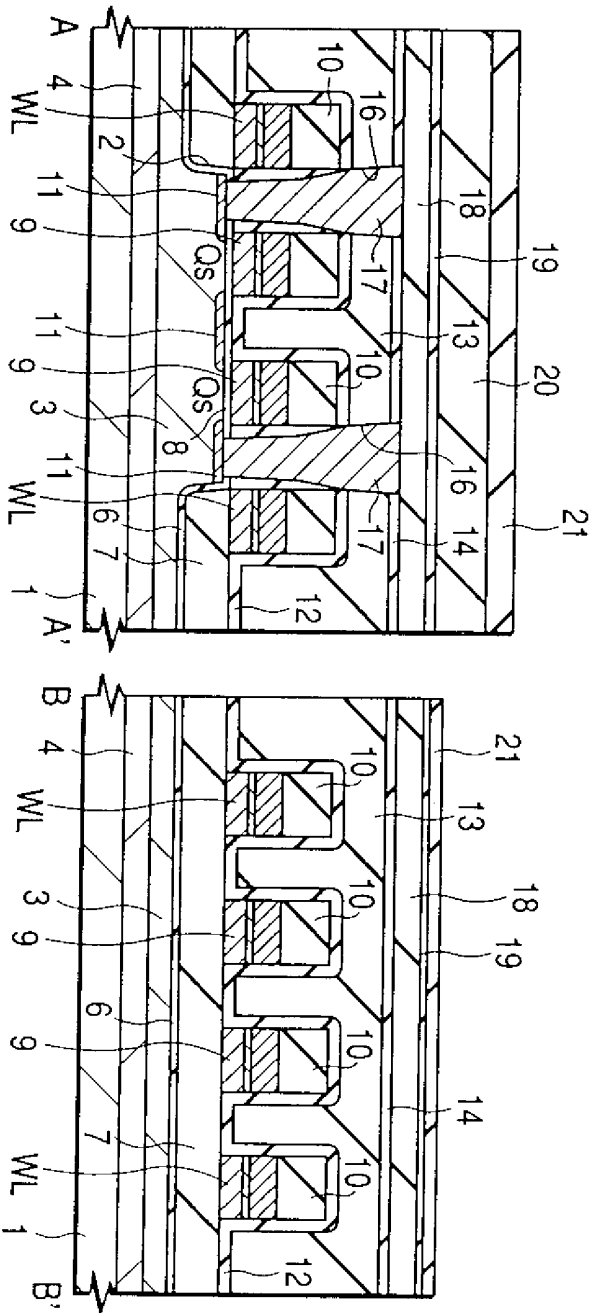


圖 13(b)



14(a)



14(b)

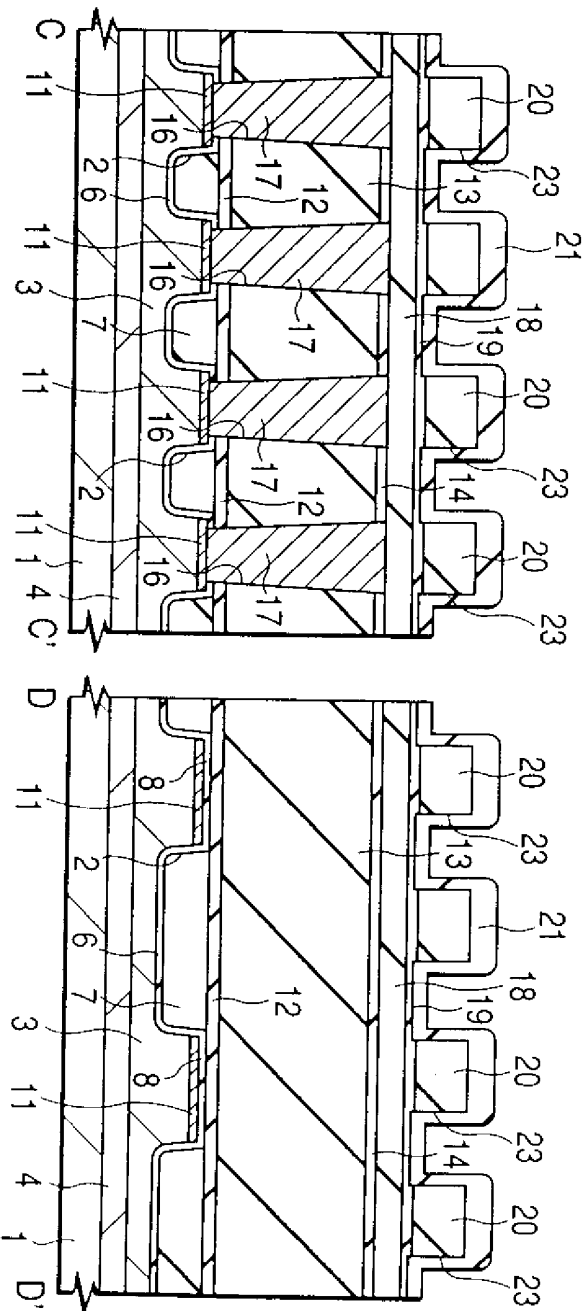


圖 16(a)

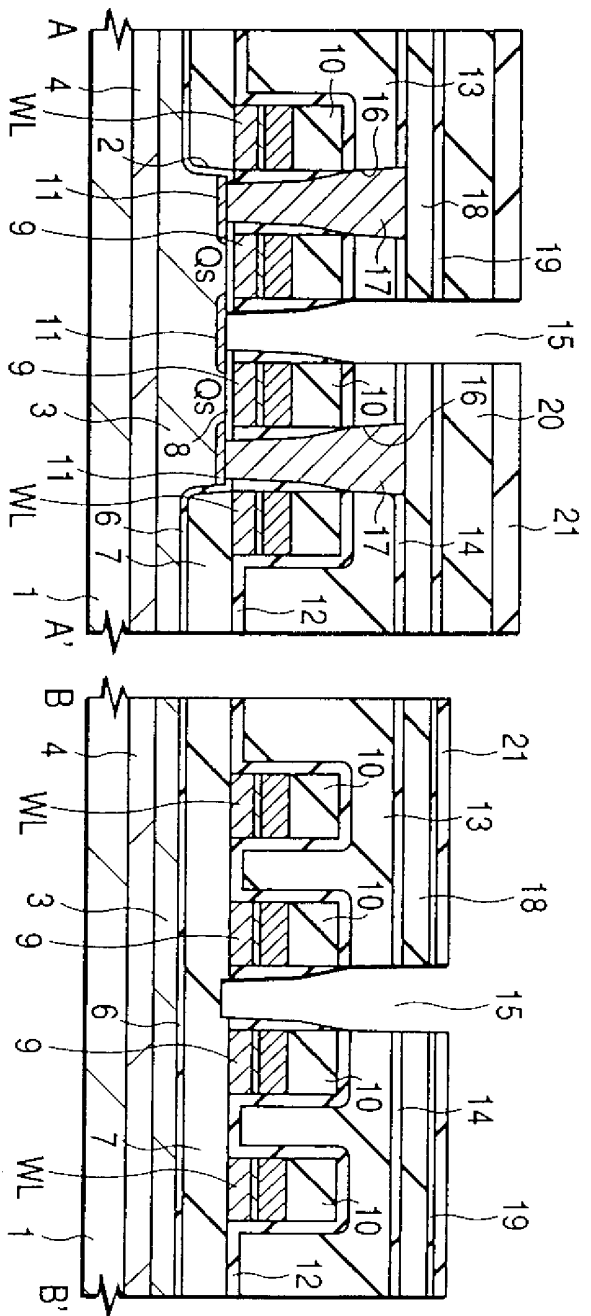
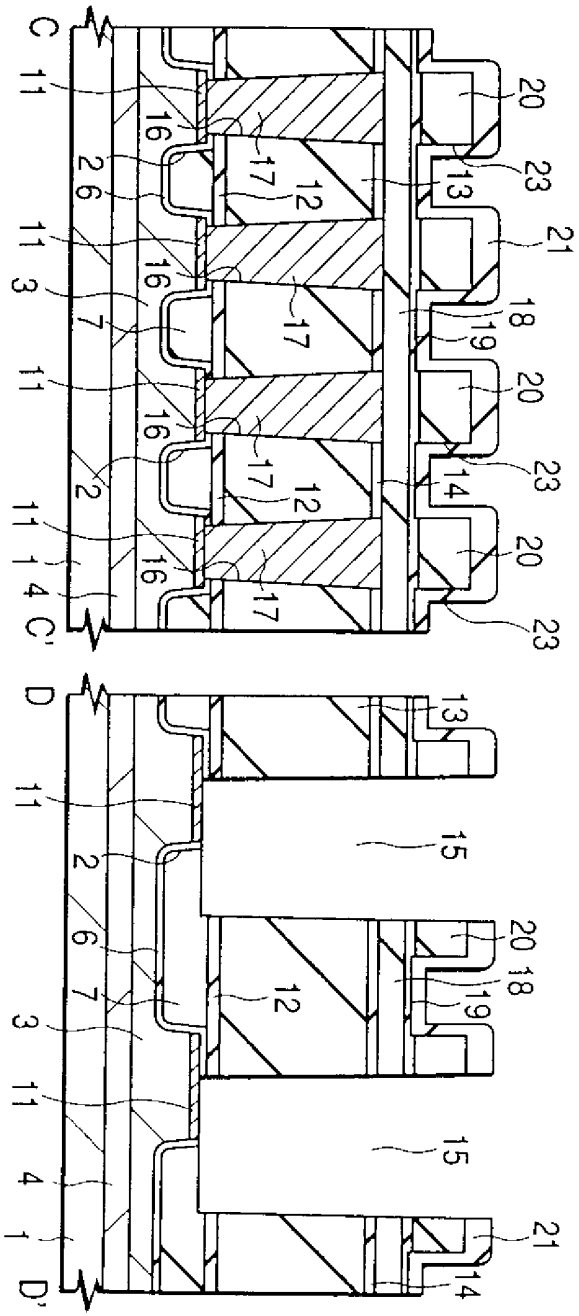
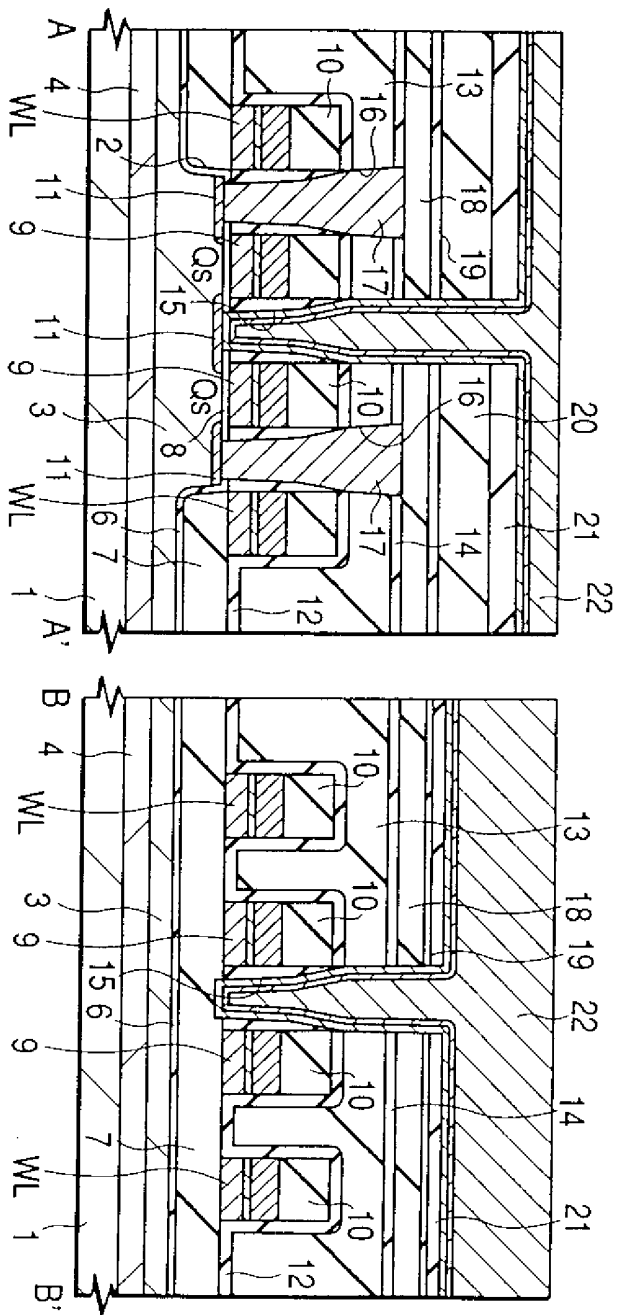


圖 16(b)



圖

17(a)



圖

17(b)

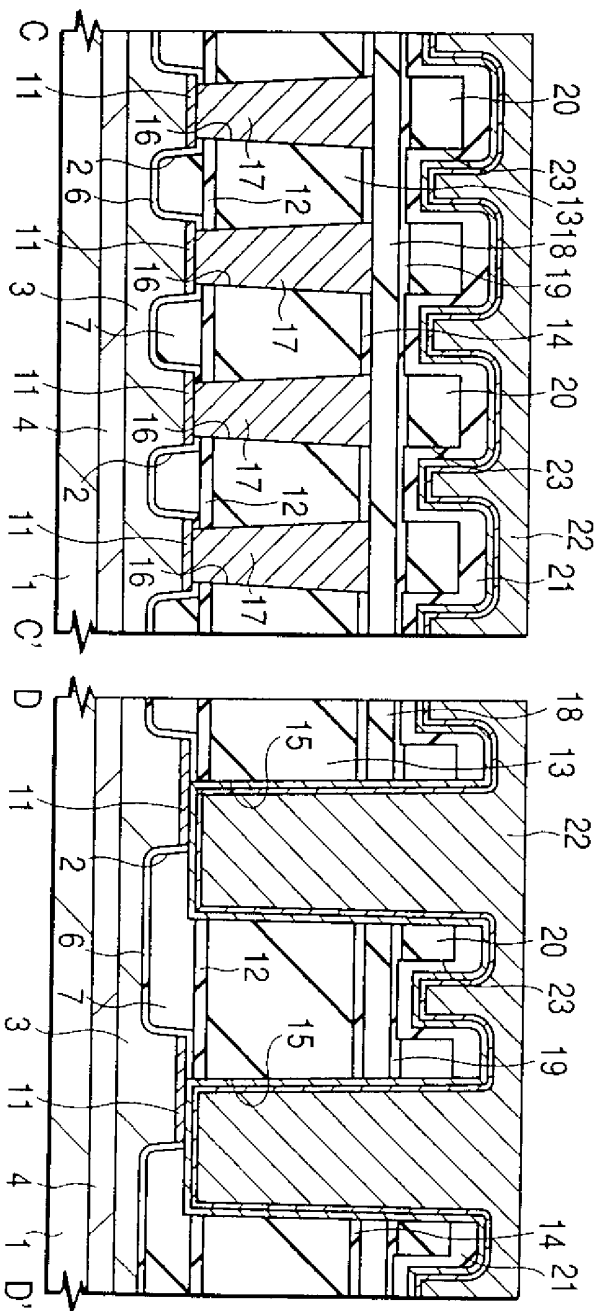


圖 18(a)

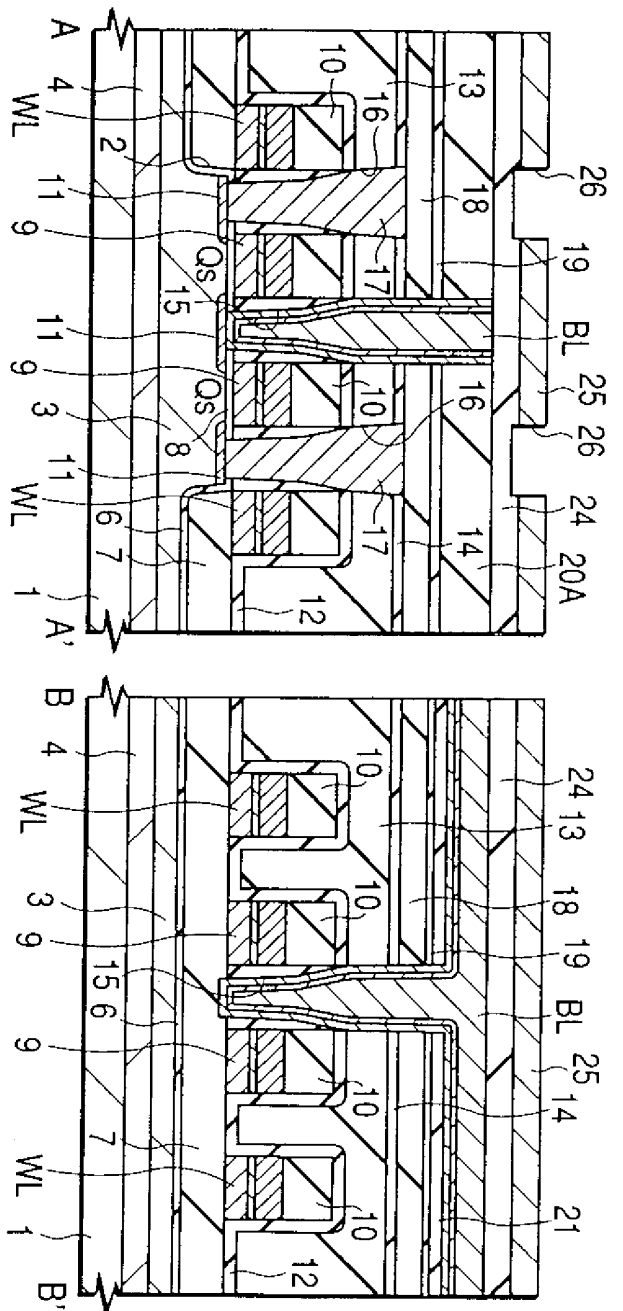
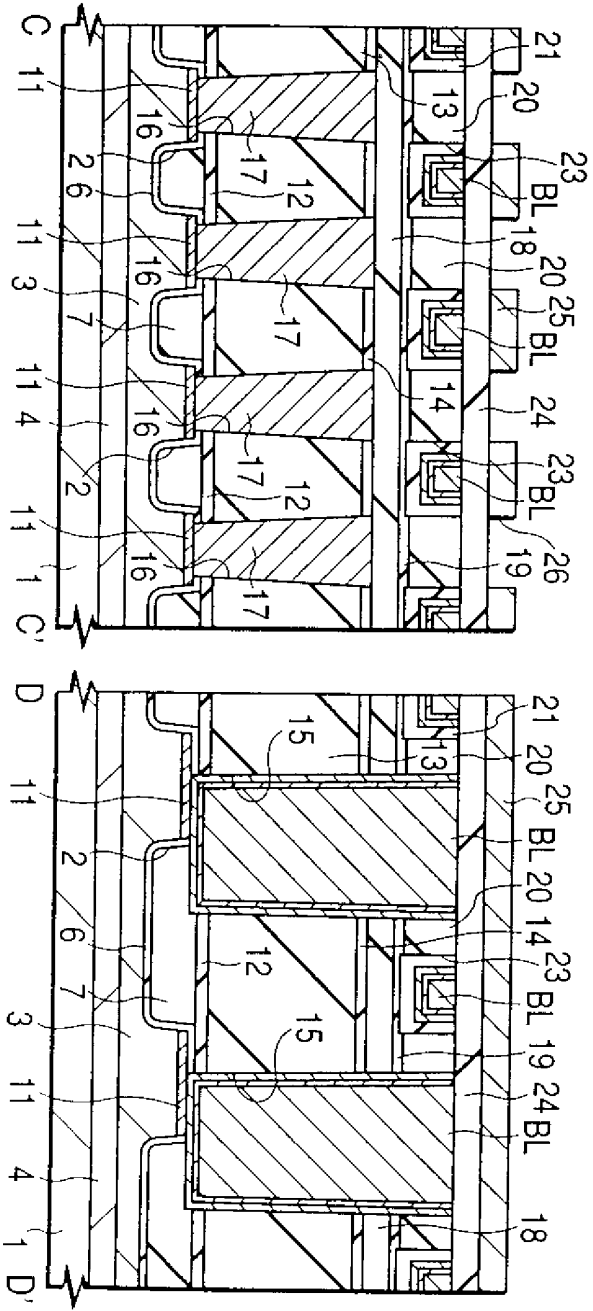
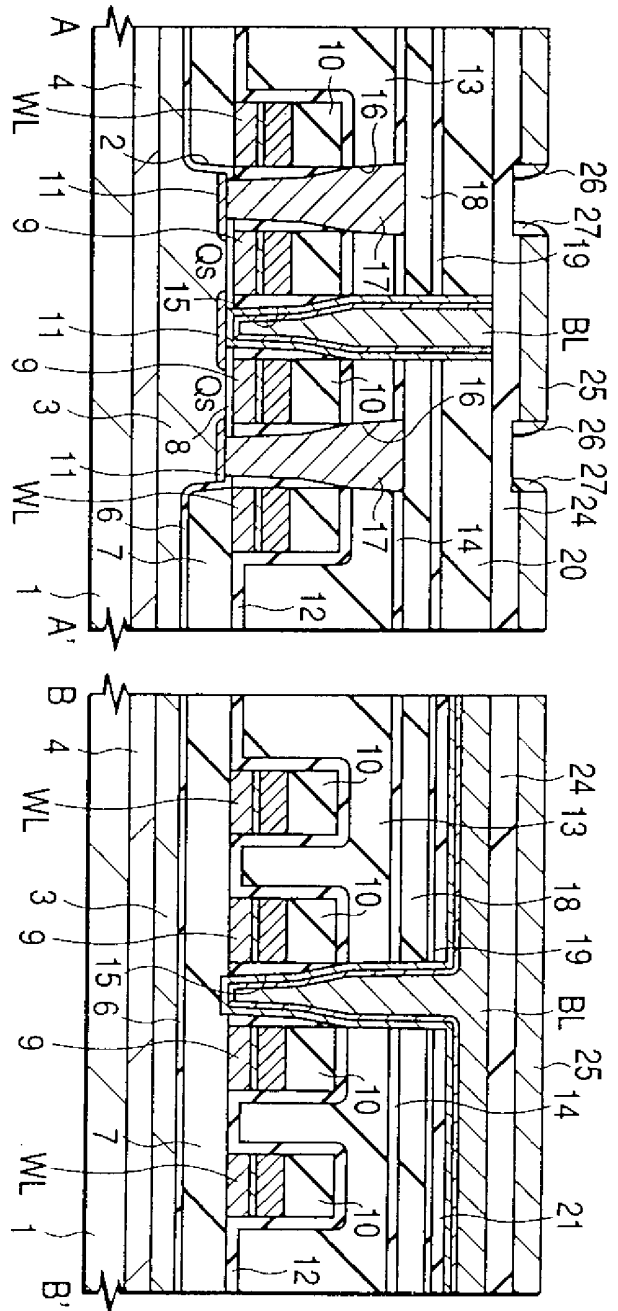


圖 18(b)





19(a)



19(b)

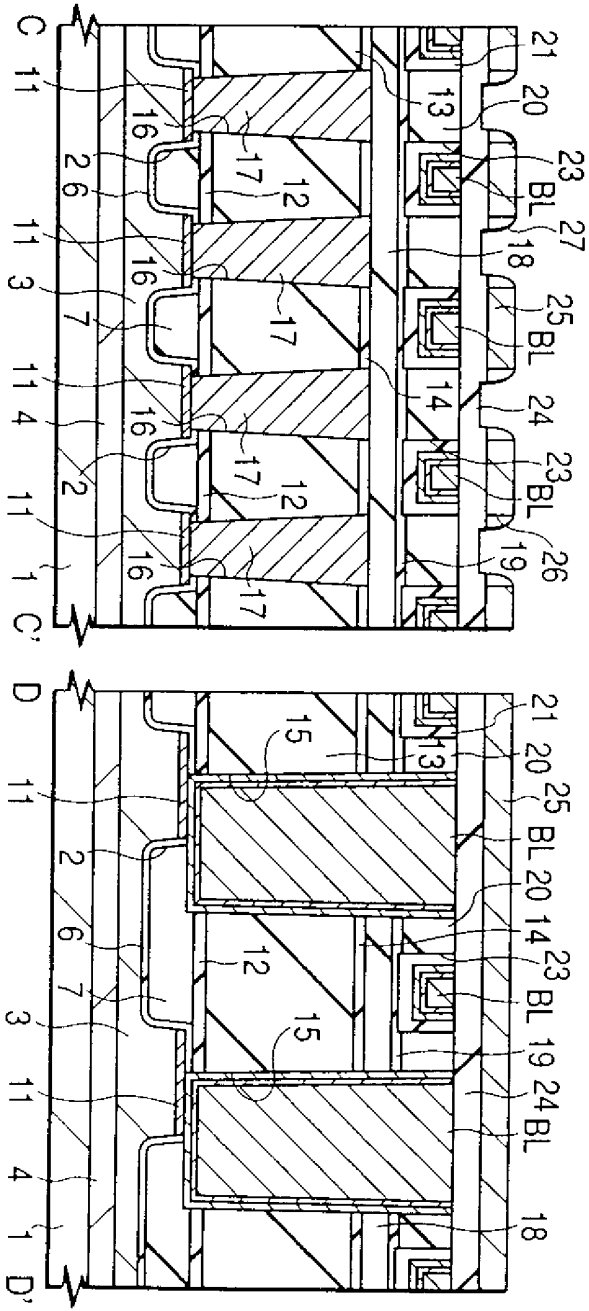


圖 20(a)

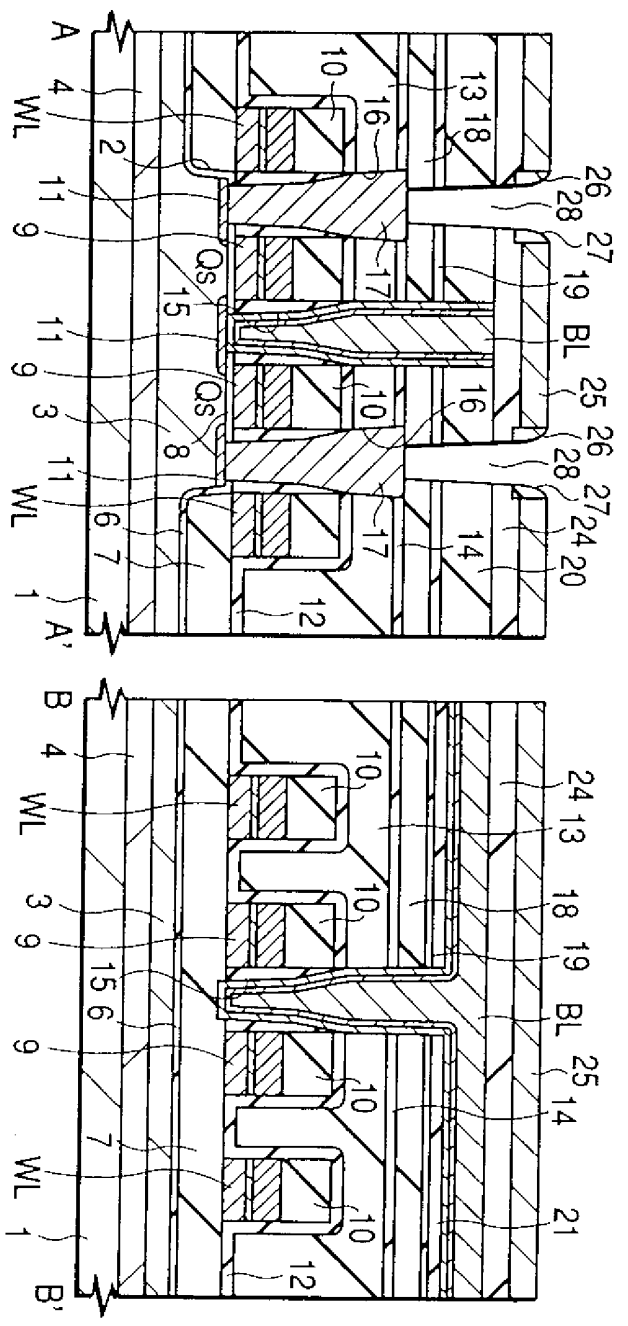
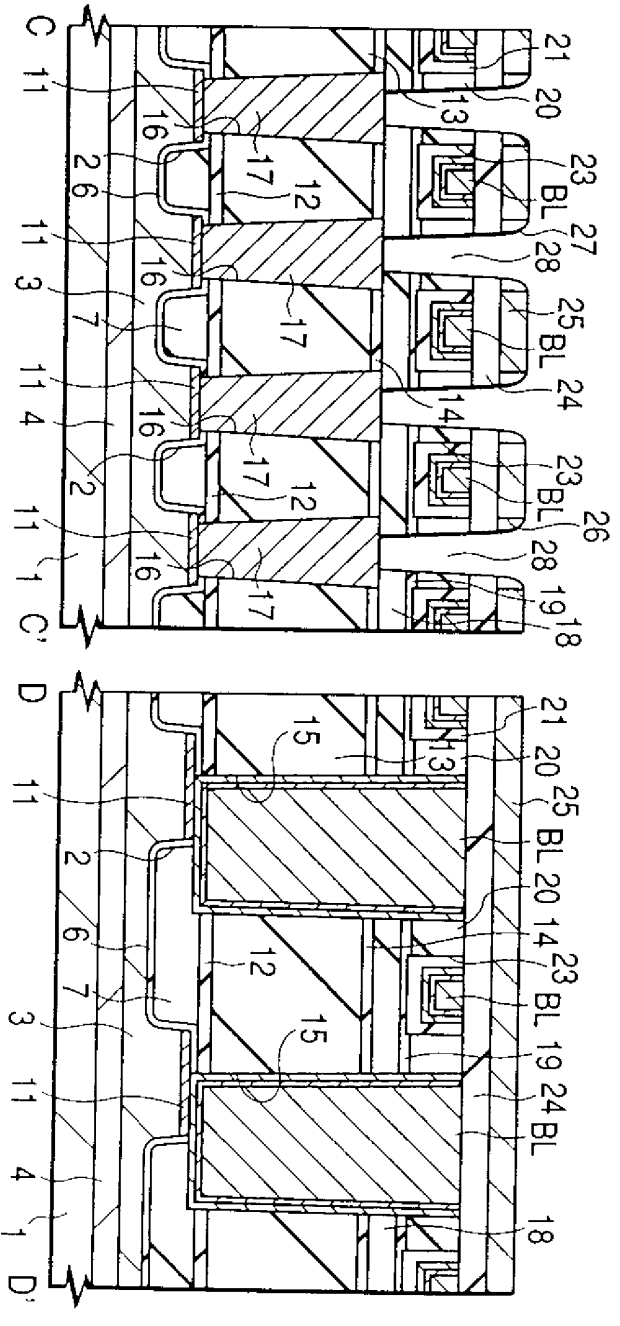
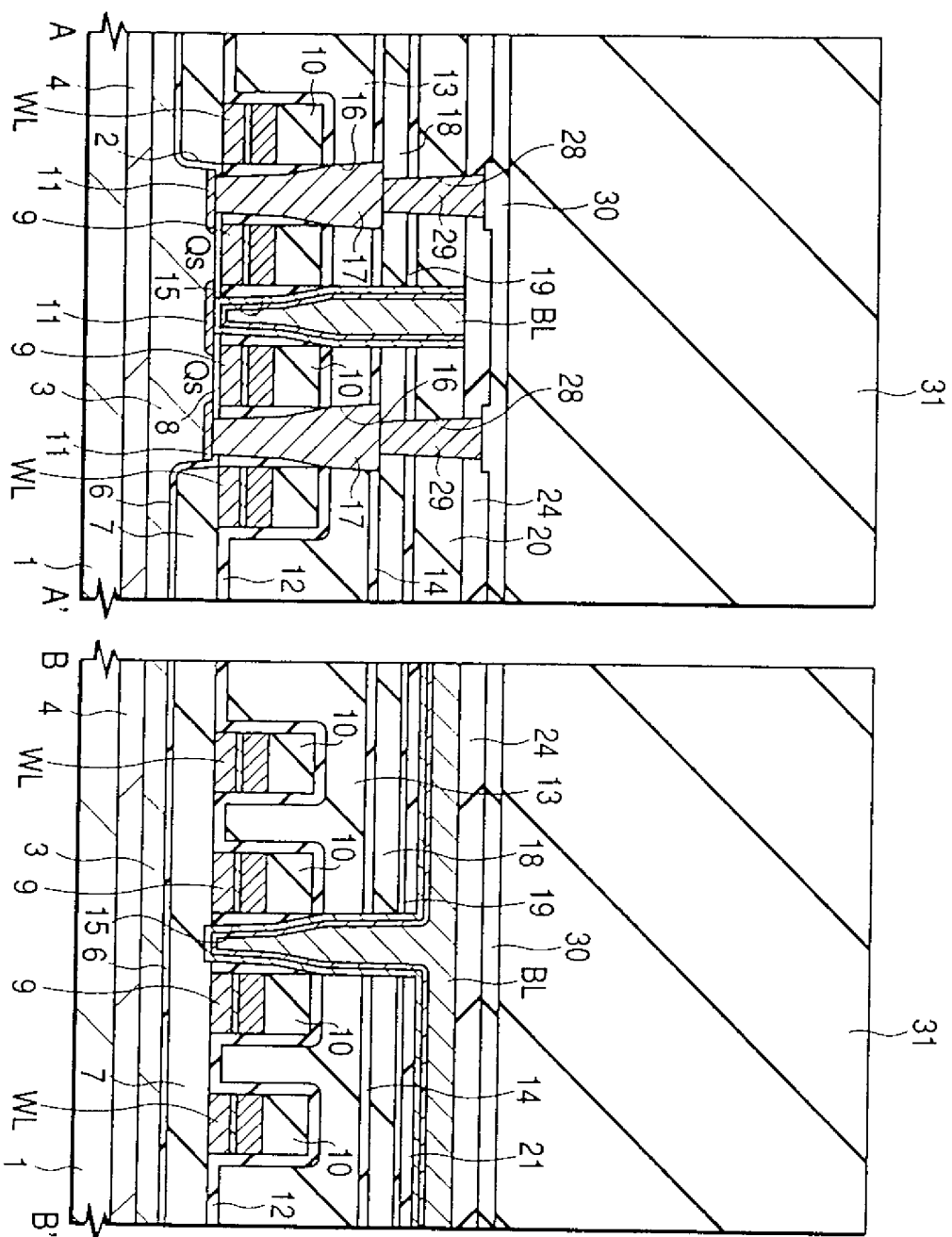
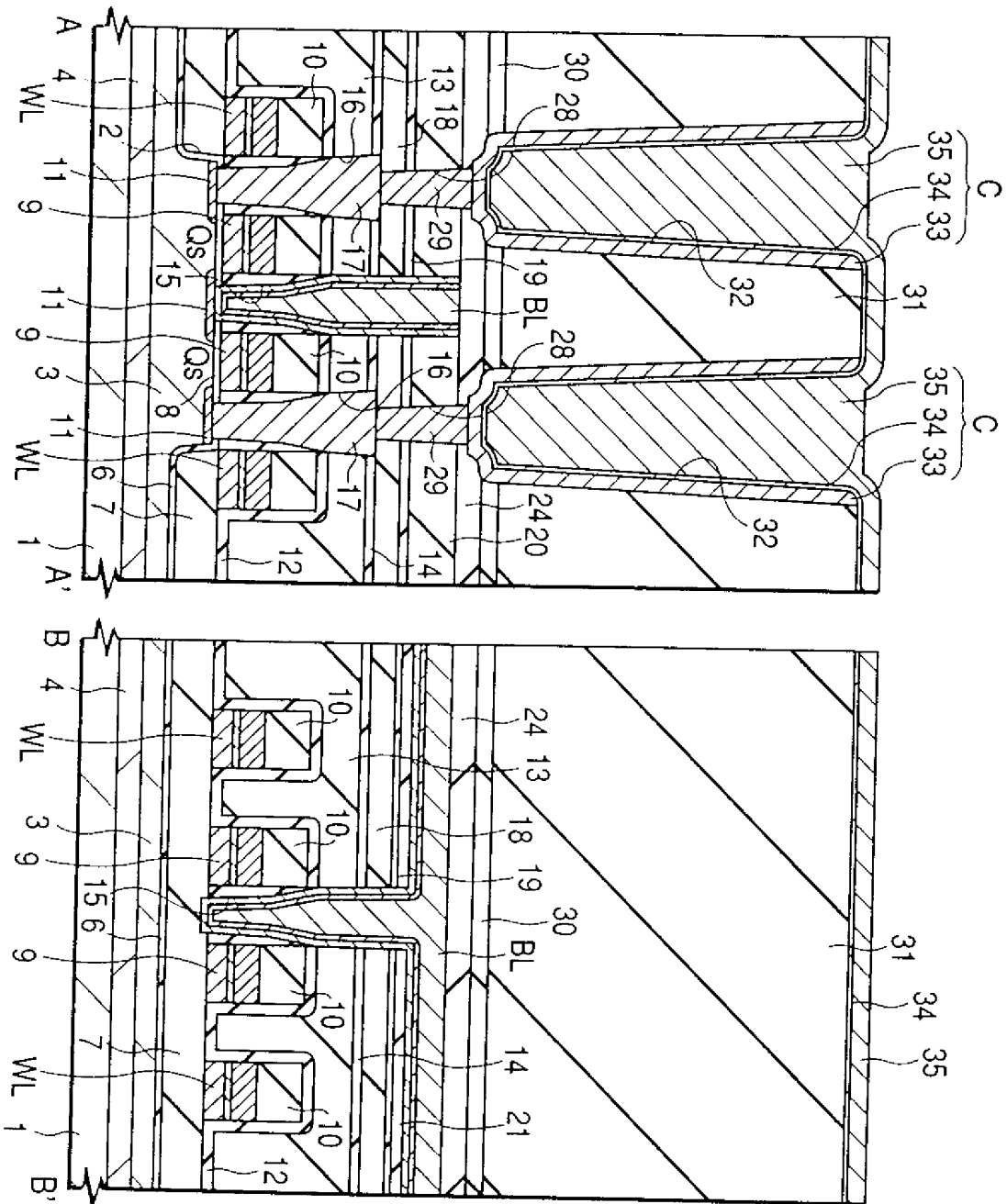


圖 20(b)





21



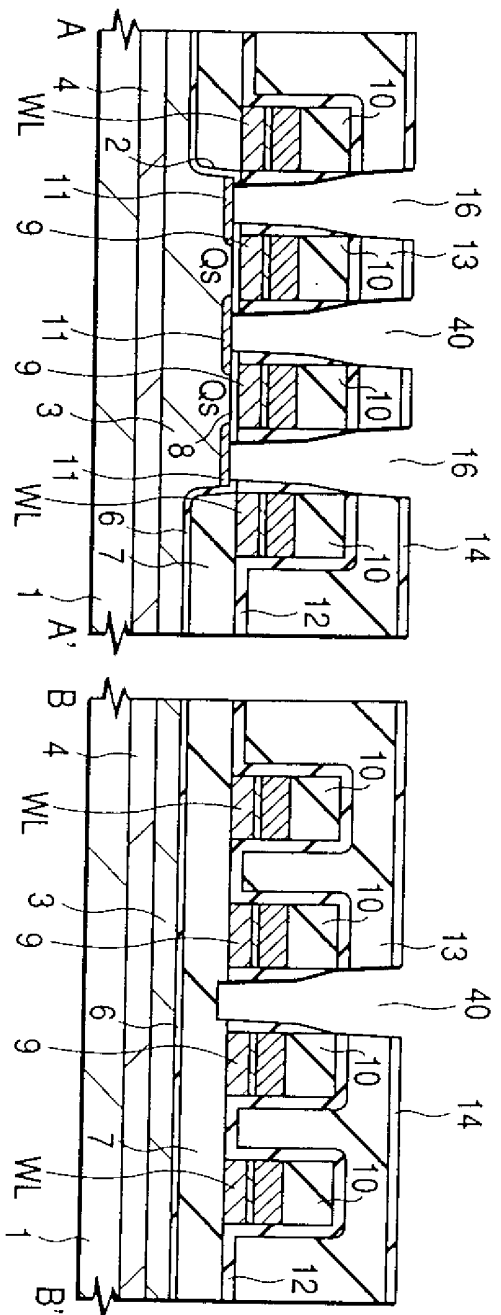


圖 25(a)

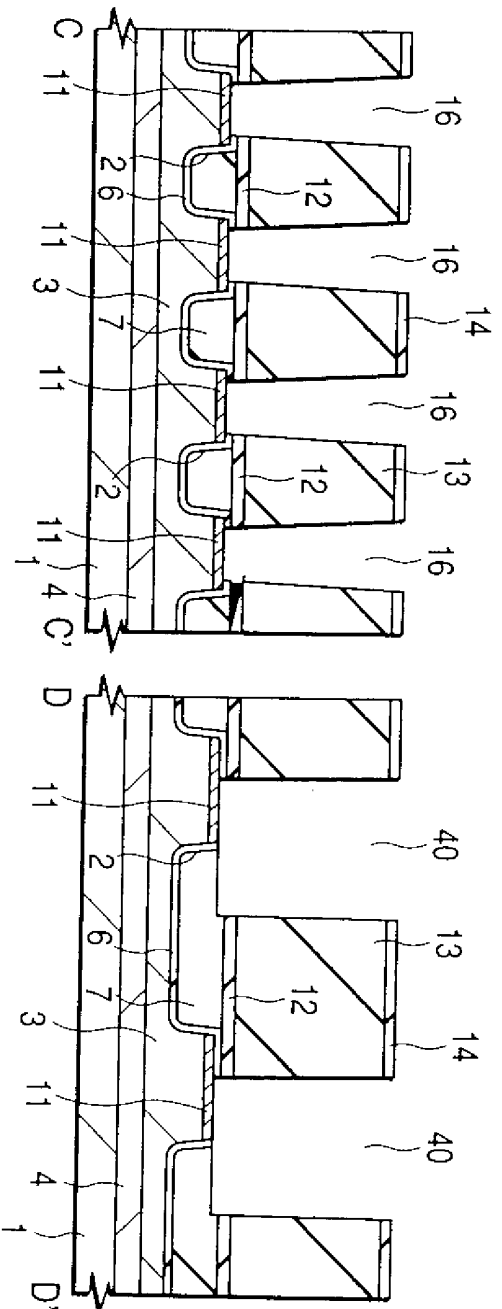


圖 25(b)

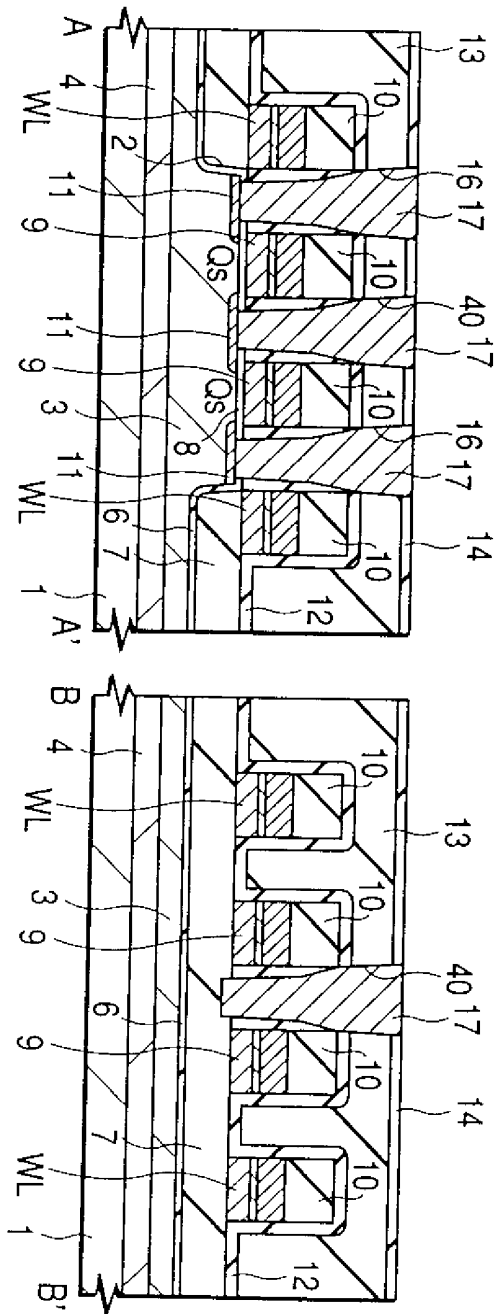


圖 26(a)

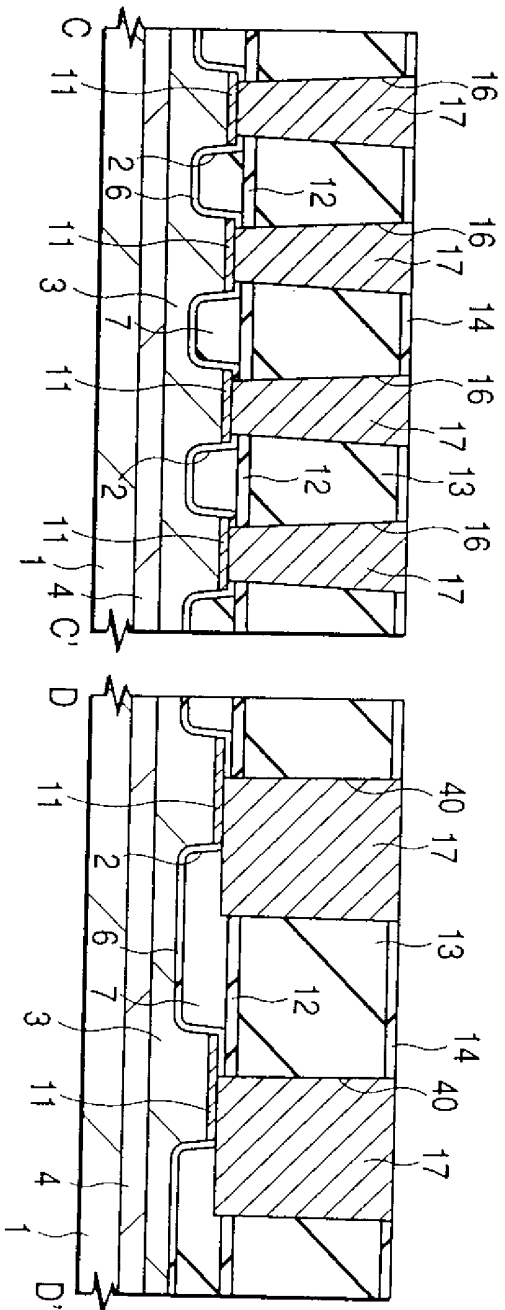
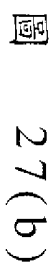
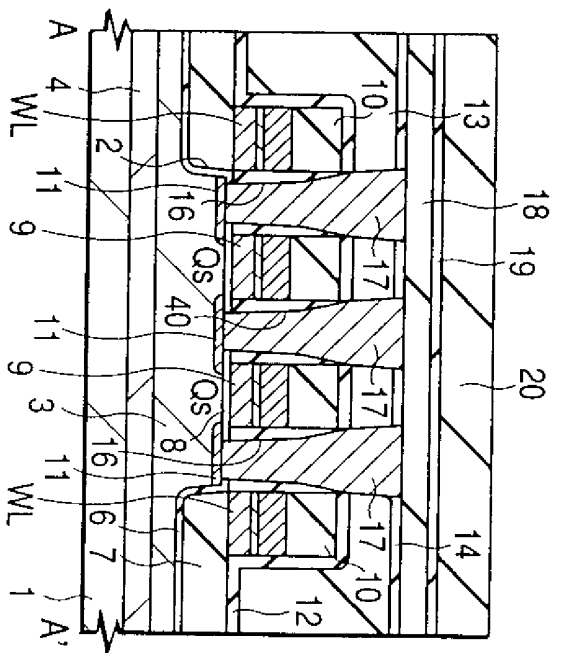
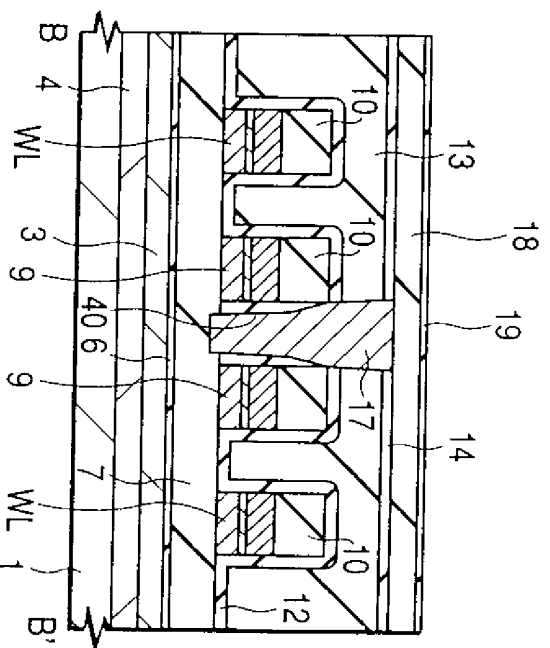


圖 26(b)

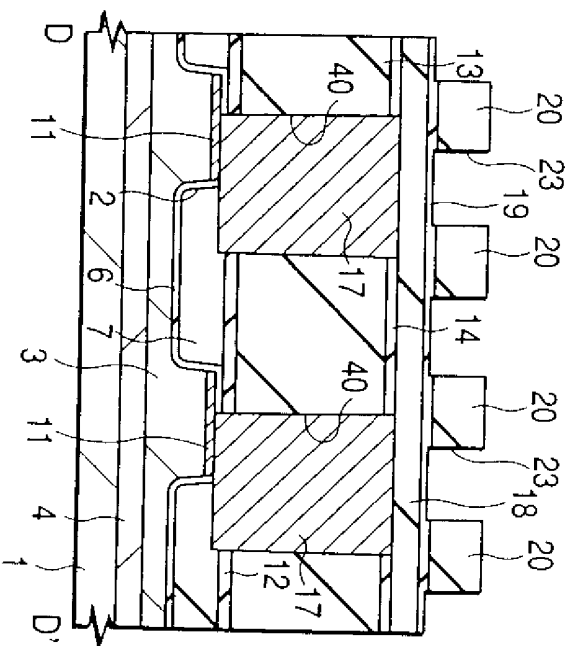
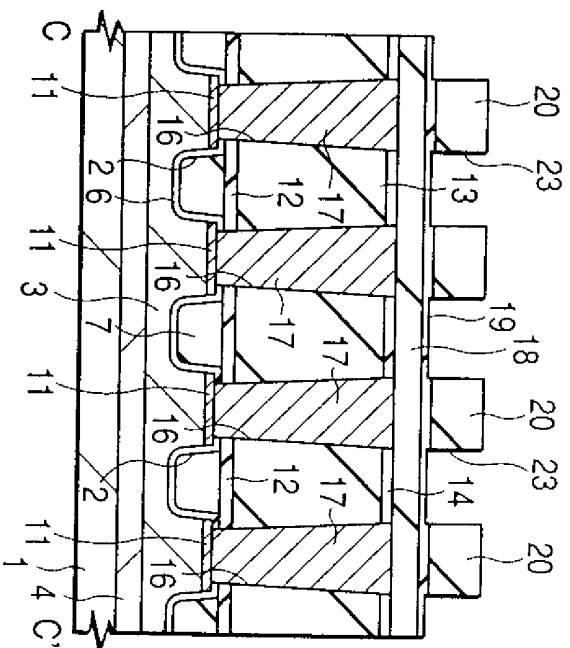




圖



28(a)



圖

28(b)

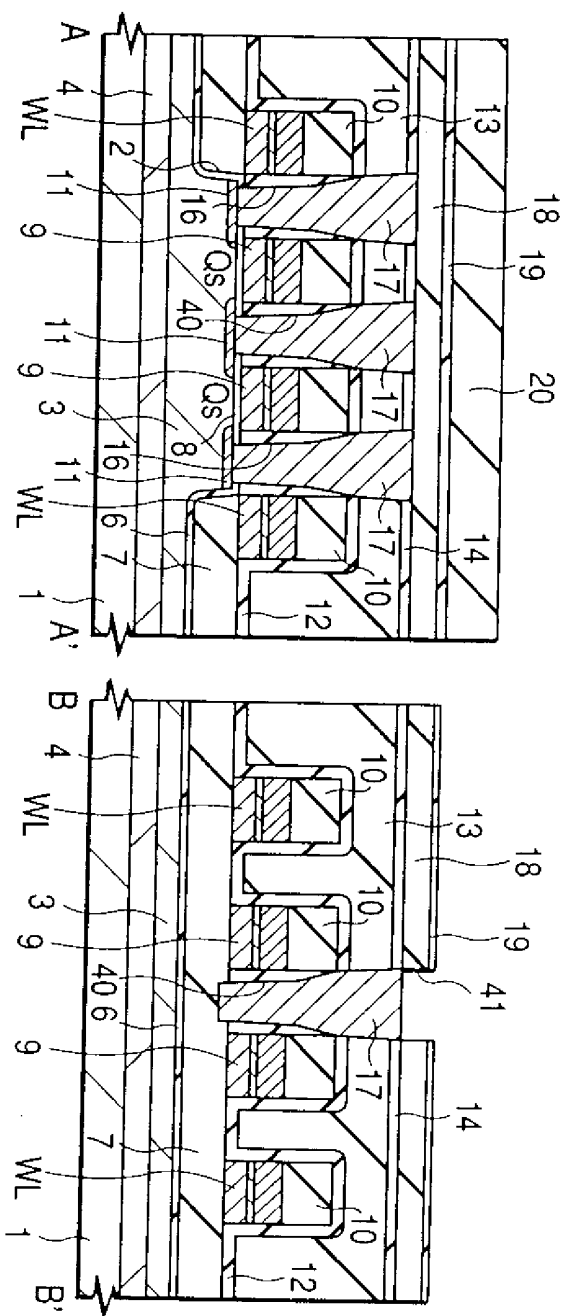


圖 29(a)

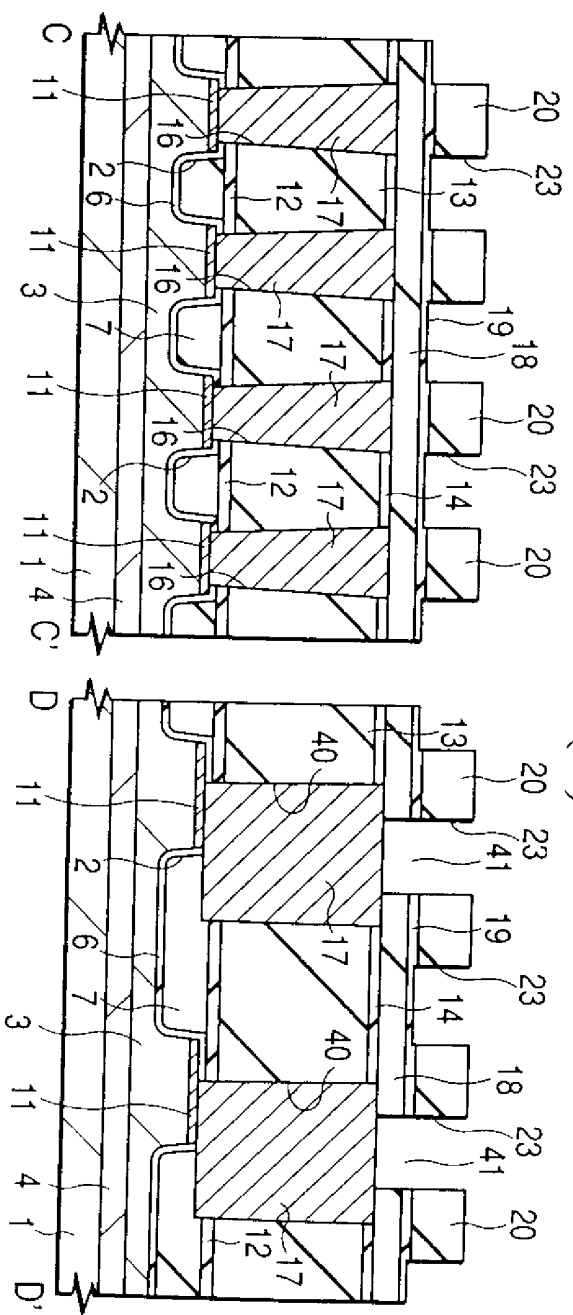


圖 29(b)

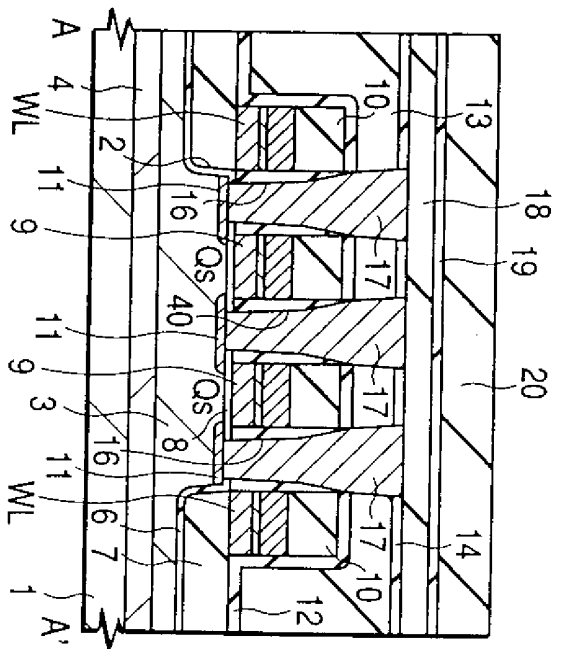
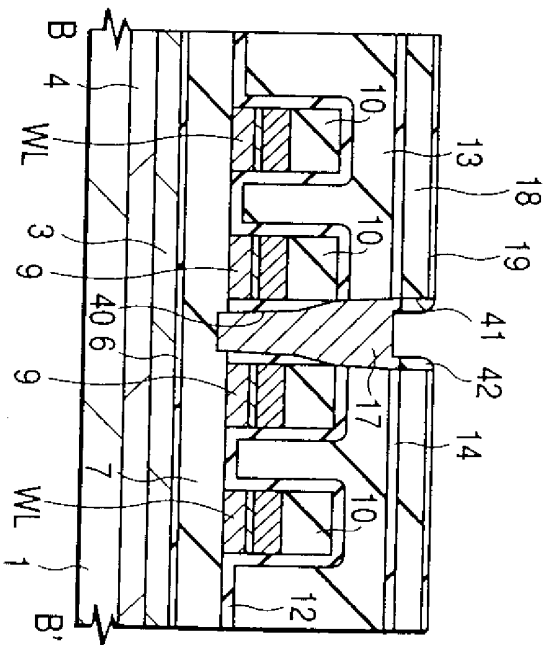


圖 30(a)



30(a)

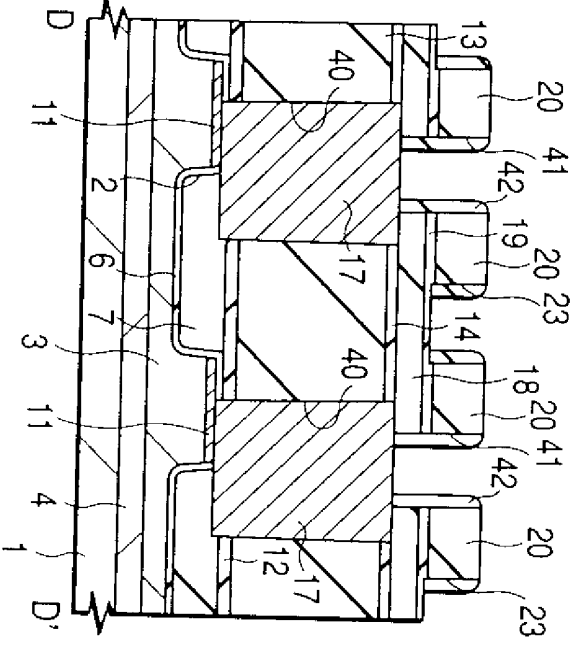
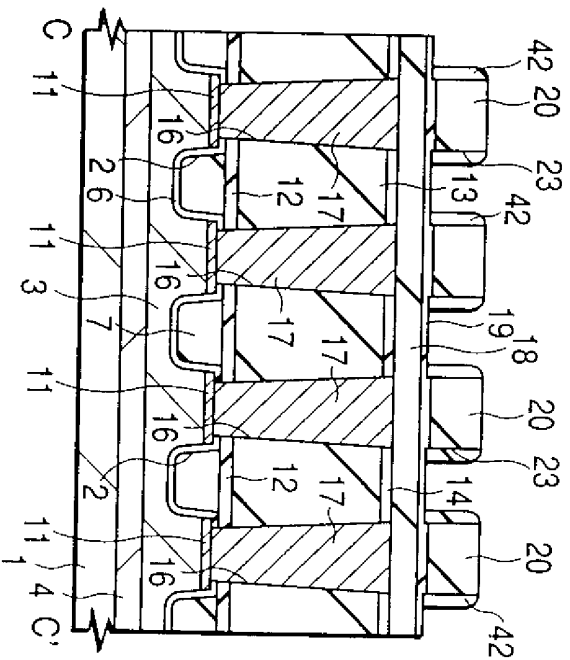


圖 30(b)

30(b)

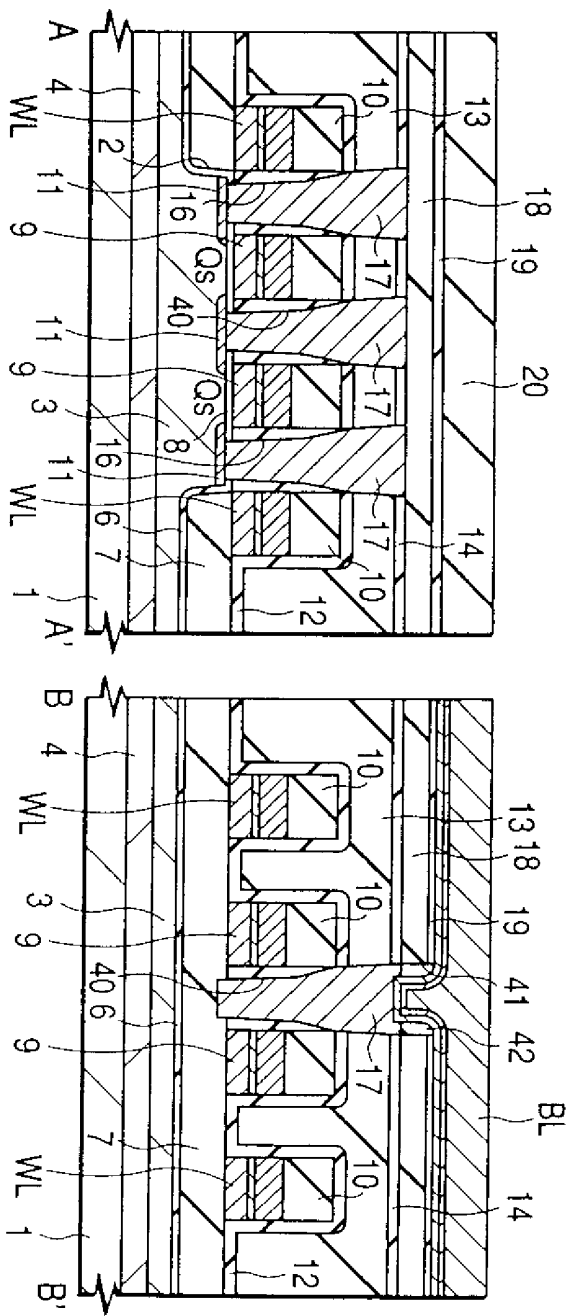


圖 31(a)

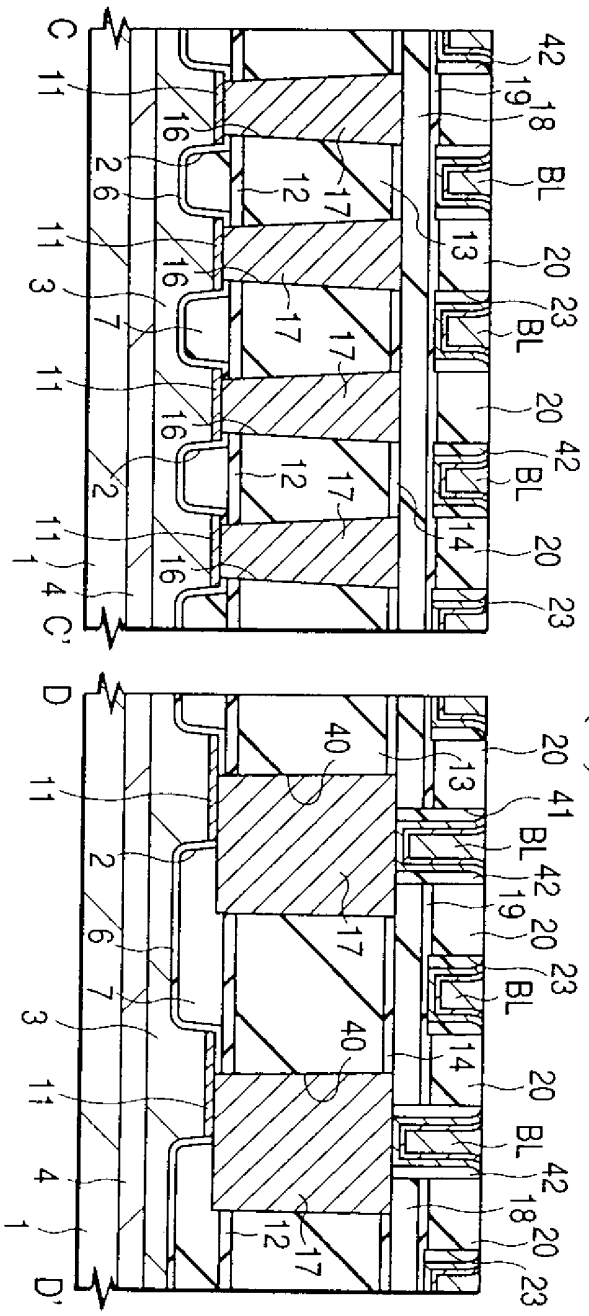


圖 31(b)

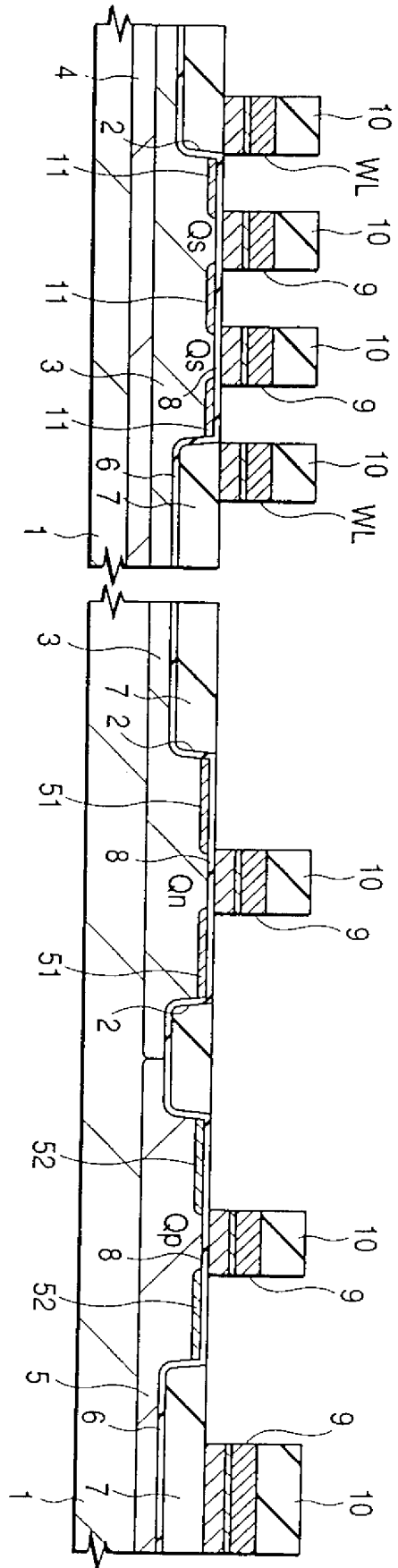


圖 32

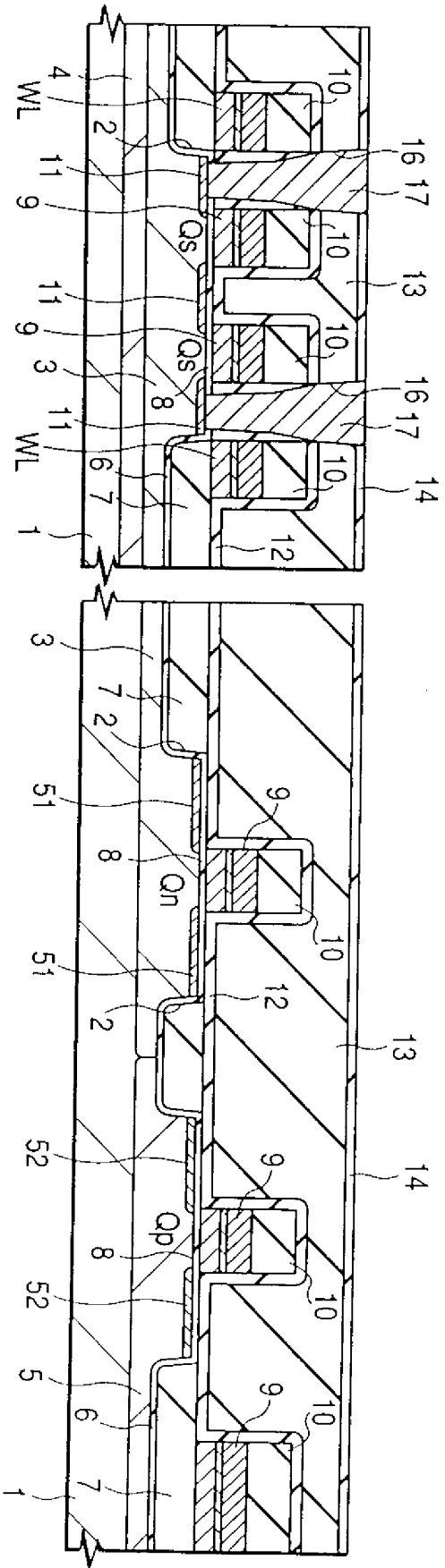


圖 33

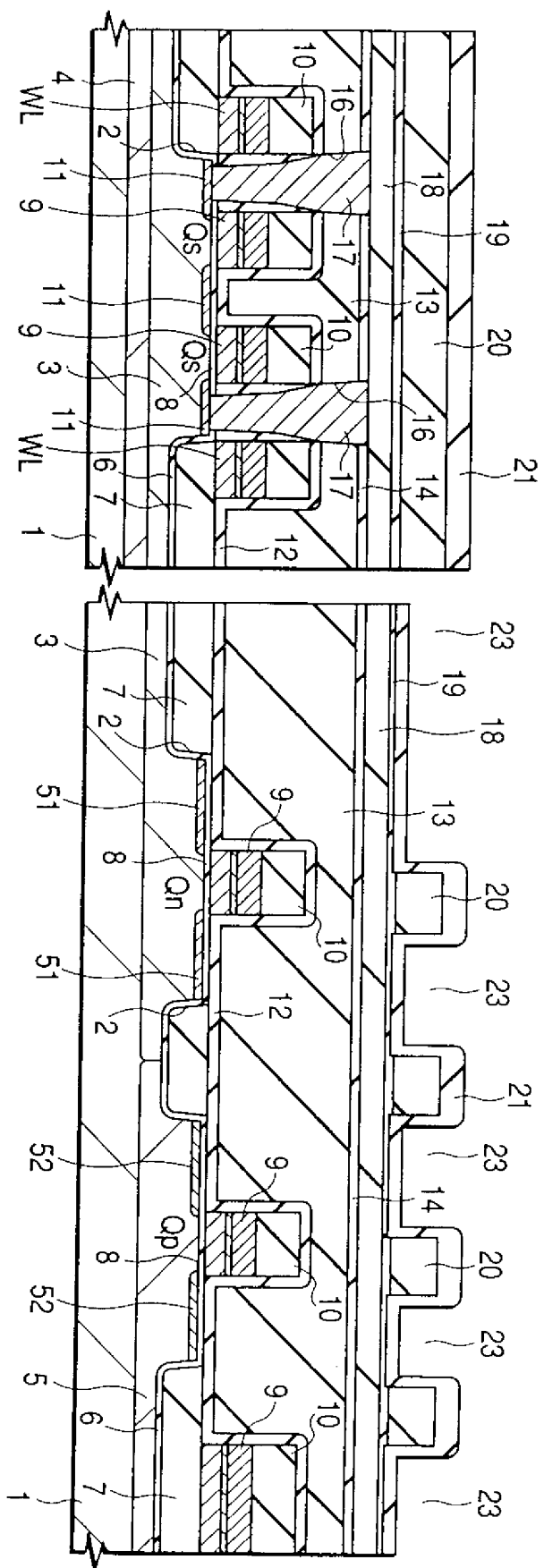
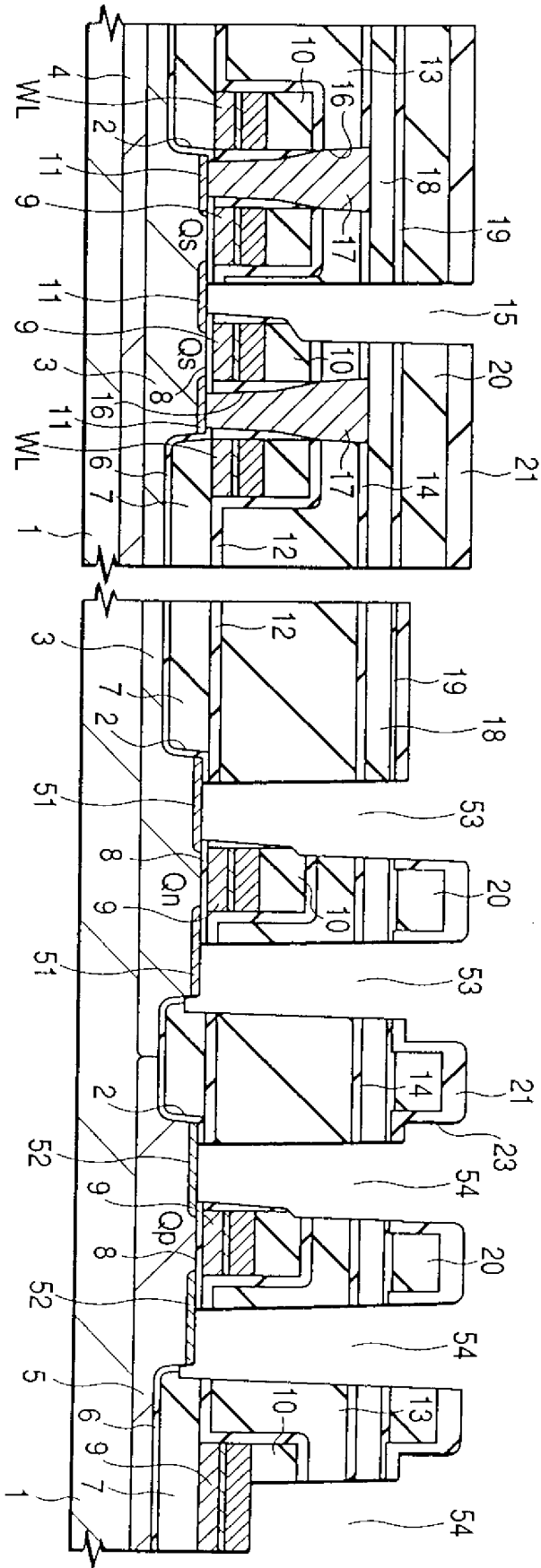


圖 34



35

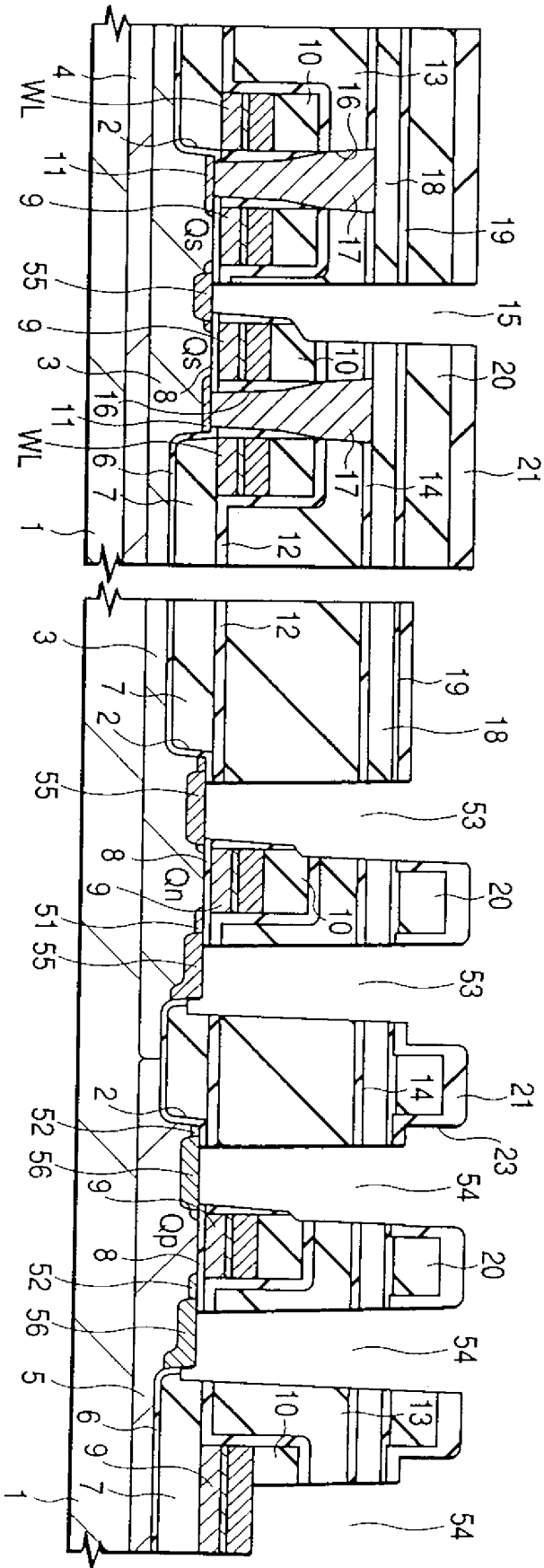


圖 36

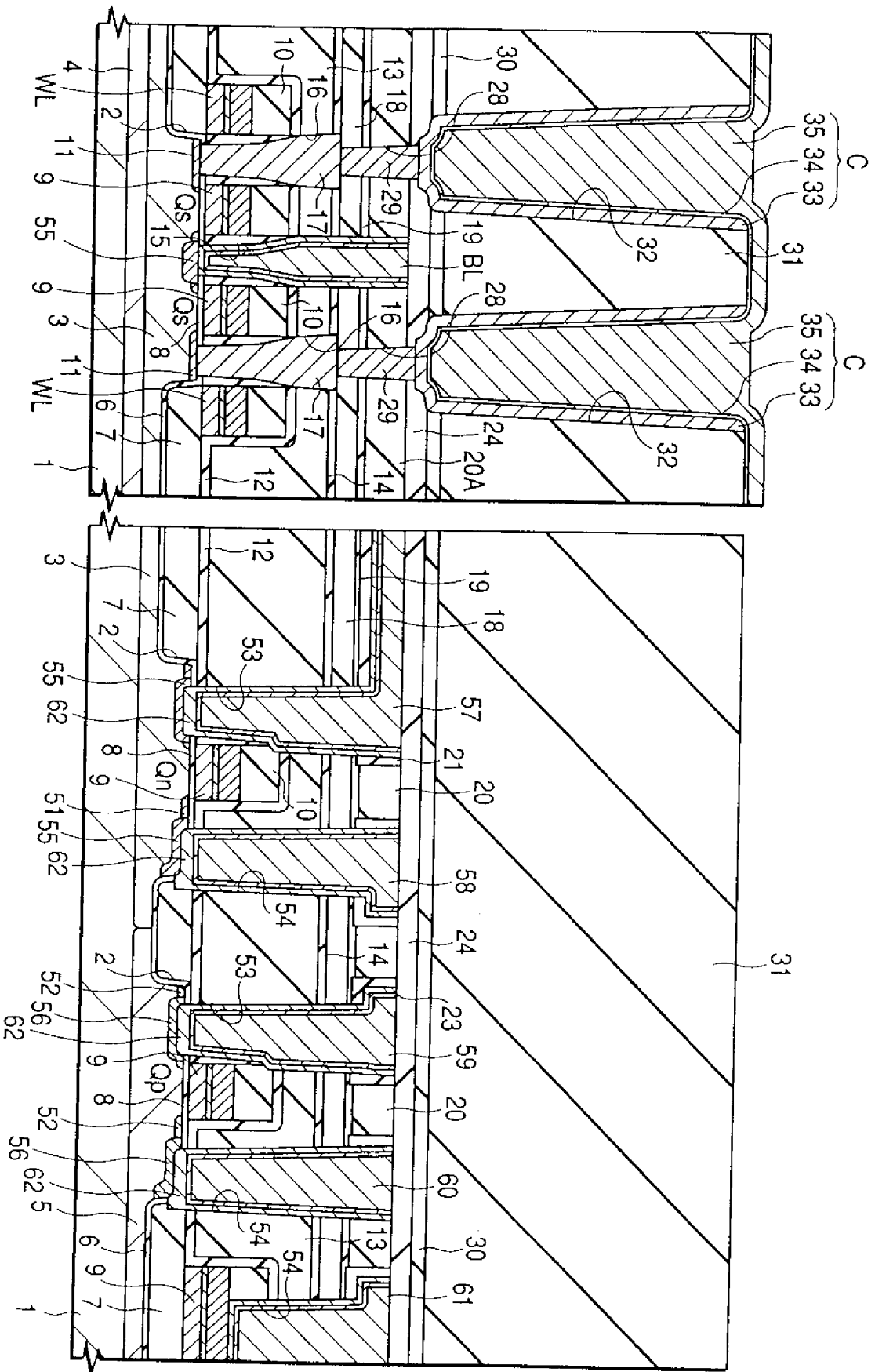


圖 38

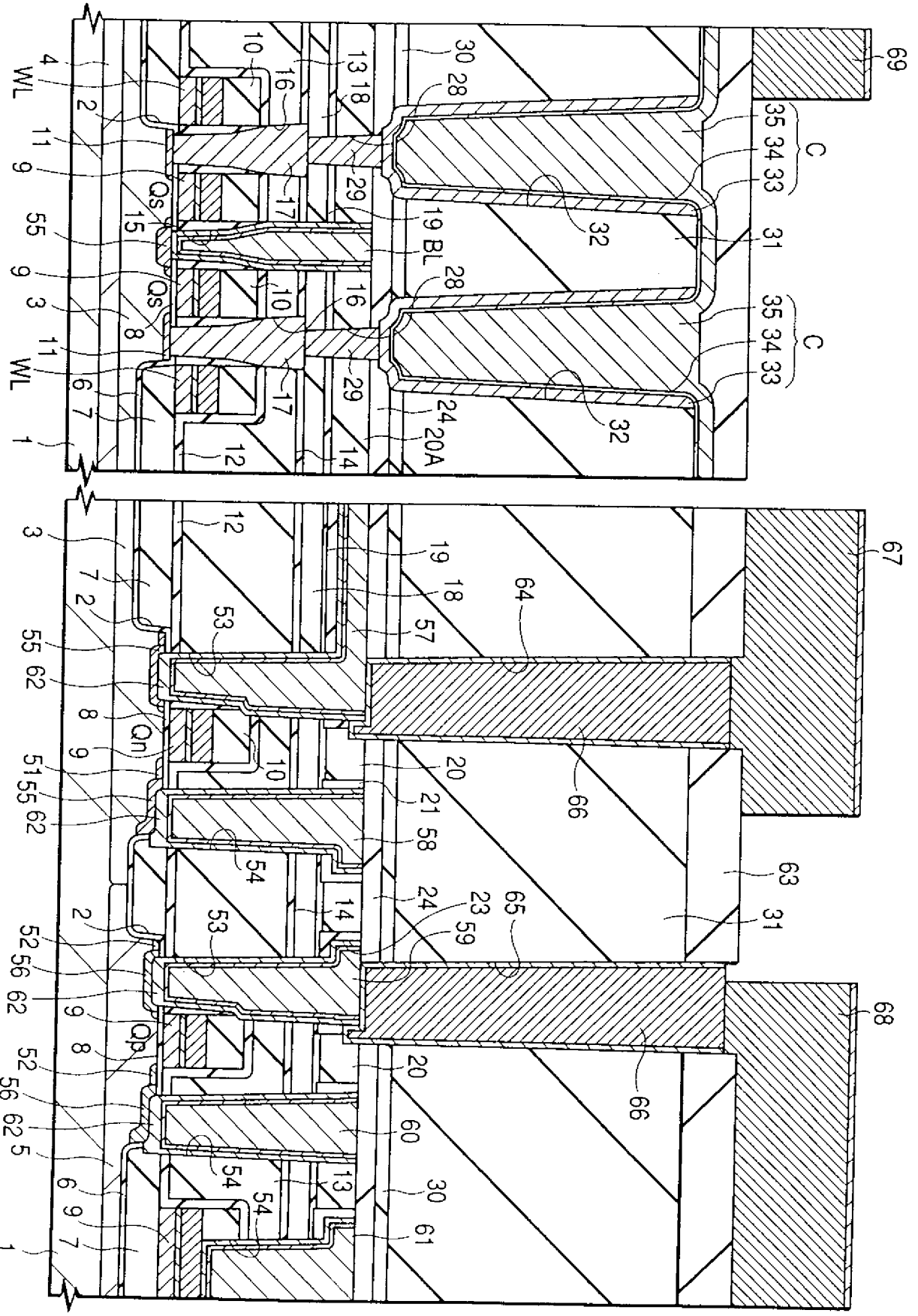


圖 39

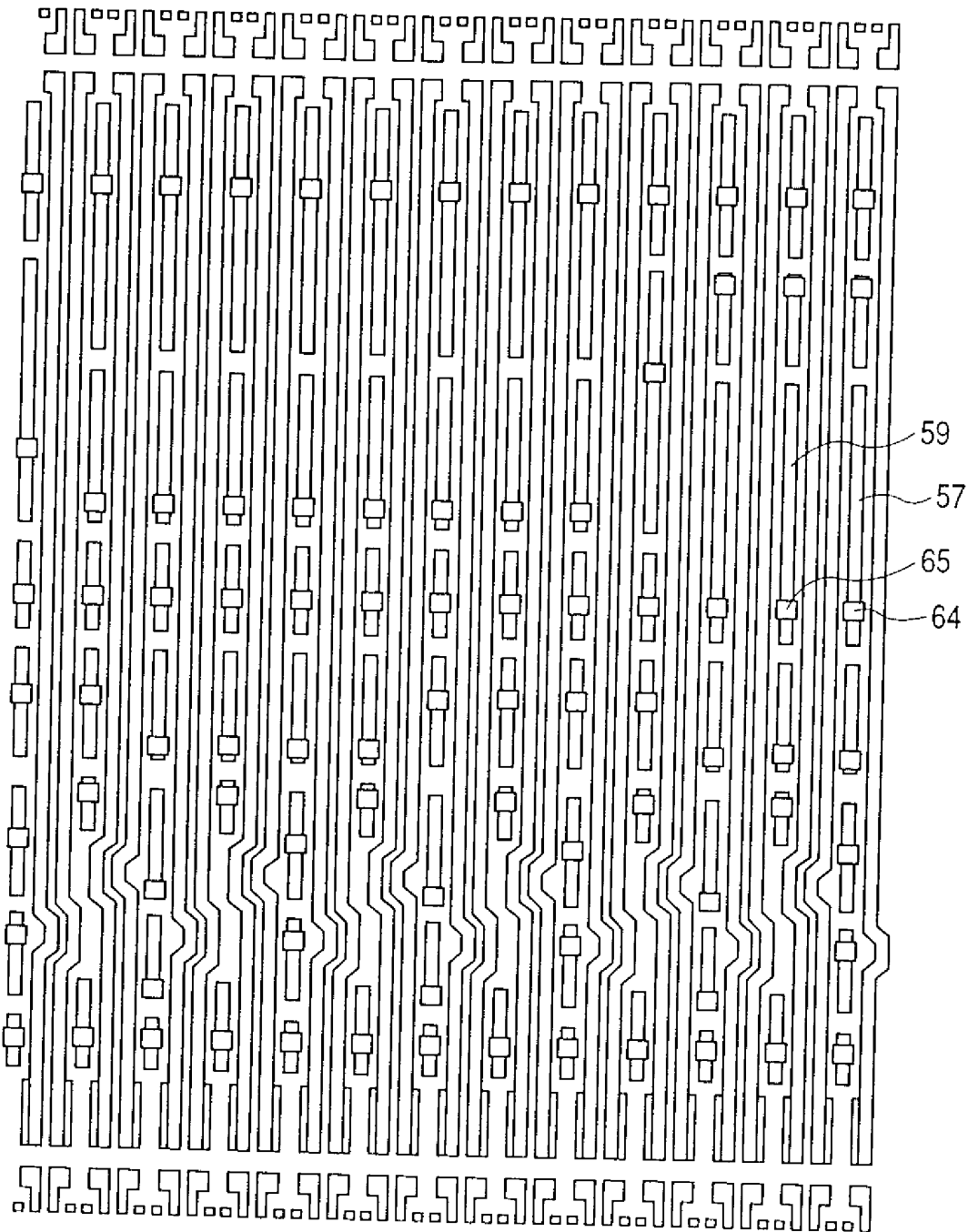


圖 40