



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETA' INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101995900427586
Data Deposito	14/03/1995
Data Pubblicazione	14/09/1996

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	L		

Titolo

CIRCUITO PER L'ESTRAZIONE DEL SEGNALE DI OROLOGIO DA UN FLUSSO DATI AD ALTA VELOCITA'.

Descrizione dell'invenzione avente per titolo:

"Circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità"

a nome CSELT - Centro Studi e Laboratori Telecomunicazioni S.p.A.- Via Guglielmo Reiss Romoli 274 - 10148 Torino - Nazionalità italiana.

Inventore: Marco BURZIO

TO 95A000190

Domanda n.

depositata il

8/12/72. 95A000190

=====

Testo della descrizione.

La presente invenzione riguarda le apparecchiature per la trasmissione di segnali numerici fra sistemi elettronici dislocati in luoghi distanti fra loro e in particolare riguarda un circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità.

E' noto che per interpretare correttamente un segnale dati, un'apparecchiatura di ricezione deve disporre di un segnale di orologio esattamente sincronizzato con il flusso numerico in arrivo, in modo da poter valutare i livelli logici negli istanti più favorevoli. Tuttavia non sempre il segnale dati viene trasmesso con il segnale di orologio associato, in particolare quando la trasmissione viene effettuata in modo seriale su un'unica linea. In questo caso, il segnale di orologio per la rivelazione deve essere ricostruito estraendo le informazioni necessarie dallo stesso segnale dati.

Questa operazione viene solitamente effettuata mediante il noto circuito PLL (Phase Locked Loop = Anello ad aggancio di fase) utilizzando come segnale di riferimento lo stesso segnale numerico in arrivo al ricevitore per generare in

Centro Studi e Laboratori Telecomunicazioni S.p.A.

uscita un segnale di orologio di frequenza pari alla velocità di cifra del segnale dati. Il segnale di orologio ricostruito ha una relazione di fase ben precisa con il segnale dati, in modo da presentare le transizioni di livello in salita in corrispondenza dell'istante ottimo di campionamento.

Le parti principali che costituiscono l'anello ad aggancio di fase sono, come è noto, un comparatore di fase, un filtro e un oscillatore controllato in tensione, detto VCO (Voltage Controlled Oscillator = Oscillatore controllato in tensione). Il comparatore confronta la fase del segnale dati con quella del segnale di orologio generato localmente dal VCO, fornendo in uscita un segnale d'errore che, attraverso il filtro, comanda il VCO controllandone continuamente la fase.

Uno dei problemi presentati da tale circuito è quello dell'acquisizione di frequenza, cioè del raggiungimento della condizione di identità della frequenza del segnale di orologio e di quella del segnale dati: infatti, se la frequenza naturale di oscillazione del VCO, che genera il segnale di orologio, è molto diversa, un anello così strutturato potrebbe non raggiungere l'aggancio o raggiungerlo in tempi troppo lunghi.

Per ovviare a questo inconveniente, sono state proposte alcune soluzioni che prevedono l'introduzione di un anello aggiuntivo in grado di rilevare la differenza di frequenza e portare il VCO ad oscillare nei pressi della frequenza desiderata, rendendo possibile l'aggancio ad opera del comparatore di fase.

Una di queste soluzioni, che utilizza un circuito PLL costituito da un anello principale e da uno secondario, è descritta nella domanda di brevetto n. TO 93A000955, depositata il 16 dicembre 1993 a nome della stessa richiedente. In questo caso, l'anello secondario fa uso di un discriminatore di fase e frequenza di tipo convenzionale.

Un esempio di realizzazione di un discriminatore di frequenza è descritto nel libro dal titolo "Phaselock Techniques", di Floyd M. Gardner, alle pagg. 86-87. Questa soluzione si presta ad essere realizzata mediante circuiti integrati di tipo analogico, mentre, volendo realizzare un PLL da introdurre in un circuito integrato digitale in tecnologia CMOS, un tale discriminatore di frequenza risulta essere di difficile attuazione.

Ovvio ai suddetti inconvenienti il circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità, oggetto della presente invenzione, il quale permette un rapido raggiungimento della condizione di identità delle frequenze del segnale di orologio, generato localmente, e del segnale dati, anche quando queste differiscono notevolmente fra di loro. Il circuito può essere agevolmente inserito in un più complesso circuito integrato digitale in tecnologia CMOS: ciò consente una migliore ingegnerizzazione delle piastre di circuito stampato non essendo più necessario un circuito PLL esterno. Il circuito, se realizzato in tecnologia CMOS, presenta una bassa dissipazione di potenza ed è in grado di operare a velocità di cifra di oltre 300 Mbit/s.

E' particolare oggetto della presente invenzione un circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità come descritto nella rivendicazione 1.

Queste ed altre caratteristiche della presente invenzione saranno meglio chiarite dalle seguente descrizione di una forma preferita di realizzazione della stessa, data a titolo di esempio non limitativo, e dai disegni annessi in cui:

- la Fig. 1 è uno schema a blocchi del circuito per l'estrazione del segnale di orologio;
- la Fig. 2 è uno schema a blocchi del blocco indicato con DFR in Fig. 1;

- la Fig. 3 è un diagramma temporale relativo al funzionamento del blocco DFR di Fig. 2;

- la Fig. 4 è uno schema a blocchi del blocco indicato con CS in Fig. 1.

Il circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità, rappresentato nello schema a blocchi di Fig. 1, è basato su una struttura a PLL. L'anello principale, composto da un comparatore di fase DFS, da un generatore di corrente pilotato PC1, da un filtro d'anello FI e da un oscillatore controllato in tensione VCO, è responsabile dell'aggancio in fase del segnale di orologio generato dal VCO, presente sul filo 2, con i dati in arrivo sul filo 1.

L'anello secondario, composto da un comparatore di frequenza DFR, da un comparatore di soglia CS, da un generatore di corrente pilotato PC2, dal filtro FI e dall'oscillatore VCO, ha il compito di consentire l'aggancio dell'anello principale portando l'oscillatore VCO ad oscillare ad una frequenza prossima a quella desiderata.

Partendo dall'ipotesi che il VCO oscilli ad una frequenza molto diversa da quella ottimale, che nel presente esempio è pari al quadruplo di quella di riferimento presente sul filo 3, il comparatore di frequenza DFR fornisce in uscita degli impulsi di errore sul filo 4, se la frequenza sul filo 2 è troppo bassa, sul filo 5, se è troppo alta. La frequenza di questi impulsi è proporzionale alla differenza fra la frequenza presente sul filo 2 e il quadruplo di quella presente sul filo 3; inoltre, nel caso di differenze grandi, maggiori per esempio del 25%, non solo la frequenza ma anche la durata degli impulsi è proporzionale alla differenza stessa. L'effetto globale è quello di rendere il valor medio del segnale di errore proporzionale alla differenza di frequenza.

Il comparatore di soglia CS opera in modo da lasciar passare inalterati gli impulsi di errore solo se la loro frequenza sul filo 4 o sul filo 5 è superiore ad un valore prefissato, diversamente li blocca.

Il generatore di corrente pilotato PC2 fornisce una quantità di carica prefissata al filtro FI in risposta a un impulso sul filo 6, mentre toglie la stessa quantità di carica in presenza di un impulso sul filo 7. Il filtro FI, composto da una rete resistenza-capacità (RC), varia di conseguenza la tensione sul filo 12, che controlla la frequenza di oscillazione del VCO, avvicinandola a quella desiderata.

Quando la frequenza di oscillazione del VCO entra nel campo di cattura dell'anello principale, la frequenza degli impulsi in uscita da DFR diventa inferiore alla soglia del comparatore CS, che di conseguenza impedisce la propagazione di ulteriori impulsi verso il generatore di corrente pilotato PC2. In queste condizioni l'anello secondario cessa di operare e il controllo viene assunto dai blocchi che compongono l'anello principale.

La presenza del comparatore di soglia CS consente l'uso di un generatore locale in grado di fornire un segnale di riferimento con frequenza che può differire anche fino a una parte su mille rispetto a quella associata ai dati in arrivo, divisa per quattro. Potrebbe quindi essere usato, per esempio, un semplice oscillatore a cristallo di quarzo non particolarmente preciso.

Il discriminatore di fase DFS, appartenente all'anello principale, confronta la fase del segnale generato dal VCO, presente sul filo 2, con il segnale dati ricevuto sul filo 1 e fornisce in uscita sui fili 9 e 10 degli impulsi d'errore, la cui differenza di durata è pari all'errore di fase. La corrente netta che il generatore di corrente pilotato PC1 inietta nel filtro FI mediante il filo 11 è proporzionale alla differenza di durata degli impulsi; la conseguente variazione di tensione ottenuta in uscita da

FI sul filo 12 provoca una corrispondente variazione di frequenza del segnale sul filo 2, che porta a zero l'errore di fase.

Il blocco indicato con DFR è rappresentato in dettaglio nello schema a blocchi di Fig. 2.

Il comparatore di frequenza DFR funziona in modo sincrono con il segnale di riferimento presente in ingresso sul filo 3, che ha frequenza pari ad un quarto di quella che si deve imporre sul segnale presente sul filo 2. La scelta di un quarto è legata alla particolare realizzazione, ma, adattando opportunamente i moduli che compongono la struttura, il rapporto fra le frequenze in ingresso può essere qualsiasi.

La frequenza del segnale sul filo 2 viene divisa per 16 da un divisore D1, la cui uscita sul filo 22 viene campionata da un blocco campionatore S1, consistente essenzialmente in un flip-flop comandato dal segnale sul filo 3. Il segnale in uscita dal blocco S1 sul filo 23, che risulta così sincronizzato, viene fornito a un successivo divisore D2, il quale lo divide per due fornendo in uscita sul filo 24 impulsi a livello logico stabile.

I blocchi M1, PU1 e PD1 hanno lo scopo di generare gli impulsi di correzione a partire dalla misura della durata del livello logico "1" sul filo 24, i blocchi M2, PU2 e PD2 hanno lo scopo di generare gli impulsi di correzione a partire dalla misura della durata del livello logico "1" sul filo 25, corrispondente al livello logico "0" sul filo 24, essendo interposto un invertitore I1.

Quando il filo 24 si porta dal livello logico "0" al livello logico "1", il blocco M1, che consiste in un circuito monostabile, genera in uscita sul filo 26 un impulso a livello logico "1" di durata pari a quella che dovrebbe avere l'impulso sul filo 24 se la frequenza di oscillazione del VCO (Fig. 1) fosse quella desiderata. La durata

dell'impulso sul filo 26 viene determinata sulla base del segnale di riferimento sul filo 3, mentre l'inizio dell'impulso viene comandato dal segnale sul filo 24.

Se la durata del livello logico "1" sul filo 24 è superiore a quella dell'impulso sul filo 26, significa che la frequenza di oscillazione del segnale sul filo 2 è troppo bassa. La porta AND PU1, che riceve ai suoi ingressi il segnale sul filo 24 e il negato del segnale sul filo 26, rileva questa differenza di durata fornendo in uscita sul filo 28 un impulso di durata pari alla differenza stessa. Quest'ultimo impulso, arrivando al filo 4 attraverso la porta OR PU3, contribuisce ad alzare la frequenza di oscillazione del segnale sul filo 2.

Se la durata del livello logico "1" sul filo 24 è inferiore a quella dell'impulso sul filo 26, significa che la frequenza di oscillazione del segnale sul filo 2 è troppo alta. La porta AND PD1, che riceve ai suoi ingressi il negato del segnale sul filo 24 e il segnale sul filo 26, rileva questa differenza di durata fornendo in uscita sul filo 29 un impulso di durata pari alla differenza stessa, che, arrivando al filo 5 attraverso la porta OR PD3, contribuisce ad abbassare la frequenza di oscillazione del segnale sul filo 2.

Come già accennato, il circuito monostabile M2, insieme con le porte AND PU2 e PD2, opera le stesse correzioni valutando la durata del livello logico "1" sul filo 25, ottenuto invertendo mediante I1 il segnale sul filo 24. L'impulso per far aumentare la frequenza di oscillazione del segnale sul filo 2 viene fornito da PU2 sul filo 30 e passa sul filo 4 attraverso la porta OR PU3, mentre l'impulso per fare diminuire la suddetta frequenza è fornito da PD2 sul filo 31 e passa sul filo 5 attraverso la porta OR PD3. L'uso di una struttura duplicata, che utilizza sia l'informazione contenuta nella durata del livello logico "1", sia quella contenuta nella durata del livello

logico "0", consente una più veloce convergenza del PLL alla situazione di aggancio.

In Fig. 3 è illustrato un diagramma temporale relativo al funzionamento del comparatore di frequenza DFR, dove ogni forma d'onda è indicata con lo stesso numero utilizzato per identificare il relativo filo nelle figure precedenti. L'esempio mostrato si riferisce ad una situazione in cui la frequenza di oscillazione all'uscita del VCO è inferiore a quella operativa.

Nel caso in cui la differenza di frequenza fosse minore di quella illustrata in figura, gli impulsi di correzione presenti sul filo 4, pur mantenendo la stessa durata, sarebbero meno frequenti nel tempo.

La Fig. 4 illustra lo schema a blocchi del comparatore di soglia CS.

Il compito di CS è quello di escludere il contributo di correzione del comparatore di frequenza DFR (Fig. 1) quando la frequenza di oscillazione all'uscita del VCO è entrata nel campo di cattura dell'anello principale, che si incarica di effettuare l'aggancio di fase. Al contrario, non appena la differenza di frequenza supera un valore predefinito, il comparatore di soglia ripristina il funzionamento dell'anello secondario.

L'elemento principale del comparatore è il blocco M3, il quale in presenza di un impulso all'ingresso sul filo 40 fornisce in uscita sul filo 41 un impulso di durata pari ad un numero N di cicli del segnale di orologio in ingresso sul filo 3, per esempio 256. Il segnale sul filo 41 comanda l'apertura e la chiusura delle porte PU4 e PD4, attivando e disattivando le operazioni dell'anello secondario. Se arriva un impulso in ingresso sul filo 40 mentre il segnale sul filo 41 è attivo, la durata dello stesso impulso sul filo 41 viene prolungata in modo da mantenerlo attivo per N cicli a partire dall'ultimo impulso giunto.

Un impulso sul filo 4, oppure sul filo 5, passa attraverso la porta OR P4 attivando il funzionamento del blocco M3, che abilita l'apertura delle due porte PU4 e PD4. Un successivo impulso sul filo 4, o sul filo 5, può essere trasferito attraverso la porta PU4 o PD4, rispettivamente, al filo 6 o 7, se giunge entro l'intervallo di abilitazione dato dal segnale sul filo 41, diversamente viene bloccato.

E' evidente che quanto descritto è stato dato a titolo di esempio non limitativo. Varianti e modifiche sono possibili senza per questo uscire dall'ambito di protezione delle rivendicazioni.

COSELT
Centro Studi e Laboratori Telecomunicazioni S.p.A.

Rivendicazioni

1. Circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità, consistente in:

- un anello ad aggancio di fase principale, composto da un comparatore di fase (DFS), un generatore di corrente pilotato (PC1), un filtro (FI) e un oscillatore controllato in tensione (VCO) in cui il comparatore di fase confronta la fase del segnale dati (1) con quella di un segnale di orologio generato localmente (2), fornendo in uscita un segnale d'errore che, attraverso il generatore di corrente pilotato e il filtro, comanda l'oscillatore controllato in tensione controllandone continuamente la fase;

- un anello secondario, che consente l'aggancio dell'anello principale portando l'oscillatore controllato in tensione ad oscillare ad una frequenza prossima a quella operativa;

caratterizzato da ciò che l'anello secondario è composto da un comparatore di frequenza (DFR), da un comparatore di soglia (CS) e da un generatore di corrente pilotato (PC2) che alimenta il suddetto filtro (FI), il comparatore di frequenza (DFR) comprendendo:

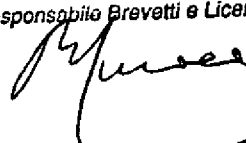
- un primo divisore (D1), il quale divide il segnale di orologio generato localmente (2);
- un blocco campionatore (S1), il quale sincronizza il segnale (22) fornito dal primo divisore ad un segnale di riferimento (3);
- un secondo divisore (D2), il quale divide per 2 il segnale (23) fornito dal blocco campionatore;
- un primo circuito monostabile (M1), il quale genera in uscita (26) impulsi che hanno una durata determinata sulla base del segnale di riferimento (3) e che

- hanno istante di inizio determinato dalle transizioni del segnale (24) fornito dal secondo divisore (D2);
- un secondo circuito monostabile (M2), il quale genera in uscita (27) impulsi che hanno una durata determinata sulla base del segnale di riferimento (3) e che hanno istante di inizio determinato dalle transizioni del segnale (25) ottenuto invertendo il segnale fornito dal secondo divisore (D2);
- una prima porta AND (PU1) che riceve il segnale (24) fornito dal secondo divisore (D2) e il negato del segnale (26) fornito dal primo circuito monostabile (M1);
- una seconda porta AND (PD1) che riceve il negato del segnale (24) fornito dal secondo divisore (D2) e il segnale (26) fornito dal primo circuito monostabile (M1);
- una terza porta AND (PU2) che riceve il negato (25) del segnale (24) fornito dal secondo divisore (D2) e il negato del segnale (27) fornito dal secondo circuito monostabile (M2);
- una quarta porta AND (PD2) che riceve il segnale (24) fornito dal secondo divisore (D2) e il segnale (27) fornito dal secondo circuito monostabile (M2);
- una prima porta OR (PU3) che riceve il segnale (28) fornito dalla prima porta AND (PU1) e il segnale (30) fornito dalla terza porta AND (PU2) e fornisce impulsi (4) di frequenza e durata proporzionale all'errore di frequenza, se la frequenza del segnale di orologio (2) è minore di quella del segnale di riferimento (3);
- una seconda porta OR (PD3) che riceve il segnale (29) fornito dalla seconda porta AND (PD1) e il segnale (31) fornito dalla quarta porta AND (PD2) e fornisce impulsi (5) di frequenza e durata proporzionale all'errore di frequenza, se la frequenza del segnale di orologio (2) è maggiore di quella del segnale di riferimento (3).

2. Circuito per l'estrazione del segnale di orologio da un flusso dati ad alta velocità come nella rivendicazione 1, caratterizzato dal fatto che detto comparatore di soglia (CS) comprende:

- una terza porta OR (P4) che riceve in ingresso i segnali (4, 5) forniti da dette prima e seconda porta OR (PU3, PD3);
- un blocco (M3) il quale genera in uscita un impulso (41) di durata pari ad alcuni cicli del segnale di riferimento (3) ogni volta che riceve al suo ingresso (40) un impulso fornito dalla terza porta OR;
- una quinta e una sesta porta AND (PU4, PD4), le quali permettono il passaggio alle rispettive uscite (6, 7) dei segnali (4, 5) forniti da dette prima e seconda porta OR (PU3, PD3), quando abilitate dall'impulso (41) fornito dal blocco (M3), per alimentare detto generatore di corrente pilotato (PC2).

CSELT
Centro Studi e Laboratori Telecomunicazioni S.p.A.
Il Responsabile Brevetti e Licenze



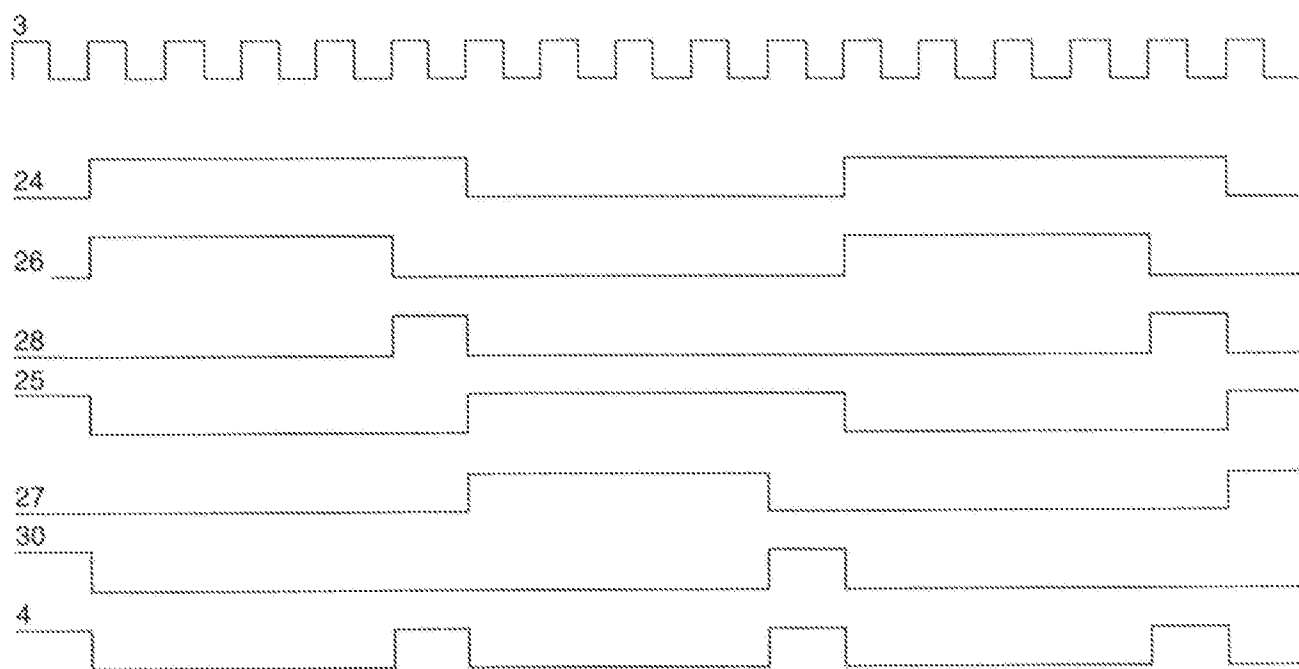


Fig. 3

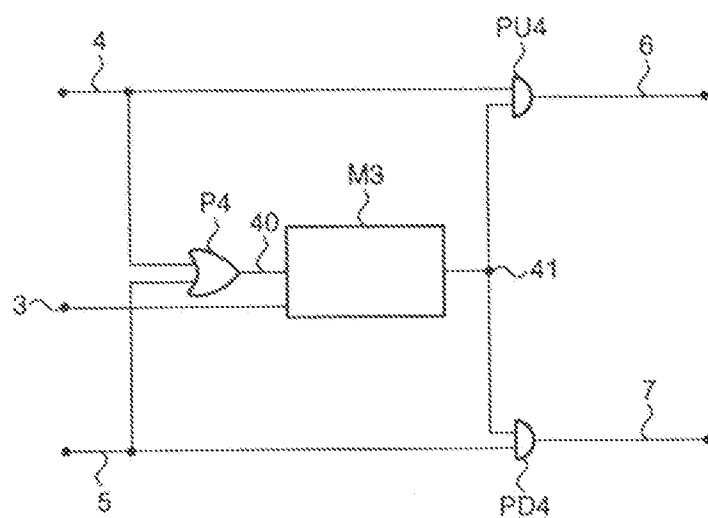


Fig. 4

Centro Studi e Ricerche
Il Risparmio e i Servizi e Licenze

Reference