

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2017-45793
(P2017-45793A)

(43) 公開日 平成29年3月2日(2017.3.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2017.01)	HO 1 L 27/10 4 3 4	5 F 0 4 8
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 6 1	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 8 1	5 F 1 1 0
HO 1 L 29/792 (2006.01)	HO 1 L 27/08 1 0 2 C	
審査請求 未請求 請求項の数 15 O L (全 51 頁) 最終頁に続く		

(21) 出願番号	特願2015-165818 (P2015-165818)	(71) 出願人	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成27年8月25日 (2015.8.25)	(74) 代理人	110002066 特許業務法人筒井国際特許事務所
		(72) 発明者	横山 秀樹 東京都江東区豊洲三丁目2番24号 ルネ サスエレクトロニクス株式会社内
		Fターム(参考)	5F048 AB01 AC01 AC03 BA16 BB02 BB06 BB07 BB08 BB11 BB12 BB15 BB16 BB17 BC02 BC03 BC05 BC18 BD04 BE03 BE04 BE09 BF02 BF06 BF07 BF15 BF16 BF17 BF18 BG13 DA25 DA27 DA30
		最終頁に続く	

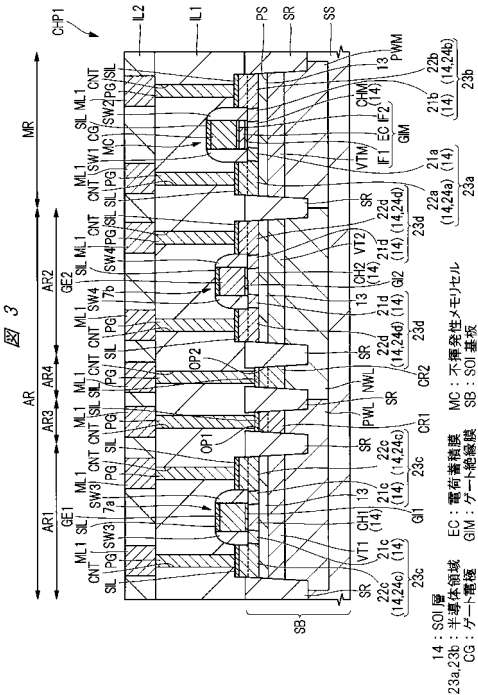
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置の性能を向上させる。

【解決手段】半導体装置は、SOI基板SBのSOI層14上に、内部に電荷蓄積膜ECを有するゲート絶縁膜GIMを介して形成されたゲート電極CGと、ゲート電極CGの両側のSOI層14にそれぞれ形成されたn型の半導体領域23aおよびp型の半導体領域23bと、を有する。ゲート絶縁膜GIMとゲート電極CGとn型の半導体領域23aとp型の半導体領域23bとにより不揮発性メモリセルとしてのメモリセルMCが形成されている。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基体と、
前記基体上に形成された絶縁層と、
前記絶縁層上に形成された半導体層と、
前記半導体層上に形成され、内部に電荷蓄積部を有するゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
平面視において、前記ゲート電極に対して第 1 の側に位置する部分の前記半導体層に形成された、第 1 導電型の第 1 半導体領域と、
平面視において、前記ゲート電極に対して前記第 1 の側と反対側に位置する部分の前記半導体層に形成された、前記第 1 導電型と異なる第 2 導電型の第 2 半導体領域と、
を有し、
前記ゲート絶縁膜と前記ゲート電極と前記第 1 半導体領域と前記第 2 半導体領域とにより不揮発性メモリセルが形成されている、半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、
前記ゲート電極の下方に位置する部分の前記半導体層に形成された、p 型の第 3 半導体領域を有し、
前記第 1 導電型は n 型であり、
前記第 2 導電型は p 型であり、
前記第 2 半導体領域における p 型の不純物濃度は、前記第 3 半導体領域における p 型の不純物濃度よりも高い、半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、
前記第 1 半導体領域における n 型の不純物濃度は、前記第 2 半導体領域における p 型の不純物濃度よりも高い、半導体装置。

【請求項 4】

請求項 2 記載の半導体装置において、
前記不揮発性メモリセルに記憶されたデータを読み出す際に、前記第 2 半導体領域には、前記第 1 半導体領域に印加される電圧よりも高い電圧が印加される、半導体装置。

【請求項 5】

請求項 2 記載の半導体装置において、
前記不揮発性メモリセルにデータが書き込まれる際に、前記第 1 半導体領域から前記電荷蓄積部に電子が注入され、
前記不揮発性メモリセルに記憶されたデータが消去される際に、前記第 2 半導体領域から前記電荷蓄積部に正孔が注入される、半導体装置。

【請求項 6】

基体と、
前記基体の主面の第 1 領域、および、前記基体の前記主面の第 2 領域で、前記基体上に形成された絶縁層と、
前記絶縁層上に形成された半導体層と、
前記第 1 領域で、前記半導体層上に形成され、内部に電荷蓄積部を有する第 1 ゲート絶縁膜と、
前記第 1 ゲート絶縁膜上に形成された第 1 ゲート電極と、
前記第 1 ゲート電極の下方に位置する部分の前記半導体層に形成された第 1 半導体領域と、
前記第 2 領域で、前記半導体層上に形成された第 2 ゲート絶縁膜と、
前記第 2 ゲート絶縁膜上に形成された第 2 ゲート電極と、
前記第 2 ゲート電極の下方に位置する部分の前記半導体層に形成された第 2 半導体領域と、

を有し、

前記第 1 ゲート絶縁膜と前記第 1 ゲート電極と前記第 1 半導体領域とにより不揮発性メモリセルが形成され、

前記第 2 ゲート絶縁膜と前記第 2 ゲート電極と前記第 2 半導体領域とにより M I S F E T が形成され、

前記第 1 半導体領域は、第 1 導電型の第 1 不純物を含有し、

前記第 2 半導体領域は、前記第 1 半導体領域における前記第 1 不純物の濃度よりも低い濃度で前記第 1 不純物を含有するか、または、前記第 1 不純物を含有しない、半導体装置。

【請求項 7】

10

請求項 6 記載の半導体装置において、

前記第 2 半導体領域は、前記第 1 不純物を含有し、

前記第 1 半導体領域のうち前記絶縁層と接触した第 1 部分における前記第 1 不純物の濃度は、前記第 2 半導体領域における前記第 1 不純物の濃度よりも高い、半導体装置。

【請求項 8】

請求項 6 記載の半導体装置において、

前記第 1 半導体領域のうち前記第 1 ゲート絶縁膜と接触した第 2 部分は、前記第 1 半導体領域のうち前記絶縁層と接触した第 3 部分における前記第 1 不純物の濃度よりも低い濃度で前記第 1 不純物を含有するか、または、前記第 1 不純物を含有しない、半導体装置。

【請求項 9】

20

請求項 6 記載の半導体装置において、

前記第 1 導電型は、p 型であり、

前記第 1 不純物は、ホウ素からなり、

前記第 1 半導体領域は、炭素からなる第 2 不純物を含有する、半導体装置。

【請求項 10】

請求項 6 記載の半導体装置において、

前記第 1 領域で、平面視において、前記第 1 ゲート電極に対して第 1 の側に位置する部分の前記半導体層に形成された、n 型の第 3 半導体領域を有し、

前記第 1 導電型は、p 型であり、

前記不揮発性メモリセルにデータが書き込まれる際に、前記第 3 半導体領域から前記電荷蓄積部に電子が注入され、

30

前記不揮発性メモリセルに記憶されたデータが消去される際に、前記第 1 半導体領域から前記電荷蓄積部に正孔が注入される、半導体装置。

【請求項 11】

(a) 基体と、前記基体上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、を含む半導体基板を用意する工程、

(b) 前記半導体層上に、内部に電荷蓄積部を有するゲート絶縁膜を形成し、前記ゲート絶縁膜上に、ゲート電極を形成する工程、

(c) 平面視において、前記ゲート電極に対して第 1 の側に位置する部分の前記半導体層に、第 1 導電型の第 1 半導体領域を形成する工程、

40

(d) 平面視において、前記ゲート電極に対して前記第 1 の側と反対側に位置する部分の前記半導体層に、前記第 1 導電型と異なる第 2 導電型の第 2 半導体領域を形成する工程、

を有し、

前記ゲート絶縁膜と前記ゲート電極と前記第 1 半導体領域と前記第 2 半導体領域とにより不揮発性メモリセルが形成される、半導体装置の製造方法。

【請求項 12】

請求項 11 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記ゲート電極の下方に位置する部分の前記半導体層に、p 型の第 3 半導体領域を形成し、

50

前記第 1 導電型は n 型であり、

前記第 2 導電型は p 型であり、

前記第 2 半導体領域における p 型の不純物濃度は、前記第 3 半導体領域における p 型の不純物濃度よりも高い、半導体装置の製造方法。

【請求項 1 3】

請求項 1 2 記載の半導体装置の製造方法において、

前記第 1 半導体領域における n 型の不純物濃度は、前記第 2 半導体領域における p 型の不純物濃度よりも高い、半導体装置の製造方法。

【請求項 1 4】

請求項 1 2 記載の半導体装置の製造方法において、

前記不揮発性メモリセルに記憶されたデータを読み出す際に、前記第 2 半導体領域には、前記第 1 半導体領域に印加される電圧よりも高い電圧が印加される、半導体装置の製造方法。

10

【請求項 1 5】

請求項 1 2 記載の半導体装置の製造方法において、

前記不揮発性メモリセルにデータが書き込まれる際に、前記第 1 半導体領域から前記電荷蓄積部に電子が注入され、

前記不揮発性メモリセルに記憶されたデータが消去される際に、前記第 2 半導体領域から前記電荷蓄積部に正孔が注入される、半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、例えば、不揮発性メモリを備えた半導体装置およびその製造技術に適用して有効な技術に関する。

【背景技術】

【0002】

バルク基板に形成された M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) においては、微細化に伴って、短チャネル特性または閾値電圧の均一性などの性能が低下し、消費電力が増加しやすい。

【0003】

一方、バルク基板としての基体上に埋め込み酸化膜である B O X (Buried Oxide) 層と半導体層である S O I (Silicon On Insulator) 層が形成された S O I 基板上に形成された M I S F E T は、微細化された場合でも、バルク基板上の M I S F E T に比べて短チャネル特性または閾値電圧の均一性などの性能に優れ、低消費電力化にも有利である。また、S O I 基板上に形成された M I S F E T は、薄膜 B O X - S O I 上の M I S F E T、すなわち S O T B (Silicon On Thin Buried oxide) - M I S F E T と称される。

30

【0004】

このような S O T B - M I S F E T が搭載された半導体装置として、不揮発性メモリと混載された半導体装置がある。不揮発性メモリとしては、M O N O S (Metal-Oxide-Nitride-Oxide-Semiconductor) 膜、または、S O N O S (Silicon-Oxide-Nitride-Oxide-Silicon) 膜を電荷蓄積膜として用いたものがある。

40

【0005】

特開 2 0 1 4 - 2 3 2 8 1 0 号公報 (特許文献 1) には、半導体装置において、M O N O S 膜を用いたメモリセルが、S O I 基板の S O I 領域に形成される技術が開示されている。特開 2 0 0 6 - 3 1 0 8 6 0 号公報 (特許文献 2) には、フラッシュメモリにおいて、S O I 基板上に形成されたフラッシュブロックと、S O I 基板の下面に形成されるボディ電極とが含まれる技術が開示されている。

【0006】

特表 2 0 0 2 - 5 2 0 8 0 7 号公報 (特許文献 3) には、非揮発性半導体装置において、メモリートランジスタが S O N O S トンネル金属絶縁性半導体電界効果トランジスタ

50

ーを含む技術が開示されている。特開 2 0 0 7 - 2 3 4 8 6 1 号公報（特許文献 4）には、半導体装置の製造方法において、半導体基板の第 1 領域上に第 1 M I S F E T を形成し、半導体基板の第 2 領域上に第 2 M I S F E T を形成する技術が開示されている。

【先行技術文献】

【特許文献】

【0 0 0 7】

【特許文献 1】特開 2 0 1 4 - 2 3 2 8 1 0 号公報

【特許文献 2】特開 2 0 0 6 - 3 1 0 8 6 0 号公報

【特許文献 3】特表 2 0 0 2 - 5 2 0 8 0 7 号公報

【特許文献 4】特開 2 0 0 7 - 2 3 4 8 6 1 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 8】

このような S O T B - M I S F E T と混載される不揮発メモリとしては、S O T B - M I S F E T が低消費電力化に有利であるため、低電圧読み出しが可能な不揮発性メモリであることが望ましく、例えば S O I 基板の S O I 層上に形成された S O N O S 膜を電荷蓄積膜として用いたメモリセルであることが望ましい。このような S O I 層上に形成された S O N O S 膜を有するメモリセルとして、S O N O S 膜からなるゲート絶縁膜上に形成されたゲート電極と、ゲート電極の下方の S O I 層に形成されたチャネル領域と、ゲート電極を挟んで両側の S O I 層にそれぞれ形成された n 型の半導体領域と、を有するものがある。

20

【0 0 0 9】

このような S O N O S 膜を有する不揮発性メモリセルとしてのメモリセルのデータを消去する際には、n 型の半導体領域に印加される電圧よりも低い電圧がゲート電極に印加され、チャネル領域から電荷蓄積膜に正孔が注入される。ところが、チャネル領域における p 型の不純物濃度が低いため、チャネル領域から電荷蓄積膜に注入される正孔の数が少ない。一方、S O I 基板の基体から電荷蓄積膜に正孔が注入される速度は遅い。そのため、データの消去速度が遅くなり、半導体装置の性能を向上させることができない。

【0 0 1 0】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0 0 1 1】

一実施の形態によれば、半導体装置は、S O I 基板の S O I 層上に、内部に電荷蓄積部を有するゲート絶縁膜を介して形成されたゲート電極と、ゲート電極の両側の S O I 層にそれぞれ形成された n 型の半導体領域および p 型の半導体領域と、を有する。ゲート絶縁膜とゲート電極と n 型の半導体領域と p 型の半導体領域とにより不揮発性メモリセルが形成されている。

【0 0 1 2】

また、他の実施の形態によれば、半導体装置は、S O I 基板の基体の上面の第 1 領域で、S O I 層に形成された第 1 チャネル領域と、第 1 チャネル領域上に、内部に電荷蓄積部を有する第 1 ゲート絶縁膜を介して形成された第 1 ゲート電極と、を有する。また、半導体装置は、S O I 基板の基体の上面の第 2 領域で、S O I 層に形成された第 2 チャネル領域と、第 2 チャネル領域上に第 2 ゲート絶縁膜を介して形成された第 2 ゲート電極と、を有する。第 1 チャネル領域と第 1 ゲート絶縁膜と第 1 ゲート電極とにより不揮発性メモリセルが形成され、第 2 チャネル領域と第 2 ゲート絶縁膜と第 2 ゲート電極とにより M I S F E T が形成されている。第 1 チャネル領域における p 型の不純物濃度は、第 2 チャネル領域における p 型の不純物濃度よりも低い。

40

【0 0 1 3】

また、他の実施の形態によれば、半導体装置の製造方法において、S O I 基板の S O I

50

層上に、内部に電荷蓄積部を有するゲート絶縁膜を介してゲート電極を形成し、ゲート電極の両側のSOI層にそれぞれn型の半導体領域およびp型の半導体領域を形成する。ゲート絶縁膜とゲート電極とn型の半導体領域とp型の半導体領域とにより不揮発性メモリセルが形成される。

【発明の効果】

【0014】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0015】

【図1】実施の形態1における半導体チップのレイアウト構成例を示す図である。

10

【図2】不揮発性メモリの回路ブロック構成の一例を示す図である。

【図3】実施の形態1の半導体装置の要部断面図である。

【図4】メモリセルのメモリアレイ構造と動作条件の一例を示す説明図である。

【図5】メモリセルのメモリアレイ構造と動作条件の一例を示す説明図である。

【図6】メモリセルのメモリアレイ構造と動作条件の一例を示す説明図である。

【図7】比較例の半導体装置の要部断面図である。

【図8】比較例の半導体装置の要部断面図である。

【図9】実施の形態1の半導体装置の要部断面図である。

【図10】実施の形態1の半導体装置の要部断面図である。

【図11】比較例の半導体装置および実施の形態1の半導体装置において、正孔の密度の深さ方向の位置依存性を示すグラフである。

20

【図12】実施の形態1の変形例の半導体装置の要部断面図である。

【図13】実施の形態1の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図14】実施の形態1の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図15】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図16】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図17】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図18】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図19】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図20】実施の形態1の半導体装置の製造工程中の要部断面図である。

30

【図21】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図22】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図23】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図24】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図25】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図26】実施の形態1の半導体装置の製造工程中の要部断面図である。

【図27】実施の形態2の半導体装置の要部断面図である。

【図28】実施の形態2の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図29】実施の形態2の半導体装置の製造工程の一部を示すプロセスフロー図である。

【図30】実施の形態2の半導体装置の製造工程中の要部断面図である。

40

【図31】実施の形態2の半導体装置の製造工程中の要部断面図である。

【図32】実施の形態2の半導体装置の製造工程中の要部断面図である。

【図33】実施の形態2の半導体装置の製造工程中の要部断面図である。

【図34】実施の形態2の半導体装置の製造工程中の要部断面図である。

【図35】実施の形態2の半導体装置の製造工程中の要部断面図である。

【図36】実施の形態2の半導体装置の製造工程中の要部断面図である。

【発明を実施するための形態】

【0016】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なも

50

のではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0017】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0018】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

【0019】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0020】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

【0021】

（実施の形態1）

<半導体チップのレイアウト構成例>

初めに、実施の形態1の半導体装置を備えた半導体チップのレイアウト構成例について説明する。本実施の形態1の半導体装置を備えた半導体チップは、SOI基板上に形成されており、SOTB-MISFETが搭載された半導体装置と、不揮発性メモリとが混載されたものである。

【0022】

本実施の形態1の半導体装置を備えた半導体チップは、相対的に低い電圧で駆動する低耐圧MISFETと、高電圧駆動を可能とするために相対的に高い電圧で駆動する高耐圧MISFETと、書き換え可能な不揮発性メモリセルと、を備えている。なお、後述する図3を用いて説明する半導体装置の断面構造については、nチャネル型の低耐圧MISFETと、pチャネル型の低耐圧MISFETと、不揮発性メモリセルについて、説明する。

【0023】

図1は、実施の形態1における半導体チップのレイアウト構成例を示す図である。図1に示すように、半導体チップCHP1は、CPU1、ROM（Read Only Memory）2、RAM3、アナログ回路4、不揮発性メモリ5およびI/O（Input/Output）回路6を有する。

【0024】

CPU1は、中央演算処理装置とも呼ばれ、コンピュータなどの心臓部にあたる。このCPU1は、記憶装置から命令を読み出して解読し、それに基づいて多種多様な演算や制御を行うものであり、処理の高速性が要求される。したがって、CPU1を構成しているMISFETには、半導体チップCHP1に形成されている素子の中で、相対的に大きな電流駆動力が必要とされる。すなわち、CPU1は、低耐圧MISFETから構成される。

【0025】

ROM2は、記憶情報が固定され変更できないメモリで、読み出し専用メモリと呼ばれる。ROM2の構成には、MISFETを直列接続したNAND型と、MISFETを並列接続したNOR型がある。NAND型は、集積密度重視であるのに対し、NOR型は、動作速度重視の目的で使用されることが多い。このROM2も動作の高速性が要求されるため、ROM2を構成しているMISFETには、相対的に大きな電流駆動力が必要とさ

10

20

30

40

50

れる。すなわち、ROM 2 は、低耐圧MISFETから構成される。

【0026】

RAM 3 は、記憶情報をランダムに、すなわち随時記憶されている記憶情報を読み出し
たり、記憶情報を新たに書き込んだりすることができるメモリであり、随時書き込み読み
出しができるメモリとも呼ばれる。ICメモリとしてのRAM 3には、ダイナミック回路
を用いたDRAM (Dynamic RAM) とスタティック回路を用いたSRAM (Static RAM)
の2種類がある。DRAMは、記憶保持動作が必要な随時書き込み読み出しメモリであり
、SRAMは、記憶保持動作が不要な随時書き込み読み出しメモリである。これらRAM
3も動作の高速性が要求されるため、RAM 3を構成しているMISFETには、相対的
に大きな電流駆動力が必要とされている。すなわち、RAM 3は、低耐圧MISFETか
ら構成される。

10

【0027】

アナログ回路4は、時間的に連続して変化する電圧や電流の信号、すなわちアナログ信
号を扱う回路であり、例えば増幅回路、変換回路、変調回路、発振回路、電源回路などか
ら構成されている。これらアナログ回路4は、半導体チップCHP 1に形成された素子
の中で、相対的に高耐圧の高耐圧MISFETが使用される。

【0028】

不揮発性メモリ5は、書き込み動作および消去動作とも電氣的に書き換え可能な不揮
発性メモリの一種であり、電氣的消去可能なプログラマブル読み出し専用メモリとも呼ば
れる。本実施の形態1では、この不揮発性メモリ5は、SONOS膜を有する不揮発性メモ
リセルとしてのメモリセルMC (後述する図3参照) から構成される。メモリセルMCの
書き込み動作および消去動作には、例えばFN (Fowler-Nordheim) トンネルが利用され
る。

20

【0029】

I/O回路6は、入出力回路であり、半導体チップCHP 1内から半導体チップCHP
1の外部に接続された機器へのデータの出力や、半導体チップCHP 1の外部に接続され
た機器から半導体チップCHP 1内へのデータの入力を行うための回路である。このI/
O回路6は、相対的に高耐圧の高耐圧MISFETから構成される。

【0030】

< 不揮発性メモリの回路ブロック構成 >

30

次に、図2は、不揮発性メモリの回路ブロック構成の一例を示す図である。図2におい
て、不揮発性メモリ5は、メモリアレイ10と、直接周辺回路部11と、間接周辺回路部
12と、を有している。

【0031】

メモリアレイ10は、不揮発性メモリ5の記憶部にあたり、メモリセルが縦と横の2次
元状 (アレイ状) に多数配置されている。メモリセルは、1ビットの単位情報を記憶す
るための回路であり、記憶部であるメモリセルMC (後述する図3参照) より構成されてい
る。

【0032】

直接周辺回路部11は、メモリアレイ10を駆動するための回路、すなわち駆動回路で
あり、例えば電源電圧から数倍の電圧を生成する昇圧回路、昇圧用クロック発生回路、電
圧クランプ回路、行や列を選択するカラムデコーダやロウアドレスデコーダ、カラムラッ
チ回路およびWELL制御回路などを有している。これら直接周辺回路部11を構成する
MISFETは、半導体チップCHP 1に形成されている素子の中で、相対的に高耐圧を
必要とする高耐圧MISFETより形成されている。

40

【0033】

また、間接周辺回路部12は、メモリアレイの書換え制御回路であり、設定回路、通常
用書換えクロック生成部、高速用書換えクロック生成部および書換えタイミング制御部な
どを有している。これら間接周辺回路部12を構成するMISFETは、半導体チップC
HP 1に形成されている素子の中で、相対的に低い電圧で駆動し、高速動作が可能な低耐

50

圧MISFETより形成されている。

【0034】

<半導体装置の構造>

次に、実施の形態1の半導体装置としての半導体チップCHP1の構造を、図面を参照して説明する。図3は、実施の形態1の半導体装置の要部断面図である。

【0035】

図3に示すように、実施の形態1の半導体装置としての半導体チップCHP1は、メモリ形成領域MRと、主回路形成領域ARと、を有する。また、主回路形成領域ARは、低耐圧MISFET形成領域AR1およびAR2を含む。

【0036】

メモリ形成領域MRには、図1に示す不揮発性メモリ5のメモリセルが形成されており、このメモリセルは、SONOS膜を有するメモリセルMCにより形成されている。

【0037】

本実施の形態1の半導体装置におけるメモリセルMCは、ソース領域およびドレイン領域に相当する2つの半導体領域のうち、一方がn型の半導体領域であり、他方がp型の半導体領域である点で、通常の電界効果トランジスタとは異なった構造を有する。しかし、本実施の形態1におけるメモリセルMCは、ゲート電極、ソース領域およびドレイン領域がそれぞれ電氣的に接続された3端子素子である点において、通常の電界効果トランジスタと類似しているため、説明の便宜上、トランジスタと称する。

【0038】

なお、「p型」とは、主要な電荷担体が正孔である導電型を意味し、「n型」とは、「p型」とは異なる導電型であって、主要な電荷担体が電子である導電型を意味する。

【0039】

低耐圧MISFET形成領域AR1およびAR2には、高速動作を可能とするために大きな電流駆動力を必要とする低耐圧MISFETとしてのMISFET7aおよび7bが形成されている。MISFET7aは、nチャネル型のMISFETであり、MISFET7bは、pチャネル型のMISFETである。このような低耐圧MISFETとしてのMISFET7aおよび7bが形成される領域としては、例えば、CPU1、ROM2またはRAM3の形成領域などが考えられる。低耐圧MISFETとしてのMISFET7aおよび7bは、例えば、1.5V程度の電源電圧で動作する。

【0040】

また、高耐圧MISFET形成領域（図示は省略）には、高耐圧MISFETが形成されている。このような高耐圧MISFETが形成される領域としては、例えば、アナログ回路4の形成領域やI/O回路6が形成されている領域などが考えられる。高耐圧MISFETは、例えば、5V程度の電源電圧で動作する。

【0041】

図3に示すように、半導体チップCHP1は、半導体基板としてのSOI基板SBを有する。SOI基板SBは、半導体基板としての基体SSと、絶縁層、すなわち埋め込み酸化膜としてのBOX層13と、半導体層としてのSOI層14と、を有する。基体SSの主面としての上面PS上に、BOX層13が形成され、BOX層13上に、SOI層14が形成されている。

【0042】

基体SSは、例えばシリコン(Si)基板からなり、好適には、シリコン単結晶基板からなる。BOX層13は、例えば酸化シリコン膜からなる。BOX層13の厚さは、例えば10~40nm程度である。SOI層14は、例えばシリコン単結晶層からなる。SOI層14の厚さは、例えば10~20nm程度である。

【0043】

基体SSの上面PSには、素子を分離する素子分離領域SRが形成されている。また、素子分離領域SRによって分離された活性領域が、それぞれメモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2となっている。すなわち、メモリ形

10

20

30

40

50

成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2は、SOI基板SBの上面PSのそれぞれ一部の領域である。メモリ形成領域MRで、基体SSの上面PS側には、p型ウェルPWMが形成されている。同様に、低耐圧MISFET形成領域AR1で、基体SSの上面PS側には、p型ウェルPWLが形成されており、低耐圧MISFET形成領域AR2で、基体SSの上面PS側には、n型ウェルNWLが形成されている。

【0044】

なお、BOX層13は、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、基体SS上に形成されている。

【0045】

次に、SONOS膜を有する不揮発性メモリセルとしてのメモリセルMCについて説明する。メモリセルMCは、p型ウェルPWMと、半導体領域VTMと、BOX層13と、チャネル領域CHMと、ゲート絶縁膜GIMと、ゲート電極CGと、サイドウォールスペーサSW1およびSW2と、n⁻型半導体領域21aと、p⁻型半導体領域21bと、n⁺型半導体領域22aと、p⁺型半導体領域22bと、を有する。すなわち、不揮発性メモリセルは、ゲート絶縁膜GIMと、ゲート電極CGと、n⁻型半導体領域21aと、p⁻型半導体領域21bと、n⁺型半導体領域22aと、p⁺型半導体領域22bと、により形成される。また、ゲート絶縁膜GIMは、例えば酸化シリコン膜からなる絶縁膜IF1と、例えば窒化シリコン膜からなる絶縁膜としての電荷蓄積膜ECと、例えば酸化シリコン膜からなる絶縁膜IF2と、を含み、ONO (Oxide-Nitride-Oxide) 膜とも称される。なお、「n⁻型」および「n⁺型」とは、主要な電荷担体が電子である導電型を意味し、「p⁻型」および「p⁺型」とは、主要な電荷担体が正孔である導電型を意味する。

【0046】

メモリ形成領域MRで、基体SSの上層部、すなわち基体SSの上面PS側には、p型ウェルPWMが形成されている。p型ウェルPWMは、例えばホウ素(B)などのp型の不純物が導入されたp型の半導体領域である。p型ウェルPWMにおけるp型の不純物濃度を、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

【0047】

p型ウェルPWMの上層部には、半導体領域VTMが形成されている。半導体領域VTMは、例えばホウ素(B)などのp型の不純物が導入されたp型の半導体領域であり、メモリセルMCの動作電圧を調整するための半導体領域である。半導体領域VTMにおけるp型の不純物濃度を、例えばp型ウェルPWMにおけるp型の不純物濃度よりも高くすることができる。

【0048】

メモリ形成領域MRで、SOI層14上には、絶縁膜IF1が形成され、絶縁膜IF1上には、電荷蓄積膜ECが形成され、電荷蓄積膜EC上には、絶縁膜IF2が形成され、絶縁膜IF2上に、導電膜からなるゲート電極CGが形成されている。すなわち、SOI層14上には、ゲート絶縁膜GIMが形成され、ゲート絶縁膜GIM上には、ゲート電極CGが形成されている。ゲート絶縁膜GIMは、内部に電荷蓄積部としての電荷蓄積膜ECを有する。ゲート電極CGは、例えば多結晶シリコン膜、すなわちポリシリコン膜からなる。

【0049】

ゲート電極CGの下方に位置する部分のSOI層14には、半導体領域としてのチャネル領域CHMが形成されている。チャネル領域CHMは、例えばホウ素(B)などのp型の不純物が導入されたp型の半導体領域であるか、または、不純物が導入されておらず、n型の導電性およびp型の導電性のいずれをも示さないイントリンシック状態の半導体領域である。また、チャネル領域CHMが、p型の半導体領域である場合でも、チャネル領域CHMにおけるp型の不純物濃度は、p⁻型半導体領域21bおよびp⁺型半導体領域22bのいずれにおけるp型の不純物濃度よりも低い。チャネル領域CHMが、p型の不純物を含有する場合、チャネル領域CHMにおけるp型の不純物濃度を、例えば 5×10^{15}

10

20

30

40

50

$\sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度とすることができる。

【0050】

平面視において、ゲート電極CGの一方の側(図3中左側)の側面には、例えば絶縁膜からなる側壁部としてのサイドウォールスペーサSW1が形成されている。また、平面視において、ゲート電極CGの一方の側と反対側(図3中右側)の側面には、例えば絶縁膜からなる側壁部としてのサイドウォールスペーサSW2が形成されている。すなわち、サイドウォールスペーサSW2は、ゲート電極CGに対してサイドウォールスペーサSW1が形成されている側と反対側に形成されている。

【0051】

サイドウォールスペーサSW1下に位置する部分のSOI層14には、 n^- 型半導体領域21aが形成されている。また、平面視において、 n^- 型半導体領域21aを挟んでゲート電極CGと反対側に位置する部分のSOI層14には、 n^+ 型半導体領域22aが形成されている。 n^+ 型半導体領域22aは、 n^- 型半導体領域21aと接触しており、 n^+ 型半導体領域22aにおける不純物濃度は、 n^- 型半導体領域21aにおける不純物濃度よりも高い。 n^- 型半導体領域21aと、 n^+ 型半導体領域22aと、によりLDD(Lightly Doped Drain)構造が形成されている。 n^+ 型半導体領域22aにおけるn型の不純物濃度を、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度とすることができ、 n^- 型半導体領域21aにおけるn型の不純物濃度を、 n^+ 型半導体領域22aにおけるn型の不純物濃度よりも低くすることができる。

【0052】

一方、サイドウォールスペーサSW2下に位置する部分のSOI層14には、 p^- 型半導体領域21bが形成されている。また、平面視において、 p^- 型半導体領域21bを挟んでゲート電極CGと反対側に位置する部分のSOI層14には、 p^+ 型半導体領域22bが形成されている。 p^+ 型半導体領域22bは、 p^- 型半導体領域21bと接触しており、 p^+ 型半導体領域22bにおける不純物濃度は、 p^- 型半導体領域21bにおける不純物濃度よりも高い。 p^- 型半導体領域21bと、 p^+ 型半導体領域22bと、によりLDD構造が形成されている。 p^+ 型半導体領域22bにおけるp型の不純物濃度を、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度とすることができ、 p^- 型半導体領域21bにおけるp型の不純物濃度を、 p^+ 型半導体領域22bにおけるp型の不純物濃度よりも低くすることができる。

【0053】

すなわち、本実施の形態1では、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側(図3中左側)に位置する部分のSOI層14には、 n^- 型半導体領域21aと、 n^+ 型半導体領域22aと、を含むn型の半導体領域23aが形成されている。また、本実施の形態1では、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側と反対側(図3中右側)に位置する部分のSOI層14には、 p^- 型半導体領域21bと、 p^+ 型半導体領域22bと、を含むp型の半導体領域23bが形成されている。p型の半導体領域23bにおけるp型の不純物濃度は、チャネル領域CHMにおけるp型の不純物濃度よりも高い。

【0054】

メモリ形成領域MRで、平面視において、サイドウォールスペーサSW1を挟んでゲート電極CGと反対側に位置する部分のSOI層14上には、選択エピタキシャル成長により成長したシリコン膜からなる半導体膜24aが形成されていてもよい。また、この半導体膜24aにも、 n^+ 型半導体領域22aが形成されていてもよい。このとき、 n^+ 型半導体領域22aは、平面視において、ゲート電極CGに対して一方の側に位置する部分のSOI層14、および、半導体膜24aに形成されている。

【0055】

また、メモリ形成領域MRで、平面視において、サイドウォールスペーサSW2を挟んでゲート電極CGと反対側に位置する部分のSOI層14上にも、選択エピタキシャル成長により成長したシリコン膜からなる半導体膜24bが形成されていてもよい。また、こ

10

20

30

40

50

の半導体膜 2 4 b にも、 p^+ 型半導体領域 2 2 b が形成されていてもよい。このとき、 p^+ 型半導体領域 2 2 b は、平面視において、ゲート電極 CG に対して一方の側と反対側に位置する部分の SOI 層 1 4、および、半導体膜 2 4 b に形成されている。

【0056】

ゲート電極 CG の上面、 n^+ 型半導体領域 2 2 a の上面、および、 p^+ 型半導体領域 2 2 b の上面には、低抵抗化を図るため、シリサイド膜 SIL が形成されている。

【0057】

絶縁膜 IF 1 は、例えば酸化シリコン膜からなる。例えば SOI 層 1 4 から絶縁膜 IF 1 を介して電荷蓄積膜 EC に電子を注入してデータの記憶や消去を行う場合には、絶縁膜 IF 1 は、トンネル絶縁膜として機能する。

10

【0058】

電荷蓄積膜 EC は、データ記憶に寄与する電荷を蓄積する電荷蓄積部として設けられた絶縁膜であり、例えば窒化シリコン膜からなる。したがって、ゲート絶縁膜 GIM は、内部に電荷蓄積部としての電荷蓄積膜 EC を有する。また、絶縁膜 IF 2 は、例えば酸化シリコン膜からなる。

【0059】

次に、低耐圧 MISFET としての n チャネル型の MISFET 7 a について説明する。MISFET 7 a は、 p 型ウェル PWL と、半導体領域 VT 1 と、BOX 層 1 3 と、チャネル領域 CH 1 と、ゲート絶縁膜 GI 1 と、ゲート電極 GE 1 と、サイドウォールスペーサ SW 3 と、 n^- 型半導体領域 2 1 c と、 n^+ 型半導体領域 2 2 c と、を有する。すなわち、MISFET 7 a は、ゲート絶縁膜 GI 1 と、ゲート電極 GE 1 と、 n^- 型半導体領域 2 1 c と、 n^+ 型半導体領域 2 2 c と、により形成される。

20

【0060】

低耐圧 MISFET 形成領域 AR 1 で、基体 SS の上層部、すなわち基体 SS の上面 PS 側には、 p 型ウェル PWL が形成されている。 p 型ウェル PWL は、例えばホウ素 (B) などの p 型の不純物が導入された p 型の半導体領域である。 p 型ウェル PWL における p 型の不純物濃度を、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

【0061】

p 型ウェル PWL の上層部には、半導体領域 VT 1 が形成されている。半導体領域 VT 1 は、例えばホウ素 (B) などの p 型の不純物が導入された p 型の半導体領域であり、MISFET 7 a の閾値電圧を調整するための半導体領域である。半導体領域 VT 1 における p 型の不純物濃度を、例えば p 型ウェル PWL における p 型の不純物濃度よりも高くすることができる。

30

【0062】

低耐圧 MISFET 形成領域 AR 1 で、SOI 層 1 4 上には、ゲート絶縁膜 GI 1 が形成されており、ゲート絶縁膜 GI 1 上に、ゲート電極 GE 1 が形成されている。ゲート絶縁膜 GI 1 は、例えば酸化シリコン膜からなる。ゲート電極 GE 1 は、例えばポリシリコン膜からなる。

【0063】

ゲート電極 GE 1 の下方に位置する部分の SOI 層 1 4 には、チャネル領域 CH 1 が形成されている。チャネル領域 CH 1 は、例えばホウ素 (B) などの p 型の不純物が導入された p 型の半導体領域であるか、または、不純物が導入されておらず、 n 型の導電性および p 型の導電性のいずれをも示さないイントリンシック状態の半導体領域である。チャネル領域 CH 1 が、 p 型の不純物を含有する場合、チャネル領域 CH 1 における p 型の不純物濃度を、例えば $5 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度とすることができる。

40

【0064】

平面視において、ゲート電極 GE 1 の両側面には、例えば絶縁膜からなる側壁部としてのサイドウォールスペーサ SW 3 が形成されている。

【0065】

サイドウォールスペーサ SW 3 下に位置する部分の SOI 層 1 4 には、 n^- 型半導体領

50

域 2 1 c が形成されている。また、ゲート電極 G E 1 の両側の各々で、平面視において、 n^- 型半導体領域 2 1 c を挟んでゲート電極 G E 1 と反対側に位置する部分の S O I 層 1 4 には、 n^+ 型半導体領域 2 2 c が形成されている。 n^+ 型半導体領域 2 2 c は、 n^- 型半導体領域 2 1 c と接触しており、 n^+ 型半導体領域 2 2 c における不純物濃度は、 n^- 型半導体領域 2 1 c における不純物濃度よりも高い。 n^- 型半導体領域 2 1 c と、 n^+ 型半導体領域 2 2 c と、により L D D 構造を有する n 型の半導体領域 2 3 c が形成されている。 n^+ 型半導体領域 2 2 c における n 型の不純物濃度を、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度とすることができ、 n^- 型半導体領域 2 1 c における n 型の不純物濃度を、 n^+ 型半導体領域 2 2 c における n 型の不純物濃度よりも低くすることができる。

【 0 0 6 6 】

10

低耐圧 M I S F E T 形成領域 A R 1 で、平面視において、サイドウォールスペーサ S W 3 を挟んでゲート電極 C G と反対側に位置する部分の S O I 層 1 4 上には、選択エピタキシャル成長により成長したシリコン膜からなる半導体膜 2 4 c が形成されていてもよい。また、この半導体膜 2 4 c にも、 n^+ 型半導体領域 2 2 c が形成されていてもよい。このとき、 n^+ 型半導体領域 2 2 c は、平面視において、ゲート電極 C G に対して両側に位置する部分の S O I 層 1 4、および、半導体膜 2 4 c に形成されている。

【 0 0 6 7 】

ゲート電極 G E 1 の上面、および、 n^+ 型半導体領域 2 2 c の上面には、低抵抗化を図るため、シリサイド膜 S I L が形成されている。

【 0 0 6 8 】

20

p 型ウェル P W L は、低耐圧 M I S F E T 形成領域 A R 1 から、平面視において、低耐圧 M I S F E T 形成領域 A R 1 の外部の領域 A R 3 にかけて、形成されている。低耐圧 M I S F E T 形成領域 A R 1 と領域 A R 3 との間には、素子分離領域 S R が設けられている。領域 A R 3 では、隣り合う 2 つの素子分離領域 S R の間の S O I 層 1 4 および B O X 層 1 3 が除去されて開口部 O P 1 が形成され、開口部 O P 1 の底部に露出した部分の p 型ウェル P W L の上層部および p 型ウェル P W L 上には、 p 型の半導体領域としてのコンタクト領域 C R 1 が形成されている。コンタクト領域 C R 1 は、領域 A R 3 で、開口部 O P 1 の底部に露出した部分の p 型ウェル P W L 上に形成された半導体膜 2 4 c および半導体領域 V T 1 を含む（後述する図 2 6 参照）。そのため、領域 A R 3 では、コンタクト領域 C R 1 上に、プラグ P G が形成され、 p 型ウェル P W L は、コンタクト領域 C R 1 を介して、プラグ P G と電氣的に接続されている。なお、コンタクト領域 C R 1 の上面には、シリサイド膜 S I L が形成されている。

30

【 0 0 6 9 】

次に、低耐圧 M I S F E T としての p チャネル型の M I S F E T 7 b について説明する。M I S F E T 7 b は、 n 型ウェル N W L と、半導体領域 V T 2 と、B O X 層 1 3 と、チャネル領域 C H 2 と、ゲート絶縁膜 G I 2 と、ゲート電極 G E 2 と、サイドウォールスペーサ S W 4 と、 p^- 型半導体領域 2 1 d と、 p^+ 型半導体領域 2 2 d と、を有する。すなわち、M I S F E T 7 b は、ゲート絶縁膜 G I 2 と、ゲート電極 G E 2 と、 p^- 型半導体領域 2 1 d と、 p^+ 型半導体領域 2 2 d と、により形成される。

【 0 0 7 0 】

40

低耐圧 M I S F E T 形成領域 A R 2 で、基体 S S の上層部、すなわち基体 S S の上面 P S 側には、 n 型ウェル N W L が形成されている。 n 型ウェル N W L は、例えばリン (P) またはヒ素 (A s) などの n 型の不純物が導入された n 型の半導体領域である。 n 型ウェル N W L における n 型の不純物濃度を、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

【 0 0 7 1 】

n 型ウェル N W L の上層部には、半導体領域 V T 2 が形成されている。半導体領域 V T 2 は、例えばリン (P) またはヒ素 (A s) などの n 型の不純物が導入された n 型の半導体領域であり、M I S F E T 7 b の閾値電圧を調整するための半導体領域である。半導体領域 V T 2 における n 型の不純物濃度を、例えば n 型ウェル N W L における n 型の不純物

50

濃度よりも高くすることができる。

【 0 0 7 2 】

低耐圧MISFET形成領域AR2で、SOI層14上には、ゲート絶縁膜GI2が形成されており、ゲート絶縁膜GI2上に、ゲート電極GE2が形成されている。ゲート絶縁膜GI2は、例えば酸化シリコン膜からなる。ゲート電極GE2は、例えばポリシリコン膜からなる。

【 0 0 7 3 】

ゲート電極GE2の下方に位置する部分のSOI層14には、チャネル領域CH2が形成されている。チャネル領域CH2は、例えばリン(P)またはヒ素(As)などのn型の不純物が導入されたn型の半導体領域であるか、または、不純物が導入されておらず、n型の導電性およびp型の導電性のいずれをも示さないイントリンシック状態の半導体領域である。チャネル領域CH2が、n型の不純物を含有する場合、チャネル領域CH2におけるn型の不純物濃度を、例えば $5 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 程度とすることができる。

10

【 0 0 7 4 】

平面視において、ゲート電極GE2の両側面には、例えば絶縁膜からなる側壁部としてのサイドウォールスペーサSW4が形成されている。

【 0 0 7 5 】

サイドウォールスペーサSW4下に位置する部分のSOI層14には、p⁻型半導体領域21dが形成されている。また、ゲート電極GE1の両側の各々で、平面視において、p⁻型半導体領域21dを挟んでゲート電極GE2と反対側に位置する部分のSOI層14には、p⁺型半導体領域22dが形成されている。p⁺型半導体領域22dは、p⁻型半導体領域21dと接触しており、p⁺型半導体領域22dにおける不純物濃度は、p⁻型半導体領域21dにおける不純物濃度よりも高い。p⁻型半導体領域21dと、p⁺型半導体領域22dと、によりLDD構造を有するp型の半導体領域23dが形成されている。p⁺型半導体領域22dにおけるp型の不純物濃度を、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度とすることができ、p⁻型半導体領域21dにおけるp型の不純物濃度を、p⁺型半導体領域22dにおけるp型の不純物濃度よりも低くすることができる。

20

【 0 0 7 6 】

低耐圧MISFET形成領域AR2で、平面視において、サイドウォールスペーサSW4を挟んでゲート電極CGと反対側に位置する部分のSOI層14上には、選択エピタキシャル成長により成長したシリコン膜からなる半導体膜24dが形成されていてもよい。また、この半導体膜24dにも、p⁺型半導体領域22dが形成されていてもよい。このとき、p⁺型半導体領域22dは、平面視において、ゲート電極CGに対して両側に位置する部分のSOI層14、および、半導体膜24dに形成されている。

30

【 0 0 7 7 】

ゲート電極GE2の上面、および、p⁺型半導体領域22dの上面には、低抵抗化を図るため、シリサイド膜SILが形成されている。

【 0 0 7 8 】

n型ウェルNWLは、低耐圧MISFET形成領域AR2から、平面視において、低耐圧MISFET形成領域AR2の外部の領域AR4にかけて、形成されている。低耐圧MISFET形成領域AR2と領域AR4との間には、素子分離領域SRが設けられている。領域AR4では、隣り合う2つの素子分離領域SRの間のSOI層14およびBOX層13が除去されて開口部OP2が形成され、開口部OP2の底部に露出した部分のn型ウェルNWLの上層部およびn型ウェルNWL上には、n型の半導体領域としてのコンタクト領域CR2が形成されている。コンタクト領域CR2は、領域AR4で、開口部OP2の底部に露出した部分のn型ウェルNWL上に形成された半導体膜24dおよび半導体領域VT2を含む(後述する図25参照)。そのため、領域AR4では、コンタクト領域CR2上に、プラグPGが形成され、n型ウェルNWLは、コンタクト領域CR2を介して、プラグPGと電氣的に接続されている。なお、コンタクト領域CR2の上面には、シリ

40

50

サイド膜 S I L が形成されている。

【 0 0 7 9 】

S O I 基板 S B 上には、メモリセル M C、M I S F E T 7 a および 7 b を覆うように、層間絶縁膜 I L 1 が形成されている。層間絶縁膜 I L 1 は、例えば、酸化シリコン膜からなる絶縁膜、または、窒化シリコン膜からなる絶縁膜と酸化シリコン膜からなる絶縁膜との積層膜などからなる。層間絶縁膜 I L 1 の上面は平坦化されている。

【 0 0 8 0 】

層間絶縁膜 I L 1 にはコンタクトホール C N T が形成され、そのコンタクトホール C N T 内に、導体膜からなるプラグ P G が埋め込まれている。プラグ P G は、コンタクトホール C N T の底部、および、側壁上すなわち側面上に形成された薄いバリア導体膜と、このバリア導体膜上にコンタクトホール C N T を埋め込むように形成された主導体膜と、により形成されている。図 3 では、図面の簡略化のために、プラグ P G を構成するバリア導体膜および主導体膜を一体化して示す。なお、プラグ P G を構成するバリア導体膜は、例えば、チタン (T i) 膜、窒化チタン (T i N) 膜、またはそれらの積層膜とすることができ、プラグ P G を構成する主導体膜は、例えばタングステン (W) 膜とすることができる。

10

【 0 0 8 1 】

プラグ P G は、 n^+ 型半導体領域 2 2 a および 2 2 c、ならびに、 p^+ 型半導体領域 2 2 b および 2 2 d の各々の上に形成されており、図示は省略するが、ゲート電極 C G、G E 1 および G E 2 の各々の上にも形成されている。そして、プラグ P G は、 n^+ 型半導体領域 2 2 a および 2 2 c、ならびに、 p^+ 型半導体領域 2 2 b および 2 2 d の各々と、電氣的に接続されており、図示は省略するが、ゲート電極 C G、G E 1 および G E 2 の各々とも、電氣的に接続されている。

20

【 0 0 8 2 】

プラグ P G が埋め込まれた層間絶縁膜 I L 1 上には、層間絶縁膜 I L 2 が形成され、層間絶縁膜 I L 2 に形成された配線溝には、例えば銅 (C u) を主導電材料とする埋込配線としてのダマシン配線として、第 1 層目の配線 M L 1 が形成されている。また、第 1 層目の配線 M L 1 上には、ダマシン配線として、上層の配線も形成されているが、ここではその図示および説明は省略する。また、第 1 層目の配線 M L 1 およびそれよりも上層の配線は、ダマシン配線に限定されず、配線用の導電膜をパターンニングして形成することもでき、例えばタングステン (W) 配線またはアルミニウム (A l) 配線などとすることもできる。

30

【 0 0 8 3 】

< 不揮発性メモリセルの動作 >

本実施の形態 1 における半導体装置は上記のように構成されており、以下に、この半導体装置に含まれる不揮発性メモリセルとしてのメモリセルの動作について説明する。

【 0 0 8 4 】

図 4 ~ 図 6 は、メモリセルのメモリアレイ構造と動作条件 (1 セル / 1 トランジスタ) の一例を示す説明図である。図 4 において、セルトランジスタ C T 1 ~ C T 4 のそれぞれは、図 3 に示すメモリセル M C に対応している。セルトランジスタ C T 1 および C T 2 の各々のゲート電極は、ワード線 W L 1 に接続され、セルトランジスタ C T 3 および C T 4 の各々のゲート電極は、ワード線 W L 2 に接続されている。

40

【 0 0 8 5 】

セルトランジスタ C T 1 および C T 3 の各々のソース領域としての n 型の半導体領域 2 3 a は、ソース線 S L 1 に接続され、セルトランジスタ C T 2 および C T 4 の各々のソース領域としての n 型の半導体領域 2 3 a は、ソース線 S L 2 に接続されている。セルトランジスタ C T 1 および C T 3 の各々のドレイン領域としての p 型の半導体領域 2 3 b は、データ線 D L 1 に接続され、セルトランジスタ C T 2 および C T 4 の各々のドレイン領域としての p 型の半導体領域 2 3 b は、データ線 D L 2 に接続されている。

【 0 0 8 6 】

50

セルトランジスタCT1およびCT3の各々のバックゲート(p型ウェル)は、ウェルWE1に接続され、セルトランジスタCT2およびCT4の各々のバックゲート(p型ウェル)は、ウェルWE2に接続されている。

【0087】

図4～図6では、説明を簡単にするため、メモリセルが2行2列に配列されている場合を示しているが、これに限定されるわけではなく、実際は、さらに多くのメモリセルがマトリクス状に配置され、メモリアレイを構成している。また、同一ウェルおよび同一ワード線上のメモリセル配列は、図4～図6において、例えばセルトランジスタCT1の1列構成であるが、8ビット(1バイト)構成の場合、同一ウェル上に8列のセルトランジスタが形成されている。この場合、メモリセルの消去および書き込みは、1バイト単位で行われる。

10

【0088】

次に、図4～図6を用いて、1セル1トランジスタ型のメモリセルの書き込み動作、消去動作および読み出し動作を説明する。

【0089】

まず、図4を用いて書き込み動作を説明する。例えば、データが書き込まれるメモリセル、すなわち選択メモリセルSMCにおいて、セルトランジスタCT1にデータが書き込まれる場合を考える。このとき、図4に示すように、ウェルWE1の電位を-1.5Vとし、ワード線WL1の電位を5.5Vとし、ソース線SL1の電位を0Vとし、データ線DL1の電位を1.5Vとする。すると、選択メモリセルSMCに含まれるセルトランジスタCT1において、電荷蓄積膜に電子が例えばFNトンネルで注入されることにより、データが書き込まれる。

20

【0090】

このとき、ウェルWE2の電位を0Vとし、ワード線WL2の電位を-1.5Vとし、ソース線SL2の電位を0Vとし、データ線DL2の電位を0Vとする。これにより、データが書き込まれないメモリセル、すなわち非選択メモリセルUMCに含まれるセルトランジスタCT2～CT4の各々において、電荷蓄積膜に電子が注入されないようにし、データが書き込まれないようにする。

【0091】

次に、図5を用いて消去動作を説明する。例えば、データが消去されるメモリセル、すなわち選択メモリセルSMCにおいて、セルトランジスタCT1に蓄積されたデータが消去される場合を考える。このとき、図5に示すように、ウェルWE1の電位を1.5Vとし、ワード線WL1の電位を-5.5Vとし、ソース線SL1の電位を0Vとし、データ線DL1の電位を1.5Vとする。すると、選択メモリセルSMCに含まれるセルトランジスタCT1において、電荷蓄積膜に正孔が例えばFNトンネルで注入され、電荷蓄積膜に蓄積された電子が消滅することにより、データが消去される。

30

【0092】

このとき、ウェルWE2の電位を0Vとし、ワード線WL2の電位を1.5Vとし、ソース線SL2の電位を0Vとし、データ線DL2の電位を0Vとする。これにより、データが消去されないメモリセル、すなわち非選択メモリセルUMCに含まれるセルトランジスタCT2～CT4の各々において、電荷蓄積膜に正孔が注入されないようにし、データが消去されないようにする。

40

【0093】

次に、図6を用いて読み出し動作を説明する。例えば、データが書き込まれるメモリセル、すなわち選択メモリセルSMCにおいて、セルトランジスタCT1のデータを読み出す場合を考える。このとき、図6に示すように、ウェルWE1の電位を0Vとし、ワード線WL1の電位を1.5Vとし、ソース線SL1の電位を0Vとし、データ線DL1の電位を1.5Vとする。そして、セルトランジスタCT1のソース領域としてのn型の半導体領域23aとドレイン領域としてのp型の半導体領域23bとの間に流れる電流の大きさに基づいて、セルトランジスタCT1のデータを読み出す。

50

【0094】

また、ウェルWE2の電位を0Vとし、ワード線WL2の電位を0Vとし、ソース線SL2の電位を0Vとし、データ線DL2の電位を0Vとする。このとき、非選択メモリセルUMCに含まれるセルトランジスタCT2はオンするが、セルトランジスタCT2のソース領域としてのn型の半導体領域23aとドレイン領域としてのp型の半導体領域23bとの間には電位差がないため電流は流れない。一方、非選択メモリセルUMCに含まれるセルトランジスタCT3およびCT4がオンしないようにすることができる。

【0095】

なお、上記の図4～図6を用いた説明では、電位という表現を用いたが、電圧が、例えば接地電位に対する電位を意味する場合には、例えばウェルWE1の電位、とは、ウェルWE1に印加される電圧、を意味する。

10

【0096】

<書き込み動作および消去動作の際の電荷の挙動>

次に、書き込み動作および消去動作の際の電荷の挙動について、比較例の半導体装置を参照しながら説明する。

【0097】

図7および図8は、比較例の半導体装置の要部断面図である。図9および図10は、実施の形態1の半導体装置の要部断面図である。図7および図9は、メモリセルMCの書き込み動作の際の電荷の挙動を模式的に示している。図8および図10は、メモリセルMCの消去動作の際の電荷の挙動を模式的に示している。なお、図7～図10では、メモリセルMCの周辺を拡大して示し、図3に示したシリサイド膜SIL、層間絶縁膜IL1および層間絶縁膜IL1よりも上方の部分の図示を省略している。また、図7～図10では、電子を「e⁻」と標記し、正孔を「h⁺」と表記している。

20

【0098】

図11は、比較例の半導体装置および実施の形態1の半導体装置において、正孔の密度の深さ方向の位置依存性を示すグラフである。図11は、データを消去するための電圧を印加した直後の、ゲート電極CG、ゲート絶縁膜GIM、チャネル領域CHM、BOX層13、ならびに、半導体領域VTMを含めたp型ウェルPWMの各々における正孔の密度を、TCAD (Technology Computer-Aided Design) シミュレーションにより計算した結果である。なお、本実施の形態1の計算において、p型の半導体領域23bにおけるp型の不純物濃度が、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上になるような条件で、計算を行っている。また、比較例の計算においては、p型の半導体領域23bに代え、n型の半導体領域123bを有すること以外の条件を等しくして、計算を行っている。

30

【0099】

比較例の半導体装置は、メモリセルMCに含まれるソース領域およびドレイン領域に相当する2つの半導体領域のいずれもn型の半導体領域である点で、実施の形態1の半導体装置と異なる。

【0100】

図7に示すように、メモリセルMCにおいて、サイドウォールスペーサSW2下に位置する部分のSOI層14には、p⁻型半導体領域21bに代え、n⁻型半導体領域121bが形成されている。また、平面視において、n⁻型半導体領域121bを挟んでゲート電極CGと反対側に位置する部分のSOI層14には、n⁺型半導体領域122bが形成されている。そのため、比較例では、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側と反対側(図7中右側)に位置する部分のSOI層14には、n⁻型半導体領域121bと、n⁺型半導体領域122bと、を含むn型の半導体領域123bが形成されている。

40

【0101】

比較例の半導体装置においても、図4を用いて説明した方法と同様の方法により、メモリセルMCにデータを書き込む場合を考える。このような場合、メモリセルMCにデータを書き込む際に、n型の半導体領域23aおよび123b(図4のp型の半導体領域23

50

bに相当)のいずれに印加される電圧よりも高い電圧が、ゲート電極CGに印加される。このとき、n型の半導体領域23aおよび123bのいずれから、電荷蓄積膜ECに、電子が、例えばFNTトンネルにより注入される。このn型の半導体領域23aおよび123bから電荷蓄積膜ECに電子が注入される速度は、速い。

【0102】

一方、比較例の半導体装置においても、図5を用いて説明した方法と同様の方法により、メモリセルMCのデータを消去する場合を考える。このような場合、メモリセルMCのデータを消去する際に、n型の半導体領域23aおよび123b(図4の半導体領域23bに相当)のいずれに印加される電圧よりも低い電圧がゲート電極CGに印加される。このとき、チャンネル領域CHMまたはp型ウェルPWMから、電荷蓄積膜ECに、正孔が、例えばFNTトンネルにより注入される。

10

【0103】

ところが、チャンネル領域CHMにおけるp型の不純物濃度は、p型ウェルPWMにおけるp型の不純物濃度に比べても低い。そのため、チャンネル領域CHMから電荷蓄積膜ECに注入される正孔の数は、p型ウェルPWMから電荷蓄積膜ECに注入される正孔の数に比べ、極めて少ない。また、p型ウェルPWMから電荷蓄積膜ECに正孔を注入する前に、例えばBOX層13を挟んで形成されている容量素子に電荷が蓄積、すなわち充電される必要があるので、p型ウェルPWMから電荷蓄積膜ECに正孔が注入される速度は、チャンネル領域CHMから電荷蓄積膜ECに正孔が注入される速度に比べて、遅い。

【0104】

20

すなわち、比較例の半導体装置では、データの書き込み速度は速いものの、データの消去速度が遅くなり、半導体装置の性能を向上させることができない。

【0105】

一方、本実施の形態1の半導体装置では、図9および図10に示すように、メモリセルMCに含まれるソース領域およびドレイン領域に相当する2つの半導体領域のうち、一方がn型の半導体領域23aであり、他方はp型の半導体領域23bである。

【0106】

本実施の形態1の半導体装置においては、メモリセルMCにデータを書き込む際に、n型の半導体領域23aおよびp型の半導体領域23bのいずれに印加される電圧よりも高い電圧が、ゲート電極CGに印加される。このとき、図9に示すように、n型の半導体領域23aから、電荷蓄積膜ECに、電子が、例えばFNTトンネルにより注入される。すなわち、本実施の形態1の半導体装置においては、n型の半導体領域23aから電荷蓄積膜ECに電子が注入されることにより、メモリセルMCにデータが書き込まれる。このn型の半導体領域23aから電荷蓄積膜ECに電子が注入される速度は、速い。

30

【0107】

また、本実施の形態1の半導体装置においては、メモリセルMCのデータを消去する際に、n型の半導体領域23aおよびp型の半導体領域23bのいずれに印加される電圧よりも低い電圧がゲート電極CGに印加される。このとき、図10に示すように、p型の半導体領域23bから、電荷蓄積膜ECに、正孔が、例えばFNTトンネルにより注入される。すなわち、本実施の形態1の半導体装置においては、p型の半導体領域23bから電荷蓄積膜ECに正孔が注入されることにより、メモリセルMCに記憶されたデータが消去される。

40

【0108】

p型の半導体領域23bにおけるp型の不純物濃度は、チャンネル領域CHMにおけるp型の不純物濃度よりも高い。そのため、p型の半導体領域23bから電荷蓄積膜ECに注入される正孔の数は、チャンネル領域CHMから電荷蓄積膜ECに注入される正孔の数に比べ、極めて多い。

【0109】

したがって、p型ウェルPWMから電荷蓄積膜ECに正孔が注入される必要がない。また、p型の半導体領域23bから電荷蓄積膜ECに正孔が注入される速度は、チャンネル領

50

域 C H M および p 型ウェル P W M から電荷蓄積膜 E C に正孔が注入される速度に比べ、速い。

【 0 1 1 0 】

図 1 1 のグラフからも、データを消去するための電圧を印加した直後に、実施の形態 1 でのチャネル領域 C H M における正孔の密度が、比較例でのチャネル領域 C H M における正孔の密度よりも高くなっていることが分かる。また、データを消去するための電圧を印加した直後に、実施の形態 1 での電荷蓄積膜 E C (図 1 1 ではゲート絶縁膜 G I M として表記) における正孔の密度が、比較例での電荷蓄積膜 E C (図 1 1 ではゲート絶縁膜 G I M として表記) における正孔の密度よりも高くなっていることが分かる。これらのことから、図 1 1 に示すデータは、本実施の形態 1 において、比較例に比べ、電荷蓄積膜 E C

10

【 0 1 1 1 】

< 本実施の形態の主要な特徴と効果 >

以上説明したように、本実施の形態 1 の半導体装置では、メモリ形成領域 M R で、平面視において、ゲート電極 C G に対して一方の側に位置する部分の S O I 層 1 4 には、 n^- 型半導体領域 2 1 a と、 n^+ 型半導体領域 2 2 a と、を含む n 型の半導体領域 2 3 a が形成されている。また、本実施の形態 1 の半導体装置では、メモリ形成領域 M R で、平面視において、ゲート電極 C G に対して一方の側と反対側に位置する部分の S O I 層 1 4 には、 p^- 型半導体領域 2 1 b と、 p^+ 型半導体領域 2 2 b と、を含む p 型の半導体領域 2 3 b が形成されている。

20

【 0 1 1 2 】

そのため、本実施の形態 1 の半導体装置では、メモリセル M C のデータを消去する際に、p 型の半導体領域 2 3 b から電荷蓄積膜 E C に正孔が注入される速度が速いので、データの消去速度が速くなり、半導体装置の性能を向上させることができる。

【 0 1 1 3 】

好適には、n 型の半導体領域 2 3 a における n 型の不純物濃度は、p 型の半導体領域 2 3 b における p 型の不純物濃度よりも高い。

【 0 1 1 4 】

本実施の形態 1 におけるメモリセル M C では、チャネル領域 C H M が p 型の半導体領域である場合、n 型の半導体領域 2 3 a における n 型の不純物濃度を高くした方が、p 型の半導体領域 2 3 b における p 型の不純物濃度を高くした場合よりも、n 型の半導体領域 2 3 a と p 型の半導体領域 2 3 b との間で流れる電流が大きくなる。そして、n 型の半導体領域 2 3 a と p 型の半導体領域 2 3 b との間で流れる電流が大きくなると、読み出し電圧を低くすることができるので、半導体装置の性能を向上させることができる。

30

【 0 1 1 5 】

これは、チャネル領域 C H M が p 型の半導体領域である場合、例えば、n 型の半導体領域 2 3 a と p 型の半導体領域 2 3 b との間を流れる電流の大きさが、p 型の半導体領域であるチャネル領域 C H M と n 型の半導体領域 2 3 a との間で流れる電流の大きさの影響を受けるためとも考えられる。このような場合、p 型の半導体領域 2 3 b における p 型の不純物濃度を高くする場合よりも、n 型の半導体領域 2 3 a における n 型の不純物濃度を高くした場合に、p n 接合を流れる電流の大きさをより大きくすることができる

40

【 0 1 1 6 】

具体的には、 n^+ 型半導体領域 2 2 a における n 型の不純物濃度を、 p^+ 型半導体領域 2 2 b における p 型の不純物濃度よりも高くすることができる。

【 0 1 1 7 】

好適には、メモリセル M C に記憶されたデータを読み出す際に、p 型の半導体領域 2 3 b には、n 型の半導体領域 2 3 a に印加される電圧よりも高い電圧が印加される。すなわち、メモリセル M C を n チャネル型の M I S F E T に類似したものと捉えた場合、p 型の半導体領域 2 3 b を n チャネル型の M I S F E T のドレイン領域とし、n 型の半導体領域

50

23aをnチャネル型のMISFETのソース領域として読み出し動作を行う。

【0118】

一方、p型の半導体領域23bをnチャネル型のMISFETのソース領域とし、n型の半導体領域23aをnチャネル型のMISFETのドレイン領域とした場合でも、p型の半導体領域であるチャネル領域CHMと、n型の半導体領域23aとの間のpn接合に順方向の電圧が印加されれば読み出し動作は可能である。このような場合、n型の半導体領域23aに、p型の半導体領域23bに印加される電圧よりも低い電圧を印加すればよい。

【0119】

しかし、通常のnチャネル型のMISFETにおいては、ソース領域に0Vを印加し、ドレイン領域に正の電圧を印加する、すなわちソース線SL1(図6参照)の電位を0Vとし、データ線DL1(図6参照)の電位を正の電位とする場合が一般的である。このことを考慮すると、データを読み出す際に、p型の半導体領域23bには、n型の半導体領域23aに印加される電圧よりも高い電圧が印加されることが好ましい。そして、このような場合、メモリセルMCが形成されたメモリ形成領域MRと、それ以外の領域との間で、ソース領域に接続される配線同士を電氣的に接続するか、または、ドレイン領域に接続される配線同士を電氣的に接続することができ、半導体装置の設計を容易にすることができる。

10

【0120】

なお、本実施の形態1におけるメモリセルMCに含まれる各半導体領域の導電型を一括して逆の導電型にしてもよい。このような場合には、消去動作の際に、正孔に代えて電子を注入することになるが、その電子を注入する速度を速くすることができ、半導体装置の性能を向上させることができる。

20

【0121】

また、本実施の形態1におけるメモリセルMCのゲート絶縁膜GIMが、電荷蓄積膜ECに代えて例えば金属膜などの導電膜を有し、かつ、その導電膜が電氣的に浮遊した状態であってもよい。すなわち、本実施の形態1におけるメモリセルMCが、電荷蓄積部としてSONOS膜を有するものではなく、フローティングゲートを有するものであってもよい。

【0122】

<実施の形態1の半導体装置の変形例>

図12は、実施の形態1の変形例の半導体装置の要部断面図である。

30

【0123】

図12に示すように、隣り合う2つのメモリセルMCとしてのメモリセルMC1およびMC2が、メモリセルMC1およびMC2の各々に含まれるn型の半導体領域23a同士が隣り合うように配置され、配線ML1としての配線ML11が、ソース線として共有されていてもよい。すなわち、配線ML11は、プラグPGおよびシリサイド膜SILを介してメモリセルMC1のn型の半導体領域23aと電氣的に接続され、かつ、プラグPGおよびシリサイド膜SILを介してメモリセルMC2のn型の半導体領域23aと電氣的に接続されていてもよい。これにより、半導体チップの面積を低減し、配線ML1の数を低減することができる。

40

【0124】

また、図12に示すように、隣り合う2つのメモリセルMCとしてのメモリセルMC1およびMC2の各々に含まれるp型ウェルPWMが、接触せず、分離されていてもよい。これにより、例えばメモリセルMC1およびMC2の各々に含まれるp型ウェルPWMに印加される電圧を、個別に制御することができる。

【0125】

<半導体装置の製造方法>

次に、本実施の形態1の半導体装置の製造方法について説明する。

【0126】

50

図 1 3 および図 1 4 は、実施の形態 1 の半導体装置の製造工程の一部を示すプロセスフロー図である。図 1 5 ~ 図 2 6 は、実施の形態 1 の半導体装置の製造工程中の要部断面図である。図 1 5 ~ 図 2 6 には、メモリ形成領域 M R および主回路形成領域 A R の要部断面図が示されている。

【 0 1 2 7 】

本実施の形態 1 においては、メモリ形成領域 M R に n チャネル型の M I S F E T に類似した構造を有するメモリセル M C (図 2 6 参照) を形成する場合について説明するが、導電型を逆にして p チャネル型の M I S F E T に類似した構造を有するメモリセル M C を形成することもできる (以下の実施の形態においても同様) 。

【 0 1 2 8 】

本実施の形態 1 においては、主回路形成領域 A R の低耐圧 M I S F E T 形成領域 A R 1 に、n チャネル型の M I S F E T 7 a (図 2 5 参照) を形成し、主回路形成領域 A R の低耐圧 M I S F E T 形成領域 A R 2 に、p チャネル型の M I S F E T 7 b (図 2 6 参照) を形成する場合について説明する。なお、主回路形成領域 A R のうち低耐圧 M I S F E T 形成領域 A R 1 の外部の領域を領域 A R 3 とし、主回路形成領域 A R のうち低耐圧 M I S F E T 形成領域 A R 2 の外部の領域を領域 A R 4 とする。

【 0 1 2 9 】

まず、図 1 5 に示すように、S O I 基板 S B を用意、すなわち準備する (図 1 3 のステップ S 1) 。このステップ S 1 では、基体 S S と、メモリ形成領域 M R 、ならびに、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、基体 S S 上に形成された B O X 層 1 3 と、B O X 層 1 3 上に形成された S O I 層 1 4 と、を有する、半導体基板としての S O I 基板 S B を用意する。

【 0 1 3 0 】

基体 S S は、例えばシリコン (S i) 基板からなり、好適には、シリコン単結晶基板からなる。B O X 層 1 3 は、例えば酸化シリコン膜からなる。B O X 層 1 3 の厚さは、例えば 1 0 ~ 4 0 n m 程度である。S O I 層 1 4 は、例えばシリコン単結晶層からなる。S O I 層 1 4 の厚さは、例えば 1 0 ~ 2 0 n m 程度である。

【 0 1 3 1 】

次に、図 1 5 に示すように、素子分離領域 S R を形成する (図 1 3 のステップ S 2) 。このステップ S 2 では、例えば、S T I (Shallow Trench Isolation) 法を用いて素子分離領域 S R を形成する。

【 0 1 3 2 】

この S T I 法では、まず、S O I 基板 S B にフォトリソグラフィ技術およびエッチング技術を使用して素子分離溝を形成する。そして、素子分離溝を埋め込むように S O I 基板 S B 上に、例えば酸化シリコン膜からなる絶縁膜を形成し、その後、化学的機械的研磨 (Chemical Mechanical Polishing : C M P) 法により、S O I 基板 S B 上に形成された不要な絶縁膜を除去する。これにより、素子分離溝内にだけ絶縁膜を埋め込んだ素子分離領域 S R を形成することができる。

【 0 1 3 3 】

このようにして、素子分離領域 S R を形成することにより、素子分離領域 S R によって、メモリ形成領域 M R と主回路形成領域 A R とが区画され、主回路形成領域 A R は、低耐圧 M I S F E T 形成領域 A R 1 と低耐圧 M I S F E T 形成領域 A R 2 と領域 A R 3 と領域 A R 4 とに区画される。

【 0 1 3 4 】

次に、図 1 5 に示すように、犠牲酸化膜 S O 1 を形成する (図 1 3 のステップ S 3) 。このステップ S 3 では、メモリ形成領域 M R 、ならびに、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、S O I 層 1 4 上に、犠牲酸化膜 S O 1 を、例えば熱酸化法などにより形成する。このとき、メモリ形成領域 M R 、ならびに、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、S O I 層 1 4 上に、犠牲酸化膜 S O 1 が形成される。犠牲酸化膜 S O 1 は、例えば酸化シリコン膜からなる。なお、犠牲酸化膜 S O 1 は、領域 A R 3 および

10

20

30

40

50

A R 4 でも、S O I 層 1 4 上に形成される。

【 0 1 3 5 】

犠牲酸化膜 S O 1 を形成することにより、後述するステップ S 4 において、p 型ウェル P W M および P W L、ならびに、n 型ウェル N W L（後述する図 1 6 参照）を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

【 0 1 3 6 】

次に、図 1 6 に示すように、p 型ウェル P W M および P W L、ならびに、n 型ウェル N W L を形成する（図 1 3 のステップ S 4）。

【 0 1 3 7 】

このステップ S 4 では、まず、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 を覆い、かつ、メモリ形成領域 M R を露出させるように、レジスト膜（図示は省略）をパターンニングする。そして、パターンニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、基体 S S に導入する。

10

【 0 1 3 8 】

これにより、メモリ形成領域 M R で、基体 S S の主面としての上面 P S 側に、p 型ウェル P W M を形成する。p 型ウェル P W M における p 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。このとき、メモリ形成領域 M R で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により p 型ウェル P W M を形成する際に、p 型ウェル P W M の上面に損傷が加えられることを防止することができる。

20

【 0 1 3 9 】

このステップ S 4 では、また、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 2 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 1 を露出させるように、パターンニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、基体 S S に導入する。

【 0 1 4 0 】

これにより、低耐圧 M I S F E T 形成領域 A R 1 で、基体 S S の上面 P S 側に、p 型ウェル P W L を形成する。p 型ウェル P W L における p 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。このとき、低耐圧 M I S F E T 形成領域 A R 1 で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により p 型ウェル P W L を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

30

【 0 1 4 1 】

なお、p 型ウェル P W L は、低耐圧 M I S F E T 形成領域 A R 1 の外部の領域 A R 3 でも、基体 S S の上面 P S 側に形成される。

【 0 1 4 2 】

このステップ S 4 では、また、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 2 を露出させるように、レジスト膜（図示は省略）をパターンニングする。そして、パターンニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などの n 型の不純物を、基体 S S に導入する。

40

【 0 1 4 3 】

これにより、低耐圧 M I S F E T 形成領域 A R 2 で、基体 S S の上面 P S 側に、n 型ウェル N W L を形成する。n 型ウェル N W L における n 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。このとき、低耐圧 M I S F E T 形成領域 A R 2 で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により n 型ウェル N W L を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

【 0 1 4 4 】

なお、n 型ウェル N W L は、低耐圧 M I S F E T 形成領域 A R 2 の外部の領域 A R 4 で

50

も、基体 S S の上面 P S 側に形成される。

【 0 1 4 5 】

次に、図 1 7 に示すように、半導体領域 V T M、V T 1 および V T 2 を形成する（図 1 3 のステップ S 5）。

【 0 1 4 6 】

このステップ S 5 では、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 を覆い、かつ、メモリ形成領域 M R を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、p 型ウェル P W M の上層部に導入する。

10

【 0 1 4 7 】

これにより、メモリ形成領域 M R で、p 型ウェル P W M の上層部に、半導体領域 V T M を形成する。半導体領域 V T M における p 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度で、かつ、p 型ウェル P W M における p 型の不純物濃度よりも高くなるように、イオン注入の際の注入条件が調整される。このとき、メモリ形成領域 M R で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により半導体領域 V T M を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

【 0 1 4 8 】

このステップ S 5 では、また、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 2 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 1 を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、p 型ウェル P W L の上層部に導入する。

20

【 0 1 4 9 】

これにより、低耐圧 M I S F E T 形成領域 A R 1 で、p 型ウェル P W L の上層部に、半導体領域 V T 1 を形成する。半導体領域 V T 1 における p 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度で、かつ、p 型ウェル P W L における p 型の不純物濃度よりも高くなるように、イオン注入の際の注入条件が調整される。このとき、低耐圧 M I S F E T 形成領域 A R 1 で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により半導体領域 V T 1 を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

30

【 0 1 5 0 】

なお、半導体領域 V T 1 は、低耐圧 M I S F E T 形成領域 A R 1 の外部の領域 A R 3 でも、p 型ウェル P W L の上層部に形成される。

【 0 1 5 1 】

このステップ S 5 では、また、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 2 を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などの n 型の不純物を、n 型ウェル N W L の上層部に導入する。

40

【 0 1 5 2 】

これにより、低耐圧 M I S F E T 形成領域 A R 2 で、n 型ウェル N W L の上層部に、半導体領域 V T 2 を形成する。半導体領域 V T 2 における n 型の不純物濃度が、例えば $5 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度で、かつ、n 型ウェル N W L における n 型の不純物濃度よりも高くなるように、イオン注入の際の注入条件が調整される。このとき、低耐圧 M I S F E T 形成領域 A R 2 で、S O I 層 1 4 上に犠牲酸化膜 S O 1 が形成されているため、イオン注入法により半導体領域 V T 2 を形成する際に、S O I 層 1 4 に損傷が加えられることを防止することができる。

【 0 1 5 3 】

なお、半導体領域 V T 2 は、低耐圧 M I S F E T 形成領域 A R 2 の外部の領域 A R 4 で

50

も、 n 型ウェルNW Lの上層部に形成される。

【0154】

このステップS5では、次に、図17に示すように、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に形成されている犠牲酸化膜SO1を、例えばフッ酸(HF)を用いたウェットエッチングにより、除去する。

【0155】

このステップS5では、次に、図17に示すように、開口部OP1およびOP2を形成する。すなわち、領域AR3で、レジスト膜をマスクとした異方性ドライエッチング法により、SOI層14の一部を除去し、続いてウェットエッチング法によりBOX層13を除去することにより、SOI層14およびBOX層13を貫通して半導体領域VT1に達する開口部OP1を形成する。また、領域AR4で、レジスト膜をマスクとした異方性ドライエッチング法により、SOI層14の一部を除去し、続いてウェットエッチング法によりBOX層13を除去することにより、SOI層14およびBOX層13を貫通して半導体領域VT2に達する開口部OP2を形成する。開口部OP1は、 p 型ウェルPWLとの電氣的接触を確保するために形成され、開口部OP2は、 n 型ウェルNW Lとの電氣的接触を確保するために形成する。

【0156】

次に、図18に示すように、絶縁膜IFGおよびIS1を形成する(図4のステップS6)。

【0157】

このステップS6では、まず、図18に示すように、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に、犠牲酸化膜SO2を、例えば熱酸化法などにより形成する。

【0158】

このとき、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に、犠牲酸化膜SO2が形成される。犠牲酸化膜SO2は、例えば酸化シリコン膜からなる。なお、犠牲酸化膜SO2は、領域AR3でも、半導体領域VT1上に形成され、領域AR4でも、半導体領域VT2上に形成される。

【0159】

このステップS6では、次に、図18に示すように、レジスト膜(図示は省略)をマスクとしたエッチングにより、メモリ形成領域MRに形成されている犠牲酸化膜SO2を除去する。

【0160】

このステップS6では、次に、図18に示すように、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に、犠牲酸化膜SO2を覆う絶縁膜IFGを形成する。具体的には、メモリ形成領域MR、ならびに、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に、犠牲酸化膜SO2を覆う絶縁膜IF1を形成し、絶縁膜IF1上に電荷蓄積膜ECを形成し、電荷蓄積膜EC上に絶縁膜IF2を形成する。絶縁膜IF1と、電荷蓄積膜ECと、絶縁膜IF2と、により絶縁膜IFGが形成される。絶縁膜IFGは、内部に電荷蓄積部としての電荷蓄積膜ECを有する絶縁膜である。なお、絶縁膜IFGは、領域AR3でも、犠牲酸化膜SO2上に形成され、領域AR4でも、犠牲酸化膜SO2上に形成される。

【0161】

絶縁膜IF1は、例えば酸化シリコン膜からなる。好適には、絶縁膜IF1を、ISSG(In Situ Steam Generation)酸化法により形成することができる。ISSG酸化法は、減圧した熱処理チャンバ内に水素と酸素を直接導入し、例えば800~1100の温度に加熱したシリコンなどからなるSOI層14の表面でラジカル酸化反応をさせることにより、SOI層14の表面に例えば酸化シリコンからなる酸化膜を形成する方法である。ISSG酸化法における酸化力は、ラジカル酸化反応を用いるため、例えば熱酸化法な

10

20

30

40

50

どにおける酸化力に比べて高い。したがって、I S S G 酸化法を用いることにより、緻密で良質な膜質の酸化シリコン膜からなる絶縁膜 I F 1 を形成することができる。絶縁膜 I F 1 の厚さは、例えば 2 n m 程度である。

【 0 1 6 2 】

電荷蓄積膜 E C は、例えば窒化シリコン膜からなる。例えば、電荷蓄積膜 E C を、C V D (Chemical Vapor Deposition) 法により形成することができる。電荷蓄積膜 E C の厚さは、例えば 8 n m 程度である。

【 0 1 6 3 】

絶縁膜 I F 2 は、例えば酸化シリコン膜からなる。好適には、絶縁膜 I F 2 を、例えば、H T O (High Temperature Oxide) 法により形成することができ、これにより、緻密で良質な膜質の酸化シリコン膜からなる絶縁膜 I F 2 を形成することができる。絶縁膜 I F 2 の厚さは、例えば 3 n m 程度である。

10

【 0 1 6 4 】

次に、図 1 9 に示すように、レジスト膜 (図示は省略) をマスクとしたエッチングにより、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 に形成されている絶縁膜 I F G および犠牲酸化膜 S O 2 を除去する。このようにして、メモリ形成領域 M R で、S O I 層 1 4 上に、緻密で絶縁耐性に優れた良質な膜質の積層絶縁膜としての絶縁膜 I F G を形成することができる。絶縁膜 I F G は、O N O (Oxide Nitride Oxide) 膜とも称される。なお、領域 A R 3 および A R 4 でも、絶縁膜 I F G および犠牲酸化膜 S O 2 が除去される。

【 0 1 6 5 】

20

このステップ S 6 では、次に、図 1 9 に示すように、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、S O I 層 1 4 上に、ゲート絶縁膜用の絶縁膜 I S 1 を、例えば熱酸化法などにより形成する。犠牲酸化膜 S O 1 は、例えば酸化シリコン膜からなる。なお、絶縁膜 I S 1 は、領域 A R 3 でも、半導体領域 V T 1 上に形成され、領域 A R 4 でも、半導体領域 V T 2 上に形成される。

【 0 1 6 6 】

次に、図 2 0 に示すように、導電膜 C F 1 を形成する (図 1 3 のステップ S 7)。このステップ S 7 では、メモリ形成領域 M R、ならびに、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、絶縁膜 I F G 上に、ゲート電極用の導電膜 C F 1 を形成する。

【 0 1 6 7 】

30

好適には、導電膜 C F 1 は、多結晶シリコン膜、すなわちポリシリコン膜からなる。このような導電膜 C F 1 を、C V D 法などを用いて形成することができる。導電膜 C F 1 の厚さを、絶縁膜 I F G および I S 1 を覆うように十分な程度の厚さとすることができる。また、導電膜 C F 1 の成膜時は導電膜 C F 1 をアモルファスシリコン膜として成膜してから、その後の熱処理でアモルファスシリコン膜を多結晶シリコン膜とすることもできる。

【 0 1 6 8 】

好適には、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 では、導電膜 C F 1 に含まれる導電膜 C F 1 1 として、例えばリン (P) またはヒ素 (As) などの n 型の不純物を導入したものをを用いることができる。また、低耐圧 M I S F E T 形成領域 A R 2 では、導電膜 C F 1 に含まれる導電膜 C F 1 2 として、例えばホウ素 (B) などの p 型の不純物を導入したものをを用いることができる。

40

【 0 1 6 9 】

不純物は、導電膜 C F 1 の成膜時または成膜後に導入することができる。導電膜 C F 1 の成膜時に不純物を導入する場合には、導電膜 C F 1 の成膜用のガスにドーピングガスを含ませることで、不純物が導入された導電膜 C F 1 を成膜することができる。あるいは、シリコン膜の成膜後に不純物を導入する場合には、意図的には不純物を導入せずにシリコン膜を成膜した後に、このシリコン膜に不純物をイオン注入法などで導入することにより、不純物が導入された導電膜 C F 1 を形成することができる。

【 0 1 7 0 】

次に、図 2 1 に示すように、導電膜 C F 1 および絶縁膜 I F G をパターンニングする (図

50

13のステップS8)。

【0171】

このステップS8では、まず、図21に示すように、導電膜CF1上に、例えば窒化シリコン膜などからなるハードマスク膜HMを形成し、ハードマスク膜HM上にレジスト膜(図示は省略)を塗布した後、フォトリソグラフィ技術およびエッチング技術を使用することにより、ハードマスク膜HMをパターニングする。ハードマスク膜HMは、メモリ形成領域MRのうち、ゲート電極CGを形成する領域に配置された部分の導電膜CF1が、ハードマスク膜HMにより覆われ、メモリ形成領域MRのうち、ゲート電極CGを形成する領域以外の領域に配置された部分の導電膜CF1が、ハードマスク膜HMから露出するように、パターニングされる。また、ハードマスク膜HMは、低耐圧MISFET形成領域AR1およびAR2でも同様に、ゲート電極GE1およびGE2を形成する領域に配置された部分の導電膜CF1が、ハードマスク膜HMにより覆われるように、パターニングされる。

10

【0172】

このステップS8では、次に、図21に示すように、パターニングされたハードマスク膜HMをマスクとして用いて、導電膜CF1、ならびに、絶縁膜IFGおよびIS1を、例えばドライエッチングなどによりエッチングしてパターニングする。

【0173】

これにより、メモリ形成領域MRで、導電膜CF1からなるゲート電極CGが形成され、ゲート電極CGとSOI層14との間の部分の絶縁膜IFGからなるゲート絶縁膜GIMが形成される。すなわち、ゲート電極CGは、メモリ形成領域MRで、SOI層14上に、ゲート絶縁膜GIMを介して形成される。

20

【0174】

また、低耐圧MISFET形成領域AR1で、SOI層14上に、導電膜CF1からなるゲート電極GE1が形成され、ゲート電極GE1とSOI層14との間の部分の絶縁膜IS1からなるゲート絶縁膜GI1が形成される。すなわち、ゲート電極GE1は、低耐圧MISFET形成領域AR1で、SOI層14上に、ゲート絶縁膜GI1を介して形成される。

【0175】

また、低耐圧MISFET形成領域AR2で、SOI層14上に、導電膜CF1からなるゲート電極GE2が形成され、ゲート電極GE2とSOI層14との間の部分の絶縁膜IS1からなるゲート絶縁膜GI2が形成される。すなわち、ゲート電極GE2は、低耐圧MISFET形成領域AR2で、SOI層14上に、ゲート絶縁膜GI2を介して形成される。

30

【0176】

このように、図18~図21を用いて説明した工程を行うことにより、SOI層14上に、内部に電荷蓄積膜ECを有するゲート絶縁膜GIMを形成し、ゲート絶縁膜GIM上に、ゲート電極CGを形成することになる。

【0177】

なお、図18~図21を用いて説明した工程は一例である。したがって、例えば、メモリ形成領域MRでゲート絶縁膜用の絶縁膜およびゲート電極用の導電膜を形成する工程を、低耐圧MISFET形成領域AR1およびAR2でゲート絶縁膜用の絶縁膜およびゲート電極用の導電膜を形成する工程の前または後に行うなど、各種の方法を用いることができる。

40

【0178】

次に、図22に示すように、サイドウォールスペーサSP1、SP2、SP3およびSP4を形成する(図13のステップS9)。

【0179】

このステップS9では、まず、図22に示すように、メモリ形成領域MR、低耐圧MISFET形成領域AR1およびAR2で、SOI層14上に、サイドウォールスペーサ用

50

の絶縁膜 I S 2 を形成する。絶縁膜 I S 2 は、例えば窒化シリコン膜からなる。

【 0 1 8 0 】

このステップ S 1 0 では、次に、図 2 2 に示すように、絶縁膜 I S 2 を、例えば異方性エッチングによりエッチバックする。このようにして、メモリ形成領域 M R で、ゲート電極 C G の一方の側（図 2 2 中左側）の側面に、絶縁膜 I S 2 からなるサイドウォールスペーサ S P 1 を形成し、ゲート電極 C G の一方の側と反対側（図 2 2 中右側）の側面に、絶縁膜 I S 2 からなるサイドウォールスペーサ S P 2 を形成する。

【 0 1 8 1 】

また、低耐圧 M I S F E T 形成領域 A R 1 で、ゲート電極 G E 1 の両側面の各々に、絶縁膜 I S 2 からなるサイドウォールスペーサ S P 3 をそれぞれ形成し、低耐圧 M I S F E T 形成領域 A R 2 で、ゲート電極 G E 2 の両側面の各々に、絶縁膜 I S 2 からなるサイドウォールスペーサ S P 4 をそれぞれ形成する。

【 0 1 8 2 】

次に、図 2 3 に示すように、半導体膜 2 4 a、2 4 b、2 4 c および 2 4 d を形成する（図 1 3 のステップ S 1 0）。このステップ S 1 0 では、メモリ形成領域 M R で、サイドウォールスペーサ S P 1 を挟んでゲート電極 C G と反対側に位置する部分の S O I 層 1 4 上に、例えば 2 0 n m 程度のエピタキシャルシリコン膜からなる半導体膜 2 4 a を、選択的に形成する。また、メモリ形成領域 M R で、サイドウォールスペーサ S P 2 を挟んでゲート電極 C G と反対側に位置する部分の S O I 層 1 4 上に、例えば 2 0 n m 程度のエピタキシャルシリコン膜からなる半導体膜 2 4 b を、選択的に形成する。

【 0 1 8 3 】

また、低耐圧 M I S F E T 形成領域 A R 1 で、サイドウォールスペーサ S P 3 を挟んでゲート電極 G E 1 と反対側に位置する部分の S O I 層 1 4 上に、例えば厚さ 2 0 n m 程度のエピタキシャルシリコン膜からなる半導体膜 2 4 c を、選択的に形成する。また、低耐圧 M I S F E T 形成領域 A R 2 で、サイドウォールスペーサ S P 4 を挟んでゲート電極 G E 2 と反対側に位置する部分の S O I 層 1 4 上に、例えば厚さ 2 0 n m 程度のエピタキシャルシリコン膜からなる半導体膜 2 4 d を、選択的に形成する。

【 0 1 8 4 】

この半導体膜 2 4 a、2 4 b、2 4 c および 2 4 d は、S O I 層 1 4 の表面を清浄にし、自然酸化膜を除去した状態で、例えばモノシランガスを原料とする C V D 法により形成する。このとき、領域 A R 3 で、開口部 O P 1 の底部に露出した半導体領域 V T 1 上、すなわち開口部 O P 1 の内部にも、半導体膜 2 4 c が形成される。また、領域 A R 4 で、開口部 O P 2 の底部に露出した半導体領域 V T 2 上、すなわち開口部 O P 2 の内部にも、半導体膜 2 4 d が形成される。

【 0 1 8 5 】

なお、半導体膜 2 4 a、2 4 b、2 4 c および 2 4 d の選択成長は必須ではなく、素子特性の要求によっては省略することもできる。

【 0 1 8 6 】

次に、図 2 4 に示すように、サイドウォールスペーサ S P 1、S P 2、S P 3 および S P 4 を除去する（図 1 4 のステップ S 1 1）。このステップ S 1 1 では、メモリ形成領域 M R、ならびに、低耐圧 M I S F E T 形成領域 A R 1 および A R 2 で、ゲート電極 C G、G E 1 および G E 2 の両側面に形成されているサイドウォールスペーサ S P 1、S P 2、S P 3 および S P 4 を、例えばウェットエッチングにより除去する。なお、例えば窒化シリコン膜からなるサイドウォールスペーサ S P 1、S P 2、S P 3 および S P 4 を除去する際に、例えば窒化シリコン膜からなるハードマスク膜 H M も除去される。

【 0 1 8 7 】

次に、図 2 4 に示すように、n⁻型半導体領域 2 1 a および 2 1 c、ならびに、p⁻型半導体領域 2 1 b および 2 1 d を形成する（図 1 4 のステップ S 1 2）。

【 0 1 8 8 】

このステップ S 1 2 では、メモリ形成領域 M R のうち、平面視において、ゲート電極 C

10

20

30

40

50

Gに対して一方の側と反対側（図24中右側）に位置する部分、および、低耐圧MISFET形成領域AR2を覆うように、レジスト膜（図示は省略）をパターニングする。また、このステップS12では、メモリ形成領域MRのうち、平面視において、ゲート電極CGに対して一方の側（図24中左側）に位置する部分、および、低耐圧MISFET形成領域AR1を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などのn型の不純物を、半導体膜24aおよび半導体膜24a下のSOI層14、ならびに、半導体膜24cおよび半導体膜24c下のSOI層14に導入する。

【0189】

10

これにより、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側に位置する部分のSOI層14に、n⁻型半導体領域21aを形成し、低耐圧MISFET形成領域AR1で、平面視において、ゲート電極GE1を挟んで両側に位置する部分のSOI層14に、n⁻型半導体領域21cを形成する。n⁻型半導体領域21aは、メモリ形成領域MRで、ゲート電極CGに整合して形成され、n⁻型半導体領域21cは、低耐圧MISFET形成領域AR1で、ゲート電極GE1に整合して形成される。なお、n⁻型半導体領域21aは、メモリ形成領域MRで、半導体膜24aの上層部にも形成され、n⁻型半導体領域21cは、低耐圧MISFET形成領域AR1で、半導体膜24cの上層部にも形成される。

【0190】

20

また、このステップS12では、メモリ形成領域MRのうち、平面視において、ゲート電極CGに対して一方の側（図24中左側）に位置する部分、および、低耐圧MISFET形成領域AR1を覆うように、レジスト膜（図示は省略）をパターニングする。また、このステップS12では、メモリ形成領域MRのうち、平面視において、ゲート電極CGに対して一方の側と反対側（図24中右側）に位置する部分、および、低耐圧MISFET形成領域AR2を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などのp型の不純物を、半導体膜24bおよび半導体膜24b下のSOI層14、ならびに、半導体膜24dおよび半導体膜24d下のSOI層14に導入する。

30

【0191】

これにより、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側と反対側に位置する部分のSOI層14に、p⁻型半導体領域21bを形成し、低耐圧MISFET形成領域AR2で、平面視において、ゲート電極GE2を挟んで両側に位置する部分のSOI層14に、p⁻型半導体領域21dを形成する。p⁻型半導体領域21bは、メモリ形成領域MRで、ゲート電極CGに整合して形成され、p⁻型半導体領域21dは、低耐圧MISFET形成領域AR2で、ゲート電極GE2に整合して形成される。なお、p⁻型半導体領域21bは、メモリ形成領域MRで、半導体膜24bの上層部にも形成され、p⁻型半導体領域21dは、低耐圧MISFET形成領域AR2で、半導体膜24dの上層部にも形成される。

40

【0192】

また、ゲート電極CGの下方に位置する部分のSOI層14に、p型またはイントリンシック状態の半導体領域としてのチャネル領域CHMが形成される。また、ゲート電極GE1の下方に位置する部分のSOI層14に、p型またはイントリンシック状態の半導体領域としてのチャネル領域CH1が形成され、ゲート電極GE2の下方に位置する部分のSOI層14に、n型またはイントリンシック状態の半導体領域としてのチャネル領域CH2が形成される。

【0193】

次に、図25に示すように、サイドウォールスペーサSW1、SW2、SW3およびSW4を形成する（図14のステップS13）。

50

【0194】

このステップS13では、次に、図25に示すように、SOI基板SBの上面全面に、サイドウォールスペーサ用の絶縁膜IS3を形成する。絶縁膜IS3は、例えば、酸化シリコン膜からなる絶縁膜、窒化シリコン膜からなる絶縁膜、または、それらの積層膜などからなる。

【0195】

このステップS13では、次に、図25に示すように、絶縁膜IS3を、例えば異方性エッチングによりエッチバックする。このようにして、メモリ形成領域MRで、ゲート電極CGの一方の側（図25中左側）の側面に、絶縁膜IS3からなるサイドウォールスペーサSW1を形成し、ゲート電極CGの一方の側と反対側（図25中右側）の側面に、絶縁膜IS3からなるサイドウォールスペーサSW2を形成する。このとき、サイドウォールスペーサSW1は、ゲート電極CGと半導体膜24aとの間に形成され、サイドウォールスペーサSW2は、ゲート電極CGと半導体膜24bとの間に形成される。

10

【0196】

また、低耐圧MISFET形成領域AR1で、ゲート電極GE1の両側面の各々に、絶縁膜IS3からなるサイドウォールスペーサSW3をそれぞれ形成する。サイドウォールスペーサSW3は、ゲート電極GE1と半導体膜24cとの間に形成される。

【0197】

また、低耐圧MISFET形成領域AR2で、ゲート電極GE2の両側面の各々に、絶縁膜IS3からなるサイドウォールスペーサSW4をそれぞれ形成する。サイドウォールスペーサSW4は、ゲート電極GE2と半導体膜24dとの間に形成される。

20

【0198】

次に、図25に示すように、 n^+ 型半導体領域22aおよび22cを形成する（図14のステップS14）。

【0199】

このステップS14では、メモリ形成領域MRのうち、ゲート電極CGに対して一方の側と反対側（図25中右側）に位置する部分、および、低耐圧MISFET形成領域AR2を覆うように、レジスト膜PR1をパターニングする。また、このステップS14では、メモリ形成領域MRのうち、ゲート電極CGに対して一方の側（図25中左側）に位置する部分、および、低耐圧MISFET形成領域AR1を露出させるように、レジスト膜PR1をパターニングする。そして、パターニングされたレジスト膜PR1をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などの n 型の不純物を、半導体膜24aおよび半導体膜24a下のSOI層14に導入し、半導体膜24cおよび半導体膜24c下のSOI層14に導入する。すなわち、半導体膜24aおよび24cに、 n 型の不純物イオンIM1をイオン注入する。

30

【0200】

これにより、メモリ形成領域MRで、平面視において、サイドウォールスペーサSW1を挟んでゲート電極CGと反対側に位置する部分の半導体膜24aおよびSOI層14に、 n^+ 型半導体領域22aを形成する。また、低耐圧MISFET形成領域AR1で、平面視において、サイドウォールスペーサSW3を挟んでゲート電極GE1と反対側に位置する部分の半導体膜24cおよびSOI層14に、 n^+ 型半導体領域22cを形成する。 n^+ 型半導体領域22aは、メモリ形成領域MRで、サイドウォールスペーサSW1に整合して形成され、 n^+ 型半導体領域22cは、低耐圧MISFET形成領域AR1で、サイドウォールスペーサSW3に整合して形成される。 n^+ 型半導体領域22aおよび22cにおける n 型の不純物濃度が、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。

40

【0201】

これにより、図25に示すように、平面視において、ゲート電極CGに対して一方の側（図26中左側）に位置する部分のSOI層14に、 n^- 型半導体領域21aと、 n^+ 型半導体領域22aと、を含む n 型の半導体領域23aが形成される。

50

【0202】

一方、低耐圧MISFET形成領域AR1で、p型ウェルPWLと、ゲート絶縁膜GI1と、ゲート電極GE1と、サイドウォールスペーサSW3と、n⁻型半導体領域21cと、n⁺型半導体領域22cと、により、nチャネル型のMISFET7aが形成される。また、n⁻型半導体領域21cと、n⁺型半導体領域22cと、を含むn型の半導体領域23cが形成される。

【0203】

なお、このステップS14では、領域AR4を露出させるように、レジスト膜PR1がパターニングされ、領域AR4で、n型の不純物が、半導体膜24dおよび半導体領域VT2に導入される。そして、領域AR4で、n型の不純物が導入された半導体膜24dおよび半導体領域VT2を含むコンタクト領域CR2が形成される。

10

【0204】

次に、図26に示すように、p⁺型半導体領域22bおよび22dを形成する(図14のステップS15)。

【0205】

このステップS15では、メモリ形成領域MRのうち、ゲート電極CGに対して一方の側(図26中左側)に位置する部分、および、低耐圧MISFET形成領域AR1を覆うように、レジスト膜PR2をパターニングする。また、このステップS15では、メモリ形成領域MRのうち、ゲート電極CGに対して一方の側と反対側(図26中右側)に位置する部分、および、低耐圧MISFET形成領域AR2を露出させるように、レジスト膜PR2をパターニングする。そして、パターニングされたレジスト膜PR2をマスクにしたイオン注入法により、例えばホウ素(B)などのp型の不純物を、メモリ形成領域MRで半導体膜24bおよび半導体膜24b下のSOI層14に導入し、半導体膜24dおよび半導体膜24d下のSOI層14に導入する。すなわち、半導体膜24bおよび24dに、p型の不純物イオンIM2をイオン注入する。

20

【0206】

これにより、メモリ形成領域MRで、平面視において、サイドウォールスペーサSW2を挟んでゲート電極CGと反対側に位置する部分の半導体膜24bおよびSOI層14に、p⁺型半導体領域22bを形成する。また、低耐圧MISFET形成領域AR2で、平面視において、サイドウォールスペーサSW4を挟んでゲート電極GE2と反対側に位置する部分の半導体膜24dおよびSOI層14に、p⁺型半導体領域22dを形成する。p⁺型半導体領域22bは、メモリ形成領域MRで、サイドウォールスペーサSW2に整合して形成され、n⁺型半導体領域22dは、低耐圧MISFET形成領域AR2で、サイドウォールスペーサSW4に整合して形成される。p⁺型半導体領域22bおよび22dにおけるp型の不純物濃度が、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。

30

【0207】

これにより、図26に示すように、メモリ形成領域MRで、p型ウェルPWMと、ゲート絶縁膜GIMと、ゲート電極CGと、サイドウォールスペーサSW1およびSW2と、n⁻型半導体領域21aと、p⁻型半導体領域21bと、n⁺型半導体領域22aと、p⁺型半導体領域22bと、により、メモリセルMCが形成される。また、平面視において、ゲート電極CGに対して一方の側と反対側(図26中右側)に位置する部分のSOI層14に、p⁻型半導体領域21bと、p⁺型半導体領域22bと、を含むp型の半導体領域23bが形成される。

40

【0208】

一方、低耐圧MISFET形成領域AR2で、n型ウェルNWLと、ゲート絶縁膜GI2と、ゲート電極GE2と、サイドウォールスペーサSW4と、p⁻型半導体領域21dと、p⁺型半導体領域22dと、により、pチャネル型のMISFET7bが形成される。また、p⁻型半導体領域21dと、p⁺型半導体領域22dと、を含むp型の半導体領域23dが形成される。

50

【0209】

なお、このステップS15では、領域AR3を露出させるように、レジスト膜PR2がパターンニングされ、領域AR3で、n型の不純物が、半導体膜24cおよび半導体領域VT1に導入される。そして、領域AR3で、p型の不純物が導入された半導体膜24cおよび半導体領域VT1を含むコンタクト領域CR1が形成される。

【0210】

次に、図3に示すように、シリサイド膜SILを形成する（図14のステップS16）

【0211】

このステップS16では、SOI基板SBの上面全面に、n⁺型半導体領域21aおよび21c、p⁺型半導体領域21bおよび21d、ゲート電極CG、GE1およびGE2、ならびに、サイドウォールスペーサSW1、SW2、SW3およびSW4を覆うように、金属膜を形成する。金属膜は、例えば、コバルト（Co）膜、ニッケル（Ni）膜、または、ニッケル白金合金膜などからなり、スパッタリング法などを用いて形成することができる。そして、SOI基板SBに対して熱処理を施すことによって、n⁺型半導体領域21aおよび21c、p⁺型半導体領域21bおよび21d、ならびに、ゲート電極CG、GE1およびGE2の各々の上層部を、金属膜と反応させる。その後、未反応の金属膜を除去する。

【0212】

このようないわゆるシリサイドプロセスを行うことによって、図3に示すように、n⁺型半導体領域21aおよび21c、p⁺型半導体領域21bおよび21d、ゲート電極CG、GE1およびGE2の各々の上に、シリサイド膜SILがそれぞれ形成される。シリサイド膜SILは、例えばコバルトシリサイド層、ニッケルシリサイド層、または、白金添加ニッケルシリサイド層とすることができる。

【0213】

次に、図3に示すように、層間絶縁膜IL1およびプラグPGを形成する（図14のステップS17）。

【0214】

このステップS17では、まず、図3に示すように、SOI基板SBの上面全面に、層間絶縁膜IL1を形成する。層間絶縁膜IL1は、例えば、酸化シリコン膜からなる絶縁膜、または、窒化シリコン膜からなる絶縁膜と酸化シリコン膜からなる絶縁膜との積層膜などからなる。層間絶縁膜IL1を、例えばCVD法により形成した後、層間絶縁膜IL1の上面を平坦化する。

【0215】

このステップS17では、図3に示すように、層間絶縁膜IL1を貫通するプラグPGを形成する。まず、フォトリソグラフィを用いて層間絶縁膜IL1上に形成したレジストパターン（図示せず）をエッチングマスクとして、層間絶縁膜IL1をドライエッチングすることにより、層間絶縁膜IL1にコンタクトホールCNTを形成する。次に、コンタクトホールCNT内に、例えば導電体部として、タングステン（W）などからなる導電性のプラグPGを形成する。

【0216】

プラグPGを形成するには、例えば、コンタクトホールCNTの内部を含む層間絶縁膜IL1上に、例えば、チタン（Ti）膜、窒化チタン（TiN）膜、またはそれらの積層膜からなるバリア導体膜を形成する。それから、このバリア導体膜上に、例えばタングステン（W）膜などからなる主導体膜を、コンタクトホールCNTを埋めるように形成し、層間絶縁膜IL1上の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去する。これにより、プラグPGを形成することができる。なお、図面の簡略化のために、図3では、プラグPGを構成するバリア導体膜および主導体膜を一体化して示してある。

【0217】

コンタクトホールCNTおよびそれに埋め込まれたプラグPGは、 n^+ 型半導体領域22aおよび22c、ならびに、 p^+ 型半導体領域22bおよび22dの各々の上に形成され、図示は省略するが、ゲート電極CG、GE1およびGE2の各々の上などにも形成される。コンタクトホールCNTの底部では、例えば n^+ 型半導体領域22aおよび22c、ならびに、 p^+ 型半導体領域22bおよび22dの各々の上のシリサイド膜SILの一部が露出し、図示は省略するが、ゲート電極CG、GE1およびGE2の各々の上のシリサイド膜SILの一部も露出する。

【0218】

次に、図3に示すように、層間絶縁膜IL2および配線ML1を形成する（図14のステップS18）。

【0219】

このステップS18では、まず、図3に示すように、プラグPGを形成した層間絶縁膜IL1上に、例えば酸化シリコン膜からなる層間絶縁膜IL2を形成する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、層間絶縁膜IL2に配線溝を形成する。その後、配線溝内を含む層間絶縁膜IL2上に銅(Cu)膜を形成する。その後、配線溝の内部以外の層間絶縁膜IL2上に露出している銅膜を、例えばCMP法で研磨して除去することにより、層間絶縁膜IL2に形成された配線溝内にだけ銅膜を残す。これにより、配線ML1を形成することができる。このようにして、本実施の形態1の半導体装置としての半導体チップCHP1を形成することができる。

【0220】

なお、本実施の形態1では、銅膜よりなる配線ML1を形成する例について説明したが、例えば、アルミニウム(Al)膜よりなる配線ML1を形成してもよい。

【0221】

(実施の形態2)

実施の形態1の半導体装置では、メモリ形成領域MRで、ゲート電極CGに対して一方の側に n 型の半導体領域23aが形成され、ゲート電極CGに対して一方の側と反対側に p 型の半導体領域23bが形成されていた。それに対して、実施の形態2の半導体装置では、メモリ形成領域MRに形成されたメモリセルMCのチャネル領域CHMにおける不純物濃度が、低耐圧MISFET形成領域AR1に形成されたMISFET7aのチャネル領域CH1における不純物濃度よりも高い。

【0222】

なお、本実施の形態2においても、半導体チップCHP1のレイアウト、および、不揮発性メモリの回路ブロックについては、実施の形態1と同様にすることができる。

【0223】

<半導体装置の構造>

次に、実施の形態2における半導体装置としての半導体チップCHP1の構造を、図面を参照して説明する。図27は、実施の形態2の半導体装置の要部断面図である。

【0224】

図27に示すように、本実施の形態2の半導体装置のうち、メモリ形成領域MRにおけるチャネル領域CHM、 n^- 型半導体領域21eおよび n^+ 型半導体領域22e以外の各部分については、図3に示した実施の形態1の半導体装置における各部分と同様にすることができ、それらの説明を省略する。

【0225】

なお、本実施の形態2の半導体装置におけるメモリセルMCは、ソース領域およびドレイン領域に相当する2つの半導体領域のいずれも n 型の半導体領域である点で、通常の電界効果トランジスタと同様の構造を有する。

【0226】

本実施の形態2におけるメモリセルMCは、 p 型ウェルPWMと、半導体領域VTMと、BOX層13と、チャネル領域CHMと、ゲート絶縁膜GIMと、ゲート電極CGと、サイドウォールスペーサSW1およびSW2と、を有する。また、本実施の形態2におけ

10

20

30

40

50

るメモリセルMCは、 n^- 型半導体領域21aと、 n^- 型半導体領域21eと、 n^+ 型半導体領域22aと、 p^+ 型半導体領域22eと、を有する。

【0227】

なお、 p 型ウェルPWMと、半導体領域VTMと、BOX層13と、ゲート絶縁膜GIMと、ゲート電極CGと、サイドウォールスペーサSW1およびSW2と、 n^- 型半導体領域21aと、 n^+ 型半導体領域22aと、については、実施の形態1における各部分と同様にすることができ、それらの説明を省略する。

【0228】

メモリ形成領域MRでは、 p 型の不純物が導入されたSOI層14aが形成されている。そして、メモリ形成領域MRで、ゲート電極CGの下方に位置する部分のSOI層14aには、チャンネル領域CHMが形成されている。チャンネル領域CHMは、例えばホウ素(B)などの p 型の不純物が導入された p 型の半導体領域である。チャンネル領域CHMにおける p 型の不純物濃度を、例えば $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度とすることができる。

10

【0229】

本実施の形態2では、実施の形態1と異なり、サイドウォールスペーサSW2下に位置する部分のSOI層14aには、 n^- 型半導体領域21eが形成されている。また、平面視において、 n^- 型半導体領域21eを挟んでゲート電極CGと反対側に位置する部分のSOI層14aには、 n^+ 型半導体領域22eが形成されている。 n^+ 型半導体領域22eは、 n^- 型半導体領域21eと接触しており、 n^+ 型半導体領域22eにおける不純物濃度は、 n^- 型半導体領域21eにおける不純物濃度よりも高い。 n^- 型半導体領域21eと、 n^+ 型半導体領域22eと、によりLDD構造が形成されている。 n^+ 型半導体領域22eにおける n 型の不純物濃度を、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度とすることができ、 n^- 型半導体領域21eにおける n 型の不純物濃度を、 n^+ 型半導体領域22eにおける n 型の不純物濃度よりも低くすることができる。

20

【0230】

すなわち、本実施の形態2では、実施の形態1と同様に、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側(図27中左側)に位置する部分のSOI層14aには、 n^- 型半導体領域21aと、 n^+ 型半導体領域22aと、を含む n 型の半導体領域23aが形成されている。また、本実施の形態2では、実施の形態1とは異なり、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側と反対側(図27中右側)に位置する部分のSOI層14aにも、 n^- 型半導体領域21eと、 n^+ 型半導体領域22eと、を含む n 型の半導体領域23eが形成されている。

30

【0231】

また、メモリ形成領域MRで、平面視において、サイドウォールスペーサSW2を挟んでゲート電極CGと反対側に位置する部分のSOI層14a上には、選択エピタキシャル成長により成長したシリコン膜からなる半導体膜24bが形成されていてもよい。また、この半導体膜24bにも、 n^+ 型半導体領域22eが形成されていてもよい。このとき、 n^+ 型半導体領域22eは、平面視において、ゲート電極CGに対して一方の側と反対側に位置する部分のSOI層14a、および、半導体膜24bに形成されている。

40

【0232】

<不揮発性メモリセルの動作>

本実施の形態2における半導体装置に含まれる不揮発性メモリセルとしてのメモリセルの動作については、 p 型の半導体領域23bに代えて n 型の半導体領域23eが設けられている点を除き、実施の形態1で図4～図6を用いて説明したメモリセルの動作と同様にすることができる。

【0233】

<本実施の形態の主要な特徴と効果>

本実施の形態2の半導体装置では、メモリ形成領域MRで、平面視において、ゲート電極CGに対して一方の側に位置する部分のSOI層14aには、実施の形態1の半導体装

50

置と同様に、 n^- 型半導体領域 2 1 a と、 n^+ 型半導体領域 2 2 a と、を含む n 型の半導体領域 2 3 a が形成されている。

【0234】

一方、本実施の形態 2 の半導体装置では、メモリ形成領域 MR で、平面視において、ゲート電極 CG に対して一方の側と反対側に位置する部分の SOI 層 1 4 a には、実施の形態 1 の半導体装置とは異なり、 n^- 型半導体領域 2 1 e と、 n^+ 型半導体領域 2 2 e と、を含む n 型の半導体領域 2 3 e が形成されている。また、メモリ形成領域 MR に形成されたメモリセル MC のチャネル領域 CHM における p 型の不純物濃度は、低耐圧 MISFET 形成領域 AR 1 に形成された n チャネル型の MISFET 7 a のチャネル領域 CH 1 における p 型の不純物濃度よりも高い。すなわち、チャネル領域 CH 1 は、チャネル領域 CHM における p 型の不純物濃度よりも低い濃度で p 型の不純物を含有するか、または、 p 型の不純物を含有しない。

10

【0235】

本実施の形態 2 の半導体装置においては、図 7 を用いて説明した比較例の半導体装置と同様に、メモリセル MC にデータが書き込まれる際に、 n 型の半導体領域 2 3 a から電荷蓄積膜 EC に電子が注入される。一方、本実施の形態 2 の半導体装置においては、メモリセル MC に記憶されたデータが消去される際に、チャネル領域 CHM から電荷蓄積膜 EC に正孔が注入される。

【0236】

そのため、本実施の形態 2 の半導体装置では、比較例の半導体装置に比べ、メモリセル MC のデータを消去する際に、チャネル領域 CHM から電荷蓄積膜 EC に正孔が注入される速度が速くなり、データの消去速度が速くなって、半導体装置の性能を向上させることができる。

20

【0237】

なお、本願明細書において、ある領域における p 型の不純物濃度、とは、その領域全体における p 型の不純物濃度の平均値を意味する。

【0238】

また、低耐圧 MISFET 形成領域 AR 1 に形成された MISFET 7 a のチャネル領域 CH 1 は、 p 型の不純物を含有してもよい。このような場合、メモリ形成領域 MR に形成されたメモリセル MC のチャネル領域 CHM のうち BOX 層 1 3 と接触した部分 PT 1 における p 型の不純物濃度は、低耐圧 MISFET 形成領域 AR 1 に形成された MISFET 7 a のチャネル領域 CH 1 における p 型の不純物濃度よりも高い。

30

【0239】

これにより、メモリセル MC のチャネル領域 CHM における p 型の不純物濃度を、低耐圧 MISFET 形成領域 AR 1 に形成された MISFET 7 a のチャネル領域 CH 1 における p 型の不純物濃度よりも、確実に高くすることができる。また、チャネル領域 CHM のうちゲート絶縁膜 GIM と接触した部分 PT 2 における p 型の不純物濃度を、チャネル領域 CHM のうち BOX 層 1 3 と接触した部分 PT 1 における p 型の不純物濃度よりも低くすることができる。

【0240】

すなわち、好適には、チャネル領域 CHM のうちゲート絶縁膜 GIM と接触した部分 PT 2 は、チャネル領域 CHM のうち BOX 層 1 3 と接触した部分 PT 1 における p 型の不純物濃度よりも低い濃度で p 型の不純物を含有するか、または、 p 型の不純物を含有しない。

40

【0241】

これにより、チャネル領域 CHM における p 型の不純物濃度を高くしつつ、チャネル領域 CHM のうちゲート絶縁膜 GIM と接触した部分 PT 2 における p 型の不純物濃度を低くすることができる。したがって、メモリセル MC のデータを消去する際に、チャネル領域 CHM から電荷蓄積膜 EC に正孔が注入される速度が速くなり、データの消去速度が速くなって、半導体装置の性能を向上させることができ、かつ、メモリセル MC の閾値電圧

50

を低くすることができる。

【0242】

また、好適には、チャネル領域CHMは、p型の不純物と、炭素からなる不純物とを含有する。炭素からなる不純物は、p型の不純物の拡散を抑える性質がある。そのため、p型の不純物と炭素からなる不純物を含有するチャネル領域CHMにおいては、p型の不純物におけるランダム不純物ばらつき(Random Dopant Fluctuation)を小さくすることができる。したがって、メモリセルMC同士の間の閾値電圧のばらつきが小さくなるため、電源電圧を低くした場合でも、書き込み動作、消去動作および読み出し動作を、安定して行うことができる。

【0243】

なお、本実施の形態2におけるメモリセルMCに含まれる各半導体領域の導電型を一括して逆の導電型にしてもよい。このような場合には、消去動作の際に、正孔に代えて電子を注入することになるが、その電子の注入する速度を速くすることができ、半導体装置の性能を向上させることができる。

【0244】

また、本実施の形態2におけるメモリセルMCのゲート絶縁膜GIMが、電荷蓄積膜ECに代えて例えば金属膜などの導電膜を有し、かつ、その導電膜が電氣的に浮遊した状態であってもよい。すなわち、本実施の形態1におけるメモリセルMCが、電荷蓄積部としてSONOS膜を有するものではなく、フローティングゲートを有するものであってもよい。

【0245】

<半導体装置の製造方法>

次に、本実施の形態2の半導体装置の製造方法について説明する。

【0246】

図28および図29は、実施の形態2の半導体装置の製造工程の一部を示すプロセスフロー図である。図30～図36は、実施の形態2の半導体装置の製造工程中の要部断面図である。図30～図36には、メモリ形成領域MRおよび主回路形成領域ARの要部断面図が示されている。

【0247】

本実施の形態2の半導体装置の製造方法では、まず、実施の形態1の半導体装置の製造方法と同様に、図13のステップS1～ステップS3を行って、図15に示したように、SOI基板SBを用意し、素子分離領域SRを形成し、犠牲酸化膜SO1を形成する。

【0248】

次に、実施の形態1の半導体装置の製造方法と同様に、図13のステップS4を行って、図16に示したように、p型ウェルPWMおよびPWL、ならびに、n型ウェルNWLを形成する。

【0249】

次に、図30に示すように、半導体領域VTM、VT1およびVT2を形成する(図28のステップS5)。ここで、本実施の形態2では、実施の形態1と異なり、ステップS5は、半導体領域VTM、VT1およびVT2を形成する工程(図28のステップS51)と、メモリ形成領域MRでSOI層14にイオン注入する工程(図28のステップS52)と、を含む。

【0250】

まず、ステップS51では、図30に示すように、半導体領域VTM、VT1およびVT2を形成する。この半導体領域VTM、VT1およびVT2を形成する工程は、実施の形態1で図17を用いて説明した工程と同様にすることができる。

【0251】

次に、ステップS52では、低耐圧MISFET形成領域AR1およびAR2を覆い、かつ、メモリ形成領域MRを露出させるように、レジスト膜(図示は省略)をパターンニングする。そして、パターンニングされたレジスト膜(図示は省略)をマスクにしたイオン注

10

20

30

40

50

入法により、例えばホウ素（Ｂ）などのｐ型の不純物を、ＳＯＩ層１４に導入する。

【０２５２】

これにより、メモリ形成領域ＭＲで、ｐ型の不純物が導入されたＳＯＩ層１４としてのＳＯＩ層１４ａを形成する。ＳＯＩ層１４ａにおけるｐ型の不純物濃度が、例えば $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。

【０２５３】

なお、ステップＳ５２を、ステップＳ５１の後ではなく、ステップＳ５１の前に行ってもよい。すなわち、メモリ形成領域ＭＲでＳＯＩ層１４にイオン注入する工程を、半導体領域ＶＴＭ、ＶＴ１およびＶＴ２を形成する工程の前後のいずれの時点で行ってもよい。

【０２５４】

このとき、メモリ形成領域ＭＲにおけるＳＯＩ層１４ａのうちゲート絶縁膜ＧＩＭと接触した部分ＰＴ２１におけるｐ型の不純物濃度を、メモリ形成領域ＭＲにおけるＳＯＩ層１４ａのうちＢＯＸ層１３と接触した部分ＰＴ１１におけるｐ型の不純物濃度よりも低くすることができる。

【０２５５】

ステップＳ５２では、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（Ｂ）などのｐ型の不純物を、ＳＯＩ層１４に導入する際に、メモリ形成領域ＭＲで、炭素をＳＯＩ層１４に導入することが、好ましい。これにより、例えばホウ素イオンを炭素イオンと共注入（Carbon co-implantation）することができる。

【０２５６】

炭素イオンは、ｐ型の不純物の拡散を抑える性質がある。そのため、ホウ素イオンが炭素イオンと共注入されたＳＯＩ層１４としてのＳＯＩ層１４ａであって、ゲート電極ＣＧ（後述する図３２参照）の下方に位置する部分に形成されるチャネル領域ＣＨＭ（後述する図３４参照）においては、ｐ型の不純物におけるランダム不純物ばらつきを小さくすることができる。したがって、メモリセルＭＣ同士の間の閾値電圧のばらつきが小さくなるため、電源電圧を低くした場合でも、書き込み動作、消去動作および読み出し動作を、安定して行うことができる。

【０２５７】

なお、炭素をイオン注入する工程を、ホウ素などのｐ型の不純物をイオン注入する工程の前に行うことがより好ましい。これにより、ｐ型の不純物をＳＯＩ層１４にイオン注入する時には、ＳＯＩ層１４には既に炭素が導入されている状態であるので、チャネル領域ＣＨＭ（後述する図３４参照）におけるランダム不純物ばらつきをより確実に小さくすることができる。

【０２５８】

次に、実施の形態１の半導体装置の製造方法と同様に、図１３のステップＳ６に相当する工程を行って、図３１に示すように、絶縁膜ＩＦＧおよびＩＳ１を形成する。

【０２５９】

次に、実施の形態１の半導体装置の製造方法と同様に、図１３のステップＳ７に相当する工程を行って、図３２に示すように、導電膜ＣＦ１を形成する。

【０２６０】

次に、実施の形態１の半導体装置の製造方法と同様に、図１３のステップＳ８に相当する工程を行って、図３２に示すように、導電膜ＣＦ１、ならびに、絶縁膜ＩＦＧおよびＩＳ１をパターニングする。

【０２６１】

次に、実施の形態１の半導体装置の製造方法と同様に、図１３のステップＳ９に相当する工程を行って、図３３に示すように、サイドウォールスペーサＳＰ１、ＳＰ２、ＳＰ３およびＳＰ４を形成する。

【０２６２】

次に、実施の形態１の半導体装置の製造方法と同様に、図１３のステップＳ１０に相当

10

20

30

40

50

する工程を行って、図 3 3 に示すように、半導体膜 2 4 a、2 4 b、2 4 c および 2 4 d を形成する。

【0 2 6 3】

次に、実施の形態 1 の半導体装置の製造方法と同様に、図 1 4 のステップ S 1 1 に相当する工程を行って、図 3 4 に示すように、サイドウォールスペーサ S P 1、S P 2、S P 3 および S P 4 を除去する。

【0 2 6 4】

次に、図 1 4 のステップ S 1 2 に相当する工程を行って、図 3 4 に示すように、 n^+ 型半導体領域 2 1 a、2 1 c および 2 1 e、ならびに、 p^+ 型半導体領域 2 1 d を形成する（図 2 9 のステップ S 2 2）。

10

【0 2 6 5】

このステップ S 2 2 では、低耐圧 M I S F E T 形成領域 A R 2 を覆い、かつ、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などの n 型の不純物を、半導体膜 2 4 a および半導体膜 2 4 a 下の S O I 層 1 4 a に導入し、半導体膜 2 4 b および半導体膜 2 4 b 下の S O I 層 1 4 a に導入する。また、 n 型の不純物を、半導体膜 2 4 c および半導体膜 2 4 c 下の S O I 層 1 4 に導入する。

【0 2 6 6】

これにより、メモリ形成領域 M R で、平面視において、ゲート電極 C G に対して一方の側（図 3 4 中左側）に位置する部分の S O I 層 1 4 a に、 n^+ 型半導体領域 2 1 a を形成する。また、メモリ形成領域 M R で、平面視において、ゲート電極 C G に対して一方の側と反対側（図 3 4 中右側）に位置する部分の S O I 層 1 4 a に、 n^+ 型半導体領域 2 1 e を形成する。また、低耐圧 M I S F E T 形成領域 A R 1 で、平面視において、ゲート電極 G E 1 を挟んで両側に位置する部分の S O I 層 1 4 に、 n^+ 型半導体領域 2 1 c を形成する。 n^+ 型半導体領域 2 1 a および 2 1 e は、メモリ形成領域 M R で、ゲート電極 C G に整合して形成され、 n^+ 型半導体領域 2 1 c は、低耐圧 M I S F E T 形成領域 A R 1 で、ゲート電極 G E 1 に整合して形成される。

20

【0 2 6 7】

なお、 n^+ 型半導体領域 2 1 a は、メモリ形成領域 M R で、半導体膜 2 4 a の上層部にも形成され、 n^+ 型半導体領域 2 1 e は、メモリ形成領域 M R で、半導体膜 2 4 b の上層部にも形成される。また、 n^+ 型半導体領域 2 1 c は、低耐圧 M I S F E T 形成領域 A R 1 で、半導体膜 2 4 c の上層部にも形成される。

30

【0 2 6 8】

また、このステップ S 2 2 では、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 2 を露出させるように、レジスト膜（図示は省略）をパターニングする。そして、パターニングされたレジスト膜（図示は省略）をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、半導体膜 2 4 d および半導体膜 2 4 d 下の S O I 層 1 4 に導入する。

【0 2 6 9】

これにより、低耐圧 M I S F E T 形成領域 A R 2 で、平面視において、ゲート電極 G E 2 を挟んで両側に位置する部分の S O I 層 1 4 に、 p^+ 型半導体領域 2 1 d を形成する。 p^+ 型半導体領域 2 1 d は、低耐圧 M I S F E T 形成領域 A R 2 で、ゲート電極 G E 2 に整合して形成される。なお、 p^+ 型半導体領域 2 1 d は、低耐圧 M I S F E T 形成領域 A R 2 で、半導体膜 2 4 d の上層部にも形成される。

40

【0 2 7 0】

次に、実施の形態 1 の半導体装置の製造方法と同様に、図 1 4 のステップ S 1 3 に相当する工程を行って、図 3 5 に示すように、サイドウォールスペーサ S W 1、S W 2、S W 3 および S W 4 を形成する（図 2 9 のステップ S 2 3）。

【0 2 7 1】

50

次に、図 3 5 に示すように、 n^+ 型半導体領域 2 2 a、2 2 c および 2 2 e を形成する（図 2 9 のステップ S 2 4 ）。

【 0 2 7 2 】

このステップ S 1 4 では、低耐圧 M I S F E T 形成領域 A R 2 を覆い、かつ、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を露出させるように、レジスト膜 P R 1 をパターニングする。そして、パターニングされたレジスト膜 P R 1 をマスクにしたイオン注入法により、例えばリン（P）またはヒ素（As）などの n 型の不純物を、半導体膜 2 4 a および半導体膜 2 4 a 下の S O I 層 1 4 a に導入し、半導体膜 2 4 b および半導体膜 2 4 b 下の S O I 層 1 4 a に導入する。また、 n 型の不純物を、半導体膜 2 4 c および半導体膜 2 4 c 下の S O I 層 1 4 に導入する。すなわち、半導体膜 2 4 a、2 4 b および 2 4 c に、 n 型の不純物イオン I M 1 をイオン注入する。

10

【 0 2 7 3 】

これにより、メモリ形成領域 M R で、平面視において、サイドウォールスペーサ S W 1 を挟んでゲート電極 C G と反対側に位置する部分の半導体膜 2 4 a および S O I 層 1 4 a に、 n^+ 型半導体領域 2 2 a を形成する。また、メモリ形成領域 M R で、平面視において、サイドウォールスペーサ S W 2 を挟んでゲート電極 C G と反対側に位置する部分の半導体膜 2 4 b および S O I 層 1 4 a に、 n^+ 型半導体領域 2 2 e を形成する。さらに、低耐圧 M I S F E T 形成領域 A R 1 で、平面視において、サイドウォールスペーサ S W 3 を挟んでゲート電極 G E 1 と反対側に位置する部分の半導体膜 2 4 c および S O I 層 1 4 に、 n^+ 型半導体領域 2 2 c を形成する。 n^+ 型半導体領域 2 2 a は、メモリ形成領域 M R で、サイドウォールスペーサ S W 1 に整合して形成され、 n^+ 型半導体領域 2 2 e は、メモリ形成領域 M R で、サイドウォールスペーサ S W 2 に整合して形成される。また、 n^+ 型半導体領域 2 2 c は、低耐圧 M I S F E T 形成領域 A R 1 で、サイドウォールスペーサ S W 3 に整合して形成される。 n^+ 型半導体領域 2 2 a、2 2 c および 2 2 e における n 型の不純物濃度が、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。

20

【 0 2 7 4 】

これにより、図 3 5 に示すように、メモリ形成領域 M R で、 p 型ウェル P W M と、ゲート絶縁膜 G I M と、ゲート電極 C G と、サイドウォールスペーサ S W 1 および S W 2 と、 n^- 型半導体領域 2 1 a と、 n^- 型半導体領域 2 1 e と、 n^+ 型半導体領域 2 2 a と、 n^+ 型半導体領域 2 2 e と、により、メモリセル M C が形成される。また、図 3 5 に示すように、低耐圧 M I S F E T 形成領域 A R 1 で、 p 型ウェル P W L と、ゲート絶縁膜 G I 1 と、ゲート電極 G E 1 と、サイドウォールスペーサ S W 3 と、 n^- 型半導体領域 2 1 c と、 n^+ 型半導体領域 2 2 c と、により、 n チャネル型の M I S F E T 7 a が形成される。

30

【 0 2 7 5 】

なお、このステップ S 2 4 では、領域 A R 4 を露出させるように、レジスト膜 P R 1 がパターニングされ、領域 A R 4 で、 n 型の不純物が、半導体膜 2 4 d および半導体領域 V T 2 に導入される。そして、領域 A R 4 で、 n 型の不純物が導入された半導体膜 2 4 d および半導体領域 V T 2 を含むコンタクト領域 C R 2 が形成される。

【 0 2 7 6 】

40

次に、図 3 6 に示すように、 p^+ 型半導体領域 2 2 d を形成する（図 2 9 のステップ S 2 5 ）。

【 0 2 7 7 】

このステップ S 2 5 では、メモリ形成領域 M R および低耐圧 M I S F E T 形成領域 A R 1 を覆い、かつ、低耐圧 M I S F E T 形成領域 A R 2 を露出させるように、レジスト膜 P R 2 をパターニングする。そして、パターニングされたレジスト膜 P R 2 をマスクにしたイオン注入法により、例えばホウ素（B）などの p 型の不純物を、半導体膜 2 4 d および半導体膜 2 4 d 下の S O I 層 1 4 に導入する。すなわち、半導体膜 2 4 d に、 p 型の不純物イオン I M 2 をイオン注入する。

【 0 2 7 8 】

50

これにより、低耐圧MISFET形成領域AR2で、平面視において、サイドウォールスペースSW4を挟んでゲート電極GE2と反対側に位置する部分の半導体膜24bおよびSOI層14に、 p^+ 型半導体領域22dを形成する。 p^+ 型半導体領域22dは、低耐圧MISFET形成領域AR2で、サイドウォールスペースSW4に整合して形成される。 p^+ 型半導体領域22dにおけるp型の不純物濃度が、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ 程度になるように、イオン注入の際の注入条件が調整される。

【0279】

なお、このステップS25では、領域AR3を露出させるように、レジスト膜PR2がパターニングされ、領域AR3で、n型の不純物が、半導体膜24cおよび半導体領域VT1に導入される。そして、領域AR3で、p型の不純物が導入された半導体膜24cおよび半導体領域VT1を含むコンタクト領域CR1が形成される。

10

【0280】

その後、実施の形態1の半導体装置の製造方法と同様に、図14のステップS16～ステップS18に相当する工程を行って、図27に示すように、本実施の形態2の半導体装置を形成することができる。

【0281】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0282】

20

本発明は少なくとも以下の実施の形態を含む。

【0283】

〔付記1〕

(a) 基体と、前記基体の主面の第1領域、および、前記基体の前記主面の第2領域で、前記基体上に形成された絶縁層と、前記絶縁層上に形成された半導体層と、を含む半導体基板を用意する工程、

(b) 前記第1領域で、前記半導体層に第1導電型の第1不純物を導入する工程、

(c) 前記第1領域で、前記半導体層上に、内部に電荷蓄積部を有する第1ゲート絶縁膜を形成し、前記第1ゲート絶縁膜上に第1ゲート電極を形成し、前記第1ゲート電極の下方に位置する部分の前記半導体層に第1半導体領域を形成し、前記第2領域で、前記半導体層上に第2ゲート絶縁膜を形成し、前記第2ゲート絶縁膜上に第2ゲート電極を形成し、前記第2ゲート電極の下方に位置する部分の前記半導体層に第2半導体領域を形成する工程、

30

を有し、

前記第1ゲート絶縁膜と前記第1ゲート電極と前記第1半導体領域とにより不揮発性メモリセルが形成され、

前記第2ゲート絶縁膜と前記第2ゲート電極と前記第2半導体領域とによりMISFETが形成され、

前記第2半導体領域は、前記第1半導体領域における前記第1不純物の濃度よりも低い濃度で前記第1不純物を含有するか、または、前記第1不純物を含有しない、半導体装置の製造方法。

40

【0284】

〔付記2〕

付記1記載の半導体装置の製造方法において、

前記第2半導体領域は、前記第1不純物を含有し、

前記第1半導体領域のうち前記絶縁層と接触した第1部分における前記第1不純物の濃度は、前記第2半導体領域における前記第1不純物の濃度よりも高い、半導体装置の製造方法。

【0285】

〔付記3〕

50

付記 1 記載の半導体装置の製造方法において、

前記第 1 半導体領域のうち前記第 1 ゲート絶縁膜と接触した第 2 部分は、前記第 1 半導体領域のうち前記絶縁層と接触した第 3 部分における前記第 1 不純物の濃度よりも低い濃度で前記第 1 不純物を含有するか、または、前記第 1 不純物を含有しない、半導体装置の製造方法。

【 0 2 8 6 】

〔付記 4〕

付記 1 記載の半導体装置の製造方法において、

前記第 1 導電型は、p 型であり、

前記第 1 不純物は、ホウ素からなり、

前記半導体装置の製造方法は、さらに、

(d) 前記 (a) 工程の後、前記 (b) 工程の前に、前記第 1 領域で、前記半導体層に炭素からなる第 2 不純物を導入する工程、

を有する、半導体装置の製造方法。

10

【 0 2 8 7 】

〔付記 5〕

付記 1 記載の半導体装置の製造方法において、

(e) 前記第 1 領域で、平面視において、前記第 1 ゲート電極に対して第 1 の側に位置する部分の前記半導体層に、n 型の第 3 半導体領域を形成する工程、

を有し、

前記第 1 導電型は、p 型であり、

前記不揮発性メモリセルにデータが書き込まれる際に、前記第 3 半導体領域から前記電荷蓄積部に電子が注入され、

前記不揮発性メモリセルに記憶されたデータが消去される際に、前記第 1 半導体領域から前記電荷蓄積部に正孔が注入される、半導体装置の製造方法。

20

【符号の説明】

【 0 2 8 8 】

1 CPU

2 ROM

3 RAM

4 アナログ回路

5 不揮発性メモリ

6 I/O 回路

7 a、7 b MISFET

10 メモリアレイ

11 直接周辺回路部

12 間接周辺回路部

13 BOX 層

14、14 a SOI 層

21 a、21 c、21 e n⁻型半導体領域

21 b、21 d p⁻型半導体領域

22 a、22 c、22 e n⁺型半導体領域

22 b、22 d p⁺型半導体領域

23 a ~ 23 e 半導体領域

24 a ~ 24 d 半導体膜

AR 主回路形成領域

AR 1、AR 2 低耐圧 MISFET 形成領域

AR 3、AR 4 領域

CF 1、CF 1 1、CF 1 2 導電膜

CG ゲート電極

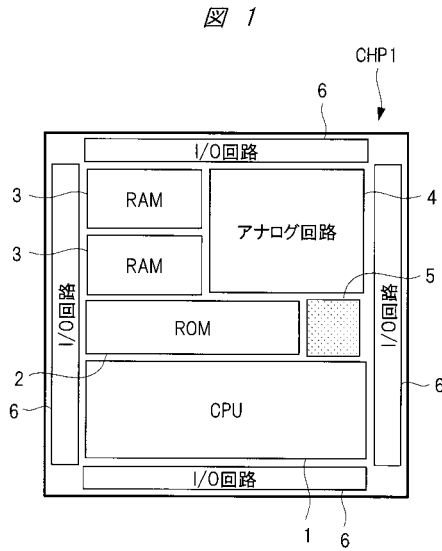
30

40

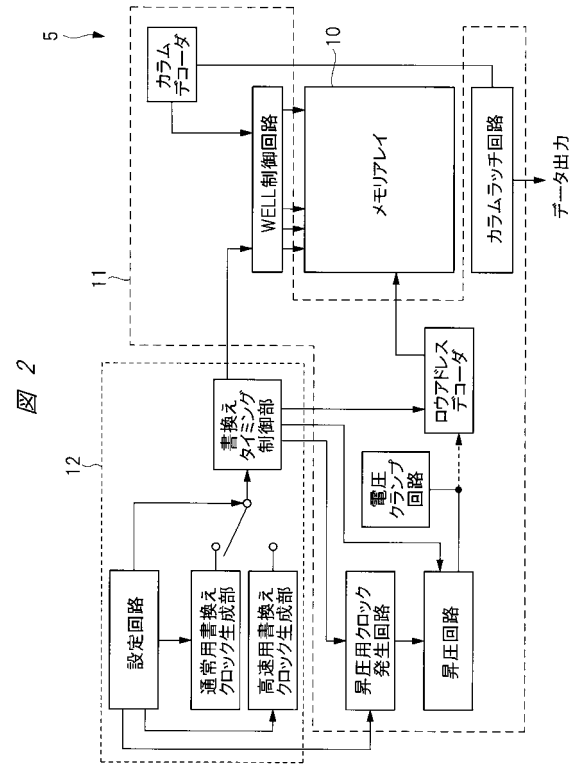
50

CH 1、CH 2、CHM	チャネル領域	
CHP 1	半導体チップ	
CNT	コンタクトホール	
CR 1、CR 2	コンタクト領域	
CT 1 ~ CT 4	セルトランジスタ	
DL 1、DL 2	データ線	
EC	電荷蓄積膜	
GE 1、GE 2	ゲート電極	
GI 1、GI 2、GIM	ゲート絶縁膜	
HM	ハードマスク膜	10
IF 1、IF 2、IFG	絶縁膜	
IL 1、IL 2	層間絶縁膜	
IM 1、IM 2	不純物イオン	
IS 1 ~ IS 3	絶縁膜	
MC、MC 1、MC 2	メモリセル	
ML 1、ML 1 1	配線	
MR	メモリ形成領域	
NWL	n型ウェル	
OP 1、OP 2	開口部	
PG	プラグ	20
PR 1、PR 2	レジスト膜	
PS	上面	
PT 1、PT 1 1、PT 2、PT 2 1	部分	
PWL、PWM	p型ウェル	
SB	SOI基板	
SIL	シリサイド膜	
SL 1、SL 2	ソース線	
SMC	選択メモリセル	
SO 1、SO 2	犠牲酸化膜	
SP 1 ~ SP 4、SW 1 ~ SW 4	サイドウォールスペーサ	30
SR	素子分離領域	
SS	基体	
UMC	非選択メモリセル	
VT 1、VT 2、VTM	半導体領域	
WE 1、WE 2	ウェル	
WL 1、WL 2	ワード線	

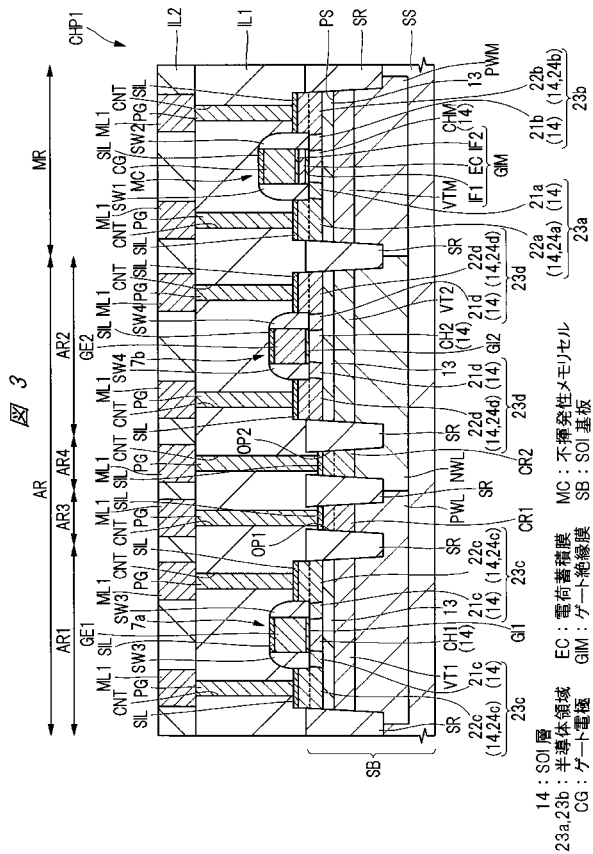
【 図 1 】



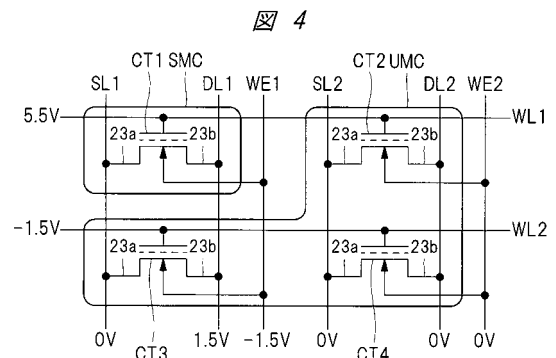
【 図 2 】



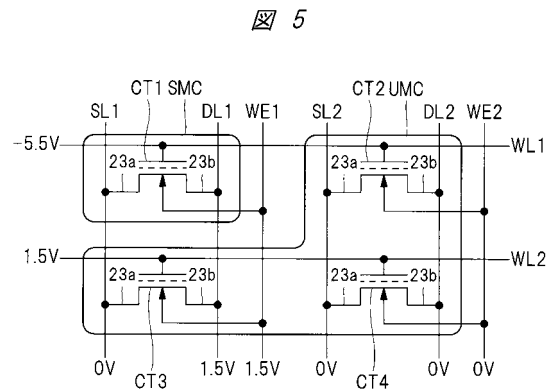
【 図 3 】



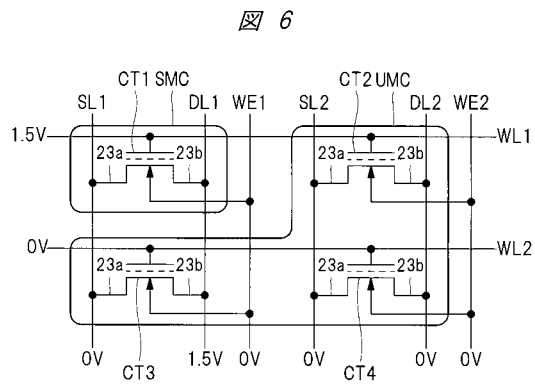
【 図 4 】



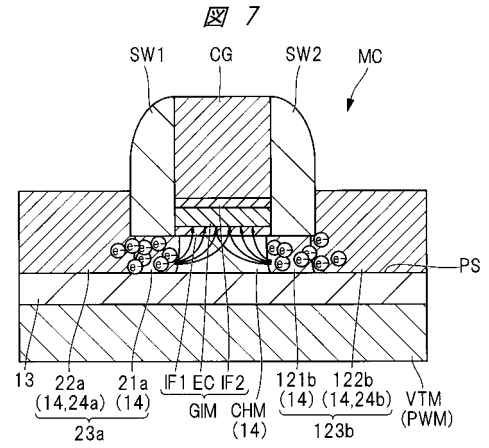
【 図 5 】



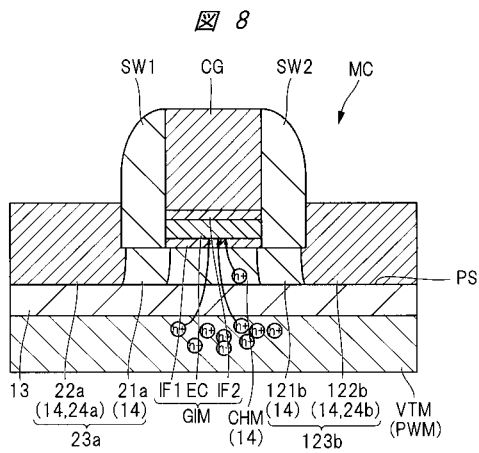
【図 6】



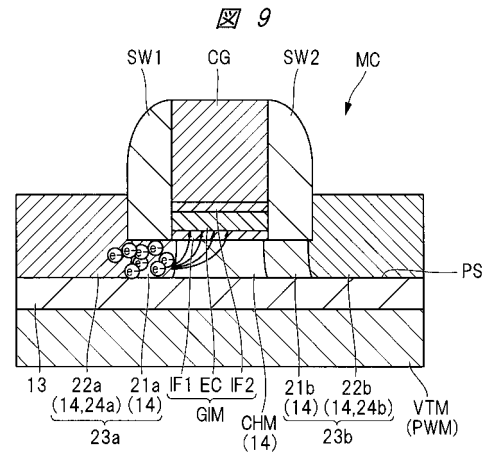
【図 7】



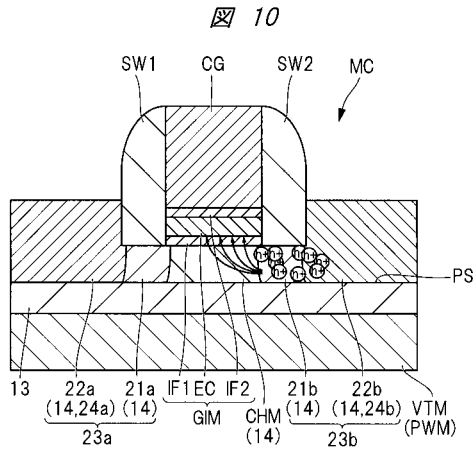
【図 8】



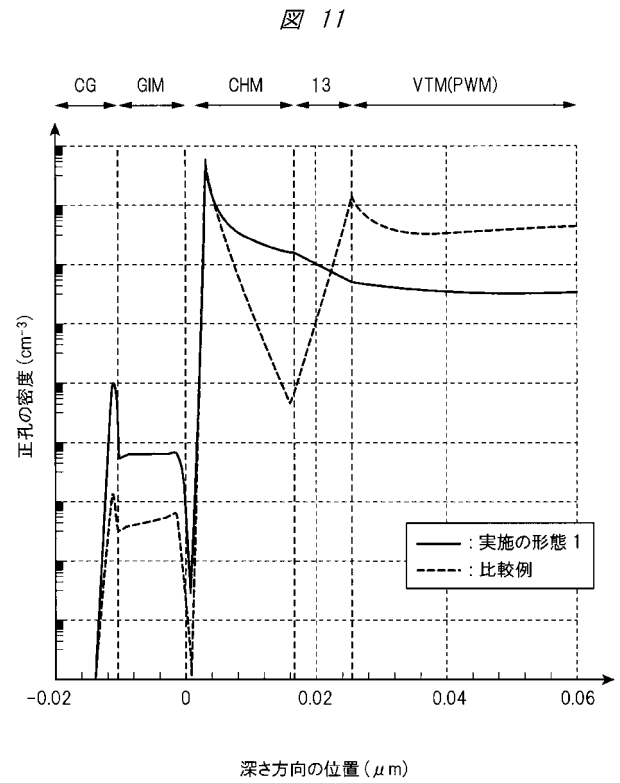
【図 9】



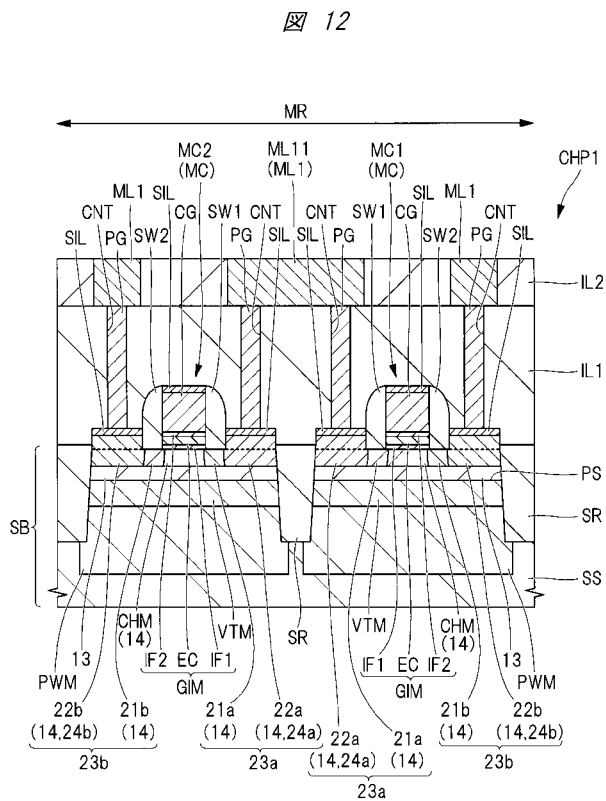
【図10】



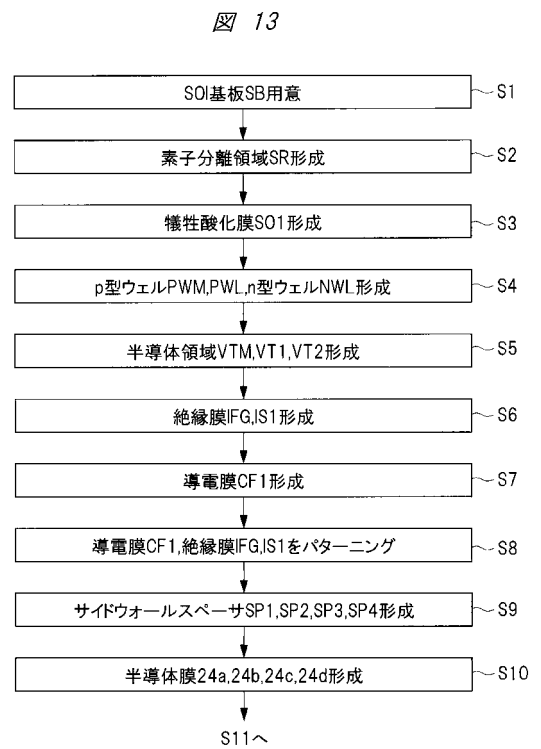
【図11】



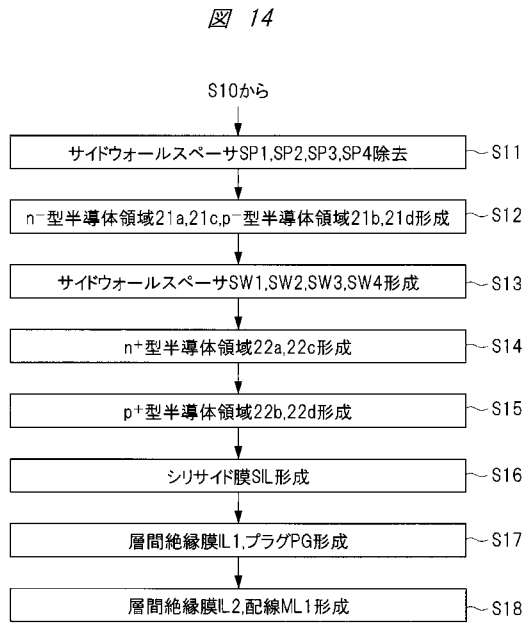
【図12】



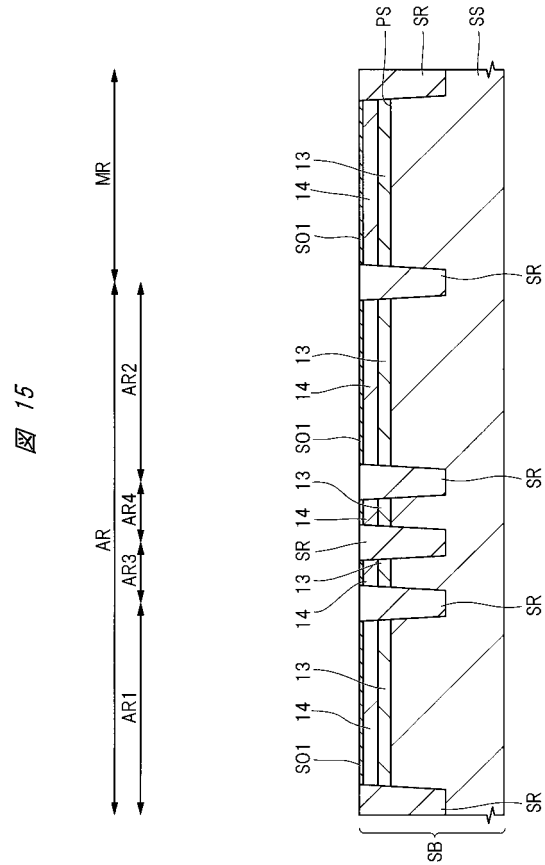
【図13】



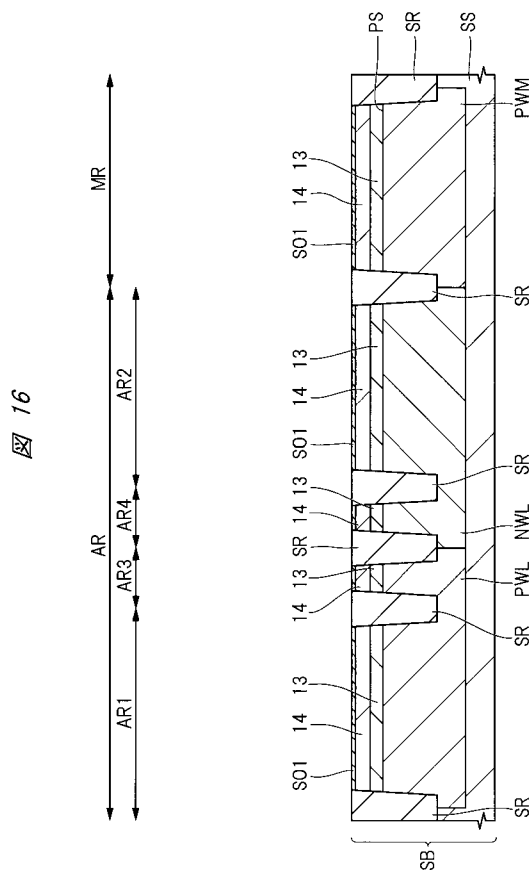
【図 14】



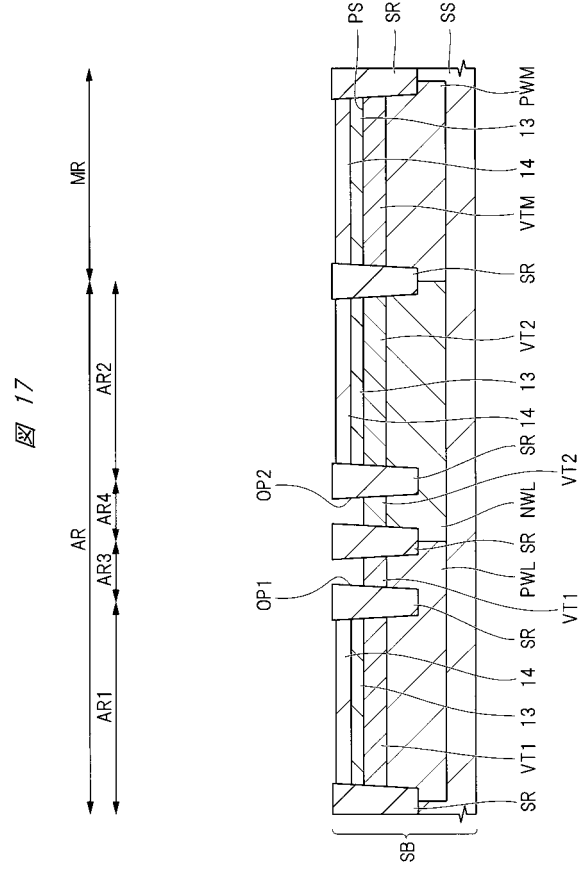
【図 15】



【図 16】

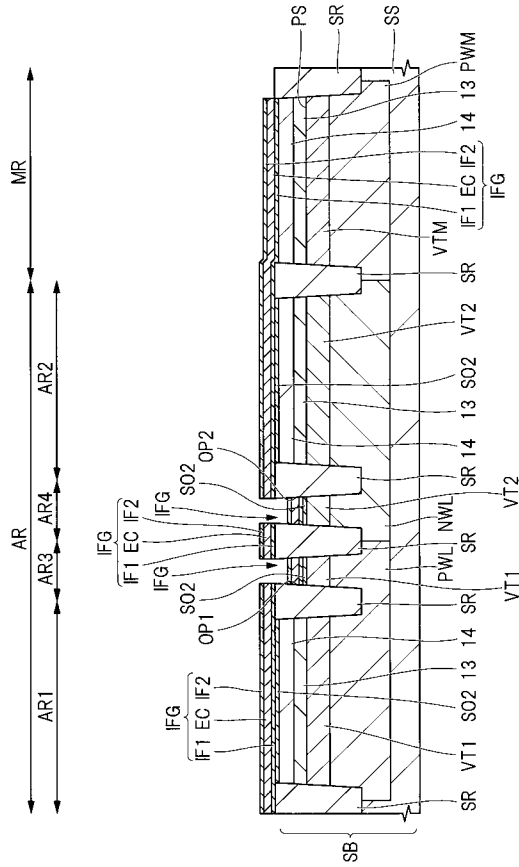


【図 17】



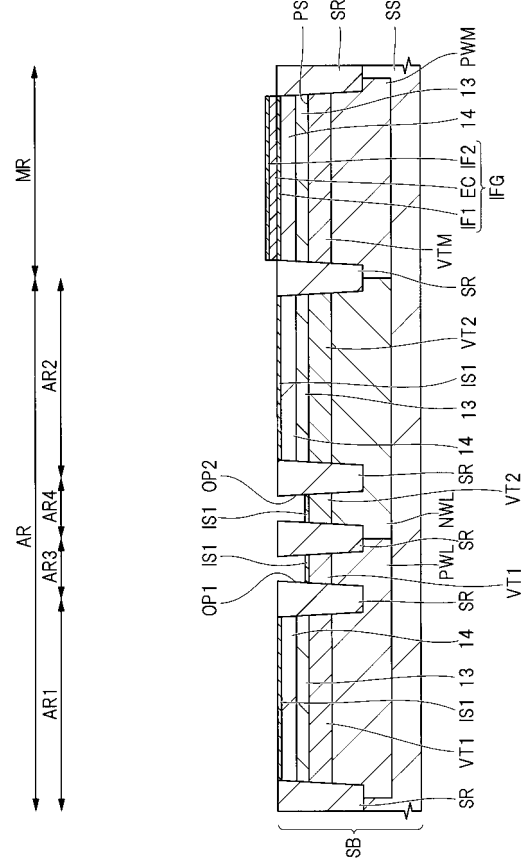
【図 18】

図 18



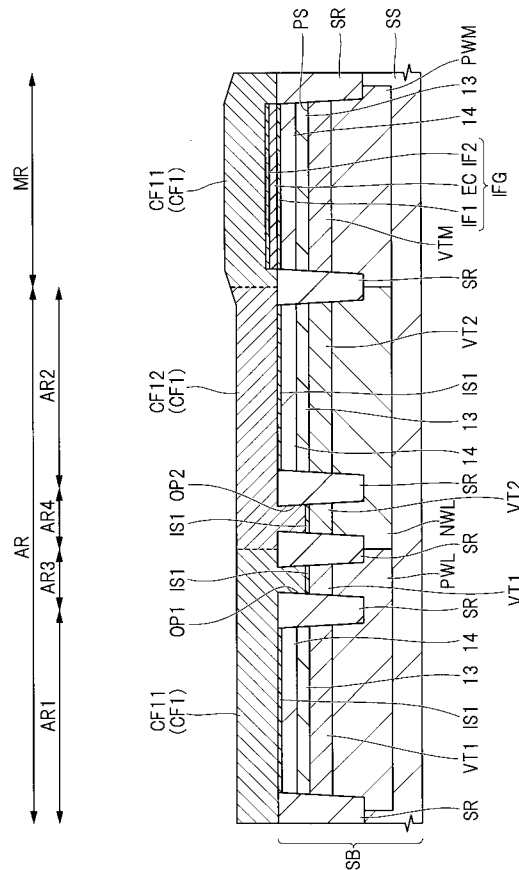
【図 19】

図 19



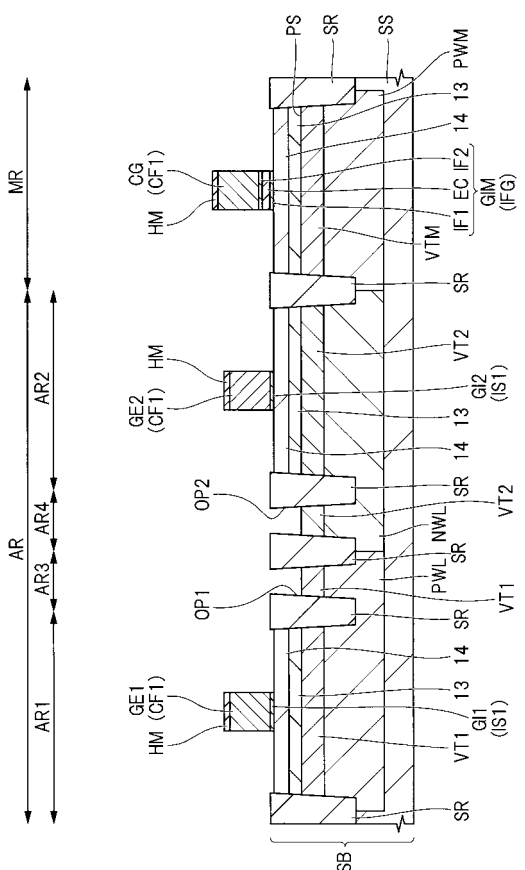
【図 20】

図 20

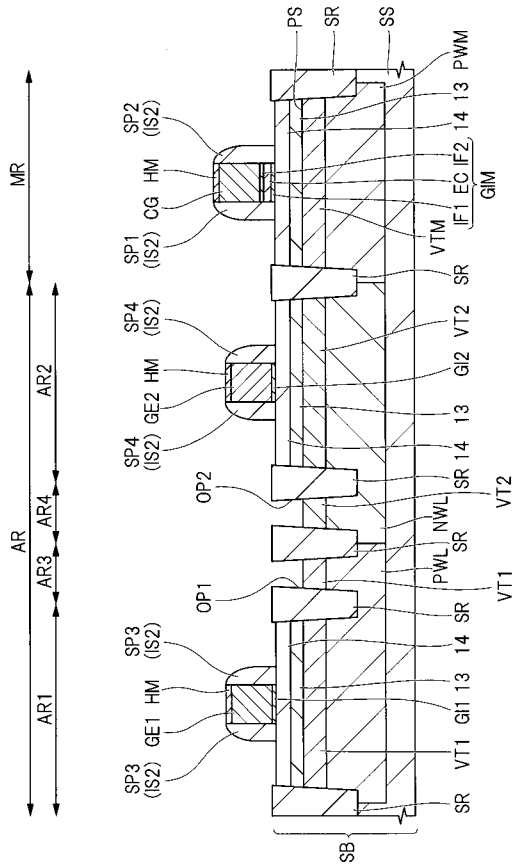


【図 21】

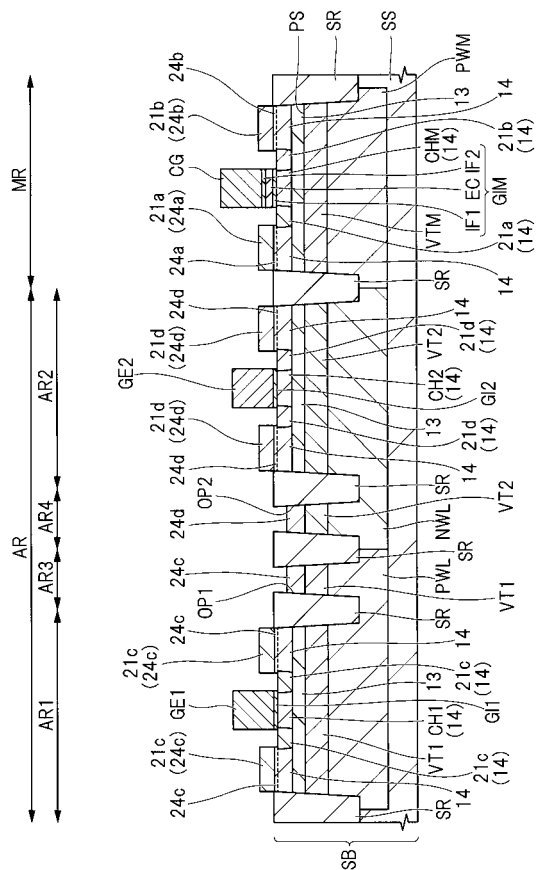
図 21



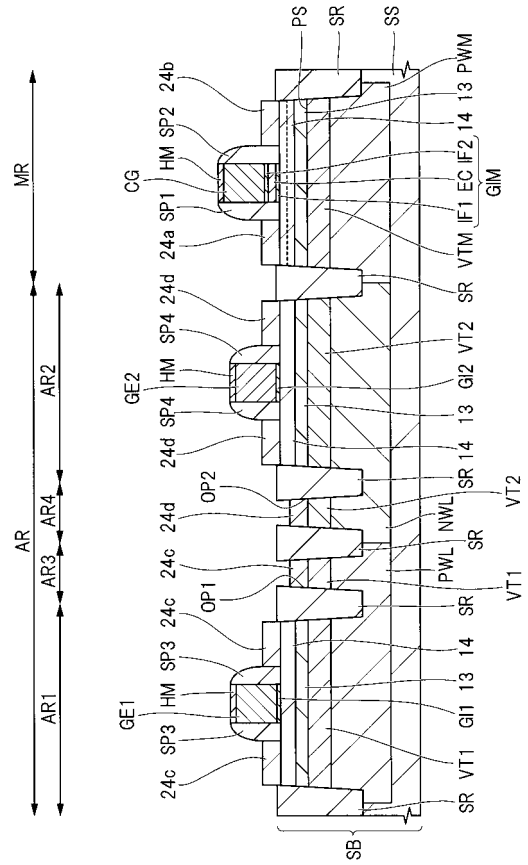
【 図 2 2 】



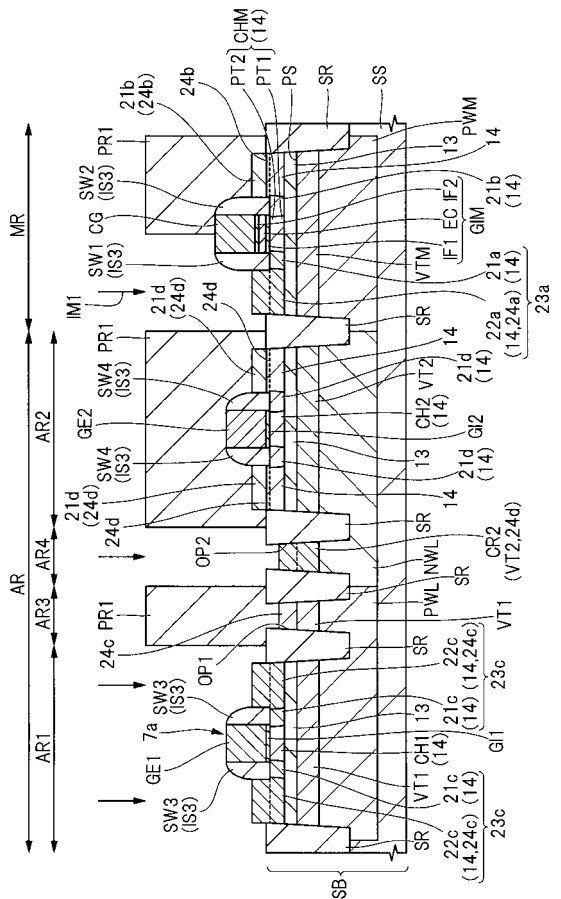
【 図 2 4 】



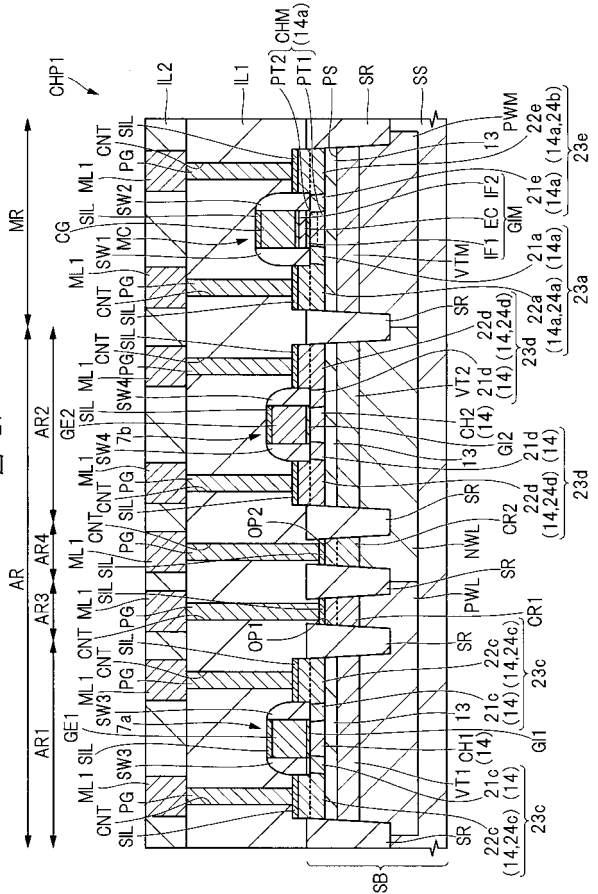
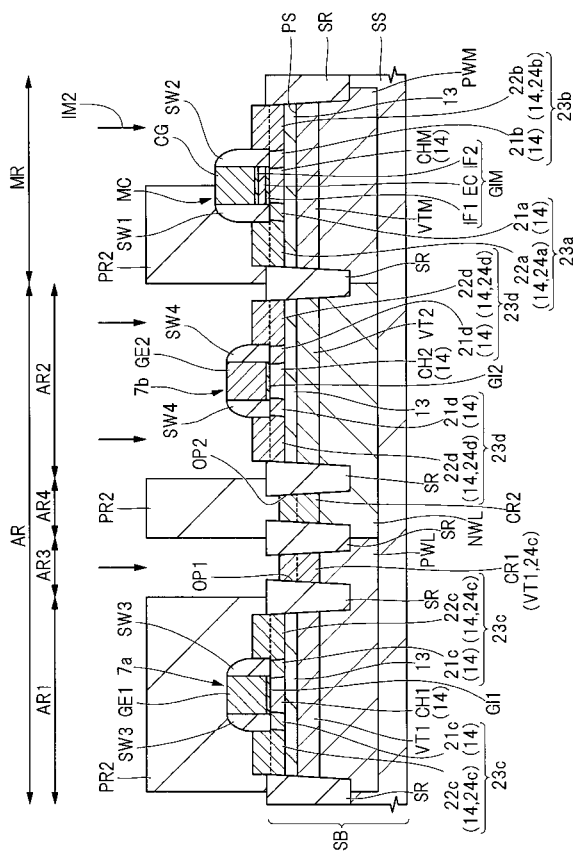
【 図 2 3 】



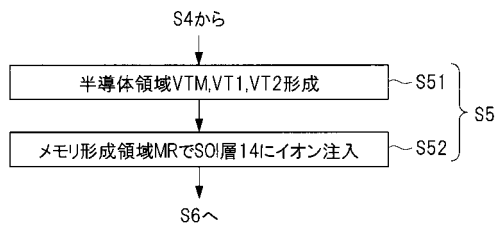
【 図 2 5 】



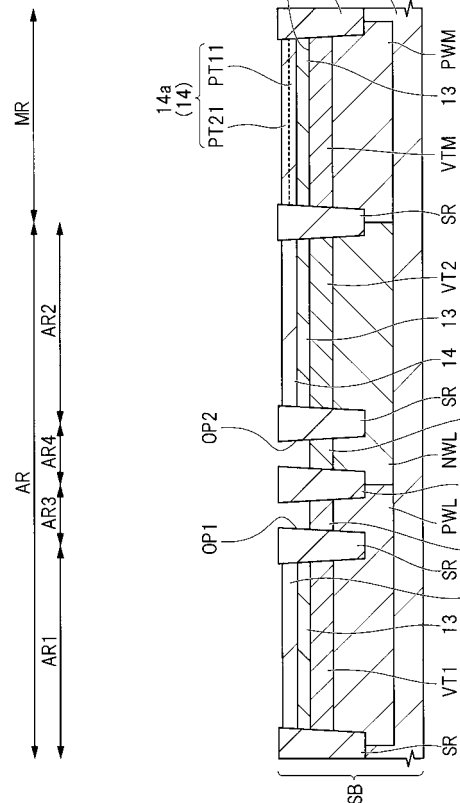
【 図 2 7 】



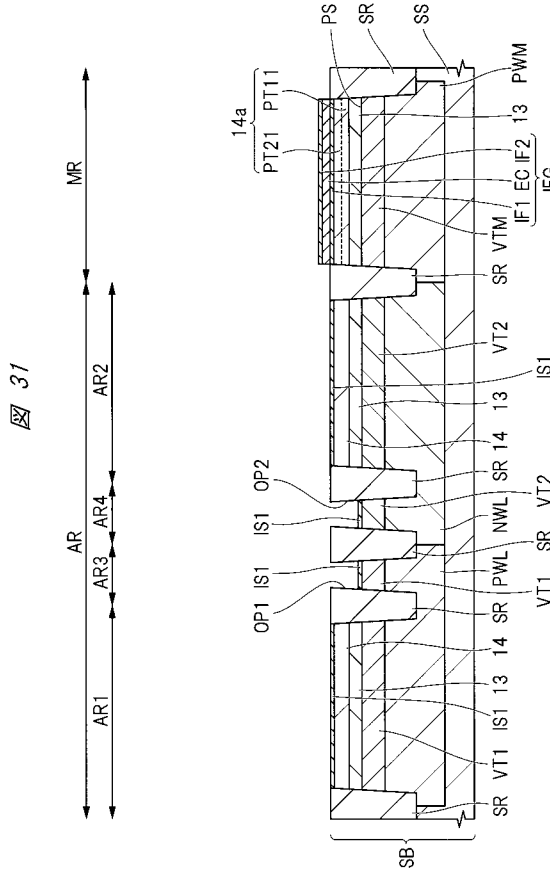
【 図 3 0 】



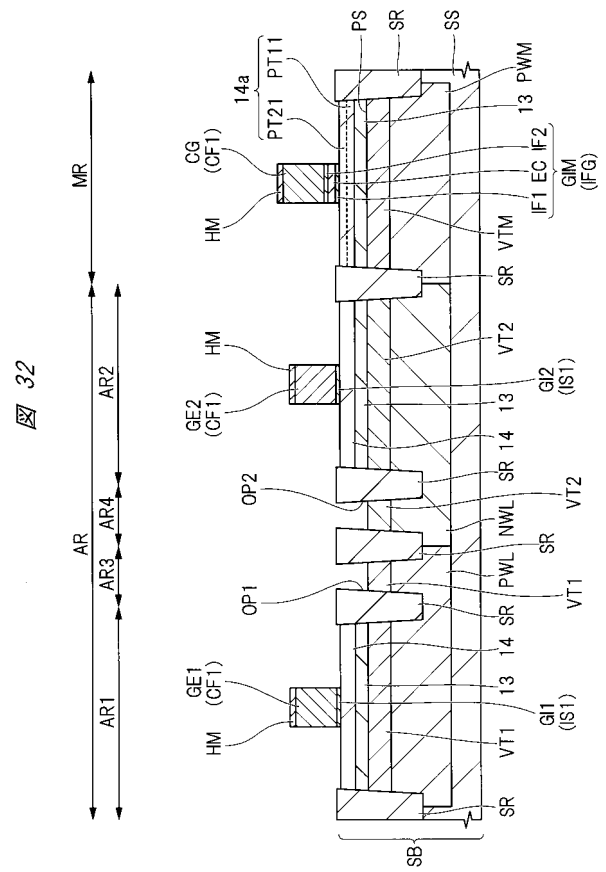
30



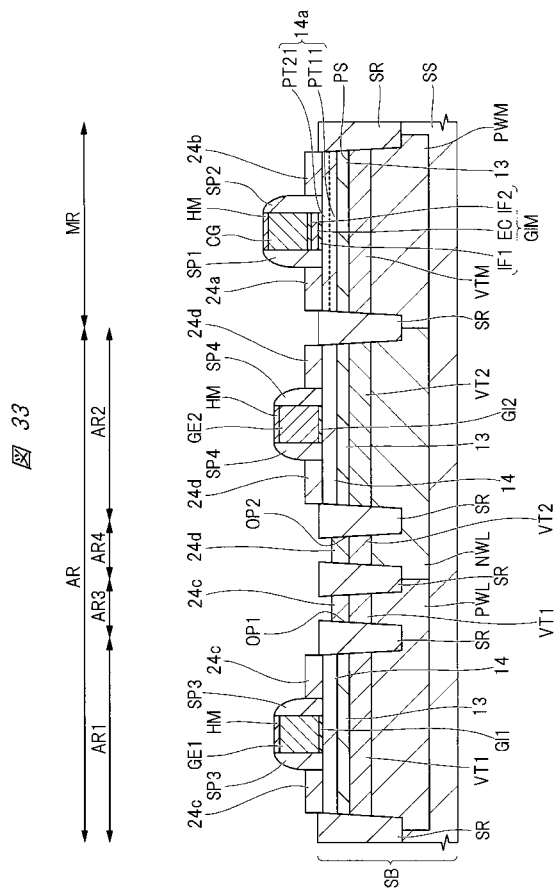
【 図 3 1 】



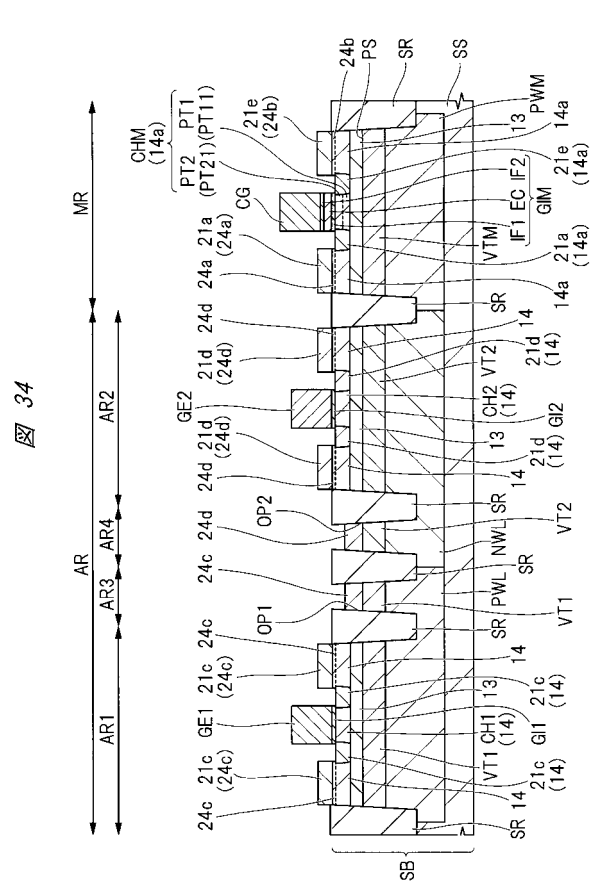
【 図 3 2 】



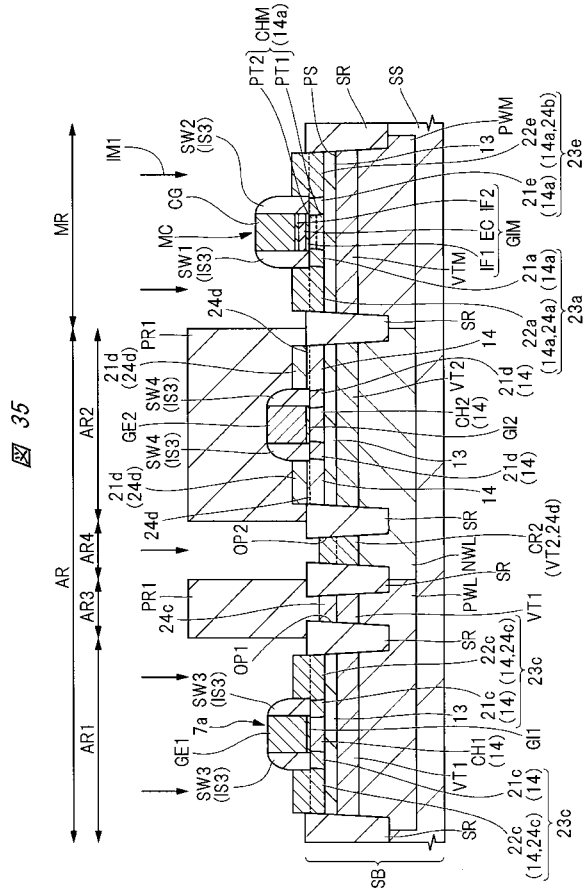
【 図 3 3 】



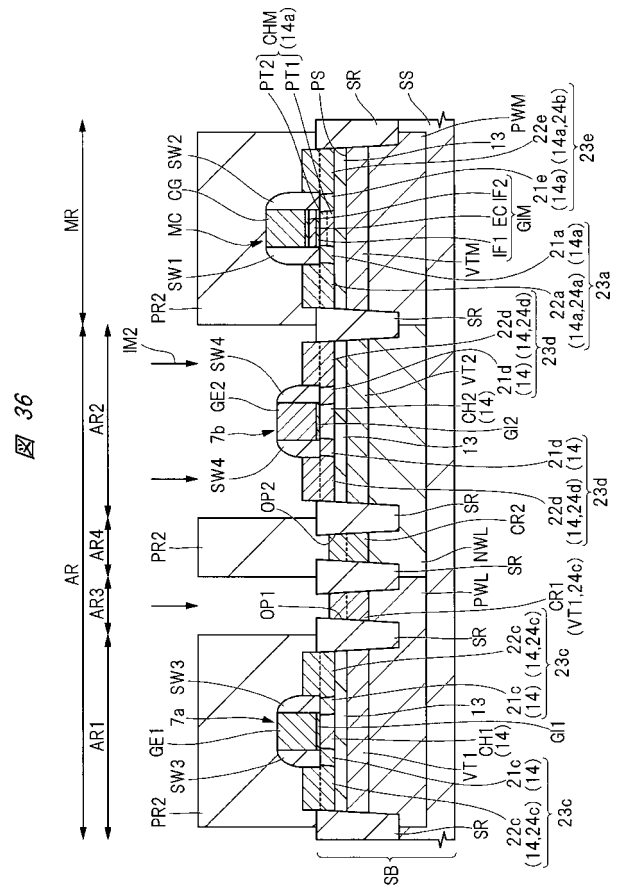
【 図 3 4 】



【図 35】



【図 36】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 21/8234 (2006.01)	H 0 1 L	27/08	1 0 2 B			
H 0 1 L 27/088 (2006.01)	H 0 1 L	27/08	3 3 1 E			
H 0 1 L 27/08 (2006.01)	H 0 1 L	27/08	1 0 2 H			
H 0 1 L 29/786 (2006.01)	H 0 1 L	27/08	3 3 1 D			
	H 0 1 L	29/78	6 1 3 B			
	H 0 1 L	29/78	6 1 6 S			
	H 0 1 L	29/78	6 1 7 T			
	H 0 1 L	29/78	6 1 8 G			

F ターム(参考)	5F083	EP18	EP23	EP63	EP68	ER03	ER11	ER21	GA01	HA02	JA04
		JA35	JA36	JA37	JA38	JA39	JA40	JA53	MA05	MA06	MA19
		NA01	PR12	PR36	PR40	PR43	PR45	PR53	PR55	ZA07	ZA12
		ZA13	ZA14								
	5F101	BA45	BB05	BB08	BC02	BD07	BD30	BD35	BE02	BE05	BE07
		BH03	BH09	BH21							
	5F110	AA01	AA09	BB04	BB08	CC02	DD05	DD13	EE05	EE09	EE14
		EE31	EE45	FF01	FF02	FF03	FF06	FF10	FF22	FF23	FF29
		GG02	GG12	GG32	GG33	GG34	GG52	HJ01	HJ04	HJ13	HK05
		HK09	HK13	HK21	HK33	HK34	HL01	HL04	HL11	HM02	HM12
		HM15	NN03	NN23	NN24	NN35	NN62	NN78	QQ04	QQ19	