

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1997-0053501
(43) 공개일자 1997년07월31일

(21) 출원번호 특1995-0069745
(22) 출원일자 1995년12월30일
(71) 출원인 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지 (우 : 441-742)
(72) 발명자 김윤기
강원도 원주시 단구동 74-18번지 1통 4반
(74) 대리인 이영필, 권석흠, 노민식

심사청구 : 있음

(54) 반도체장치의 소자분리구조 및 그 형성방법, 매몰 비트라인을 구비하는 디램 셀 및 그 제조방법

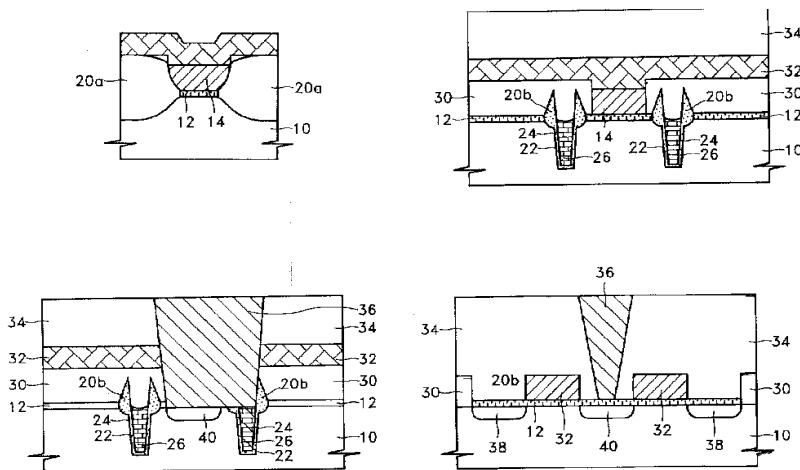
요약

반도체장치의 소자분리 구조 및 그 형성방법과, 상기 소자분리 구조와 매몰 비트라인을 구비하는 반도체 메모리장치 및 그 제조방법에 대해 기재되어 있다.

상기 소자분리 구조는, 반도체기판의 제1 영역에 선택적 산화방법에 의해 형성된 제1 필드산화막, 반도체기판의 제2 영역에 형성된 트렌치, 트렌치의 내벽에 형성된 절연막, 절연막과 접하여, 트렌치의 상부를 감싸는 날개모양의 제2 필드산화막을 구비하며, 상기 메모리장치는, 반도체기판의 비활성영역에 형성된 소자분리막, 소자분리막 내부에 함몰된 비트라인, 반도체기판에 형성된 소오스/드레인, 비트라인 및 드레인에 접속하여 비트라인과 각 메모리 셀의 활성영역을 연결하는 도전성 플럭을 구비한다.

따라서, 종래의 트렌치 소자분리 공정에서 발생하는 디싱현상을 방지할 수 있으며, 공정 마아진을 확보할 수 있다.

대표도



명세서

[발명의 명칭]

반도체장치의 소자분리구조 및 그 형성방법, 매몰 비트라인을 구비하는 디램 셀 및 그 제조방법

[도면의 간단한 설명]

제1a도 내지 제1c도는 화학적 - 물리적 폴리싱(CMP) 공정 진행시 발생하는 디싱(dishing) 현상을 설명하기 위하여 도시한 도면들이다.

제2a도는 본 발명에 의한 반도체 메모리장치의 주변회로 영역에 대한 레이아웃도이고,

제2b도는 셀 영역에 대한 레이아웃도이다.

제3도는 본 발명에 의한 반도체 메모리장치의 주변회로 영역을 도시한 단면도이다.

제4a도 내지 제4c도는 본 발명에 의한 반도체 메모리장치의 셀 영역을 도시한 단면도로서, 상기 제2b도의

A-A', B-B', C-C' 선을 각각 자른 단면도들이다.

제5a도 내지 제14b도는 본 발명에 의한 반도체 메모리장치의 제조방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들로서, 각 a도는 제2a도의 X-X' 절단면을, 각 b도는 제2b도의 A-A' 절단면을 도시한 단면도들이다.

제15a도 내지 제15c도는 본 발명의 마지막 단계의 셀 영역을 도시한 단면도로서, 제2b도의 A-A', B-B', C-C' 절단면을 각각 나타내는 단면도들이다.

*도면의 주요부분에 대한 부호의 설명

10 : 반도체기판	12 : 패드 산화막
14 : 폴리실리콘층	16 : 실리콘질화막
18, 28 : 감광막패턴	20a, 20b : 필드산화막
22 : 트렌치	24 : 측벽 산화막
26 : 매몰 비트라인	30 : 평탄화용 층간절연층
32 : 게이트라인	34 : 층간절연층
36 : 비트라인 콘택	38/ 40 : 소오스/ 드레인

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판의 제1영역에 선택적 산화방법에 의해 형성된 제1필드산화막; 반도체기판의 제2영역에 형성된 트렌치; 상기 트렌치의 내벽에 형성된 절연막; 상기 절연막과 접하며, 상기 트렌치의 상부를 감싸는 날개 모양의 제2필드산화막을 구비하는 것을 특징으로 하는 반도체장치의 소자분리 구조.

청구항 2

제1항에 있어서, 상기 제1영역은 반도체기판의 주변회로 영역이고, 상기 제2영역은 반도체기판의 셀 영역인 것을 특징으로 하는 반도체장치의 소자분리 구조.

청구항 3

제2항에 있어서, 상기 트렌치는 비활성영역의 일부에만 형성되어 있는 것을 특징으로 하는 반도체장치의 소자분리 구조.

청구항 4

셀 영역 및 주변회로 영역의 반도체기판에, 비활성영역을 노출시키는 패턴을 형성하는 단계; 상기 패턴을 마스크로하여 상기 노출된 부분의 반도체기판을 산화시켜 필드산화막을 형성하는 단계; 셀 영역의 반도체기판의 표면이 드러날 때까지 상기 셀 영역 및 주변회로 영역의 필드산화막을 동시에 식각하는 단계; 상기 셀 영역의 반도체기판을 이방성식각하여 트렌치를 형성하는 단계; 및 상기 트렌치의 내벽에 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 소자분리 방법.

청구항 5

제4항에 있어서, 반도체기판의 비활성영역을 노출시키는 상기 패턴은, 셀 영역보다 주변회로 영역에서 더 넓은 개구부를 갖도록 형성되는 것을 특징으로 하는 반도체장치의 소자분리 방법.

청구항 6

반도체기판의 비활성영역에 형성된 소자분리막; 상기 소자분리막 내부에 함몰된 비트라인; 상기 반도체기판에 형성된 소오스/ 드레인; 및 상기 비트라인 및 드레인에 접속하여 상기 비트라인과 각 메모리 셀의 활성영역을 연결하는 도전성 플럭을 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 7

제6항에 있어서, 상기 소자분리막은, 반도체기판의 비활성영역에 형성된 트렌치와, 상기 트렌치의 내벽에 형성된 제1절연막과, 상기 제1절연막과 접하며, 상기 트렌치의 상부를 감싸는 제2절연막으로 이루어진 것을 특징으로 하는 반도체 메모리장치.

청구항 8

제7항에 있어서, 상기 메모리장치는 상기 제1 및 제2절연막과 접하며, 상기 반도체기판을 덮는 층간절연층을 더 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 9

제8항에 있어서, 상기 제1 및 제2절연막은 열산화막으로 형성되며, 상기 층간절연층은 화학 기상 증착

(CVD) 방법에 의한 산화막으로 형성되는 것을 특징으로 하는 반도체 메모리장치.

청구항 10

제7항에 있어서, 상기 트렌치는 비활성영역의 일부에만 형성되어 있는 것을 특징으로 하는 반도체 메모리장치.

청구항 11

제6항에 있어서, 상기 비트라인과 드레인을 접속하는 도전성 플럭은 이웃하는 도전성 플럭과 층간절연층에 의해 절연되고, 상기 소오스와 이웃하는 셀의 소오스는 상기 제1절연막 및 상기 층간절연층에 의해 절연되는 것을 특징으로 하는 반도체 메모리장치.

청구항 12

반도체기판의 셀 영역에 트렌치를 형성하는 단계; 상기 트렌치의 내벽에 절연막을 형성하는 단계; 결과물 전면에 도전물질을 증착한 후, 에치백하여 상기 트렌치를 채우는 비트라인을 형성하는 단계; 상기 반도체기판에 소오스/드레인을 형성하는 단계; 결과물 상에 제1층간절연층을 증착한 후, 그 표면을 평탄화하는 단계; 결과물 상에 도전물질을 증착한 후 패터닝하여, 상기 소오스/드레인 사이의 반도체기판 상에 게이트라인을 형성하는 단계; 결과물 상에 제2층간절연층을 형성하는 단계; 상기 드레인 및 비트라인 상부의 물질층들을 제거하여 접촉구를 형성하는 단계; 및 결과물 상에 도전물질을 증착한 후 에치백함으로써, 상기 접촉구를 채우며 상기 비트라인과 드레인을 접속시키는 도전성 플럭을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 13

제12항에 있어서, 상기 트렌치를 형성하는 공정 전에, 반도체기판 상에 비활성영역을 노출시키는 패턴을 형성하는 단계, 상기 패턴을 마스크로하여 노출된 부분의 반도체기판을 산화시켜 필드산화막을 형성하는 단계, 반도체기판의 표면이 드러날 때까지 상기 필드산화막을 식각하는 단계를 더 구비하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

청구항 14

셀 영역 및 주변회로 영역의 반도체기판에, 비활성영역을 노출시키는 패턴을 형성하는 단계; 상기 패턴을 마스크로하여 상기 노출된 부분의 반도체기판을 산화시켜 필드산화막을 형성하는 단계; 셀 영역의 반도체기판의 표면이 드러날 때까지 상기 셀 영역 및 주변회로 영역의 필드산화막을 동시에 식각하는 단계; 상기 셀 영역의 반도체기판을 이방성식각하여 트렌치를 형성하는 단계; 상기 트렌치의 내벽에 절연막을 형성하는 단계; 셀 영역 및 주변회로 영역의 상기 결과물 전면에 도전물질을 증착한 후 상기 셀 영역의 트렌치 내부에만 도전물질이 남도록 에치백함으로써, 상기 트렌치를 채우는 비트라인을 형성하는 단계; 셀 영역의 상기 반도체기판에 소오스/드레인을 형성하는 단계; 셀 영역 및 주변회로 영역의 상기 결과물 상에 제1층간절연층을 증착한 후, 그 표면을 평탄화하는 단계; 셀 영역 및 주변회로 영역의 상기 결과물 상에 도전물질을 증착한 후 패터닝하여 게이트라인을 형성하는 단계; 결과물 상에 제2층간절연층을 형성하는 단계; 상기 드레인 및 비트라인 상부의 물질층들을 제거하여 접촉구를 형성하는 단계; 및 셀 영역의 상기 결과물 상에 도전물질을 증착한 후 에치백함으로써, 상기 접촉구를 채우며 상기 비트라인과 드레인을 접속시키는 도전성 플럭을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리장치의 제조방법.

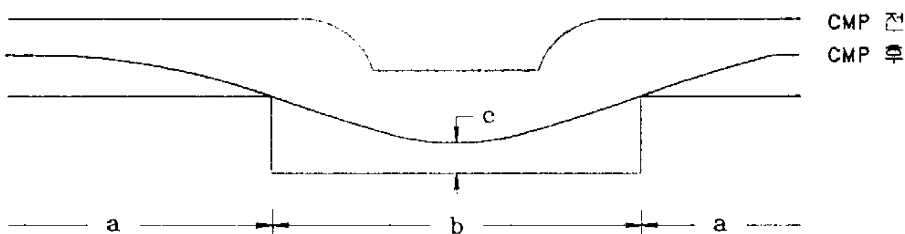
청구항 15

제14항에 있어서, 반도체기판의 비활성영역을 노출시키는 상기 패턴은, 셀 영역보다 주변회로 영역에서 더 넓은 개구부를 갖도록 형성되는 것을 특징으로 하는 반도체장치의 소자분리 방법.

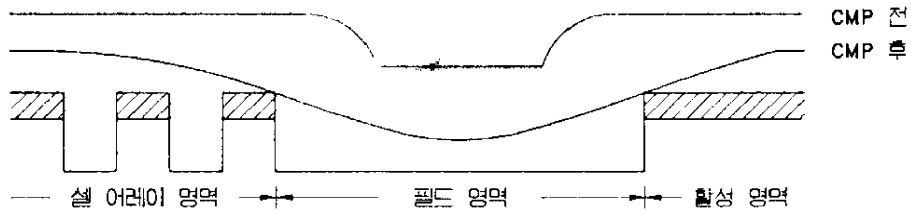
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

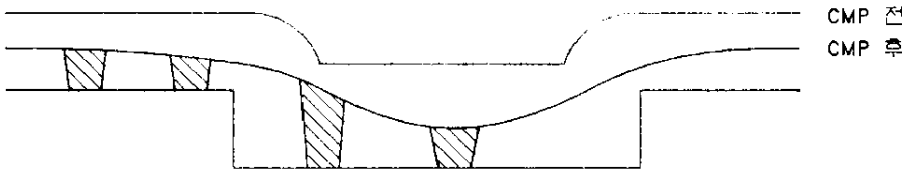
도면 1a



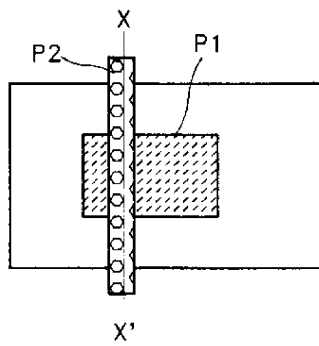
도면 1b



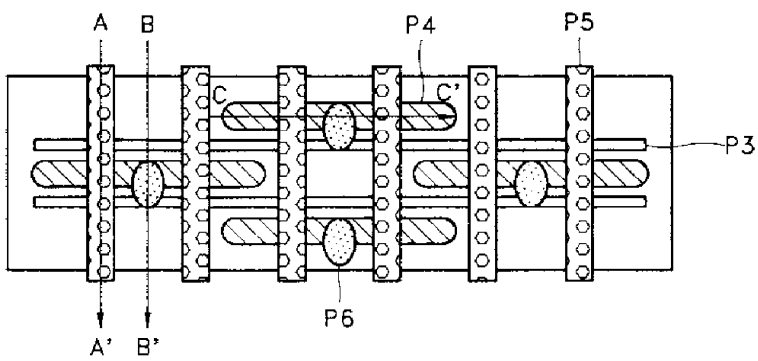
도면 1c



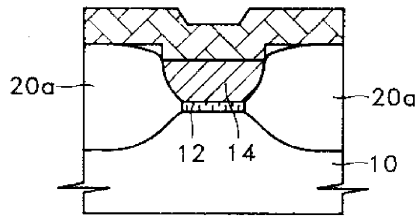
도면 2a



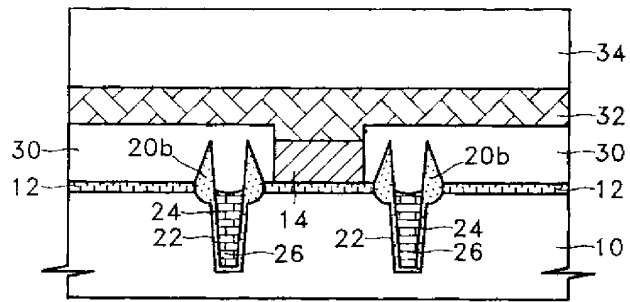
도면 2b



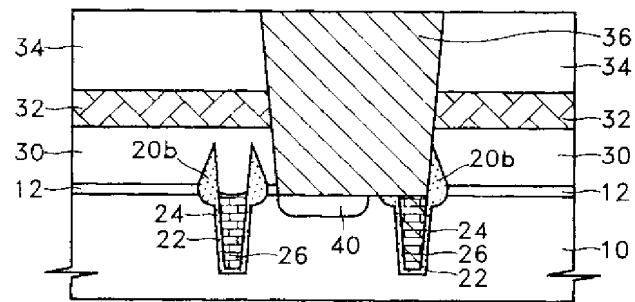
도면3



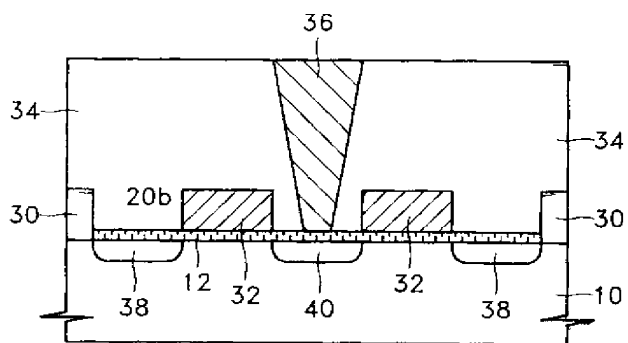
도면4a



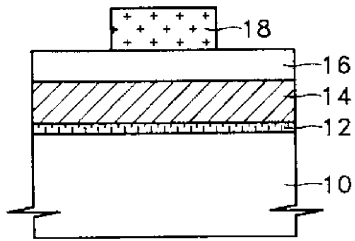
도면4b



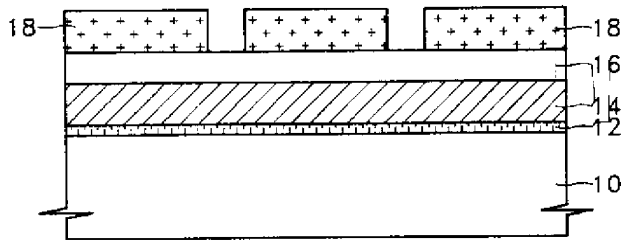
도면4c



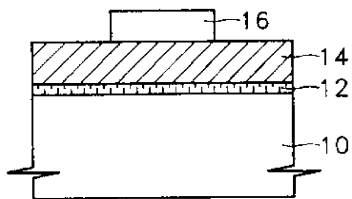
도면5a



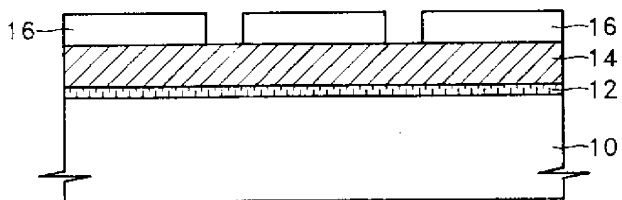
도면5b



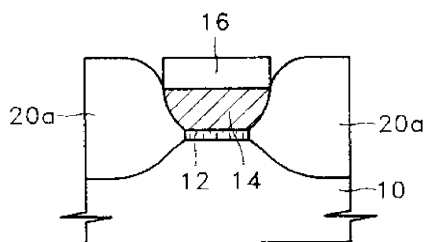
도면6a



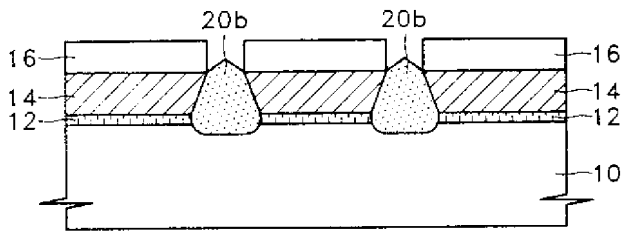
도면6b



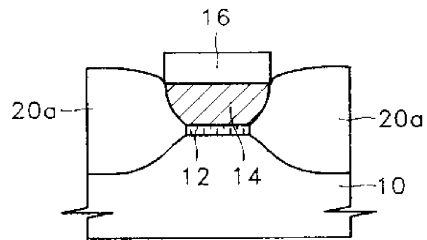
도면7a



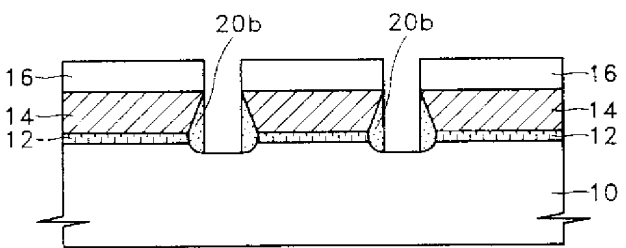
도면7b



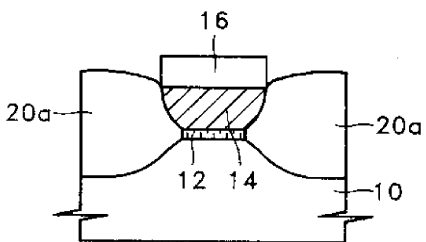
도면8a



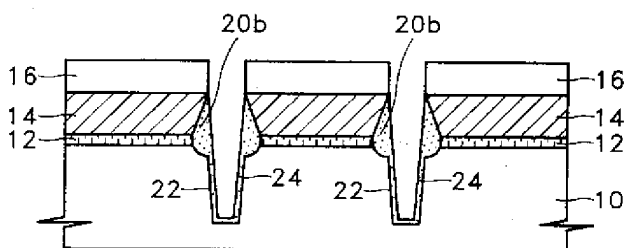
도면8b



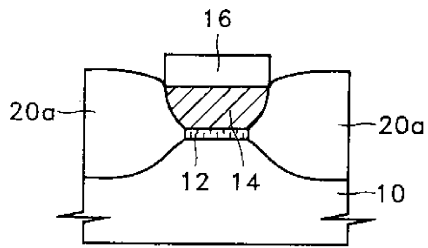
도면9a



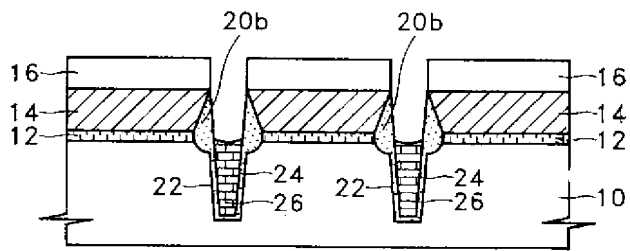
도면9b



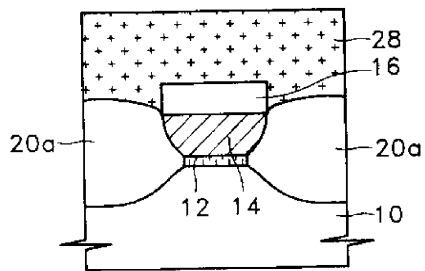
도면 10a



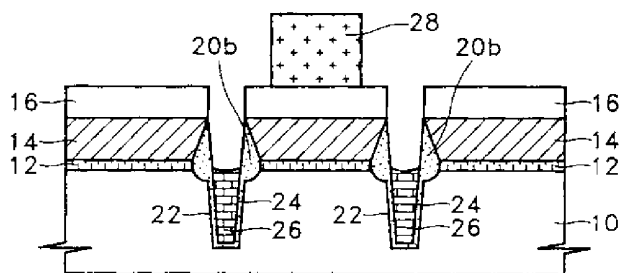
도면 10b



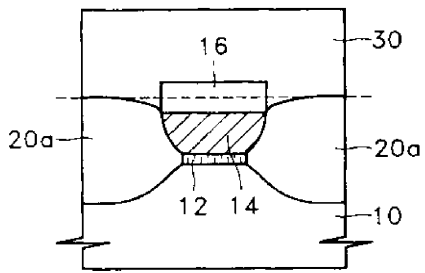
도면 11a



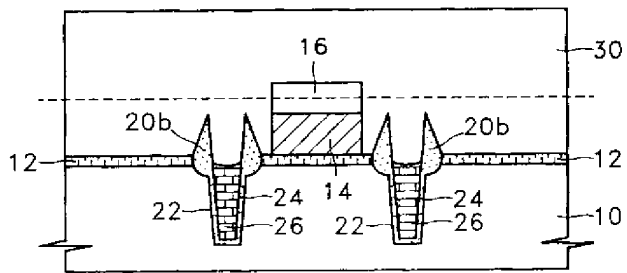
도면 11b



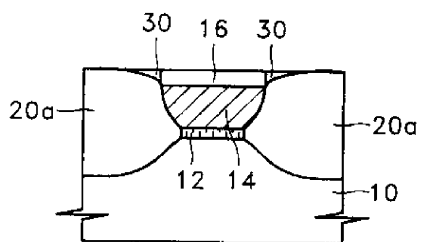
도면 12a



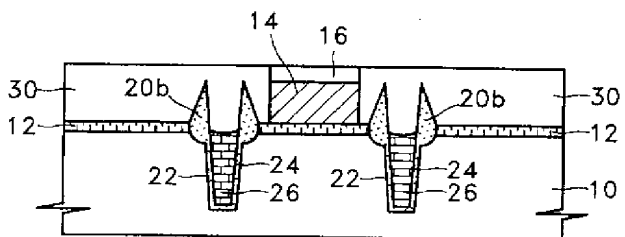
도면 12b



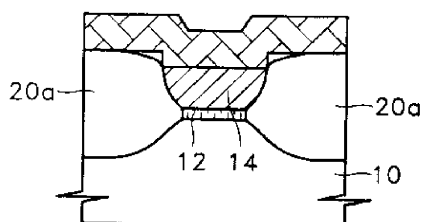
도면 13a



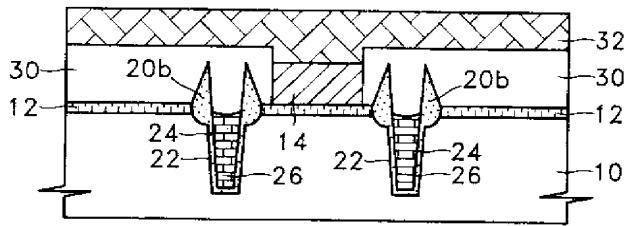
도면 13b



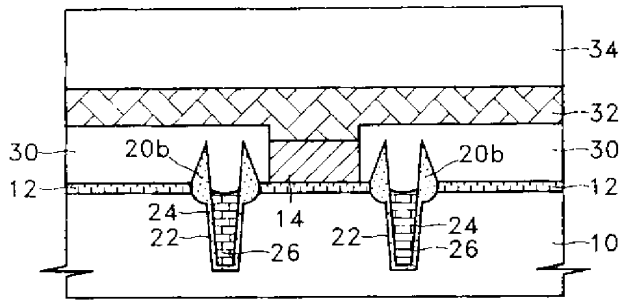
도면 14a



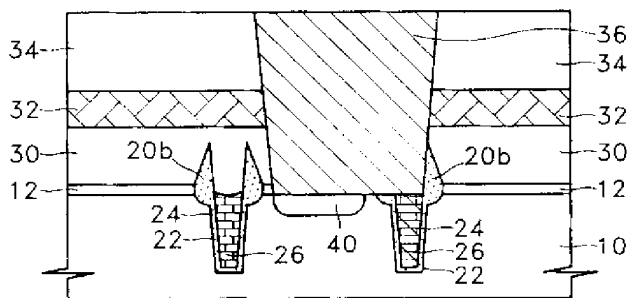
도면 14b



도면 15a



도면 15b



도면 15c

