



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월05일
 (11) 등록번호 10-1893145
 (24) 등록일자 2018년08월23일

(51) 국제특허분류(Int. Cl.)
 G11C 16/34 (2006.01) G11C 16/04 (2006.01)
 G11C 16/10 (2006.01)
 (21) 출원번호 10-2011-0129581
 (22) 출원일자 2011년12월06일
 심사청구일자 2016년12월06일
 (65) 공개번호 10-2013-0063191
 (43) 공개일자 2013년06월14일
 (56) 선행기술조사문헌
 JP2009301194 A*
 (뒷면에 계속)

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
 윤상용
 서울특별시 중랑구 동일로 752, 101동 1802호 (중화동, 한신아파트)
 박기태
 경기도 성남시 분당구 수내로 201 410동 304호 (분당동, 셋별마을삼부아파트)
 한진만
 경기도 성남시 분당구 정자일로213번길 5, 01동 1305호 (정자동, 아이파크분당3)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 18 항

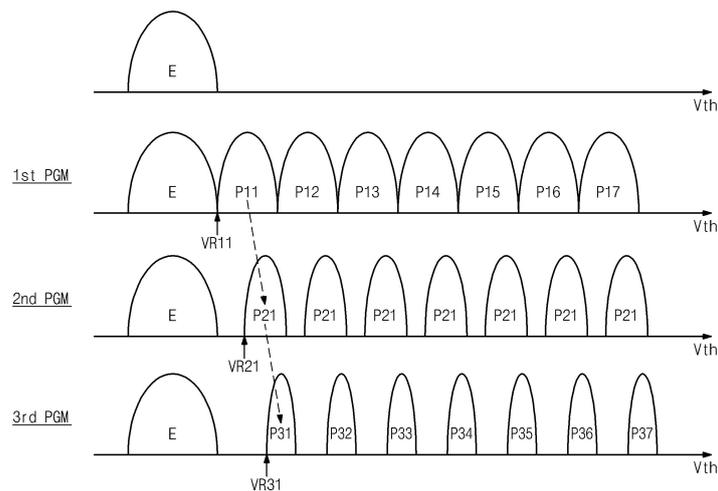
심사관 : 한선경

(54) 발명의 명칭 **메모리 시스템들 및 그것들의 블록 복사 방법들**

(57) 요약

본 발명에 따른 비휘발성 메모리 장치 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하는 메모리 시스템의 블록 복사 방법은, 상기 비휘발성 메모리 장치의 소스 블록으로부터 데이터를 읽는 단계, 상기 읽혀진 데이터의 에러를 정정하는 단계, 상기 에러 정정된 데이터를 버퍼링하는 단계, 및 상기 버퍼링된 데이터를 상기 비휘발성 메모리 장치의 타겟 블록으로 재프로그래밍 방식을 이용하여 프로그램 동작을 수행하는 단계를 포함하고, 상기 재프로그래밍 방식은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 복수의 프로그래밍들을 수행한다.

대표도



(56) 선행기술조사문헌

KR1020100014242 A*

KR1020110101642 A*

JP2007157315 A

JP2007305210 A

US20080310224 A1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

비휘발성 메모리 장치 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하는 메모리 시스템의 블록 복사 방법에 있어서:

상기 비휘발성 메모리 장치의 소스 블록으로부터 데이터를 읽는 단계;

상기 읽혀진 데이터의 에러를 정정하는 단계;

상기 에러 정정된 데이터를 버퍼링하는 단계; 및

상기 버퍼링된 데이터를 상기 비휘발성 메모리 장치의 타겟 블록으로 재프로그래밍 방식을 이용하여 프로그램 동작을 수행하는 단계를 포함하고,

상기 프로그램 동작은, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히기 위한 복수의 프로그래밍들을 포함하고,

상기 버퍼링된 데이터는, 상기 복수의 프로그래밍들 각각을 위해 이용되는 블록 복사 방법.

청구항 2

제 1 항에 있어서,

상기 복수의 프로그래밍들 중 적어도 2개는 동일한 멀티 비트 프로그램 동작인 블록 복사 방법.

청구항 3

제 2 항에 있어서,

상기 복수의 프로그래밍들 중 적어도 1개는 상기 동일한 멀티 비트보다 낮은 멀티 비트 프로그램 동작을 수행하는 블록 복사 방법.

청구항 4

제 2 항에 있어서,

상기 복수의 프로그래밍들은 3 개의 동일한 멀티 비트 프로그램 동작을 수행하는 블록 복사 방법.

청구항 5

제 4 항에 있어서,

상기 비휘발성 메모리 장치는,

싱글 레벨 셀들로 구성된 제 1 영역; 및

멀티 레벨 셀들로 구성된 제 2 영역을 포함하고,

상기 제 2 영역은 상기 소스 블록과 상기 타겟 블록을 포함하는 블록 복사 방법.

청구항 6

제 5 항에 있어서,

상기 복수의 프로그래밍들은,

상기 버퍼링된 데이터를 3 비트 프로그램하는 제 1 프로그래밍;

상기 제 1 프로그래밍 이후에 상기 버퍼링된 데이터를 3 비트 프로그램하는 제 2 프로그래밍; 및

상기 제 2 프로그래밍 이후에 상기 버퍼링된 데이터를 3 비트 프로그램하는 제 3 프로그래밍을 포함하는 블록 복사 방법.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

비휘발성 메모리 장치 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하는 메모리 시스템의 블록 복사 방법에 있어서:

소스 워드라인에 연결된 복수의 메모리 셀들로부터 하위비트 페이지를 읽고, 상기 읽혀진 하위비트 페이지의 에러를 정정하고, 상기 에러 정정된 하위비트 페이지를 제 1 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계;

상기 소스 워드라인에 연결된 복수의 메모리 셀들로부터 중간비트 페이지를 읽고, 상기 읽혀진 중간비트 페이지의 에러를 정정하고, 상기 에러 정정된 중간비트 페이지를 제 2 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계;

상기 소스 워드라인에 연결된 복수의 메모리 셀들로부터 상위비트 페이지를 읽고, 상기 읽혀진 상위비트 페이지의 에러를 정정하고, 상기 에러 정정된 상위비트 페이지를 제 3 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계; 및

상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 및 상위비트 페이지를 타겟 워드라인에 연결된 복수의 메모리 셀들로 재프로그래밍 방식을 이용하여 프로그램하는 단계를 포함하고,

상기 재프로그래밍 방식은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 복수의 프로그래밍들을 수행하고,

상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 상기 메모리 셀들에 프로그램된 상기 하위비트 페이지, 상기 중간비트 페이지, 및 상기 상위비트 페이지는 상기 복수의 프로그래밍들 각각을 위해 이용되는 블록 복사 방법.

청구항 16

제 15 항에 있어서,

상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들은 싱글 레벨 셀들인 블록 복사 방법.

청구항 17

제 15 항에 있어서,

상기 제 1 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 임혀진 하위비트 페이지를 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 하위비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 하위비트 페이지를 페이지 버퍼에 전송하는 단계를 포함하고,

상기 제 2 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 임혀진 중간비트 페이지를 상기 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 중간비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 중간비트 페이지를 상기 페이지 버퍼에 전송하는 단계를 포함하고,

상기 제 3 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 임혀진 상위비트 페이지를 상기 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 상위비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 상위비트 페이지를 상기 페이지 버퍼에 전송하는 단계를 포함하는 블록 복사 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

제 15 항에 있어서,

상기 복수의 프로그래밍들은,

상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 1 프로그래밍;

상기 제 1 프로그래밍 이후, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 2 프로그래밍; 및

상기 제 2 프로그래밍 이후, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 3 프로그래밍을 포함하는 블록 복사 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

제 1 페이지, 제 2 페이지, 및 제 3 페이지들 각각이 대응하는 버퍼 워드라인들에 연결된 메모리 셀들로 프로그램되는 버퍼 영역; 상기 버퍼 영역으로부터 임혀진 상기 제 1 페이지, 상기 제 2 페이지, 및 상기 제 3 페이지

들이 하나의 워드라인에 연결된 메모리 셀들에 재프로그래밍 방식으로 프로그램되는 사용자 데이터 영역을 갖는 비휘발성 메모리 장치; 및

상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하고,

상기 재프로그래밍 방식은, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히기 위한 제1프로그래밍, 제2프로그래밍, 및 제3프로그래밍을 수행하고,

상기 사용자 데이터 영역의 소스 블록의 데이터를 타겟 블록으로 복사할 때, 상기 소스 블록의 데이터를 읽고, 상기 읽혀진 데이터를 에러 정정하고, 상기 에러 정정된 데이터를 버퍼링하고, 상기 버퍼링된 데이터를 이용하여 상기 제1프로그래밍을 수행하고, 상기 제1프로그래밍이 수행된 이후에 상기 버퍼링된 데이터를 재이용하여 상기 제2프로그래밍을 수행하고, 상기 제2프로그래밍이 수행된 이후에 상기 버퍼링된 데이터를 재이용하여 상기 제3프로그래밍을 수행하는 메모리 시스템.

청구항 25

제 24 항에 있어서,

상기 메모리 제어기는,

상기 소스 블록으로부터 읽혀진 데이터를 에러 정정하는 에러 정정 회로를 포함하는 메모리 시스템.

청구항 26

제 24 항에 있어서,

상기 메모리 제어기는,

상기 버퍼링된 데이터를 저장하는 버퍼 램을 포함하는 메모리 시스템.

청구항 27

제 24 항에 있어서,

상기 제1프로그래밍은, 2-비트 프로그램 동작을 포함하고,

상기 제2프로그래밍은, 3-비트 프로그램 동작을 포함하고,

상기 제 3 프로그래밍은, 상기 제 2 프로그래밍의 검증 전압들보다 높은 검증 전압에 기초한 3-비트 프로그램 동작을 포함하는 메모리 시스템.

청구항 28

제 24 항에 있어서,

상기 제1프로그래밍은, 3-비트 프로그램 동작을 포함하고,

상기 제2프로그래밍은, 상기 제 1 프로그래밍의 검증 전압들보다 높은 검증 전압들에 기초한 3-비트 프로그램 동작을 포함하고,

상기 제 3 프로그래밍은, 상기 제 2 프로그래밍의 검증 전압들보다 높은 검증 전압들에 기초한 3-비트 프로그램 동작을 포함하는 메모리 시스템.

청구항 29

삭제

청구항 30

삭제

청구항 31

메모리 시스템의 블록 복사 방법에 있어서:

제 1 블록의 제 1 워드라인에 연결된 메모리 셀로부터 적어도 하나의 제 1 유효 페이지를 읽는 단계;
 제 2 블록의 제 2 워드라인에 연결된 메모리 셀로부터 적어도 하나의 제 2 유효 페이지를 읽는 단계;
 상기 읽혀진 제 1 및 제 2 유효 페이지들을 에러 정정하는 단계;
 상기 에러 정정된 제 1 및 제 2 유효 페이지들을 버퍼링하는 단계; 및
 상기 버퍼링된 제 1 및 제 2 유효 페이지들을 제 3 블록의 제 3 워드라인에 연결된 메모리 셀들로 프로그램하는 단계를 포함하고,
 상기 제 3 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는,
 어드레스 스크램블링 순서에 기초하여, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히기 위한 복수의 프로그래밍들을 수행하는 단계를 포함하고,
 상기 복수의 프로그래밍들은 제1프로그래밍 동작 및 제2프로그래밍 동작을 포함하고,
 상기 버퍼링된 제1 및 제2유효 페이지들을 이용하여 상기 제1프로그래밍 동작을 수행하고,
 상기 버퍼링된 제1 및 제2유효 페이지들을 재이용하여 상기 제2프로그래밍 동작을 수행하는 블록 복사 방법.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

제 31 항에 있어서,
 상기 버퍼링하는 단계는,
 상기 에러 정정된 제 1 및 제 2 유효 페이지들을 버퍼 램에 저장하는 단계를 포함하는 블록 복사 방법.

청구항 38

제 31 항에 있어서,
 상기 버퍼링하는 단계는,
 상기 에러 정정된 제 1 및 제 2 유효 페이지들을 싱글 레벨 셀들에 프로그램하는 단계를 포함하는 블록 복사 방법.

청구항 39

삭제

발명의 설명

기술 분야

[0001] 본 발명은 메모리 시스템들 및 그것들의 블록 복사 방법들에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(Volatile semiconductor memory device)와 비휘발성 반도체 메모리 장치(Non-volatile semiconductor memory device)로 구분될 수 있다. 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 비휘발성 반도체 메모리 장치는 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 비휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억시키는 데 쓰인다.

[0003] 비휘발성 반도체 메모리 장치로는 마스크 롬(Mask read-only memory, MROM), 프로그램 가능한 롬(Programmable read-only memory, PROM), 소거 및 프로그램 가능한 롬(Erasable programmable read-only memory, EPROM), 전기적으로 소거 및 프로그램 가능한 롬(Electrically erasable programmable read-only memory, EEPROM) 등이 있다.

[0004] 비휘발성 메모리 장치의 대표적인 예로 플래시 메모리 장치가 있다. 플래시 메모리 장치는 태블릿, 컴퓨터, 휴대폰, PDA, 디지털 카메라, 캠코더, 보이스 리코더, MP3 플레이어, 개인용 휴대 단말기(PDA), 휴대용 컴퓨터(Handheld PC), 게임기, 팩스, 스캐너, 프린터 등(이하, '호스트'라 함)과 같은 정보기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다.

[0005] 최근 들어 메모리 장치에 대한 고용량화 요구의 증가에 따라, 하나의 메모리 셀에 멀티 비트를 저장하는 멀티 레벨 셀(Multi-Level Cell: MLC) 또는 멀티-비트 메모리 장치들이 보편화되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 신규한 메모리 시스템들 및 그것들의 블록 복사 방법들을 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 비휘발성 메모리 장치 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하는 메모리 시스템의 블록 복사 방법은, 상기 비휘발성 메모리 장치의 소스 블록으로부터 데이터를 읽는 단계; 상기 읽혀진 데이터의 에러를 정정하는 단계; 상기 에러 정정된 데이터를 버퍼링하는 단계; 및 상기 버퍼링된 데이터를 상기 비휘발성 메모리 장치의 타겟 블록으로 재프로그래밍 방식을 이용하여 프로그램 동작을 수행하는 단계를 포함하고, 상기 재프로그래밍 방식은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 복수의 프로그래밍들을 수행한다.

[0008] 실시 예에 있어서, 상기 복수의 프로그래밍들 중 적어도 2개는 동일한 멀티 비트 프로그램 동작이다.

[0009] 실시 예에 있어서, 상기 복수의 프로그래밍들 중 적어도 1개는 상기 동일한 멀티 비트보다 낮은 멀티 비트 프로그램 동작을 수행한다.

[0010] 실시 예에 있어서, 상기 복수의 프로그래밍들은 3 개의 동일한 멀티 비트 프로그램 동작을 수행한다.

[0011] 실시 예에 있어서, 상기 비휘발성 메모리 장치는, 싱글 레벨 셀들로 구성된 제 1 영역; 및 멀티 레벨 셀들로 구성된 제 2 영역을 포함하고, 상기 제 2 영역은 상기 소스 블록과 상기 타겟 블록을 포함한다.

[0012] 실시 예에 있어서, 상기 복수의 프로그래밍들은, 상기 버퍼링된 데이터를 3 비트 프로그램하는 제 1 프로그래밍; 상기 제 1 프로그래밍 이후에 상기 버퍼링된 데이터를 3 비트 프로그램하는 제 2 프로그래밍; 및 상기 제 2 프로그래밍 이후에 상기 버퍼링된 데이터를 3 비트 프로그램하는 제 3 프로그래밍을 포함한다.

[0013] 실시 예에 있어서, 상기 1 프로그래밍에서 상기 제 2 프로그래밍으로 수행될 때 문턱전압의 산포들의 폭들이 좁혀지는 정도는, 상기 제 2 프로그래밍에서 상기 3 프로그래밍으로 수행될 때 문턱전압의 산포들의 폭들을 좁혀지는 정도보다 크다.

[0014] 실시 예에 있어서, 상기 제 1 프로그래밍의 검증 전압들의 개수들은 상기 제 2 및 제 3 프로그래밍들의 검증 전

압들의 개수보다 작다.

- [0015] 실시 예에 있어서, 제 1 워드라인에 대응하는 제 2 프로그래밍은, 제 2 워드라인에 대응하는 제 1 프로그래밍을 수행한 뒤 수행되고, 상기 제 1 워드라인에 대응하는 제 3 프로그래밍은, 상기 제 2 워드라인에 대응하는 제 2 프로그래밍을 수행한 뒤 수행된다.
- [0016] 실시 예에 있어서, 상기 에러를 정정하는 단계는, 상기 메모리 제어기의 에러 정정 회로에서 상기 읽혀진 데이터의 에러를 정정하는 단계를 포함한다.
- [0017] 실시 예에 있어서, 상기 데이터를 버퍼링하는 단계는, 상기 메모리 제어기의 버퍼 램에서 상기 에러 정정된 데이터를 저장하는 단계를 포함한다.
- [0018] 실시 예에 있어서, 상기 데이터를 버퍼링하는 단계는, 상기 비휘발성 메모리 장치의 상기 제 1 영역에 상기 에러 정정된 데이터를 버퍼 프로그램시키는 단계를 포함한다.
- [0019] 실시 예에 있어서, 상기 에러를 정정하는 단계는, 상기 비휘발성 메모리 장치의 에러 정정 회로에서 상기 읽혀진 데이터를 에러 정정하는 단계를 포함한다.
- [0020] 실시 예에 있어서, 상기 소스 블록은 적어도 2 개의 블록들을 포함하고, 상기 블록들의 머지 동작을 수행하기 위하여 상기 소스 블록의 데이터를 상기 타겟 블록으로 복사시킨다.
- [0021] 본 발명의 실시 예에 따른 비휘발성 메모리 장치 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하는 메모리 시스템의 블록 복사 방법은, 소스 워드라인에 연결된 복수의 메모리 셀들로부터 하위비트 페이지를 읽고, 상기 읽혀진 하위비트 페이지의 에러를 정정하고, 상기 에러 정정된 하위비트 페이지를 제 1 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계; 상기 소스 워드라인에 연결된 복수의 메모리 셀들로부터 중간비트 페이지를 읽고, 상기 읽혀진 중간비트 페이지의 에러를 정정하고, 상기 에러 정정된 중간비트 페이지를 제 2 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계; 상기 소스 워드라인에 연결된 복수의 메모리 셀들로부터 상위비트 페이지를 읽고, 상기 읽혀진 상위비트 페이지의 에러를 정정하고, 상기 에러 정정된 상위비트 페이지를 제 3 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계; 및 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 및 상위비트 페이지를 타겟 워드라인에 연결된 복수의 메모리 셀들로 재프로그래밍 방식을 이용하여 프로그램하는 단계를 포함하고, 상기 재프로그래밍 방식은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 복수의 프로그래밍들을 수행한다.
- [0022] 실시 예에 있어서, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들은 싱글 레벨 셀들이다.
- [0023] 실시 예에 있어서, 상기 제 1 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 읽혀진 하위비트 페이지를 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 하위비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 하위비트 페이지를 페이지 버퍼에 전송하는 단계를 포함하고, 상기 제 2 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 읽혀진 중간비트 페이지를 상기 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 중간비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 중간비트 페이지를 상기 페이지 버퍼에 전송하는 단계를 포함하고, 상기 제 3 버퍼 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 상기 읽혀진 상위비트 페이지를 상기 에러 정정 회로에 전송하는 단계; 상기 에러 정정 회로에서 상기 상위비트 페이지의 에러를 정정하는 단계; 및 상기 에러 정정된 상위비트 페이지를 상기 페이지 버퍼에 전송하는 단계를 포함한다.
- [0024] 실시 예에 있어서, 상기 에러 정정 회로는 상기 메모리 제어기에 포함된다.
- [0025] 실시 예에 있어서, 상기 에러 정정 회로는 상기 비휘발성 메모리 장치에 포함된다.
- [0026] 실시 예에 있어서, 상기 복수의 프로그래밍들은, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 1 프로그래밍; 상기 제 1 프로그래밍 이후, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 2 프로그래밍; 및 상기 제 2 프로그래밍 이후, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 상기 타겟 워드라인에 연결된 복수의 셀들로 프로그램하는 제 3 프로그래밍을 포함한다.

- [0027] 실시 예에 있어서, 상기 타겟 워드라인에 대응하는 상기 제 2 프로그래밍은, 다른 타겟 워드라인에 대응하는 제 1 프로그래밍을 수행한 뒤 수행되고, 상기 타겟 워드라인에 대응하는 상기 제 3 프로그래밍은, 상기 다른 타겟 워드라인에 대응하는 제 2 프로그래밍을 수행한 뒤 수행된다.
- [0028] 실시 예에 있어서, 상기 제 1, 제 2, 및 제 3 프로그래밍들 각각은, 상기 제 1, 제 2 및 제 3 버퍼 워드라인들에 연결된 메모리 셀들에 프로그램된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지를 각각을 읽어 페이지 버퍼에 저장하는 단계; 및 상기 페이지 버퍼에 저장된 하위비트 페이지, 중간비트 페이지, 상위비트 페이지들을 상기 타겟 워드라인에 연결된 메모리 셀들로 프로그램하는 단계를 포함한다.
- [0029] 실시 예에 있어서, 상기 복수의 프로그래밍들 중 적어도 2개는 동일 비트 프로그램 동작을 수행한다.
- [0030] 본 발명의 실시 예에 따른 메모리 시스템은, 제 1 페이지, 제 2 페이지, 및 제 3 페이지들 각각이 대응하는 버퍼 워드라인들에 연결된 메모리 셀들로 프로그램되는 버퍼 영역; 상기 버퍼 영역으로부터 읽혀진 상기 제 1 페이지, 상기 제 2 페이지, 및 상기 제 3 페이지들이 하나의 워드라인에 연결된 메모리 셀들에 재프로그래밍 방식으로 프로그램되는 사용자 데이터 영역을 갖는 비휘발성 메모리 장치; 및 상기 비휘발성 메모리 장치를 제어하는 메모리 제어기를 포함하고, 상기 재프로그래밍 방식은, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 3 개의 프로그래밍들을 수행하고, 상기 사용자 데이터 영역의 소스 블록의 데이터를 타겟 블록으로 복사할 때, 상기 소스 블록의 데이터를 읽고, 상기 읽혀진 데이터를 에러 정정하고, 상기 에러 정정된 데이터를 버퍼링하고, 상기 버퍼링된 데이터를 이용하여 상기 프로그래밍들을 수행한다.
- [0031] 실시 예에 있어서, 상기 메모리 제어기는, 상기 소스 블록으로부터 읽혀진 데이터를 에러 정정하는 에러 정정 회로를 포함한다.
- [0032] 실시 예에 있어서, 상기 메모리 제어기는, 상기 버퍼링된 데이터를 저장하는 버퍼 램을 포함한다.
- [0033] 실시 예에 있어서, 상기 프로그래밍들은, 2-비트 프로그램 동작을 수행하는 제 1 프로그래밍; 상기 제 1 프로그래밍 이후에 3-비트 프로그램 동작을 수행하는 제 2 프로그래밍; 및 상기 제 2 프로그래밍 이후에, 상기 제 2 프로그래밍의 검증 전압들보다 높은 검증 전압들로 3-비트 프로그램 동작을 수행하는 제 3 프로그래밍을 포함한다.
- [0034] 실시 예에 있어서, 상기 프로그래밍들은, 3-비트 프로그램 동작을 수행하는 제 1 프로그래밍; 상기 제 1 프로그래밍 이후에 상기 제 1 프로그래밍의 검증 전압들보다 높은 검증 전압들로 3-비트 프로그램 동작을 수행하는 제 2 프로그래밍; 및 상기 제 2 프로그래밍 이후에, 상기 제 2 프로그래밍의 검증 전압들보다 높은 검증 전압들로 3-비트 프로그램 동작을 수행하는 제 3 프로그래밍을 포함한다.
- [0035] 실시 예에 있어서, 상기 비휘발성 메모리 장치의 상기 버퍼 영역은, 상기 버퍼링된 데이터가 버퍼 프로그램된다.
- [0036] 실시 예에 있어서, 상기 비휘발성 메모리 장치는, 상기 소스 블록으로부터 읽혀진 데이터를 에러 정정하는 에러 정정 회로를 포함한다.
- [0037] 본 발명의 실시 예에 따른 메모리 시스템의 블록 복사 방법은, 제 1 블록의 제 1 워드라인에 연결된 메모리 셀로부터 적어도 하나의 제 1 유효 페이지를 읽는 단계; 제 2 블록의 제 2 워드라인에 연결된 메모리 셀로부터 적어도 하나의 제 2 유효 페이지를 읽는 단계; 상기 읽혀진 제 1 및 제 2 유효 페이지들을 에러 정정하는 단계; 상기 에러 정정된 제 1 및 제 2 유효 페이지들을 버퍼링하는 단계; 및 상기 버퍼링된 제 1 및 제 2 유효 페이지들을 제 3 블록의 제 3 워드라인에 연결된 메모리 셀들로 프로그램하는 단계를 포함하고, 상기 제 3 워드라인에 연결된 메모리 셀들로 프로그램하는 단계는, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 사전에 결정된 어드레스 스크램블링 순서에 따라 복수의 프로그래밍들을 수행하는 단계를 포함한다.
- [0038] 실시 예에 있어서, 상기 제 1 블록 및 상기 제 2 블록은 동일한 블록이다.
- [0039] 실시 예에 있어서, 상기 제 1 블록 및 상기 제 2 블록은 서로 다른 블록이다.
- [0040] 실시 예에 있어서, 상기 제 1 블록은 제 1 비휘발성 메모리 장치에 포함되고, 상기 제 2 블록은 상기 제 1 비휘발성 메모리 장치와 다른 상기 제 2 비휘발성 메모리 장치에 포함된다.
- [0041] 실시 예에 있어서, 상기 제 1 블록은 제 1 비휘발성 메모리 장치에 포함되고, 상기 제 2 블록은 제 2 비휘발성 메모리 장치에 포함되고, 상기 제 3 블록은 상기 제 1 비휘발성 메모리 장치와 다른 상기 제 3 비휘발성 메모리

장치에 포함된다.

[0042] 실시 예에 있어서, 상기 제 2 비휘발성 메모리 장치는 상기 제 3 비휘발성 메모리 장치이다.

[0043] 실시 예에 있어서, 상기 버퍼링하는 단계는, 상기 예러 정정된 제 1 및 제 2 유효 페이지들을 버퍼 램에 저장하는 단계를 포함한다.

[0044] 실시 예에 있어서, 상기 버퍼링하는 단계는, 상기 예러 정정된 제 1 및 제 2 유효 페이지들을 싱글 레벨 셀들에 프로그램하는 단계를 포함한다.

[0045] 실시 예에 있어서, 상기 어드레스 스캔블링 순서는, 어느 하나의 워드라인에 대응하는 상기 복수의 프로그래밍들 중 적어도 2개가 연속적으로 수행되지 않게 한다.

발명의 효과

[0046] 상술한 바와 같이 본 발명에 따른 메모리 시스템들 및 그것들의 블록 복사 방법들은, 재프로그래밍 방식을 이용하여 블록 복사를 수행한다.

도면의 간단한 설명

[0047] 도 1은 본 발명에 따른 재프로그래밍 방식으로 수행되는 프로그램 동작을 예시적으로 보여주는 도면이다.

도 2는 도 1에 도시된 프로그램 동작을 개념적으로 설명하기 위한 메모리 시스템을 예시적으로 보여주는 도면이다.

도 3은 도 2에 도시된 사용자 데이터 영역을 예시적으로 보여주는 도면이다.

도 4a는 도 3에 도시된 사용자 데이터 영역의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터를 예시적으로 보여주는 문턱전압 산포이다.

도 4b는 도 3에 도시된 사용자 데이터 영역의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터를 예시적으로 보여주는 문턱전압 산포이다.

도 4c는 도 3에 도시된 사용자 데이터 영역의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터를 예시적으로 보여주는 문턱전압 산포이다.

도 5는 본 발명의 실시 예에 따른 사용자 데이터 영역의 프로그램 동작시 어드레스 스캔블링을 예시적으로 보여주는 도면이다.

도 6은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 머지 동작을 개념적으로 설명하기 위한 도면이다.

도 7은 도 2에 도시된 비휘발성 메모리 장치의 블록 복사 방법에 대한 제 1 실시 예를 보여주는 도면이다.

도 8a는 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 1 실시 예를 보여주는 블록도이다.

도 8b는 도 8a에 메모리 시스템에서 복사 방법에 대한 다른 실시 예를 보여주는 블록도이다.

도 8c는 도 8a에 메모리 시스템에서 복사 방법에 대한 또 다른 실시 예를 보여주는 블록도이다.

도 9는 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 2 실시 예를 보여주는 블록도이다.

도 10은 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 3 실시 예를 보여주는 블록도이다.

도 11은 도 7에 도시된 블록 복사 방법을 예시적으로 보여주는 흐름도이다.

도 12는 도 2에 도시된 비휘발성 메모리 장치의 블록 복사 방법에 대한 제 2 실시 예를 보여주는 도면이다.

도 13은 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 1 실시 예를 보여주는 블록도이다.

도 14는 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 2 실시 예를 보여주는 블록도이다.

도 15는 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 3 실시 예를 보여주는 블록도이다.

도 16는 도 12에 도시된 블록 복사 방법을 예시적으로 보여주는 흐름도이다.

도 17은 본 발명에 따른 재프로그래밍 방식으로 수행되는 멀티-비트 프로그램 동작에 대한 다른 실시 예를 예시적으로 보여주는 도면이다.

도 18은 본 발명에 따른 재프로그래밍 방식으로 수행되는 멀티-비트 프로그램 동작에 대한 또 다른 실시 예를 예시적으로 보여주는 도면이다.

도 19는 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 다른 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다.

도 20은 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 또 다른 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다.

도 21은 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 또 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다.

도 22는 본 발명에 따른 블록 복사 동작을 수행하는 VNAND를 갖는 메모리 시스템을 예시적으로 보여주는 블록도이다.

도 23은 도 22에 도시된 VNAND의 어느 하나의 블록을 예시적으로 보여주는 도면이다.

도 24 내지 도 32는 본 발명의 다양한 응용 예들을 보여주는 도면들이다.

발명을 실시하기 위한 구체적인 내용

[0048] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 본 발명의 실시 예를 첨부된 도면을 참조하여 설명할 것이다.

[0049] 본 발명은 재프로그래밍(reprogramming) 방식으로 수행되는 멀티-비트 프로그램 동작을 개시한다. 여기서 재프로그래밍 방식은, 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록 복수의 프로그래밍들을 수행한다. 즉, 재프로그래밍 방식은, 이전 단계에서 프로그램 완료된 대략의(rough) 문턱전압 산포들을 정밀한(fine) 문턱전압 산포들로 다시 프로그램하는 것을 의미한다. 재프로그래밍 방식에 따른 좀 더 자세한 것은, 삼성전사에서 출원하였으며, 이 출원의 참고문헌으로 결합된 미국 공개 번호들 US 2011/0194346, US 2011/0205817, US 2011/0222342에서 설명될 것이다.

[0050] 도 1은 본 발명에 따른 재프로그래밍 방식으로 수행되는 프로그램 동작을 예시적으로 보여주는 도면이다. 도 1을 참조하면, 3 단계로 수행되는 재프로그래밍 방식(1st PGM, 2nd PGM, 3rd PGM)에 따라 3-비트 프로그램 동작이 수행된다.

[0051] 제 1 프로그래밍(1st PGM)은 소거 상태(E)로부터 8개의 상태들(E, P11~P17)중에서 3-비트 데이터에 대응하는 어느 하나의 상태로 프로그래밍시킨다. 여기서, 8개의 상태들(E, P11~P17)은, 도 1에 도시된 바와 같이, 읽기 마진 없이 서로 인접할 수 있다. 즉, 제 1 프로그래밍(1st PGM)은 3-비트 데이터를 대략(rough) 프로그래밍한다.

[0052] 실시 예에 있어서, 제 1 프로그래밍(1st PGM)은 ISPP(incremental step programming pulse) 방식으로 수행된다.

[0053] 실시 예에 있어서, 제 1 프로그래밍(1st PGM)은 검증 동작시 적어도 하나의 프로그램 상태만 검증 동작을 수행할 수 있다. 예를 들어, 제 1 프로그래밍(1st PGM)은 짝수 프로그램 상태들(P12, P14, P16)의 검증 동작을 수행하고, 홀수 프로그램 상태들(P11, P13, P15, P17)의 검증 동작을 수행하지 않을 수 있다. 즉, 짝수 프로그램 상태들(P12, P14, P16)만 검증 패스되면, 제 1 프로그래밍(1st PGM)이 완료된다.

[0054] 제 2 프로그래밍(2nd PGM)은 제 1 프로그래밍(1st PGM)이 완료된 상태들(P11~P17)을 좀더 세밀한 상태들(P21~P27)로 재프로그래밍한다. 여기서, 상태들(P21~P27)은, 도 1에 도시된 바와 같이, 소정의 읽기 마진을 갖도록 인접할 수 있다. 즉, 제 2 프로그래밍(2nd PGM)은 제 1 프로그래밍(1st PGM)에서 프로그램된 3-비트 데이터를 재프로그래밍한다. 예를 들어, 제 1 프로그래밍(1st PGM)의 상태(P11)는 제 2 프로그래밍(P21) 상태로 재프로그래밍되고, 그 결과로써, 제 2 프로그래밍(2nd PGM)의 상태(P21)에 대응하는 문턱전압 산포는, 제 1 프로그래밍(1st PGM)의 상태(P11)에 대응하는 문턱전압 산포보다 좁혀진다. 다른 말로, 제 2 프로그래밍(2nd PGM)의 상태(P21)를 검증하기 위한 검증 전압(VR21)이 제 1 프로그래밍(1st PGM)의 상태(P11)를 검증하기 위한 검증 전압

(VR11)보다 높다.

- [0055] 실시 예에 있어서, 제 2 프로그래밍(2nd PGM)은 ISPP 방식으로 수행된다.
- [0056] 실시 예에 있어서, 제 2 프로그래밍(2nd PGM)은 검증 동작시 모든 프로그램 상태들에 대한 검증 동작을 수행할 수 있다. 모든 프로그램 상태들(P21~P27)의 검증 동작이 검증 패스되면, 제 2 프로그래밍(2nd PGM)이 완료된다.
- [0057] 제 3 프로그램 동작(3rd PGM)은 제 2 프로그래밍(2nd PGM)이 완료된 상태들(P21~P27)을 좀더 세밀한 상태들(P31~P37)로 재프로그래밍한다. 여기서, 상태들(P31~P37)은, 도 1에 도시된 바와 같이, 제 2 프로그래밍(2nd PGM)의 읽기 마진보다 큰 읽기 마진을 갖도록 인접할 수 있다. 즉, 제 3 프로그래밍(3rd PGM)은 제 2 프로그래밍(2nd PGM)에서 프로그램된 3-비트 데이터를 재프로그래밍한다. 예를 들어, 제 2 프로그래밍(2nd PGM)의 상태(P21)는 제 3 프로그래밍(3rd PGM)의 상태(P31)로 재프로그래밍되고, 그 결과로써, 제 3 프로그래밍(3rd PGM)의 상태(P31)에 대응하는 문턱전압 산포는, 제 2 프로그래밍(2nd PGM)의 상태(P21)에 대응하는 문턱전압 산포보다 좁혀진다. 다른 말로, 제 3 프로그래밍(3rd PGM)의 상태(31)를 검증하기 위한 검증 전압(VR31)이 제 2 프로그래밍(2nd PGM)의 상태(P21)를 검증하기 위한 검증 전압(VR21)보다 높다.
- [0058] 실시 예에 있어서, 제 3 프로그래밍(3rd PGM)은 ISPP 방식으로 수행된다.
- [0059] 실시 예에 있어서, 제 3 프로그래밍(3rd PGM)은 검증 동작시 모든 프로그램 상태들에 대한 검증 동작을 수행한다. 모든 프로그램 상태들(P31~P37)의 검증 동작이 검증 패스되면, 제 3 프로그래밍(3rd PGM)이 완료된다. 이로써, 최종적인 3-비트 프로그램 동작이 완료된다.
- [0060] 실시 예에 있어서, 제 2 프로그래밍(2nd PGM)의 검증 전압들에서 제 3 프로그래밍(3rd PGM)의 대응하는 검증 전압들로 증가하는 폭들(예를 들어, 'VR31~VR21')은, 제 1 프로그래밍(1st PGM)의 검증 전압들에서 제 2 프로그래밍(2nd PGM)의 대응하는 검증 전압들로 증가하는 폭들(예를 들어, 'VR21~VR11')보다 좁을 수 있다. 즉, 제 3 프로그래밍(3rd PGM)이 제 2 프로그래밍(2nd PGM) 보다 세밀하게 프로그램될 수 있다.
- [0061] 다른 실시 예에 있어서, 제 2 프로그래밍(2nd PGM)의 검증 전압들에서 제 3 프로그래밍(3rd PGM)의 대응하는 검증 전압들로 증가하는 폭들(예를 들어, 'VR31~VR21')은, 제 1 프로그래밍(1st PGM)의 검증 전압들에서 제 2 프로그래밍(2nd PGM)의 대응하는 검증 전압들로 증가하는 폭들(예를 들어, 'VR21~VR11')보다 넓을 수 있다. 즉, 제 2 프로그래밍(2nd PGM)이 제 3 프로그래밍(3rd PGM) 보다 세밀하게 프로그램될 수 있다.
- [0062] 도 1에 도시된 제 1 프로그래밍(1st PGM)은 3-비트 데이터를 프로그램한다. 하지만, 본 발명의 제 1 프로그래밍(1st PGM)이 반드시 3-비트 데이터를 프로그램한다고 제한될 필요는 없다. 본 발명의 제 1 프로그래밍(1st PGM)은 2-비트 데이터를 프로그램할 수도 있다. 이후, 2-비트 데이터의 제 1 프로그래밍(1st PGM)이 완료된 후, 제 2 프로그래밍(2nd PGM)은 3-비트 데이터를 프로그램할 것이다.
- [0063] 도 1에 도시된 3-비트 프로그램 동작은 3 단계로 수행되는 재프로그래밍 방식(1st PGM, 2nd PGM, 3rd PGM)으로 수행되었다. 하지만, 본 발명의 3-비트 프로그램 동작이 반드시 3 단계로 수행되는 재프로그래밍 방식으로 수행된다고 제한될 필요는 없다. 본 발명의 프로그램 동작은, 적어도 2 단계로 수행되는 재프로그래밍 방식으로 수행될 수 있다.
- [0064] 본 발명에 따른 재프로그래밍 방식으로 수행되는 프로그램 동작은 저장될 데이터 값에 대응하는 문턱전압의 산포의 폭을 좁히도록(혹은, 문턱전압 산포를 세밀하게) 하도록 3 단계로 수행되는 프로그래밍들로 구성된다.
- [0065] 도 2는 도 1에 도시된 프로그램 동작을 개념적으로 설명하기 위한 메모리 시스템을 예시적으로 보여주는 도면이다. 도 2를 참조하면, 메모리 시스템(10)은 비휘발성 메모리 장치(110) 및 그것을 제어하는 메모리 제어기(120)를 포함한다.
- [0066] 본 발명에 따른 프로그램 동작은, 메모리 시스템(10)의 버퍼 램(112)에 입력된 데이터를 우선적으로 비휘발성 메모리 장치(120)의 SLC(single level cell) 버퍼 영역(122)에 프로그램한 뒤, 추후에 비휘발성 메모리 장치(120)의 MLC(Multi level cell) 사용자 데이터 영역(124, 이하 '사용자 데이터 영역')에 제 1 프로그래밍(1st PGM), 제 2 프로그래밍(2nd PGM), 및 제 3 프로그래밍(3rd PGM)을 순차적으로 프로그램한다. 여기서 버퍼 램(112)은 디램(DRAM) 혹은 에스램(SRAM) 등과 같은 휘발성 메모리 장치일 수 있다.
- [0067] 실시 예에 있어서, SLC 버퍼 영역(122)은 사용자 데이터 영역(124) 중 일부를 변경함으로써 구현될 수 있다.
- [0068] 도 3은 도 2에 도시된 비휘발성 메모리 장치(110)의 사용자 데이터 영역(124)을 예시적으로 보여주는 도면이다. 도 3을 참조하면, 사용자 데이터 영역(124)은 복수의 블록들(BLK0~BLKi, i는 자연수)을 포함한다. 아래에서는

제 1 블록(BLK0)만 설명하겠다.

- [0069] 블록(BLK0)은, 복수의 스트링들을 포함한다. 각각의 스트링들은, 스트링 선택 라인(string selection line; SSL)에 연결되는 스트링 선택 트랜지스터(SST), 복수의 워드라인들(WL0~WLm, m은 자연수)에 연결되는 복수의 메모리 셀들(MC0~MCm), 및 접지 선택 라인(ground selection line; GSL)에 연결되는 접지 선택 트랜지스터(GST)를 포함한다. 여기서 스트링 선택 트랜지스터(SST)는 복수의 비트라인들(BL0~BLn, n은 자연수)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(common source line; CSL)에 연결된다. 여기서, 공통 소스 라인(GSL)은 CSL 드라이버(도시되지 않음)로부터 접지 전압 혹은 CSL 전압(예를 들어, 전원전압)을 입력받을 수 있다.
- [0070] 워드라인들(WL0~WLm) 각각에 연결된 메모리 셀들을 페이지라고 부른다. 여기서 메모리 셀들 각각은 3-비트 데이터를 저장한다.
- [0071] 도 3에 도시된 블록(BLK0)은 올 비트라인 구조(all bitline architecture), 및 이브-오드 비트라인 구조(even odd bitline architecture) 중 어느 하나로 구현될 수 있다. 한편, 올 비트라인 및 이브-오드 비트라인 구조에 대한 좀더 자세한 것은 삼성전사에서 출원하였으며 참고문헌으로 결합된 미국 등록 번호 US 7,379,333에서 설명될 것이다.
- [0072] 도시되지 않았지만, 본 발명의 블록은 공유 비트라인 구조(shared bitline architecture)로 구현될 수도 있다. 여기서 공유 비트라인 구조는 하나의 비트라인에 적어도 두 개의 스트링들이 연결된다.
- [0073] 한편, 도 2에 도시된 SLC 버퍼 영역(122)은, 도 3에 도시된 블록(BLK0)과 동일한 구조로 구현된 적어도 하나의 블록을 포함한다. SLC 버퍼 영역(122)에서 메모리 셀들은 1-비트 데이터를 저장한다.
- [0074] 도 4a는 도 3에 도시된 사용자 데이터 영역(124)의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터에 대한 제 1 실시 예를 보여주는 도면이다. 도 4a를 참조하면, 프로그래밍의 단계들(1st PGM, 2nd PGM, 3rd PGM)이 증가될수록 프로그램 상태들(P1~P7)의 산포들은 좁혀진다.
- [0075] 소거 상태(E)에서 상위비트(most significant bit; MSB)는 데이터 '1'에 대응하고, 중간비트(center significant bit; CSB)는 데이터 '1'에 대응하고, 하위비트(least significant bit; LSB)는 데이터 '1'에 대응한다. 즉, 어느 하나의 메모리 셀이 소거 상태(E)에 있다면, 메모리 셀은 데이터 '1'의 상위비트(MSB)가 저장되고, 데이터 '1'의 중간비트(CSB)가 저장되고, 데이터 '1'의 하위비트(LSB)가 저장된 것이다.
- [0076] 제 1 프로그램 상태(P1)에서 상위비트(MSB)는 데이터 '0'에 대응하고, 중간비트(CSB)는 데이터 '1'에 대응하고, 하위비트(LSB)는 데이터 '1'에 대응한다.
- [0077] 제 2 프로그램 상태(P2)에서 상위비트(MSB)는 데이터 '0'에 대응하고, 중간비트(CSB)는 데이터 '0'에 대응하고, 하위비트(LSB)는 데이터 '1'에 대응한다.
- [0078] 제 3 프로그램 상태(P3)에서 상위비트(MSB)는 데이터 '1'에 대응하고, 중간비트(CSB)는 데이터 '0'에 대응하고, 하위비트(LSB)는 데이터 '1'에 대응한다.
- [0079] 제 4 프로그램 상태(P4)에서 상위비트(MSB)는 데이터 '1'에 대응하고, 중간비트(CSB)는 데이터 '0'에 대응하고, 하위비트(LSB)는 데이터 '0'에 대응한다.
- [0080] 제 5 프로그램 상태(P5)에서 상위비트(MSB)는 데이터 '0'에 대응하고, 중간비트(CSB)는 데이터 '0'에 대응하고, 하위비트(LSB)는 데이터 '0'에 대응한다.
- [0081] 제 6 프로그램 상태(P6)에서 상위비트(MSB)는 데이터 '0'에 대응하고, 중간비트(CSB)는 데이터 '1'에 대응하고, 하위비트(LSB)는 데이터 '0'에 대응한다.
- [0082] 제 7 프로그램 상태(P7)에서 상위비트(MSB)는 데이터 '1'에 대응하고, 중간비트(CSB)는 데이터 '1'에 대응하고, 하위비트(LSB)는 데이터 '0'에 대응한다.
- [0083] 도 4에 도시된 문턱 전압의 상태들(E, P1~P7)에 대응하는 상위비트(MSB), 중간비트(CSB), 하위비트(LSB)의 관계는 예시에 불과하다. 본 발명의 문턱 전압의 상태들(E, P1~P7)에 대응하는 상위비트(MSB), 중간비트(CSB), 하위비트(LSB)의 관계는 다양한 조합으로 구성될 수 있다.
- [0084] 도 4b는 도 3에 도시된 사용자 데이터 영역(124)의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터에 대한 제 2 실시 예를 보여주는 도면이다. 도 4b를 참조하면, 소거 상태(E)는 데이터 '111'에 대응하고, 제 1 프로그램

상태(P1)는 데이터 '110'에 대응하고, 제 2 프로그램 상태(P2)는 데이터 '100'에 대응하고, 제 3 프로그램 상태(P3)는 데이터 '101'에 대응하고, 제 4 프로그램 상태(P4)는 데이터 '001'에 대응하고, 제 5 프로그램 상태(P5)는 데이터 '000'에 대응하고, 제 6 프로그램 상태(P6)는 데이터 '010'에 대응하고, 제 7 프로그램 상태(P7)는 데이터 '011'에 대응한다.

[0085] 도 4c는 도 3에 도시된 사용자 데이터 영역(124)의 어느 하나의 메모리 셀에 저장되는 3-비트 데이터에 대한 제 3 실시 예를 보여주는 도면이다. 도 4c를 참조하면, 소거 상태(E)는 데이터 '111'에 대응하고, 제 1 프로그램 상태(P1)는 데이터 '011'에 대응하고, 제 2 프로그램 상태(P2)는 데이터 '001'에 대응하고, 제 3 프로그램 상태(P3)는 데이터 '000'에 대응하고, 제 4 프로그램 상태(P4)는 데이터 '010'에 대응하고, 제 5 프로그램 상태(P5)는 데이터 '110'에 대응하고, 제 6 프로그램 상태(P6)는 데이터 '100'에 대응하고, 제 7 프로그램 상태(P7)는 데이터 '101'에 대응한다.

[0086] 도 4a, 도 4b, 도 4c에서 볼 수 있듯이, 사용자 데이터 영역(124)의 메모리 셀들 각각은 상위비트(MSB), 중간비트(CSB), 하위비트(LSB)를 저장한다. 따라서, 사용자 데이터 영역(124)에서 하나의 워드라인에 연결된 메모리 셀들(혹은, 페이지)이 프로그램될 경우, 3 개의 페이지들(LSB page, CSB page, MSB page)이 프로그램된다.

[0087] 도 5는 본 발명의 실시 예에 따른 사용자 데이터 영역(124)의 프로그램 동작시 어드레스 스크램블링(address scrambling)을 예시적으로 보여주는 도면이다. 도 5를 참조하면, 각 워드라인들(WL0, WL1, WL2, ...)에 대응하는 메모리 셀들에 3 개의 페이지들(MSB page, CSB page, LSB page)이 프로그램되고, 3 개의 페이지들(MSB page, CSB page, LSB page)은 3 단계로(1st PGM, 2nd PGM, 3rd PGM) 수행되는 프로그램 동작으로 프로그램된다.

[0088] 도 5에 도시된 바와 같이, 어느 하나의 워드라인(예를 들어, WL0)에 대응하는 3 개의 페이지들(0,1,2)의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)은 연속적으로 수행되지 않고, 적어도 하나의 다른 워드라인(예를 들어, WL1 혹은 WL2)의 적어도 하나의 프로그래밍 이후에 다음 단계의 프로그래밍이 수행된다.

[0089] 예를 들어, 제 1 워드라인(WL0)의 제 2 프로그래밍(2nd PGM)은, 제 1 워드라인(WL0)의 제 1 프로그래밍(1st PGM) 이후 연속적으로 수행되지 않고, 제 2 워드라인(WL1)의 제 1 프로그래밍(1st PGM)이 수행된 후에 수행된다. 또한, 제 1 워드라인(WL0)의 제 3 프로그래밍(3rd PGM)은, 제 1 워드라인(WL0)의 제 2 프로그래밍(2nd PGM) 이후 연속하여 수행되지 않고, 도 5에 도시된 바와 같이, 제 2 워드라인(WL1)의 제 2 프로그래밍(2nd PGM)이 수행된 후 수행된다.

[0090] 도 5에 도시된 어드레스 스크램블링은 예시에 불과하다. 본 발명의 어드레스 스크램블링은 다양하게 구현될 수 있다. 한편, 어드레스 스크램블링에 대한 좀더 자세한 것은 삼성전자에서 출원되었으며, 이 출원의 참고 문헌으로 결합된 미국 등록 US 8,027,194 및 특허 미국 공개 특허 US 2011/020581, US 2011/022234에서 설명될 것이다.

[0091] 본 발명의 실시 예에 따른 프로그램 동작은 블록 복사(block copy)에 이용될 수 있다. 여기서 블록 복사는 비휘발성 메모리 장치의 카피백(copyback) 동작 혹은 머지(merge) 동작에서 이용될 수 있다. 여기서 머지 동작은 적어도 두 개의 블록들의 유효한 페이지들을 새로운 블록으로 프로그램하는 것을 의미한다.

[0092] 도 6은 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 머지 동작을 개념적으로 설명하기 위한 도면이다. 도 6을 참조하면, 머지 동작은 다음과 같이 수행된다. 설명의 편의를 위하여, 블록들은 4개의 물리 페이지들로 구성된다고 가정하겠다. 본 발명의 비휘발성 메모리 장치(도 2의 120)의 사용자 데이터 영역(124)의 메모리 셀들에 저장된 데이터가 3-비트이기 때문에 물리 페이지들 각각에는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 포함한다. 또한, 설명의 편의를 위하여 제 1 소스 블록은 유효 데이터를 갖는 제 1, 제 2, 및 제 3 페이지(PPN11, PPN12, PPN13) 및 무효 데이터를 갖는 제 4 페이지(PPN14)를 갖고, 제 2 소스 블록은 유효 데이터를 갖는 제 1 페이지(PPN21) 및 무효 데이터를 갖는 제 2, 제 3, 및 제 4 페이지들(PPN22, PPN23, PPN24)을 갖는다고 가정하겠다. 아래에서는 유효 데이터를 갖는 페이지는 유효 페이지, 무효 데이터를 갖는 페이지는 무효 페이지라고 부르겠다.

[0093] 머지 동작이 수행되면, 제 1 소스 블록의 유효 페이지들(PPN11, PPN12, PPN13) 및 제 2 소스 블록의 유효 페이지(PPN11)가 타겟 블록의 페이지들(PPN31, PPN32, PPN33, PPN34)로 각각 정해진 순서대로 프로그램된다. 타겟 블록의 프로그램 동작이 완료되면, 제 1 및 제 2 소스 블록들은 소거 동작이 수행된다.

[0094] 도 6에서는 물리 페이지에 대한 머지 동작이 도시되었다. 하지만 본 발명의 머지 동작이 여기에 제한되지 않으며 논리 페이지에 대한 머지 동작도 유사할 것이다. 한편, 머지 동작에 대한 좀더 자세한 것은 삼성전자에서 출

원하였으며, 이 출원의 참고 문헌으로 결합된 미국 공개 특허 번호들 US 2006/0179212, US 2011/0099326에서 설명될 것이다.

- [0095] 도 7은 도 2에 도시된 비휘발성 메모리 장치(120)의 블록 복사 방법에 대한 제 1 실시 예를 보여주는 도면이다. 도 7을 참조하면, 블록 복사 방법은, 도 5에 도시된 어드레스 스크램블링과 동일한 순서로 프로그래밍이 수행된다.
- [0096] 블록 복사 방법은 다음과 같이 수행된다. 아래에서는 설명의 편의를 위하여 워드라인(WL0)에 제 1, 제 2, 제 3 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 완료될 때까지의 과정만을 기술하겠다.
- [0097] 적어도 하나의 소스 블록(Source BLK)으로 3 페이지들(3 pages; 0, 1, 2)이 읽혀진다(①). 여기서 0, 1, 2 각각은, 소스 블록의 적어도 하나의 워드라인에 연결된 메모리 셀들로부터 읽혀진 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)에 대응할 수 있다. 예를 들어, 0, 1, 2 페이지는, 소스 블록의 하나의 워드라인에 연결된 메모리 셀들로부터 읽혀진 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)에 대응할 수 있다. 읽혀진 페이지들(0, 1, 2)은 각각 예러가 정정된 후 타겟 워드라인(WLj-1, j는 자연수)에 대응하는 버퍼 영역으로 버퍼링된다. 여기서 버퍼 영역은, 램이 되거나, 싱글 레벨 셀들이 될 수 있다. 이후, 버퍼링된 페이지들(0, 1, 2)이 워드라인(WL0)에 연결된 메모리 셀들로 프로그램되는, 제 1 프로그래밍(1st PGM)이 수행된다(②).
- [0098] 이후, 적어도 하나의 소스 블록(Source BLK)으로 다른 3 페이지들(3 pages; 3, 4, 5)이 읽혀진다(③). 읽혀진 페이지들(3, 4, 5)은 각각 예러가 정정된 후 타겟 워드라인(WLj)에 대응하는 버퍼 영역으로 버퍼링된다. 이후, 버퍼링된 페이지들(3, 4, 5)이 워드라인(WL1)에 연결된 메모리 셀들로 프로그램되는, 제 1 프로그래밍(1st PGM)이 수행된다(④).
- [0099] 이후, 타겟 워드라인(WLj-1)에 대응하는 버퍼 영역에 버퍼링된 페이지들(0, 1, 2)을 이용하여 워드라인(WL0)에 제 1 프로그래밍(1st PGM)이 수행된 메모리 셀들을 좀더 세밀하게 프로그램시키는 제 2 프로그래밍(2nd PGM)이 수행된다(⑤).
- [0100] 이후, 적어도 하나의 소스 블록(Source BLK)으로 또 다른 3 페이지들(3 pages; 6, 7, 8)이 읽혀진다(⑥). 읽혀진 페이지들(6, 7, 8)은 각각 예러가 정정된 후 타겟 워드라인(WLj+1)에 대응하는 버퍼 영역으로 버퍼링된다. 이후, 버퍼링된 페이지들(6, 7, 8)이 워드라인(WL2)에 연결된 메모리 셀들로 프로그램되는, 제 1 프로그래밍(1st PGM)이 수행된다(⑦).
- [0101] 이후, 타겟 워드라인(WLj)에 대응하는 버퍼 영역에 버퍼링된 페이지들(3, 4, 5)을 이용하여 워드라인(WL1)에 제 1 프로그래밍(1st PGM)이 수행된 메모리 셀들을 좀더 세밀하게 프로그램하는 제 2 프로그래밍(2nd PGM)이 수행된다(⑧).
- [0102] 이후, 타겟 워드라인(WLj-1)에 대응하는 버퍼 영역에 버퍼링된 페이지들(1, 2, 3)을 이용하여 워드라인(WL0)에 제 2 프로그래밍(2nd PGM)이 수행된 메모리 셀들을 좀더 세밀하게 프로그램시키는 제 3 프로그래밍(3rd PGM)이 수행된다(⑨). 이로써 워드라인(WL0)에 제 1, 제 2, 제 3 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 완료된다. 나머지 워드라인들(WL1, WL2, ...)도 유사한 방법으로 진행될 것이다.
- [0103] 도 7에 도시된 바와 같이, 하나의 워드라인에 관련된 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 연속적으로 수행되지 않는다.
- [0104] 본 발명의 블록 복사 방법은 불연속적으로 진행되는 3 단계의 프로그래밍(1st PGM, 2nd PGM, 3rd PGM)을 수행하기 위하여 예러 정정된 페이지들을 버퍼링해 놓는다.
- [0105] 도 8a는 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템(10)에 대한 제 1 실시 예를 보여주는 블록도이다. 도 8a에서는 설명의 편의를 위하여, 하나의 소스 워드라인(124_1)에 대응하는 페이지들(LSB page, CSB page, MSB page)이 타겟 워드라인(124_2)에 대응하는 페이지들(LSB page, CSB page, MSB page)로 프로그램되는 과정을 도시한다.
- [0106] 도 8a를 참조하면, 블록 복사 방법은 다음과 같다. 소스 워드라인(124_1)에 연결된 메모리 셀들로부터 하위비트 페이지(LSB page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(①). 페이지 버퍼(126)에 저장된 하위비트 페이지(LSB page)는 메모리 제어기(110)의 예러 정정 회로(111)로 전송된다(②). 예러 정정 회로(111)로부터 하위비트 페이지(LSB page)에 대한 예러가 정정되고, 예러 정정된 하위비트 페이지(LSB page)는 버퍼 램(112)에 전송된다

(3).

- [0107] 다음으로, 소스 워드라인(124_1)에 연결된 메모리 셀들로부터 중간비트 페이지(CSB page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(4). 페이지 버퍼(126)에 저장된 중간비트 페이지(CSB page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(5). 에러 정정 회로(111)로부터 중간비트 페이지(CSB page)에 대한 에러가 정정되고, 에러 정정된 중간비트 페이지(CSB page)는 버퍼 램(112)에 전송된다(6).
- [0108] 다음으로, 소스 워드라인(124_1)에 연결된 메모리 셀들로부터 상위비트 페이지(MSB page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(7). 페이지 버퍼(126)에 저장된 상위비트 페이지(MSB page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(8). 에러 정정 회로(111)로부터 상위비트 페이지(MSB page)에 대한 에러가 정정되고, 에러 정정된 상위비트 페이지(MSB page)는 버퍼 램(112)에 전송된다(9).
- [0109] 이로써, 버퍼 램(112)에 최종적으로 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 저장된다.
- [0110] 이후, 타겟 워드라인(124_2)에 연결된 메모리 셀들로, 버퍼 램(112)에 저장된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 이용하여 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)로 수행되는 프로그램 동작이 수행된다.
- [0111] 먼저, 제 1 프로그래밍(1st PGM)이 시작된다. 버퍼 램(112)에 저장된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)는 차례로 페이지 버퍼(126)에 전송되고(10), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 1 프로그래밍(1st PGM)이 수행된다(11). 실시 예에 있어서, 페이지 버퍼(126)는 적어도 3 페이지의 데이터를 저장하도록 구현될 수 있다. 다음으로, 도 7에 도시된 어드레스 스크램블링에 따라 제 2 프로그래밍(2nd PGM)이 시작된다. 버퍼 램(112)에 저장된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)는 차례로 페이지 버퍼(126)에 전송되고(12), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 2 프로그래밍(2nd PGM)이 수행된다(13). 다음으로, 도 7에 도시된 어드레스 스크램블링에 따라 제 3 프로그래밍(3rd PGM)이 시작된다. 버퍼 램(112)에 저장된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)는 차례로 페이지 버퍼(126)에 전송되고(14), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 3 프로그래밍(3rd PGM)이 수행된다(15).
- [0112] 도 8a에 도시된 블록 복사 방법은, 하나의 소스 워드라인(224_1)에 대응하는 페이지들(LSB/CSB/MSB pages)이 하나의 타겟 워드라인(224_2)에 연결된 메모리 셀들로 프로그램되는 것을 도시한다. 하지만, 본 발명의 복사 방법이 반드시 여기에 제한될 필요는 없다. 본 발명의 복사 방법은, 적어도 하나의 소스 워드라인에 대응하는 적어도 하나의 페이지가 하나의 타겟 워드라인에 연결된 메모리 셀들로 프로그램될 수 있다. 예를 들어, 제 1 소스 워드라인에 대응하는 하위비트 페이지(LSB page), 제 2 소스 워드라인에 대응하는 하위비트 페이지(LSB page), 제 3 소스 워드라인에 대응하는 중간비트 페이지(CSB page)가 하나의 타겟 워드라인에 대응하는 메모리 셀들로 프로그램될 수 있다.
- [0113] 본 발명의 실시 예에 따른 블록 복사 방법은, 버퍼 램(112)에 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 저장해 두었다가, 재프로그래밍(제 1, 제 2, 및 제 3 프로그래밍(1st PGM, 2nd PGM, 3rd PGM))을 수행한다.
- [0114] 도 8a에서는 하나의 소스 워드라인(124_1)의 연결된 메모리 셀들에 저장된 데이터(LSB/CSB/MSB pages)가 하나의 타겟 워드라인(124_2)에 연결된 메모리 셀들로 복사된다. 하지만 본 발명의 복사 방법이 반드시 여기에 제한될 필요는 없다.
- [0115] 본 발명의 복사 방법은, 적어도 2개의 소스 워드라인들에 연결된 메모리 셀들에 저장된 데이터를 하나의 타겟 워드라인에 연결된 메모리 셀들로 복사될 수도 있다.
- [0116] 도 8b는 도 8a에 메모리 시스템(10)에서 복사 방법에 대한 다른 실시 예를 보여주는 블록도이다. 도 8b에서는 설명의 편의를 위하여, 제 1 소스 워드라인(124_1a)에 대응하는 제 1 및 제 2 페이지들(1st page, 2nd page) 및 제 2 소스 워드라인(124_1b)에 대응하는 제 3 페이지(3rd page)가 타겟 워드라인(124_2)에 대응하는 페이지들(LSB page, CSB page, MSB page)로 프로그램되는 과정을 도시한다.
- [0117] 도 8b를 참조하면, 블록 복사 방법은 다음과 같다. 제 1 소스 워드라인(124_1a)에 연결된 메모리 셀들로부터 제 1 페이지(1st page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(1). 여기서 제 1 페이지(1st page)는 제 1 소스 워드라인(124_1a)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB

page) 중 어느 하나이다. 페이지 버퍼(126)에 저장된 제 1 페이지(1st page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(②). 에러 정정 회로(111)로부터 제 1 페이지(1st page)에 대한 에러가 정정되고, 에러 정정된 제 1 페이지(1st page)는 버퍼 램(112)에 전송된다(③).

[0118] 다음으로, 제 1 소스 워드라인(124_1a)에 연결된 메모리 셀들로부터 제 2 페이지(2nd page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(④). 여기서 제 2 페이지(2nd page)는, 제 1 소스 워드라인(124_1a)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이고, 제 1 페이지(1st page)와는 다른 것이다. 도시되지 않았지만, 제 2 페이지(2nd page)는 제 2 소스 워드라인(124_1b)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이고, 제 1 페이지(1st page)와는 다른 것일 수도 있다. 페이지 버퍼(126)에 저장된 제 2 페이지(2nd page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(⑤). 에러 정정 회로(111)로부터 제 2 페이지(2nd page)에 대한 에러가 정정되고, 에러 정정된 제 2 페이지(2nd page)는 버퍼 램(112)에 전송된다(⑥).

[0119] 다음으로, 제 2 소스 워드라인(124_1b)에 연결된 메모리 셀들로부터 제 3 페이지(3rd page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(⑦). 여기서 제 3 페이지(3rd page)는 제 2 소스 워드라인(124_1b)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이다. 페이지 버퍼(126)에 저장된 제 3 페이지(3rd page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(⑧). 에러 정정 회로(111)로부터 제 3 페이지(3rd page)에 대한 에러가 정정되고, 에러 정정된 제 3 페이지(3rd page)는 버퍼 램(112)에 전송된다(⑨).

[0120] 이로써, 버퍼 램(112)에 최종적으로 정정된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)가 저장된다.

[0121] 이후, 타겟 워드라인(124_2)에 연결된 메모리 셀들로, 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)를 이용하여 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)로 수행되는 프로그램 동작이 수행된다.

[0122] 먼저, 제 1 프로그래밍(1st PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑩), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 1 프로그래밍(1st PGM)이 수행된다(⑪). 실시 예에 있어서, 페이지 버퍼(126)는 적어도 3 페이지의 데이터를 저장하도록 구현될 수 있다.

[0123] 다음으로, 도 7에 도시된 어드레스 스크램블링에 따라 제 2 프로그래밍(2nd PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑫), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 2 프로그래밍(2nd PGM)이 수행된다(⑬).

[0124] 다음으로, 도 7에 도시된 어드레스 스크램블링에 따라 제 3 프로그래밍(3rd PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑭), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 3 프로그래밍(3rd PGM)이 수행된다(⑮).

[0125] 본 발명의 블록 복사 방법은, 두 개의 소스 워드라인들(124_1a, 124_1b)에 연결된 제 1, 제 2, 및 제 3 페이지들(1st page, 2nd page, 3rd page)이 버퍼 램(112)에 버퍼링되었다가 하나의 타겟 워드라인(124)에 연결된 메모리 셀들로 재프로그램된다.

[0126] 도 8c는 도 8a에 메모리 시스템(10)에서 복사 방법에 대한 또 다른 실시 예를 보여주는 블록도이다. 도 8c에서는 설명의 편의를 위하여, 제 1 소스 워드라인(124_1a)에 대응하는 제 1 페이지(1st page), 제 2 소스 워드라인(124_1b)에 대응하는 제 2 페이지(2nd page), 제 3 소스 워드라인(124_1c)에 대응하는 제 3 페이지(3rd page)가 타겟 워드라인(124_2)에 대응하는 페이지들(LSB page, CSB page, MSB page)로 프로그램되는 과정을 도시한다.

[0127] 도 8c를 참조하면, 블록 복사 방법은 다음과 같다. 제 1 소스 워드라인(124_1a)에 연결된 메모리 셀들로부터 제 1 페이지(1st page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(①). 여기서 제 1 페이지(1st page)는 제 1 소스 워드라인(124_1a)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이다. 페이지 버퍼(126)에 저장된 제 1 페이지(1st page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(②). 에러 정정 회로(111)로부터 제 1 페이지(1st page)에 대한 에러가 정정되고, 에러 정정된 제 1 페이지(1st page)는 버퍼 램(112)에 전송된다(③).

- [0128] 다음으로, 제 2 소스 워드라인(124_1b)에 연결된 메모리 셀들로부터 제 2 페이지(2nd page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(④). 여기서 제 2 페이지(2nd page)는, 제 2 소스 워드라인(124_1b)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이다. 페이지 버퍼(126)에 저장된 제 2 페이지(2nd page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(⑤). 에러 정정 회로(111)로부터 제 2 페이지(2nd page)에 대한 에러가 정정되고, 에러 정정된 제 2 페이지(2nd page)는 버퍼 램(112)에 전송된다(⑥).
- [0129] 다음으로, 제 3 소스 워드라인(124_1c)에 연결된 메모리 셀들로부터 제 3 페이지(3rd page)가 읽혀진 뒤 페이지 버퍼(126)에 저장된다(⑦). 여기서 제 3 페이지(3rd page)는 제 3 소스 워드라인(124_1c)에 대응하는 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 중 어느 하나이다. 페이지 버퍼(126)에 저장된 제 3 페이지(3rd page)는 메모리 제어기(110)의 에러 정정 회로(111)로 전송된다(⑧). 에러 정정 회로(111)로부터 제 3 페이지(3rd page)에 대한 에러가 정정되고, 에러 정정된 제 3 페이지(3rd page)는 버퍼 램(112)에 전송된다(⑨).
- [0130] 이로써, 버퍼 램(112)에 최종적으로 정정된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)가 저장된다.
- [0131] 이후, 타겟 워드라인(124_2)에 연결된 메모리 셀들로, 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)를 이용하여 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)로 수행되는 프로그램 동작이 수행된다.
- [0132] 먼저, 제 1 프로그래밍(1st PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑩), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 1 프로그래밍(1st PGM)이 수행된다(⑪). 실시 예에 있어서, 페이지 버퍼(126)는 적어도 3 페이지의 데이터를 저장하도록 구현될 수 있다.
- [0133] 다음으로, 도 7에 도시된 어드레스 스케램블링에 따라 제 2 프로그래밍(2nd PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑫), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 2 프로그래밍(2nd PGM)이 수행된다(⑬).
- [0134] 다음으로, 도 7에 도시된 어드레스 스케램블링에 따라 제 3 프로그래밍(3rd PGM)이 시작된다. 버퍼 램(112)에 저장된 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)는 차례로 페이지 버퍼(126)에 전송되고(⑭), 타겟 워드라인(124_2)에 연결된 메모리 셀들로 제 3 프로그래밍(3rd PGM)이 수행된다(⑮).
- [0135] 본 발명의 블록 복사 방법은, 세 개의 소스 워드라인들(124_1a, 124_1b, 124_1c)에 연결된 제 1, 제 2, 및 제 3 페이지들(1st page, 2nd page, 3rd page)이 버퍼 램(112)에 버퍼링되었다가, 하나의 타겟 워드라인(124)에 연결된 메모리 셀들로 재프로그램된다.
- [0136] 도 8a, 도 8b, 도 8c에서 에러 정정된 페이지들(LSB page, CSB page, MSB page)이 버퍼 램(112)에 저장되었다가, 재프로그램에 이용된다. 하지만 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명은 에러 정정된 페이지들(LSB page, CSB page, MSB page)를 비휘발성 메모리 장치의 SLC 버퍼 영역에 저장되도록 버퍼 프로그램 동작을 수행한 뒤, 재프로그램을 수행할 수 있다.
- [0137] 도 9는 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템(20)에 대한 제 2 실시 예를 보여주는 블록도이다. 도 9를 참조하면, 아래와 같이 블록 복사가 수행된다.
- [0138] 소스 워드라인(224_1)에 연결된 메모리 셀들로부터 하위비트 페이지(LSB page)가 읽혀진 뒤 페이지 버퍼(226)에 저장된다(①). 페이지 버퍼(226)에 저장된 하위비트 페이지(LSB page)는 메모리 제어기(210)의 에러 정정 회로(211)로 전송된다(②). 에러 정정 회로(211)로부터 하위비트 페이지(LSB page)에 대한 에러가 정정되고, 에러 정정된 하위비트 페이지(LSB page)는 다시 페이지 버퍼(226)에 전송된다(③). 페이지 버퍼(226)에 전송된 하위비트 페이지(LSB page)는 SLC 버퍼 영역(222)의 제 1 버퍼 워드라인(222_1)에 연결된 메모리 셀들로 버퍼 프로그램된다(④).
- [0139] 다음으로, 소스 워드라인(224_1)에 연결된 메모리 셀들로부터 중간비트 페이지(CSB page)가 읽혀진 뒤 페이지 버퍼(226)에 저장된다(⑤). 페이지 버퍼(226)에 저장된 중간비트 페이지(CSB page)는 메모리 제어기(210)의 에러 정정 회로(211)로 전송된다(⑥). 에러 정정 회로(211)로부터 중간비트 페이지(CSB page)에 대한 에러가 정정되고, 에러 정정된 중간비트 페이지(CSB page)는 다시 페이지 버퍼(226)에 전송된다(⑦). 페이지 버퍼(226)에

전송된 중간비트 페이지(CSB page)는 SLC 버퍼 영역(222)의 제 2 버퍼 워드라인(222_2)에 연결된 메모리 셀들로 버퍼 프로그램된다(⑧).

[0140] 다음으로, 소스 워드라인(224_1)에 연결된 메모리 셀들로부터 상위비트 페이지(MSB page)가 읽혀진 뒤 페이지 버퍼(226)에 저장된다(⑨). 페이지 버퍼(226)에 저장된 상위비트 페이지(MSB page)는 메모리 제어기(210)의 에러 정정 회로(211)로 전송된다(⑩). 에러 정정 회로(211)로부터 상위비트 페이지(CSB page)에 대한 에러가 정정되고, 에러 정정된 상위비트 페이지(MSB page)는 다시 페이지 버퍼(226)에 전송된다(⑪). 페이지 버퍼(226)에 전송된 상위비트 페이지(MSB page)는 SLC 버퍼 영역(222)의 제 3 버퍼 워드라인(222_3)에 연결된 메모리 셀들로 버퍼 프로그램된다(⑫).

[0141] 이후, 비휘발성 메모리 장치(220)는, SLC 버퍼 영역(222)에 저장된 하위비트(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 읽고, 읽혀진 하위비트(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)들을 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)으로 수행되는 프로그램 동작에 따라 사용자 데이터 영역(224)의 타겟 워드라인(224_2)에 연결된 메모리 셀들로 프로그램한다. 여기서 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)은 도 7에 도시된 어드레스 스크램블링에 따라 수행된다.

[0142] 본 발명의 실시 예에 따른 블록 복사 방법은, 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 SLC 버퍼 영역(222)에 저장해 두었다가, 재프로그래밍(제 1, 제 2, 및 제 3 프로그래밍(1st PGM, 2nd PGM, 3rd PGM))을 수행한다.

[0143] 도 8 및 도 9는 읽혀진 페이지들(LSB page, CSB page, MSB page)을 메모리 제어기(110 혹은 210)의 에러 정정 회로(111 혹은 211)에서 에러 정정된다. 하지만 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명은 읽혀진 페이지들(LSB page, CSB page, MSB page)의 에러 정정 동작을 비휘발성 메모리 장치 내부에서 수행할 수 있다.

[0144] 도 10은 도 7에 도시된 블록 복사 방법을 이용하는 메모리 시스템에 대한 제 3 실시 예를 보여주는 블록도이다. 도 10을 참조하면, 아래와 같이 블록 복사가 수행된다.

[0145] 우선, 소스 워드라인(324_1)에 연결된 메모리 셀들로부터 하위비트 페이지(LSB page)가 읽혀진 뒤 페이지 버퍼(326)에 저장된다(①). 페이지 버퍼(226)에 저장된 하위비트 페이지(LSB page)는 비휘발성 메모리 장치(320)의 에러 정정 회로(328)에 의해 에러 정정되고(②), 에러 정정된 하위비트 페이지(LSB page)는 SLC 버퍼 영역(322)의 제 1 버퍼 워드라인(322_1)에 연결된 메모리 셀들로 프로그램된다(③).

[0146] 다음으로, 소스 워드라인(324_1)에 연결된 메모리 셀들로부터 중간비트 페이지(CSB page)가 읽혀진 뒤 페이지 버퍼(326)에 저장된다(④). 페이지 버퍼(226)에 저장된 중간비트 페이지(CSB page)는 비휘발성 메모리 장치(320)의 에러 정정 회로(328)에 의해 에러 정정되고(⑤), 에러 정정된 하위비트 페이지(LSB page)는 SLC 버퍼 영역(322)의 제 2 버퍼 워드라인(322_2)에 연결된 메모리 셀들로 프로그램된다(⑥).

[0147] 다음으로, 소스 워드라인(324_1)에 연결된 메모리 셀들로부터 상위비트 페이지(MSB page)가 읽혀진 뒤 페이지 버퍼(326)에 저장된다(⑦). 페이지 버퍼(226)에 저장된 중간비트 페이지(CSB page)는 비휘발성 메모리 장치(320)의 에러 정정 회로(328)에 의해 에러 정정되고(⑧), 에러 정정된 하위비트 페이지(LSB page)는 SLC 버퍼 영역(322)의 제 2 버퍼 워드라인(322_2)에 연결된 메모리 셀들로 프로그램된다(⑨).

[0148] 상술된 바와 같이, 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 SLC 버퍼 영역(322)에 저장되도록 버퍼 프로그램 동작이 수행된다.

[0149] 이후, 비휘발성 메모리 장치(320)는 SLC 버퍼 영역(322)에 저장된 하위비트(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 읽고, 읽혀진 하위비트(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)들을 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)으로 수행되는 프로그램 동작에 따라 사용자 데이터 영역(324)의 타겟 워드라인(324_2)에 연결된 메모리 셀들로 프로그램한다. 여기서 3 단계 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)은 도 7에 도시된 어드레스 스크램블링에 따라 수행된다.

[0150] 본 발명의 실시 예에 따른 블록 복사 방법은, 비휘발성 메모리 장치(320) 내부에서 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)를 SLC 버퍼 영역(222)에 저장해 두었다가, 재프로그래밍(제 1, 제 2, 및 제 3 프로그래밍(1st PGM, 2nd PGM, 3rd PGM))을 수행한다.

[0151] 도 11은 도 7에 도시된 블록 복사 방법을 예시적으로 보여주는 흐름도이다. 도 7 내지 도 11을 참조하면, 블록

복사 방법은 다음과 같다.

- [0152] 소스 블록으로부터 데이터가 읽혀진다(S110). 읽혀진 데이터의 에러가 정정된다(S120). 여기서 에러 정정 동작은 메모리 제어기의 에러 정정 회로(도 8a의 111, 도 9의 211) 혹은 비휘발성 메모리 장치의 에러 정정 회로(도 10의 328)에서 수행될 수 있다. 에러 정정된 데이터는 버퍼링된다(S130). 여기서 에러 정정된 데이터는 메모리 제어기의 버퍼 램(도 8의 112) 혹은 비휘발성 메모리 장치의 SLC 버퍼 영역(도 9의 222, 도 10의 322)에 버퍼링될 수 있다. 이후, 도 7에 도시된 어드레스 스크램블링에 따라 타겟 블록으로 버퍼링된 데이터가 재프로그램된다(S140). 이로써 블록 복사 동작이 완료된다.
- [0153] 본 발명의 블록 복사 방법은, 읽혀진 데이터를 버퍼링하고, 버퍼링된 데이터를 이용하여 재프로그래밍을 수행한다.
- [0154] 도 7 내지 도 11은 블록 복사 동작시 읽혀진 데이터를 버퍼링하고, 버퍼링된 데이터를 이용하여 재프로그래밍을 수행한다. 하지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명은 블록 복사 동작시 읽혀진 데이터의 버퍼링 없이 재프로그래밍을 수행할 수 있다.
- [0155] 도 12는 도 2에 도시된 비휘발성 메모리 장치(120)의 블록 복사 방법에 대한 제 2 실시 예를 보여주는 도면이다. 도 12를 참조하면, 블록 복사 방법은, 도 5에 도시된 어드레스 스크램블링과 동일한 순서로 프로그래밍이 수행된다.
- [0156] 블록 복사 방법은 다음과 같이 수행된다. 아래에서는 설명의 편의를 위하여 워드라인(WL0)에 제 1, 제 2, 제 3 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 완료될 때까지의 과정만을 기술하겠다.
- [0157] 적어도 하나의 소스 블록(Source BLK)으로 3 페이지들(3 pages; 0, 1, 2)이 읽혀진다(①). 여기서 0, 1, 2 각각은, 소스 블록의 적어도 하나의 워드라인에 연결된 메모리 셀들로부터 읽혀진 제 1 페이지(1st page), 제 2 페이지(2nd page), 제 3 페이지(3rd page)에 대응할 수 있다. 읽혀진 페이지들(0, 1, 2)은 에러 정정된다. 워드라인(WL0)에 연결된 메모리 셀들로 에러 정정된 페이지들(0, 1, 2)이 프로그램되는 제 1 프로그래밍(1st PGM)이 수행된다(②).
- [0158] 이후, 적어도 하나의 소스 블록(Source BLK)으로 다른 3 페이지들(3 pages; 3, 4, 5)이 읽혀진다(③). 읽혀진 페이지들(3, 4, 5)은 에러 정정된 후, 워드라인(WL1)에 연결된 메모리 셀들로 에러 정정된 페이지들(3, 4, 5)이 프로그램되는 제 1 프로그래밍(1st PGM)이 수행된다(④).
- [0159] 이후, 워드라인(WL0)의 제 2 프로그래밍(2nd PGM)을 위하여 적어도 하나의 소스 블록(Source BLK)으로 3 페이지들(3 pages; 0, 1, 2)이 다시 읽혀진다(⑤). 읽혀진 페이지들(0, 1, 2)은 에러 정정된 후, 제 1 프로그래밍(1st PGM)이 수행된 워드라인(WL0)의 연결된 메모리 셀들로 에러 정정된 페이지들(0, 1, 2)이 좀더 세밀하게 프로그램되는 제 2 프로그래밍(2nd PGM)이 수행된다(⑥).
- [0160] 이후, 적어도 하나의 소스 블록(Source BLK)으로 또 다른 3 페이지들(3 pages; 6, 7, 8)이 읽혀진다(⑦). 읽혀진 페이지들(6, 7, 8)은 에러 정정된 후, 워드라인(WL2)에 연결된 메모리 셀들로 에러 정정된 페이지들(6, 7, 8)이 프로그램되는 제 1 프로그래밍(1st PGM)이 수행된다(⑧).
- [0161] 이후, 워드라인(WL1)의 제 2 프로그래밍(2nd PGM)을 위하여 적어도 하나의 소스 블록(Source BLK)으로 3 페이지들(3 pages; 3, 4, 5)이 다시 읽혀진다(⑨). 읽혀진 페이지들(3, 4, 5)은 에러 정정된 후, 제 1 프로그래밍(1st PGM)이 수행된 워드라인(WL1)의 연결된 메모리 셀들로 에러 정정된 페이지들(3, 4, 5)이 좀더 세밀하게 프로그램되는 제 2 프로그래밍(2nd PGM)이 수행된다(⑩).
- [0162] 이후, 워드라인(WL0)의 제 3 프로그래밍(3rd PGM)을 위하여 적어도 하나의 소스 블록(Source BLK)으로 3 페이지들(3 pages; 0, 1, 2)이 또 다시 읽혀진다(⑪). 읽혀진 페이지들(0, 1, 2)은 에러 정정된 후, 제 2 프로그래밍(2nd PGM)이 수행된 워드라인(WL0)의 연결된 메모리 셀들로 에러 정정된 페이지들(0, 1, 2)이 좀더 세밀하게 프로그램되는 제 3 프로그래밍(3rd PGM)이 수행된다(⑫). 이로써 워드라인(WL0)에 제 1, 제 2, 제 3 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 완료된다. 나머지 워드라인들(WL1, WL2, ...)도 유사한 방법으로 진행될 것이다.
- [0163] 도 12에 도시된 바와 같이, 하나의 워드라인에 관련된 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)이 연속적으로 수행되지 않는다.
- [0164] 본 발명의 블록 복사 방법은 불연속적으로 진행되는 3 단계의 프로그래밍(1st PGM, 2nd PGM, 3rd PGM)을 수행하

기 위하여 각 단계의 프로그래밍을 수행할 때마다 필요한 페이지들을 읽어와 에러 정정한다.

- [0165] 도 13은 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템(40)에 대한 제 1 실시 예를 보여주는 블록도이다. 도 13을 참조하면, 블록 복사 방법은 다음과 같다.
- [0166] 첫째로, 제 1 프로그래밍(1st PGM)이 다음과 같이 수행된다. 소스 워드라인(424_1)에 연결된 메모리 셀들로부터 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 차례로 읽혀지고 에러 정정될 것이다. 예를 들어, 읽혀진 하위비트 페이지(LSB)는 페이지 버퍼(426)에 저장되고(①), 저장된 하위비트 페이지(LSB page)는 메모리 제어기(410)의 에러 정정 회로(411)로 전송된다(②). 에러 정정 회로(411)로부터 하위비트 페이지(LSB page)에 대한 에러가 정정되고, 에러 정정된 하위비트 페이지(LSB page)는 버퍼 램(412)에 전송된다(③). 중간비트 페이지(CSB page)도 유사한 방법으로 진행되고(④,⑤,⑥) 및 상위 비트 페이지(MSB page)도 유사한 방법으로 진행된다(⑦,⑧,⑨). 이로써, 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 버퍼 램(412)에 저장된다.
- [0167] 이후, 타겟 워드라인(424_2)에 연결된 메모리 셀들로 버퍼 램(412)에 저장된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 페이지 버퍼(426)으로 전송되고(⑩), 이후 제 1 프로그래밍(1st PGM)이 진행된다(⑪). 이로써, 제 1 프로그래밍(1st PGM)이 완료된다.
- [0168] 둘째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 2 프로그래밍(2nd PGM)이 제 1 프로그래밍(1st)와 유사한 방법으로 수행된다(⑫~⑳). 여기서 제 2 프로그래밍(2nd)의 프로그램 상태들(도 1 참조, P21~P27)에 대응하는 검증 전압들은 제 1 프로그래밍(1st)의 프로그램 상태들(도 1참조, P11~P17)에 대응하는 검증 전압들보다 높다. 이로써, 제 2 프로그래밍(2nd PGM)이 완료된다.
- [0169] 셋째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 3 프로그래밍(3rd PGM)이 다음과 같이 수행된다(㉓~㉓). 여기서 제 3 프로그래밍(3rd)의 프로그램 상태들(도 1 참조, P31~P37)에 대응하는 검증 전압들은 제 2 프로그래밍(2nd)의 프로그램 상태들(P21~P27)에 대응하는 검증 전압들보다 높다. 이로써, 제 3 프로그래밍(3rd PGM)이 완료된다.
- [0170] 상술된 바와 같이, 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)에 의하여 소스 워드라인(424_1)에 연결된 메모리 셀들에 대한 데이터가 타겟 워드라인(424_2)에 연결된 메모리 셀들에 대한 데이터 재프로그램된다.
- [0171] 본 발명의 블록 복사 방법은, 프로그래밍 단계 때마다 데이터를 읽고, 읽혀진 데이터를 에러 정정한 뒤 재프로그래밍에 이용한다.
- [0172] 도 13에서는 블록 복사 동작시, 데이터가 버퍼 램(412)을 경유한다. 하지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명의 블록 복사 동작은 데이터가 버퍼 램을 경유하지 않고 에러 정정한 뒤 곧바로 페이지 버퍼에 저장될 수 있다.
- [0173] 도 14는 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템(50)에 대한 제 2 실시 예를 보여주는 블록도이다. 도 14를 참조하면, 블록 복사 방법은 다음과 같다.
- [0174] 첫째로, 제 1 프로그래밍(1st PGM)이 다음과 같이 수행된다. 소스 워드라인(524_1)에 연결된 메모리 셀들로부터 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 차례로 읽혀지고 에러 정정될 것이다. 예를 들어, 읽혀진 하위비트 페이지(LSB)는 페이지 버퍼(526)에 저장되고(①), 저장된 하위비트 페이지(LSB page)는 메모리 제어기(510)의 에러 정정 회로(511)로 전송된다(②). 에러 정정 회로(511)로부터 하위비트 페이지(LSB page)에 대한 에러가 정정되고, 에러 정정된 페이지 버퍼(526)에 전송된다(③). 중간비트 페이지(CSB page)도 유사한 방법으로 진행되고(④,⑤,⑥) 및 상위 비트 페이지(MSB page)도 유사한 방법으로 진행된다(⑦,⑧,⑨). 이로써, 에러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page)가 페이지 버퍼 (526)에 저장된다. 이후, 이후 제 1 프로그래밍(1st PGM)이 진행된다(⑩). 이로써, 제 1 프로그래밍(1st PGM)이 완료된다.
- [0175] 둘째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 2 프로그래밍(2nd PGM)이 제 1 프로그래밍(1st)와 유사한 방법으로 수행된다(⑪~㉑). 이로써, 제 2 프로그래밍(2nd PGM)이 완료된다.
- [0176] 셋째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 3 프로그래밍(3rd PGM)이 다음과 같이 수행된다(㉒~㉒). 이로써, 제 3 프로그래밍(3rd PGM)이 완료된다.

- [0177] 상술 된 바와 같이, 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)에 의하여 소스 워드라인(524_1)에 연결된 메모리 셀들에 대한 데이터가 타겟 워드라인(524_2)에 연결된 메모리 셀들에 대한 데이터 재프로그래밍된다.
- [0178] 본 발명의 블록 복사 방법은, 프로그래밍 단계 때마다 데이터를 읽고, 읽혀진 데이터를 여러 정정한 뒤 재프로그래밍에 이용한다.
- [0179] 도 13 내지 도 14에서 도시된 블록 복사 방법은, 메모리 제어기에서 여러 정정을 수행한다. 하지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명의 블록 복사 방법은 비휘발성 메모리 장치 내에서 여러 정정을 수행할 수도 있다.
- [0180] 도 15는 도 12에 도시된 블록 복사 방법을 이용하는 메모리 시스템(60)에 대한 제 3 실시 예를 보여주는 블록도이다. 도 14를 참조하면, 블록 복사 방법은 다음과 같다.
- [0181] 첫째로, 제 1 프로그래밍(1st PGM)이 다음과 같이 수행된다. 소스 워드라인(624_1)에 연결된 메모리 셀들로부터 읽혀진 하위비트 페이지(LSB page)는 페이지 버퍼(626)에 저장되고(①), 이후에 하위비트 페이지(LSB page)는 비휘발성 메모리 장치(620)의 여러 정정 회로(628)에서 여러 정정된 후 다시 페이지 버퍼(626)에 저장된다(②). 다음으로, 소스 워드라인(624_1)에 연결된 메모리 셀들로부터 읽혀진 중간비트 페이지(LSB page)는 페이지 버퍼(626)에 저장되고(③), 이후에 중간비트 페이지(CSB page)는 여러 정정 회로(628)에서 여러 정정된 후 다시 페이지 버퍼(626)에 저장된다(④). 다음으로, 소스 워드라인(624_1)에 연결된 메모리 셀들로부터 읽혀진 상위비트 페이지(MSB page)는 페이지 버퍼(626)에 저장되고(⑤), 이후에 중간비트 페이지(CSB page)는 여러 정정 회로(628)에서 여러 정정된 후 다시 페이지 버퍼(626)에 저장된다(⑥). 이로써, 여러 정정된 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page) 모두가 페이지 버퍼(626)에 저장된다. 이후, 제 1 프로그래밍(1st PGM)이 수행된다(⑦). 이로써, 소스 워드라인(624_1)에 대한 제 1 프로그래밍(1st PGM)이 완료된다.
- [0182] 둘째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 2 프로그래밍(2nd PGM)이 상술 된 제 1 프로그래밍(1st PGM)과 유사하게 수행된다(⑧~⑭).
- [0183] 셋째로, 도 12에 도시된 어드레스 스크램블링에 따라 제 3 프로그래밍(3rd PGM)이 상술 된 제 1 프로그래밍(1st PGM)과 유사하게 수행된다(⑮~㉑).
- [0184] 본 발명의 블록 복사 방법은, 프로그래밍 단계 때마다 데이터를 읽고, 읽혀진 데이터를 비휘발성 메모리 장치(620) 내부에서 여러 정정한 뒤 재프로그래밍에 이용한다.
- [0185] 도 16은 도 12에 도시된 블록 복사 방법을 예시적으로 보여주는 흐름도이다. 도 12 내지 도 16을 참조하면, 블록 복사 방법은 다음과 같다.
- [0186] 소스 블록으로부터 데이터가 읽혀진다(S210). 읽혀진 데이터의 여러가 정정된다(S220). 여기서 여러 정정 동작은 메모리 제어기의 여러 정정 회로(도 13의 411, 도 14의 511) 혹은 비휘발성 메모리 장치의 여러 정정 회로(도 15의 528)에서 수행될 수 있다. 이후, 도 12에 도시된 어드레스 스크램블링에 따라 여러 정정된 데이터를 이용하여 재프로그래밍이 수행된다(S230). 이후 재프로그래밍이 마지막 단계인지가 판별된다(S240). 만일, 마지막 단계의 재프로그래밍이 아니라면, S210 단계로 진행된다. 반면에, 마지막 단계의 재프로그래밍이라면, 블록 복사 동작이 완료된다.
- [0187] 본 발명의 블록 복사 방법은, 각 프로그래밍 단계에서 데이터를 읽고, 읽혀진 데이터를 여러 정정한 뒤, 여러 정정된 데이터를 이용하여 재프로그래밍을 수행한다.
- [0188] 도 1 내지 도 16에서 도시된 재프로그래밍 방식으로 수행되는 3-비트 프로그램 동작은, 제 1, 제 2, 및 제 3 프로그래밍(1st PGM, 2nd PGM, 3rd PGM) 모두 3-비트 데이터를 프로그램한다. 이를 다른 말로, 8-8-8 방식의 재프로그래밍이라고 부른다. 하지만, 본 발명의 재프로그래밍 방식이 반드시 여기에 제한될 필요는 없다. 본 발명의 재프로그래밍 방식으로 수행되는 3-비트 프로그램 동작은, 2-비트 데이터를 프로그램하는 제 1 프로그래밍(1st PGM)과 3-비트 데이터를 프로그램하는 제 2 및 제 3 프로그래밍들(2nd PGM, 3rd PGM)로 구성될 수 있다.
- [0189] 도 17은 본 발명에 따른 재프로그래밍 방식으로 수행되는 3-비트 프로그램 동작에 대한 다른 실시 예를 예시적으로 보여주는 도면이다. 도 17을 참조하면, 3-비트 프로그램 동작은, 3 단계로 수행되는 재프로그래밍 방식(1st PGM, 2nd PGM, 3rd PGM)을 이용하되, 제 1 프로그래밍(1st PGM)은 2-비트 프로그램 동작이 수행되고, 제 2 프로그래밍(2nd PGM) 및 제 3 프로그래밍(3rd)은 3-비트 프로그램 동작이 수행된다.

- [0190] 첫째로, 제 1 프로그래밍(1st PGM)은 소거 상태(E)로부터 4개의 상태들(E, P11~P13)중에서 2-비트 데이터에 대응하는 어느 하나의 상태로 프로그램시킨다. 즉, 제 1 프로그래밍(1st PGM)은 제 1 및 제 2 페이지들(예를 들어, 하위비트 페이지(LSB page), 중간비트 페이지(CSB page))를 4 레벨(4-level) 상태들로 프로그램한다.
- [0191] 둘째로, 제 2 프로그래밍(2nd PGM)은 제 1 프로그래밍(1st PGM)이 완료된 상태들(P11~P13)을 이용하여 제 1, 제 2 및 제 3 페이지들(예를 들어, 하위비트 페이지(LSB page), 중간비트 페이지(CSB page), 상위비트 페이지(MSB page))를 8 레벨(8-level) 상태들로 대략적으로 프로그램한다. 예를 들어, 제 1 프로그래밍(1st PGM)의 상태(P11)는 제 2 프로그래밍의 상태(P22) 혹은 상태(O23)로 프로그램된다.
- [0192] 셋째로, 제 3 프로그램 동작(3rd PGM)은 제 2 프로그래밍(2nd PGM)이 완료된 상태들(P21~P27)을 좀더 세밀한 8 레벨(8-level) 상태들(P31~P37)로 재프로그램한다. 제 3 프로그래밍(3rd PGM)은 제 2 프로그래밍(2nd PGM)에서 프로그램된 3-비트 데이터를 재프로그램한다. 예를 들어, 제 2 프로그래밍(2nd PGM)의 상태(P21)는 제 3 프로그래밍(P31) 상태로 재프로그램되고, 그 결과로써, 제 3 프로그래밍(3rd PGM)의 상태(P31)에 대응하는 문턱전압 산포는, 제 2 프로그래밍(2nd PGM)의 상태(P21)에 대응하는 문턱전압 산포보다 좁혀진다. 이로써, 최종적인 3-비트 프로그램 동작이 완료된다.
- [0193] 도 17에 도시된 프로그램 동작은, 4-8-8 방식의 재프로그래밍을 이용한다.
- [0194] 본 발명에 따른 3-비트 프로그램 동작은, 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)로 구성된 재프로그래밍 방식으로 수행되고, 각 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM) 중 적어도 하나는 다른 비트 프로그램 동작을 수행한다.
- [0195] 도 18은 본 발명에 따른 재프로그래밍 방식으로 수행되는 4-비트 프로그램 동작에 대한 실시 예를 예시적으로 보여주는 도면이다. 도 19를 참조하면, 4-비트 프로그램 동작은, 3 단계의 프로그래밍(1st PGM, 2nd PGM, 3rd PGM)으로 구성된 재프로그래밍 방식으로 수행되고, 각 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)은 모두 동일한 4-비트(혹은, 16 레벨) 프로그램 동작을 수행한다.
- [0196] 도 1 내지 도 18에 도시된 메모리 시스템은 비휘발성 메모리 장치에서 SLC 버퍼 영역과 사용자 데이터 영역을 포함한다. 하지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명에 따른 메모리 시스템은, 버퍼 프로그램 동작을 위한 SLC 버퍼 영역을 갖는 비휘발성 메모리 장치를 별도로 포함할 수 있다.
- [0197] 도 19는 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 다른 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다. 도 19를 참조하면, 메모리 시스템(70)은 SLC 버퍼 영역(722)을 갖는 적어도 하나의 제 1 비휘발성 메모리 장치(720), 및 사용자 데이터 영역(734)을 갖는 적어도 하나의 제 2 비휘발성 메모리 장치(740)를 포함한다.
- [0198] 아래에서는 도 19에 도시된, 사용자 데이터 영역(734)의 재프로그래밍 방식으로 수행되는 블록 복사 방법을 설명하겠다. 우선적으로 소스 블록(743_1)으로부터 읽혀진 데이터는 에러 정정 회로(711)에 의해 정정된 후, 에러 정정된 데이터는 SLC 비휘발성 메모리 장치(720)의 SLC 버퍼 영역(722)에 버퍼 프로그램된다.
- [0199] 이후, 사전에 결정된 어드레스 스크램블링에 따라 SLC 버퍼 영역(722)에 저장된 데이터가 타겟 블록(734_2)으로 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)에 의하여 재프로그래밍 방식으로 프로그램된다. 만약, 메모리 시스템(70)이 3-비트 프로그램 동작을 수행한다면, 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)은 4-8-8 혹은 8-8-8 방식으로 재프로그래밍될 수 있다.
- [0200] 본 발명의 블록 복사 방법은, 프로그램될 데이터를 제 1 비휘발성 메모리 장치(720)에 버퍼링해 두었다가, 제 2 비휘발성 메모리 장치(730)의 타겟 블록(734_2)으로 재프로그래밍 방식으로 프로그램시킨다.
- [0201] 도 19에서 소스 블록(734_1)과 타겟 블록(734_2)은 동일한 비휘발성 메모리 장치에 포함된다. 하지만 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명은 소스 블록과 타겟 블록이 서로 다른 비휘발성 메모리 장치들에 포함될 수도 있다.
- [0202] 도 20은 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 또 다른 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다. 도 20을 참조하면, 메모리 시스템(80)은 SLC 버퍼 영역(822)을 갖는 적어도 하나의 제 1 비휘발성 메모리 장치(820), 소스 블록(834_1)을 갖는 제 2 비휘발성 메모리 장치(830), 타겟 블록(844_1)을 갖는 제 3 비휘발성 메모리 장치(840)를 포함한다.
- [0203] 아래에서는 도 20에 도시된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 설명하겠다. 우선적으로 제 2 비

휘발성 메모리 장치(830)의 소스 블록(834_1)으로부터 읽혀진 데이터는 에러 정정 회로(811)에 의해 정정된 후, 에러 정정된 데이터는 제 1 비휘발성 메모리 장치(820)의 SLC 버퍼 영역(822)에 버퍼 프로그램된다. 이후, 사전에 결정된 어드레스 스크램블링에 따라 SLC 버퍼 영역(822)에 저장된 데이터가 제 3 비휘발성 메모리 장치(840)의 타겟 블록(844_1)으로 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)에 의하여 프로그램된다.

- [0204] 본 발명의 블록 복사 방법은, 제 2 비휘발성 메모리 장치(730)의 데이터를 제 1 비휘발성 메모리 장치(720)에 버퍼링해 두었다가, 제 3 비휘발성 메모리 장치(740)로 재프로그램 방식으로 프로그램한다.
- [0205] 도 20에서 데이터를 버퍼링하는 비휘발성 메모리 장치(820)와 재프로그래밍이 수행되는 비휘발성 메모리 장치(840)가 서로 다르다. 하지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명은 데이터를 버퍼링하는 비휘발성 메모리 장치와 재프로그래밍이 수행되는 비휘발성 메모리 장치가 동일할 수 있다.
- [0206] 도 21은 멀티-비트 프로그램 동작을 수행하는 메모리 시스템에 대한 또 실시 예에서 블록 복사 방법을 개념적으로 보여주는 도면이다. 도 21을 참조하면, 메모리 시스템(90)은 소스 블록(924_1)을 갖는 제 1 비휘발성 메모리 장치(920) 및 SLC 버퍼 영역(932) 및 타겟 블록(934_1)을 갖는 제 2 비휘발성 메모리 장치(930)를 포함한다.
- [0207] 아래에서는 도 21에 도시된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 설명하겠다. 우선적으로 제 1 비휘발성 메모리 장치(920)의 소스 블록(924_1)으로부터 읽혀진 데이터는 에러 정정 회로(911)에 의해 정정된 후, 에러 정정된 데이터는 제 2 비휘발성 메모리 장치(930)의 SLC 버퍼 영역(932)에 버퍼 프로그램된다. 이후, 사전에 결정된 어드레스 스크램블링에 따라 SLC 버퍼 영역(932)에 저장된 데이터가 제 2 비휘발성 메모리 장치(930)의 타겟 블록(934_1)으로 3 단계의 프로그래밍들(1st PGM, 2nd PGM, 3rd PGM)에 의하여 프로그램된다.
- [0208] 본 발명의 블록 복사 방법은, 제 1 비휘발성 메모리 장치(920)의 데이터를, 제 2 비휘발성 메모리 장치(930)의 SLC 버퍼 영역(932)에 버퍼링해 두었다가, 제 2 비휘발성 메모리 장치(930)의 사용자 데이터 영역(934)으로 재프로그램 방식으로 프로그램한다.
- [0209] 본 발명의 실시 예에 따른 블록 복사 방법은 VNAND(Vertical NAND)를 갖는 메모리 시스템에도 적용가능하다.
- [0210] 도 22는 본 발명에 따른 블록 복사 동작을 수행하는 VNAND를 갖는 메모리 시스템(10a)을 예시적으로 보여주는 블록도이다. 도 22를 참조하면, 메모리 시스템(10a)은 메모리 제어기(110a), 적어도 하나의 피램(PRAM; phase change memory, 120a), 및 적어도 하나의 VNAND(130a)을 포함한다.
- [0211] 피램(120a)은 상변화 물질의 상태(결정 상태 혹은 비결정 상태)에 따라 데이터를 저장하는 메모리 셀들을 포함한다. 피램(120a)에 대한 자세한 것은 삼성 전자에서 출원하였으며, 이 출원의 참고 문헌으로 결합된 미국 등록특허 번호 US 7,085,154, US 7,227,776, US 7,304,886, US 8,040,720에서 설명될 것이다.
- [0212] VNAND(130a)에 대한 자세한 것은, 삼성 전자에서 출원하였으며, 이 출원의 참고 문헌으로 결합된 미국 공개번호들 US 2009/0310415, US 2010/0078701, US 2010/0117141, US 2010/0140685, US 2010/0213527, US 2010/0224929, US 2010/0315875, US 2010/0322000, US 2011/0013458, US 2011/0018036에 설명될 것이다.
- [0213] 아래에서는 소스 블록(134a-1)의 데이터를 타겟 블록(134a-2)으로 복사하는 방법을 설명하겠다. VNAND(130a)의 소스 블록(134a-1)으로부터 데이터가 읽혀지고, 읽혀진 데이터는 에러 정정 회로(111a)로 에러 정정되고, 에러 정정된 데이터는 피램(120a)에 버퍼 프로그램된다. 이후, 버퍼 프로그램된 데이터가 VNAND(130a)의 타겟 블록(134a-2)으로 프로그램된다. 여기서, 버퍼 프로그램된 데이터가 타겟 블록(134a-2)으로 프로그램될 때, 재프로그래밍 방식이 이용될 수도 있고, 그렇지 않을 수도 있다.
- [0214] 본 발명의 메모리 시스템(10a)의 블록 복사 방법은, VNAND(130a)의 소스 블록(134a-1)로부터 읽혀진 데이터를 피램(120a)에 버퍼링 해두었다가, VNAND(130a)의 타겟 블록(134a-2)으로 프로그램한다.
- [0215] 도 23은 도 22에 도시된 VNAND(130a)의 어느 하나의 블록을 예시적으로 보여주는 도면이다. 도 23을 참조하면, 기판 위에 4개의 서브 블록들이 하나의 블록을 구성된다. 각각의 서브 블록들은 기판 위에 워드라인 컷들 사이에 적어도 하나의 접지 선택 라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 스트링 선택 라인(SSL)이 적층됨으로써 형성된다. 여기서 적어도 하나의 스트링 선택 라인(SSL)은 스트링 선택 라인 컷으로 분리된다. 여기서 각각의 워드라인 컷들은, 도시되지 않았지만 공통 소스 라인(Common Source Line: CSL)을 포함한다. 실시 예에 있어서, 각각의 워드라인 컷에 포함된 공통 소스 라인(CSL)은 공통으로 연결된다.
- [0216] 본 발명은 다양한 장치들에 응용 가능하다.
- [0217] 도 24는 본 발명의 실시 예에 따른 메모리 시스템을 보여주는 블록도이다. 도 24를 참조하면, 메모리 시스템

(1000)은 적어도 하나의 비휘발성 메모리 장치(1100) 및 메모리 제어기(1200)를 포함한다. 메모리 시스템(1100)은 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다.

- [0218] 비휘발성 메모리 장치(1100)는 외부로부터 고전압(Vpp)을 옵션적으로 제공받을 수 있다. 메모리 제어기(1200)는 복수의 채널들을 통하여 비휘발성 메모리 장치(1100)에 연결된다. 메모리 제어기(1200)는 적어도 하나의 중앙처리장치(1210), 버퍼 메모리(1220), 에러 정정회로(1230), 롬(1240), 호스트 인터페이스(1250) 및 메모리 인터페이스(1260)를 포함한다. 도시되지 않았지만, 메모리 제어기(1200)는 데이터를 랜덤화시키거나 디랜덤화시키는 랜덤화 회로를 더 포함할 수 있다. 본 발명의 메모리 시스템(1000)은 PPN(Perfect Page New)에 적용가능하다. 비휘발성 메모리 장치(1110)은 도시되지 않았지만, 외부의 고전압을 선택적으로 입력받을 수 있다.
- [0219] 한편, 메모리 시스템에 대한 좀더 자세한 것은 삼성전자에서 출원하였으며 참고 문헌으로 결합된 미국 등록 특허번호 US 8,027,194, 미국 공개 번호 US 2010-0082890에서 설명될 것이다.
- [0220] 도 25는 본 발명의 실시 예에 따른 메모리 카드에 대한 블록도이다. 도 25를 참조하면, 메모리 카드(2000)는 적어도 하나의 플래시 메모리 장치(2100), 버퍼 메모리 장치(2200) 및 그것들을 제어하는 메모리 제어기(2300)를 포함한다. 메모리 카드(2000)는 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다.
- [0221] 버퍼 메모리 장치(2200)는 메모리 카드(2000)의 동작 중 생성되는 데이터를 임시로 저장하기 위한 장치이다. 버퍼 메모리 장치(2200)는 디램 혹은 에스램 등으로 구현될 수 있다. 메모리 제어기(2300)는 복수의 채널들을 통하여 플래시 메모리 장치(2100)에 연결된다. 메모리 제어기(2300)는 호스트 및 플래시 메모리 장치(2100)에 사이에 연결된다. 호스트로부터의 요청에 응답하여, 메모리 제어기(2300)는 플래시 메모리 장치(2100)를 액세스한다.
- [0222] 메모리 제어기(2300)는 적어도 하나의 마이크로 프로세서(2310), 호스트 인터페이스(2320), 플래시 인터페이스(2330)를 포함한다. 적어도 하나의 마이크로 프로세서(2310)는 펌웨어(firmware)를 동작하도록 구현된다. 호스트 인터페이스(2320)는 호스트와 메모리 카드(2000) 사이에 데이터 교환을 수행하기 위한 카드 프로토콜(예를 들어, SD/MMC)을 통해 호스트와 인터페이싱한다. 이러한 메모리 카드(2000)는 멀티미디어 카드(Multimedia Card: MMC), 보안 디지털(Security Digital: SD), miniSD, 메모리 스틱(Memory Stick), 스마트미디어(Smart Media), 트랜스플래시(TransFlash) 카드 등에 적용가능하다.
- [0223] 한편, 메모리 카드(2000)에 대한 좀더 자세한 것은 삼성전자에서 출원하였으며 참고 문헌으로 결합된 미국 공개 번호 US 2010-0306583에서 설명될 것이다.
- [0224] 도 26은 본 발명의 실시 예에 따른 모비낸드에 대한 블록도이다. 도 26을 참조하면, 모비낸드(3000)는 적어도 하나의 낸드 플래시 메모리 장치(3100) 및 제어기(3200)를 포함할 수 있다. 모비낸드(3000)는 MMC 4.4(다른 말로, eMMC) 규격을 지원한다. 모비낸드(3000)는 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다.
- [0225] 낸드 플래시 메모리 장치(3100)는 외부 고전압(Vpp)을 옵션적으로 제공받을 수 있다. 낸드 플래시 메모리 장치(3100)는 SDR(Sing Data Rate) 낸드 혹은 DDR(Double Data Rate) 낸드일 수 있다. 실시 예에 있어서, 낸드 플래시 메모리 장치(3100)는 단품의 낸드 플래시 메모리 장치들을 포함할 수 있다. 여기서, 단품의 낸드 플래시 메모리 장치들은 하나의 패키지(예를 들어, FBGA, Fine-pitch Ball Grid Array)에 적층되어 구현될 수 있다.
- [0226] 메모리 제어기(3200)는 복수의 채널들(CH1~CH4)을 통하여 플래시 메모리 장치(3100)에 연결된다. 한편, 채널들의 개수는 4개로 제한되지 않을 것이다. 제어기(3200)는 적어도 하나의 제어기 코어(3210), 호스트 인터페이스(3220) 및 낸드 인터페이스(3230)를 포함한다. 적어도 하나의 제어기 코어(3210)는 모비낸드(3000)의 전반적인 동작을 제어한다.
- [0227] 호스트 인터페이스(3220)는 제어기(3210)와 호스트의 인터페이싱을 수행한다. 낸드 인터페이스(3230)는 낸드 플래시 메모리 장치(3100)와 제어기(3200)의 인터페이싱을 수행한다. 실시 예에 있어서, 호스트 인터페이스(3220)는 병렬 인터페이스(예를 들어, MMC 인터페이스)일 수 있다. 다른 실시 예에 있어서, 모비낸드(3000)의 호스트 인터페이스(3220)는 직렬 인터페이스(예를 들어, UHS-II, UFS 인터페이스)일 수 있다.
- [0228] 모비낸드(3000)는 호스트로부터 전원전압들(Vcc, Vccq)을 제공받는다. 여기서, 제 1 전원전압(Vcc: 3.3V)은 낸드 플래시 메모리 장치(3100) 및 낸드 인터페이스(3230)에 제공되고, 제 2 전원전압(Vccq: 1.8V/3.3V)은 제어기(3200)에 제공된다. 실시 예에 있어서, 모비낸드(3000)는 외부 고전압(Vpp)을 옵션적으로 제공받을 수 있다.

- [0229] 본 발명의 실시 예에 따른 모비낸드(3000)는 대용량의 데이터를 저장하는 데 유리할 뿐 아니라, 향상된 읽기 동작 특성을 갖는다. 본 발명의 실시 예에 따른 모비낸드(3000)는 소형 및 저전력이 요구되는 모바일 제품(예를 들어, 갤럭시S, 아이폰 등)에 응용 가능하다.
- [0230] 도 26에 도시된 모비낸드(3000)는 복수의 전원전압들(Vcc, Vccq)을 제공받는다. 하지만 본 발명의 모비낸드가 반드시 여기에 제한될 필요는 없다. 본 발명의 모비낸드는 전원전압(Vcc)을 입력받아 내부에서 부스팅 혹은 레귤레이팅함으로써, 낸드 인터페이스 및 낸드 플래시 메모리에 적합한 전원전압(3.3V)을 발생하도록 구현될 수도 있다. 이러한 내부 부스팅 혹은 레귤레이팅 동작에 대한 자세한 것은 삼성전자에서 출원하였으며 참고문헌으로 결합된 미국 등록 특허 7,092,308에서 설명될 것이다.
- [0231] 한편, 본 발명은 솔리드 스테이트 드라이브(Solid State Drive: 이하, 'SSD'라고 함)에 적용가능하다.
- [0232] 도 27은 본 발명의 실시 예에 따른 SSD에 대한 블록도이다. 도 27을 참조하면, SSD(4000)는 복수의 플래시 메모리 장치들(4100) 및 SSD 제어기(4200)를 포함한다. SSD(4000)은 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다.
- [0233] 플래시 메모리 장치들(4100)은 옵션적으로 외부 고전압(Vpp)을 제공받도록 구현될 수 있다. SSD 제어기(4200)는 복수의 채널들(CH1~CHi, i는 2 이상의 정수)을 통하여 플래시 메모리 장치들(4100)에 연결된다. SSD 제어기(4200)는 적어도 하나의 중앙처리장치(4210), 호스트 인터페이스(4220), 버퍼 메모리(4230) 및 플래시 인터페이스(4240)를 포함한다.
- [0234] 호스트 인터페이스(4220)는 중앙처리장치(4210)의 제어에 따라 호스트와 통신 프로토콜 방식으로 데이터를 교환한다. 실시 예에 있어서, 통신 프로토콜은 ATA(Advanced Technology Attachment) 프로토콜일 수 있다. 이러한 ATA 프로토콜은 SATA(Serial Advanced Technology Attachment) 인터페이스, PATA(Parallel Advanced Technology Attachment) 인터페이스, ESATA(External SATA) 인터페이스 등을 포함한다. 다른 실시 예에 있어서, 통신 프로토콜은 USB(Universal Serial Bus) 프로토콜일 수 있다. 호스트 인터페이스(4220)를 통해 호스트로부터 입력되는 데이터나 호스트로 전송되어야 할 데이터는 중앙처리장치(4210)의 제어에 따라 CPU 버스를 경유하지 않고 버퍼 메모리(4220)를 통해 전송된다.
- [0235] 버퍼 메모리(4230)는 외부와 플래시 메모리 장치들(4100) 간의 이동 데이터를 임시로 저장한다. 또한, 버퍼 메모리(4230)는 중앙처리장치(4210)에 의해서 운용될 프로그램을 저장하는 데에도 사용된다. 버퍼 메모리(4230)는 디램(DRAM) 혹은 에스램(SRAM)으로 구현될 수 있다. 도 27에서 버퍼(4230)는 SSD 제어기(4200) 내부에 포함되지만, 본 발명이 반드시 여기에 제한될 필요는 없다. 본 발명의 실시 예에 따른 버퍼 메모리는 SSD 제어기(4200)의 외부에 배치될 수 있다.
- [0236] 플래시 인터페이스(4240)는 저장 장치로 사용되는 플래시 메모리 장치들(4100)과 SSD 제어기(4200) 사이의 인터페이싱을 수행한다. 플래시 인터페이스(4260)는 낸드 플래시 메모리, 원내드(One-NAND) 플래시 메모리, 멀티 레벨 플래시 메모리, 싱글 레벨 플래시 메모리를 지원하도록 구성될 수 있다.
- [0237] 본 발명의 실시 예에 따른 SSD(4000)는 프로그램 동작시 랜덤 데이터를 저장함으로써, 데이터의 신뢰성을 향상시킨다. 그 결과로써 본 발명의 SSD(4000)는 저장된 데이터의 신뢰성을 향상시킬 수 있다. 한편, SSD(4000)에 대한 좀더 자세한 것은 삼성전자에서 출원하였으며 참고 문헌으로 결합된 미국 등록 특허 번호 US 8,027,194, 미국 공개 번호 US 2010-0082890에서 설명될 것이다.
- [0238] 도 28은 도 27에 도시된 SSD(4000)를 갖는 컴퓨팅 시스템에 대한 블록도이다. 도 28을 참조하면, 컴퓨팅 시스템(5000)은, 적어도 하나의 중앙처리장치(5100), 비휘발성 메모리 장치(5200), 램(5300), 입출력 장치(5400), 및 적어도 하나의 SSD(5500)를 포함한다.
- [0239] 적어도 하나의 중앙처리장치(5100)는 시스템 버스에 연결된다. 비휘발성 메모리 장치(5200)는 컴퓨팅 시스템(5000)을 동작하는데 필요한 데이터가 저장된다. 이러한 데이터에는 개시 명령 시퀀스, 혹은 기본적인 입/출력 동작 시스템(예를 들어, BIOS) 시퀀스 등이다. 램(5300)은 중앙처리장치(5100)가 실행될 때 생성되는 데이터가 임시로 저장된다. 입출력 장치(5400)는, 실시 예에 있어서, 키보드, 포인팅 장치(마우스), 모니터, 모뎀, 등이 입출력 장치 인터페이스를 통하여 시스템 버스에 연결된다. SSD(5500)는 읽기 가능한 저장 장치로써, 도 27에 도시된 SSD(4000)와 동일하게 구현된다.
- [0240] 도 29는 도 27에 도시된 SSD(4000)를 갖는 전자기기에 대한 블록도이다. 도 29를 참조하면, 전자기기(6000)는, 프로세서(6100), 롬(6200), 램(6300), 및 플래시 인터페이스(6400), 및 적어도 하나의 SSD(6500)을 포함한다.

- [0241] 프로세서(6100)는 펌웨어 코드 혹은 임의의 코드를 실행하기 위하여 램(6300)을 액세스한다. 또한, 프로세서(6100)는 개시 명령 시퀀스 혹은 기본 입출력 동작 시스템 시퀀스들과 같은 고정 명령 시퀀스들을 실행하기 위하여 롬(6200)에 액세스한다. 플래시 인터페이스(6400)는 전자기기(6000)와 SSD(6500) 사이의 인터페이싱을 수행한다. SSD(6500)는 전자기기(6000)에 착탈이 가능할 수 있다. SSD(6500)는, 도 27에 도시된 SSD(4000)와 동일하게 구현된다.
- [0242] 본 발명의 전자기기(6000)는 셀룰러 폰, 개인 디지털 보조기(Personal Digital Assistants: PDAs), 디지털 카메라, 캠코더, 및 휴대용 오디오 재생장치(예를 들어, MP3), PMP 등이 될 수 있다.
- [0243] 도 30은 도 27에 도시된 SSD(4000)를 이용하는 서버 시스템에 대한 블록도이다. 도 30을 참조하면, 서버 시스템(7000)은 서버(7100), 및 서버(7100)를 동작하는 데 필요한 데이터를 저장하는 적어도 하나의 SSD(7200)를 포함한다. 여기서 적어도 하나의 SSD(7200)는, 도 27에 도시된 SSD(4000)와 동일한 기능 혹은 동작을 갖도록 구현될 것이다.
- [0244] 서버(7100)는 응용 통신 모듈(7110), 데이터 처리 모듈(7120), 업그레이드 모듈(7130), 스케줄링 센터(7140), 로컬 리소스 모듈(7150), 및 리페어 정보 모듈(7160)을 포함한다. 응용 통신 모듈(7110)은 서버(7100)와 네트워크에 연결된 컴퓨팅 시스템과 통신하거나 혹은 서버(7100)와 SSD(7200)이 통신하도록 구현된다. 응용 통신 모듈(7110)은 사용자 인터페이스를 통하여 제공된 데이터 혹은 정보를 데이터 처리 모듈(7120)로 전송한다.
- [0245] 데이터 처리 모듈(7120)은 로컬 리소스 모듈(7150)에 링크된다. 여기서 로컬 리소스 모듈(7150)은 서버(7100)에 입력된 데이터 혹은 정보를 근거로 하여 사용자에게 리페어 숍들(repair shops)/딜러들(dealers)/기술적인 정보의 목록을 제공한다. 업그레이드 모듈(7130)은 데이터 처리 모듈(7120)과 인터페이싱 한다. 업그레이드 모듈(7130)은 SSD(7200)로부터 전송된 데이터 혹은 정보를 근거로 하여 펌웨어, 리셋 코드, 진단 시스템 업그레이드 혹은 다른 정보들을 전자기기(appliance)에 업그레이드한다.
- [0246] 스케줄링 센터(7140)는 서버(7100)에 입력된 데이터 혹은 정보를 근거로 하여 사용자에게 실시간의 옵션을 허용한다. 리페어 정보 모듈(7160)은 데이터 처리 모듈(7120)과 인터페이싱한다. 리페어 정보 모듈(7160)은 사용자에게 리페어 관련 정보(예를 들어, 오디오, 비디오, 혹은 문서 파일)를 제공하는데 이용된다. 데이터 처리 모듈(7120)은 SSD(7200)로부터 전송된 정보를 근거로 하여 관련된 정보를 패키징한다. 그 뒤, 이러한 정보는 SSD(7200)에 전송되거나 혹은 사용자에게 디스플레이된다.
- [0247] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 모바일 장치(예를 들어, 갤럭시S, 아이폰 등)에도 적용가능하다.
- [0248] 도 31은 본 발명의 실시 예에 따른 모바일 장치(8000)를 예시적으로 보여주는 도면이다. 도 31을 참조하면, 모바일 장치(8000)는 통신 유닛(8100), 제어기(8200), 메모리 유닛(8300), 디스플레이 유닛(8400), 터치 스크린 유닛(8500), 및 오디오 유닛(8600)을 포함한다.
- [0249] 메모리 유닛(8300)은 적어도 하나의 디램(8310), 적어도 하나의 원낸드(8320), 및 적어도 하나의 모비낸드(8330)를 포함한다. 원낸드(8320) 및 모비 낸드(8330) 중 적어도 하나는 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다.
- [0250] 한편, 모바일 장치에 대한 좀더 자세한 것은, 삼성 전자에서 출원하였으며, 이 출원의 참고 문헌으로 결합된 미국 공개 번호들 US 2010/0010040, US 2010/0062715, US 2010/0309237, US 2010/0315325에서 설명될 것이다.
- [0251] 본 발명의 실시 예에 따른 비휘발성 메모리 장치는 태블릿(예를 들어, 갤럭시탭, 아이패드 등)에도 적용가능하다.
- [0252] 도 32는 본 발명의 실시 예에 따른 휴대용 전자 장치(9000)를 예시적으로 보여주는 도면이다. 도 32를 참조하면, 휴대용 전자 장치(9000)는 일반적으로 적어도 하나의 컴퓨터 판독 가능 매체(9020), 처리 시스템(9040), 입출력 서브시스템(9060), 무선 주파수 회로(9080) 및 오디오 회로(9100)를 포함한다. 각 구성요소들 적어도 하나의 통신 버스 혹은 신호선(9030)로 연결될 수 있다.
- [0253] 휴대용 전자 장치(9000)는, 제한되지 않는 핸드헬드 컴퓨터(handheld computer), 태블릿 컴퓨터, 이동 전화, 미디어 플레이어, PDA(personal digital assistant) 등과 이들 아이템 중 둘 이상의 조합을 포함하는 임의의 휴대용 전자 장치일 수 있다. 여기서 적어도 하나의 컴퓨터 판독 가능 매체(9020)는 메모리 시스템(1100)은 도 1 내지 도 23에 상술된 재프로그래밍 방식으로 수행되는 블록 복사 방법을 적용한다. 한편, 휴대용 전자 장치

(9000)에 대한 좀더 자세한 것은 참고 문헌으로 결합된 미국 등록 번호 US 7,509,588에서 설명될 것이다.

[0254] 본 발명의 실시 예에 따른 메모리 시스템 혹은 저장 장치는 다양한 형태들의 패키지를 이용하여 실장 될 수 있다. 실시 예에 있어서, 본 발명의 실시 예에 따른 메모리 시스템 혹은 저장 장치는 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP), 등과 같은 패키지들을 이용하여 실장될 수 있다.

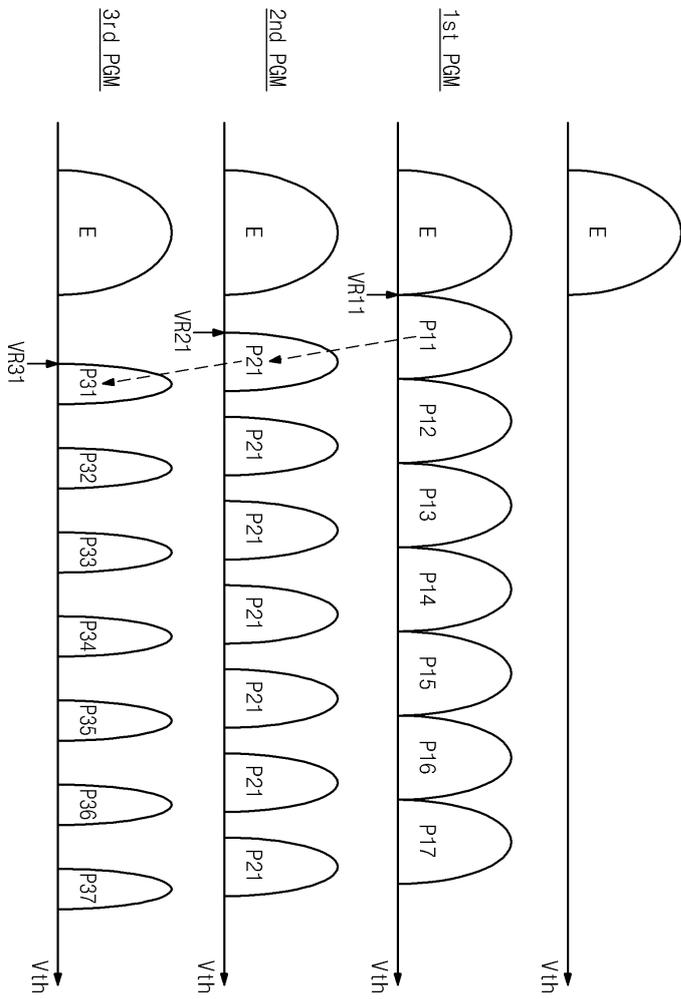
[0255] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있다. 그러므로 본 발명의 범위는 상술한 실시 예에 제한되어 정해져서는 안되며 후술하는 특허 청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

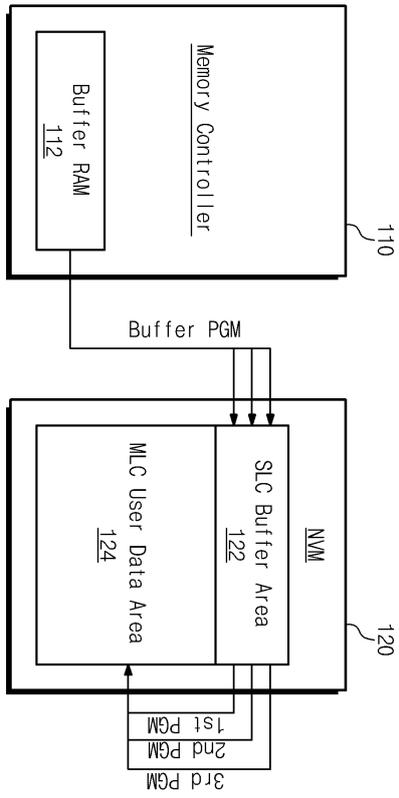
- [0256] 1st PGM: 제 1 프로그래밍
- 2nd PGM: 제 2 프로그래밍
- 3rd PGM: 제 3 프로그래밍
- 10, 20, 30, 40, 50, 60, 70, 80: 메모리 시스템
- 110, 210, 310, 410, 510, 610, 710, 810: 메모리 제어기
- 111, 528: 에러 정정 회로
- 112: 버퍼 램
- 120: 비휘발성 메모리 장치
- 122: SLC 버퍼 영역
- 124: 사용자 데이터
- 124_1: 소스 워드라인
- 124_2: 타겟 워드라인
- 126: 페이지 버퍼

도면

도면1



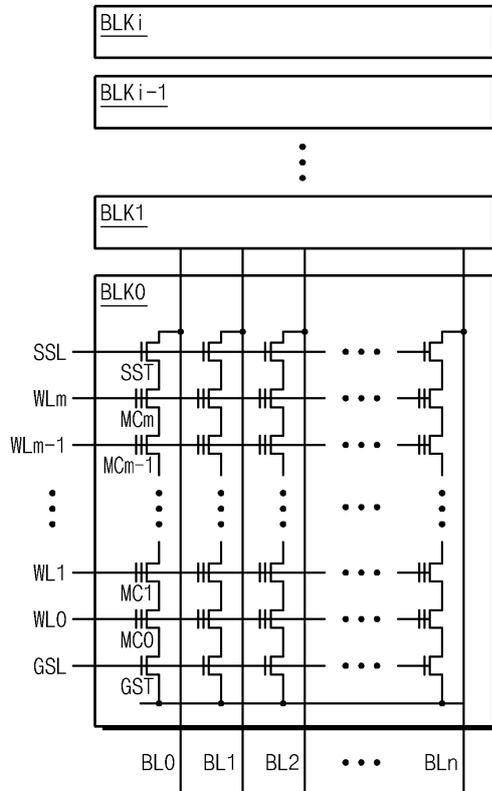
도면2



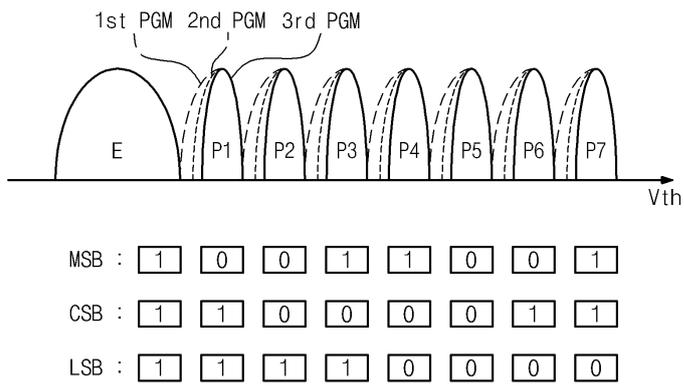
10

도면3

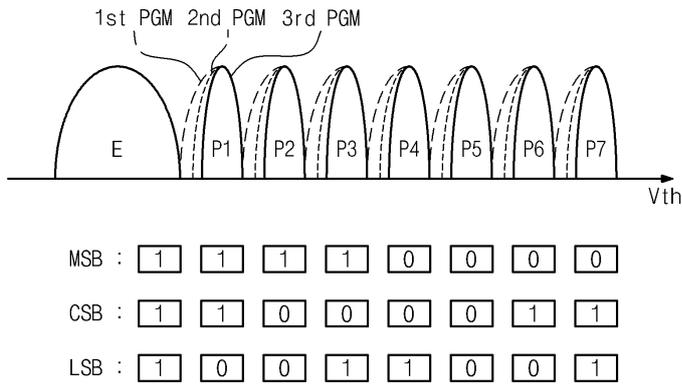
124



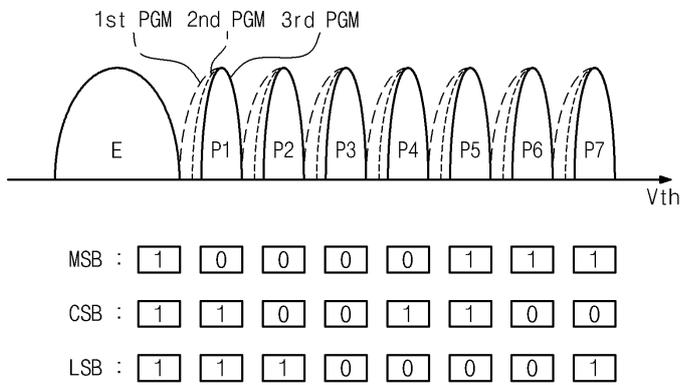
도면4a



도면4b



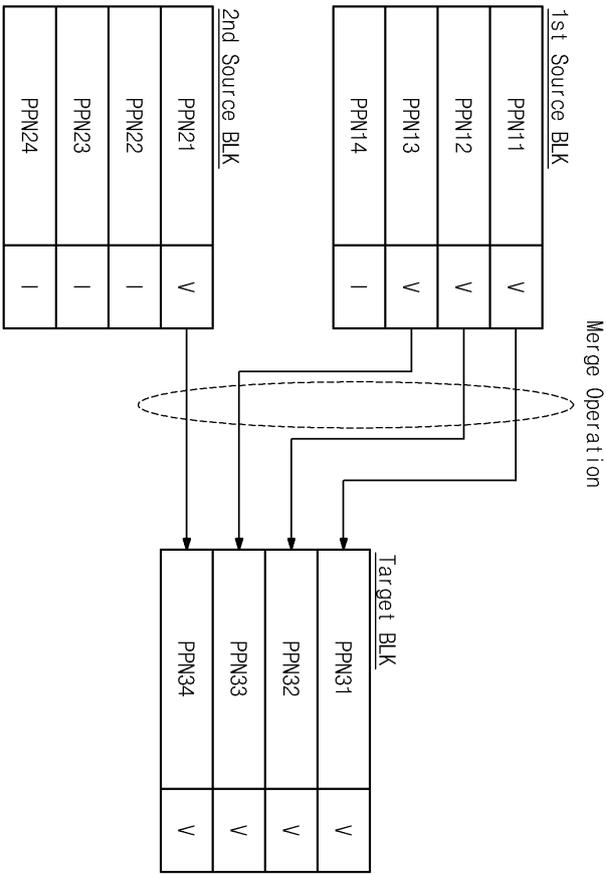
도면4c



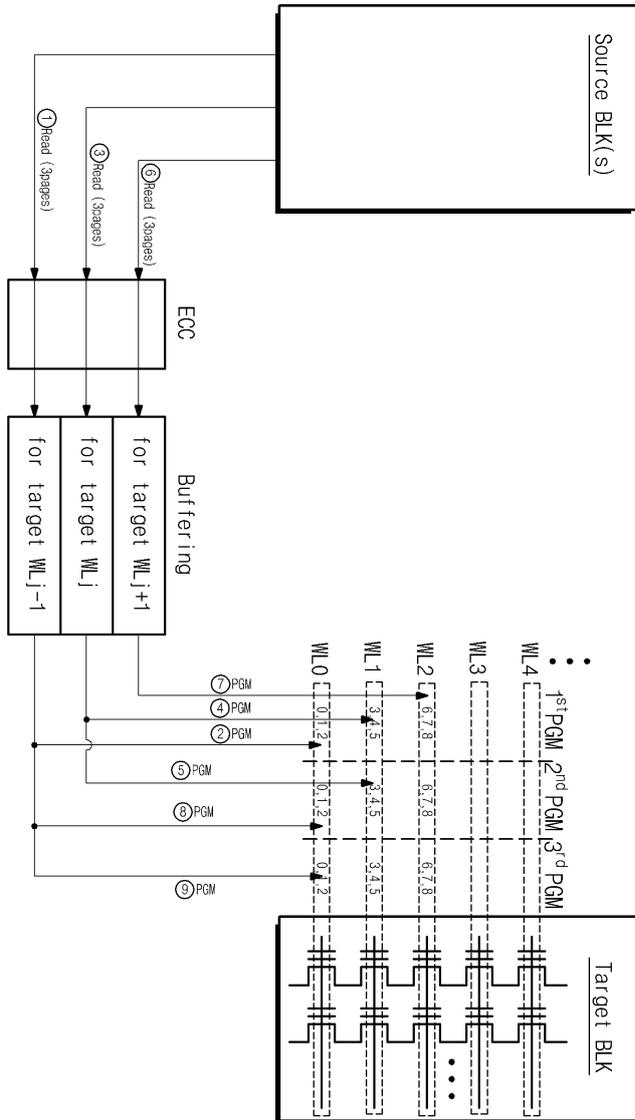
도면5

	1st PGM	2nd PGM	3rd PGM
⋮	⋮	⋮	⋮
WL2	6,7,8	6,7,8	6,7,8
WL1	3,4,5	3,4,5	3,4,5
WL0	0,1,2	0,1,2	0,1,2

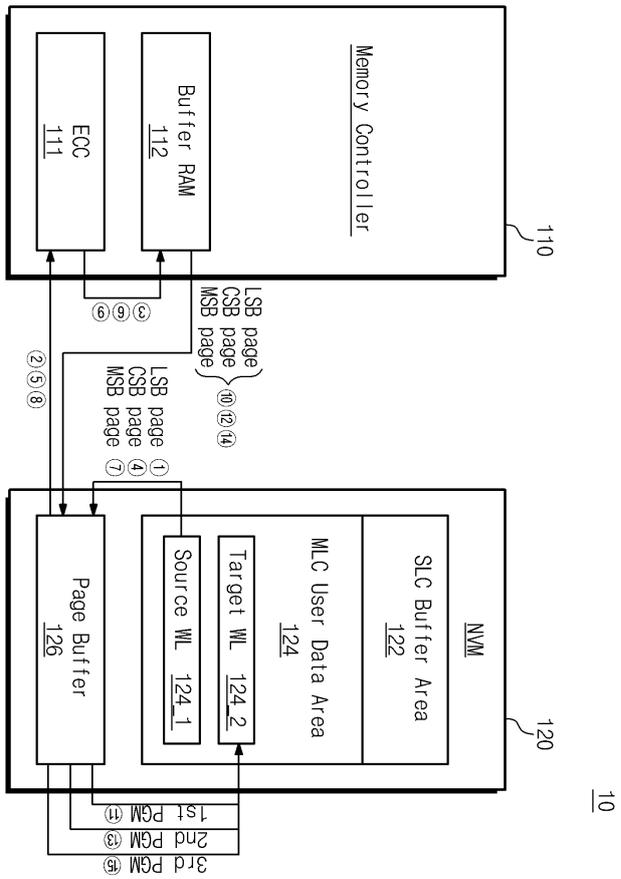
도면6



도면7

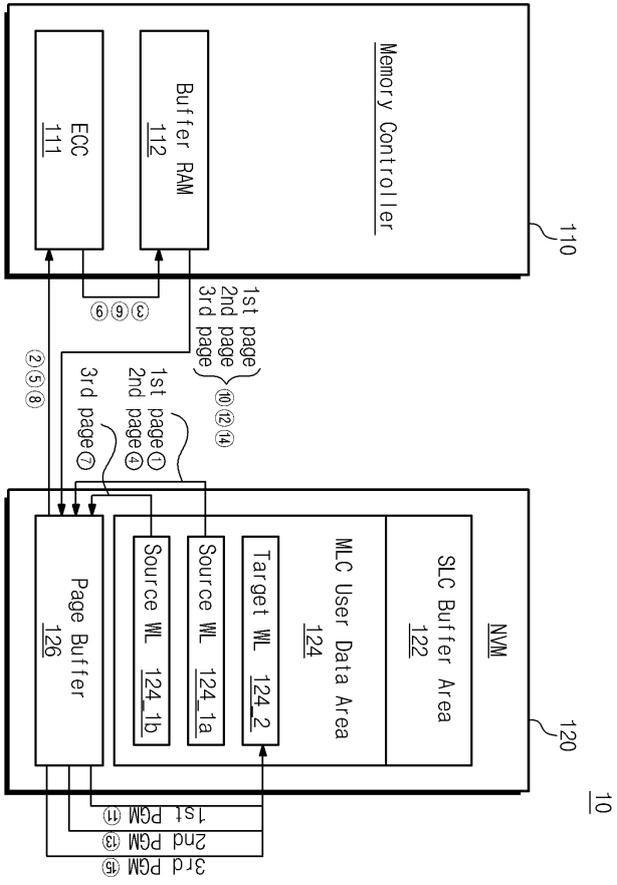


도면8a

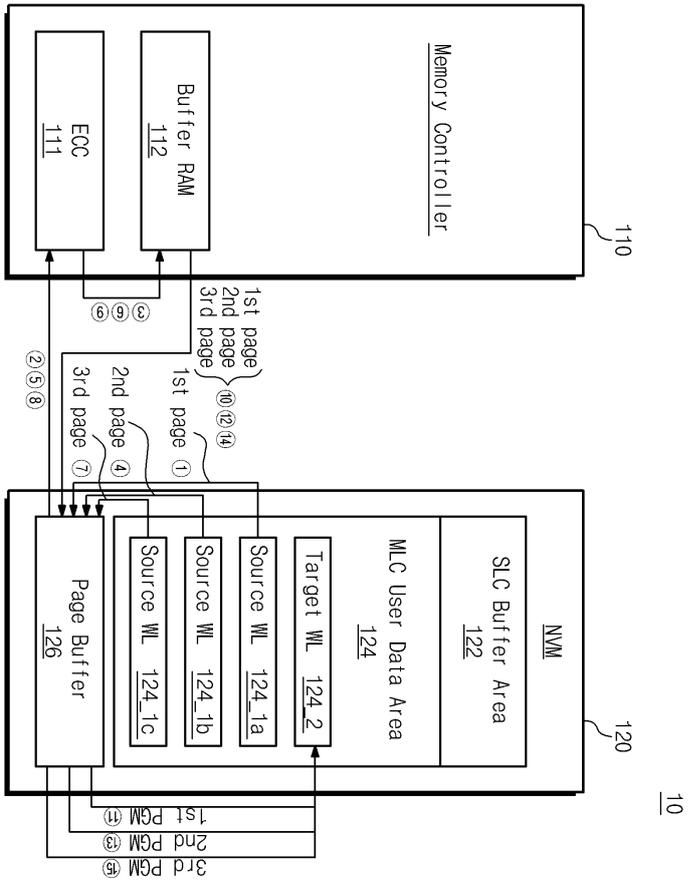


10

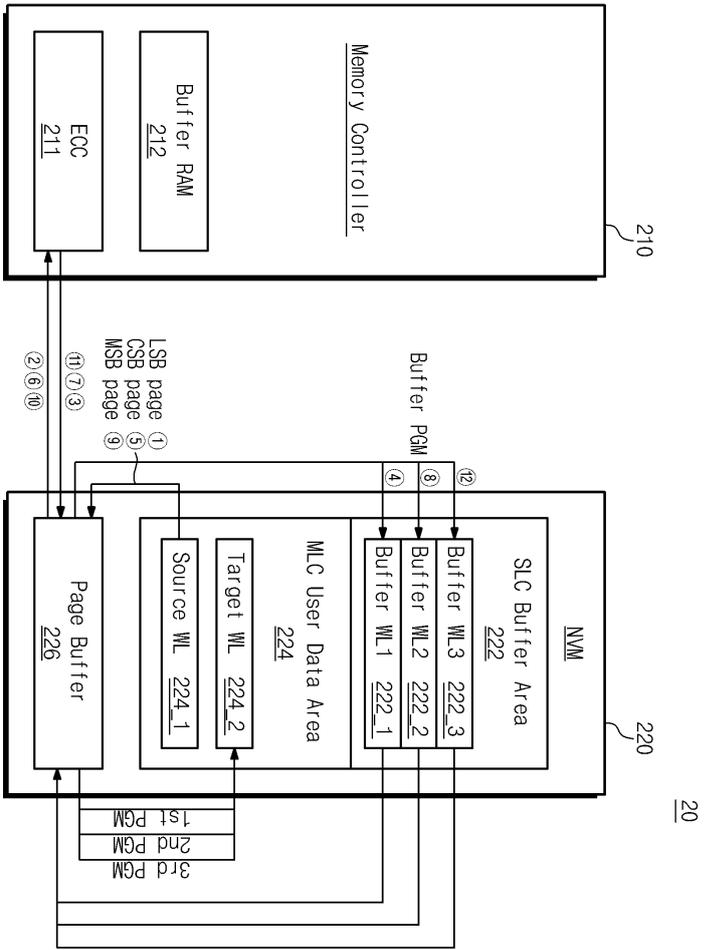
도면8b



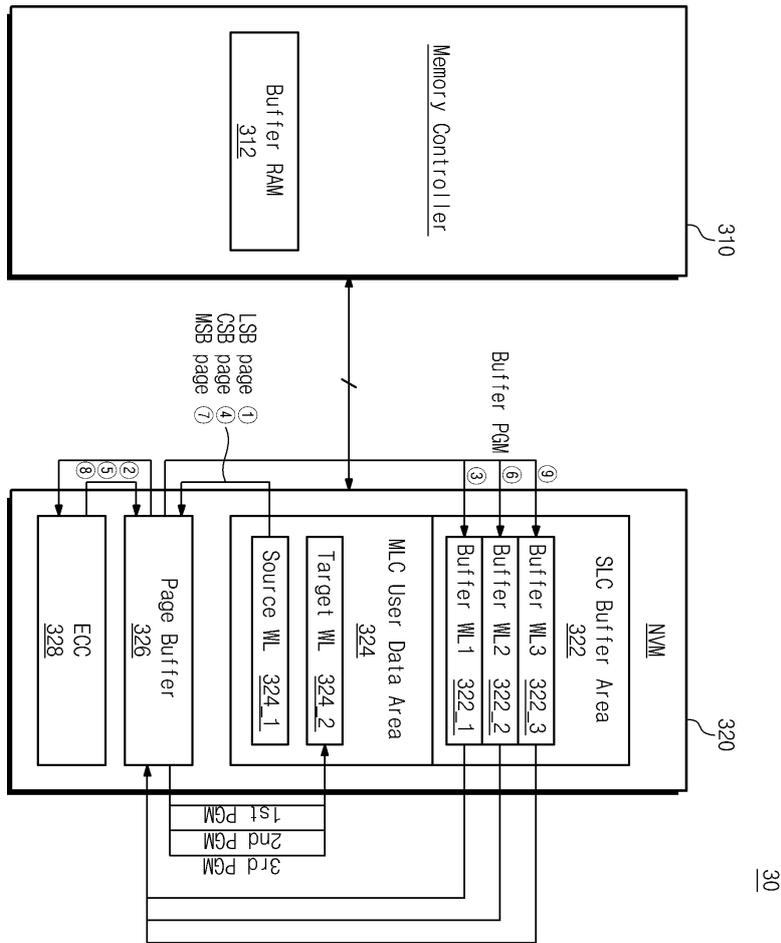
도면8c



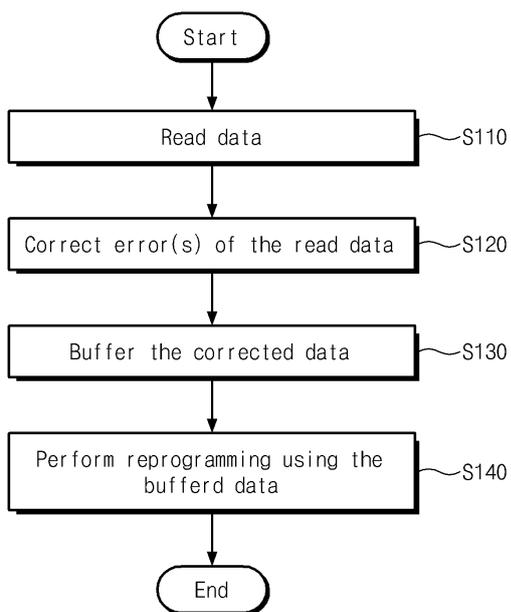
도면9



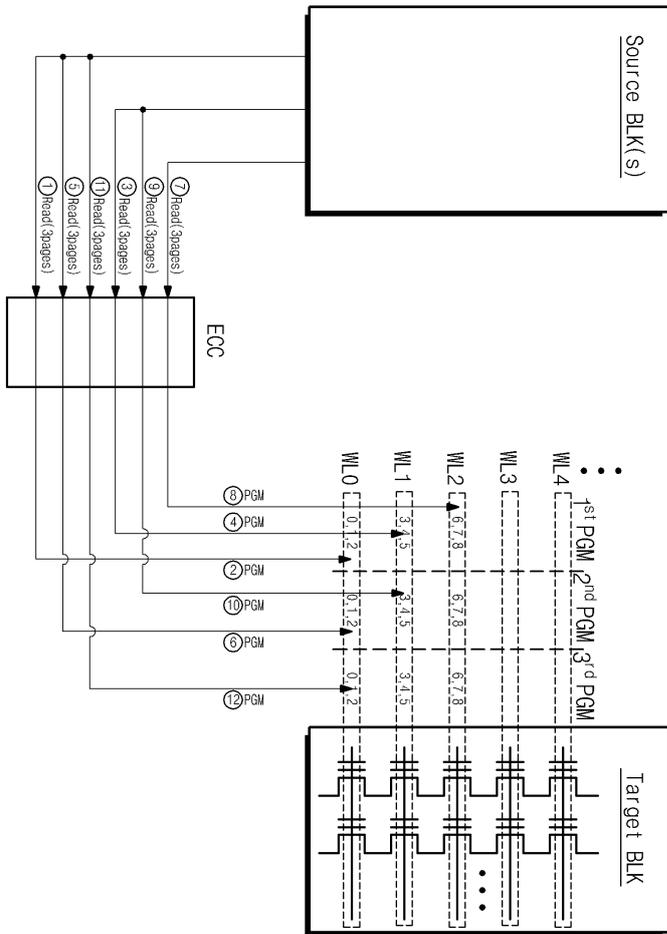
도면10



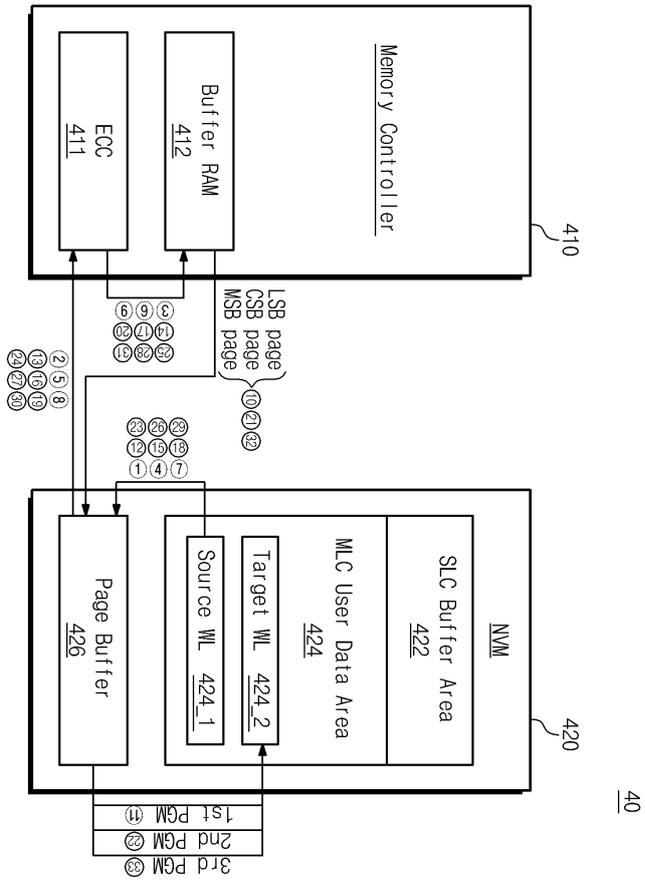
도면11



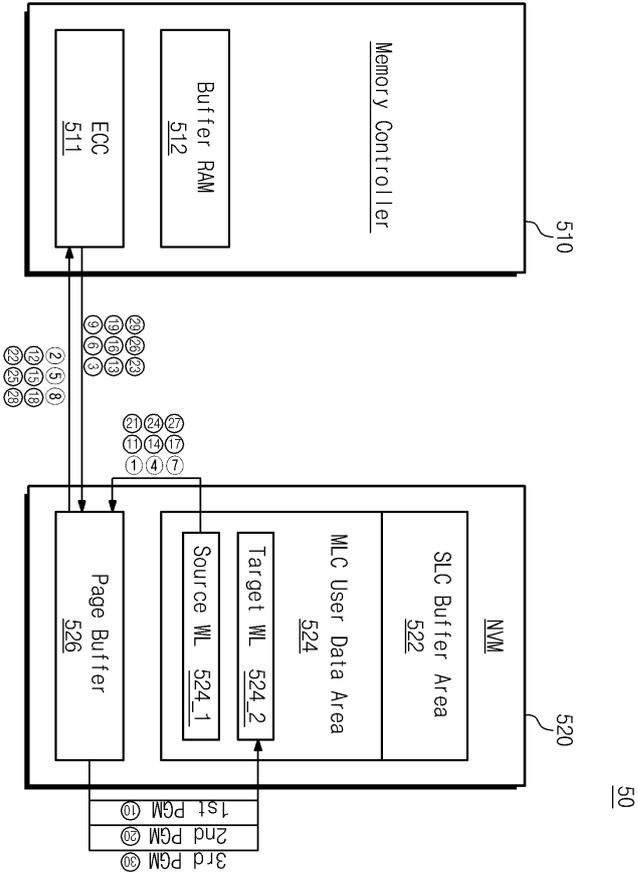
도면12



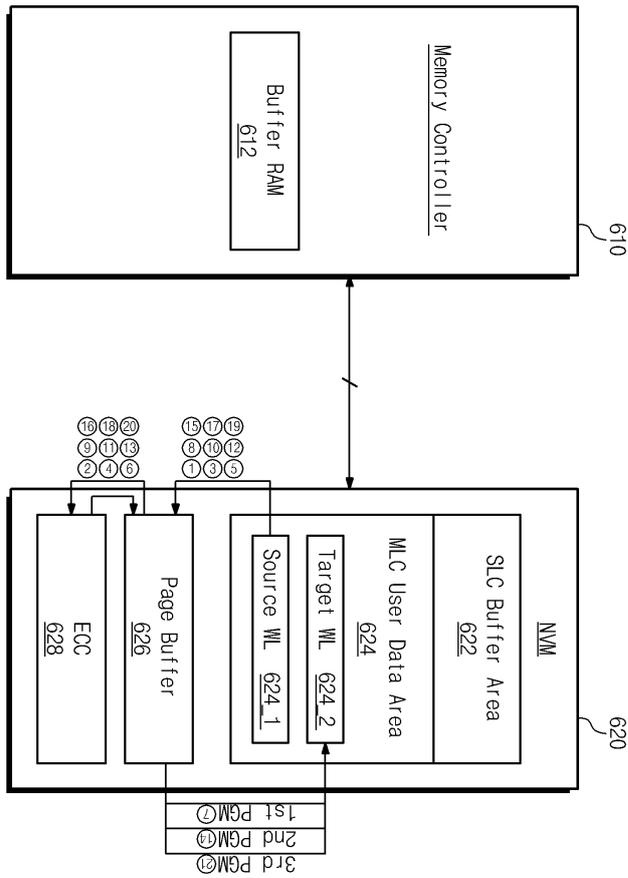
도면13



도면14

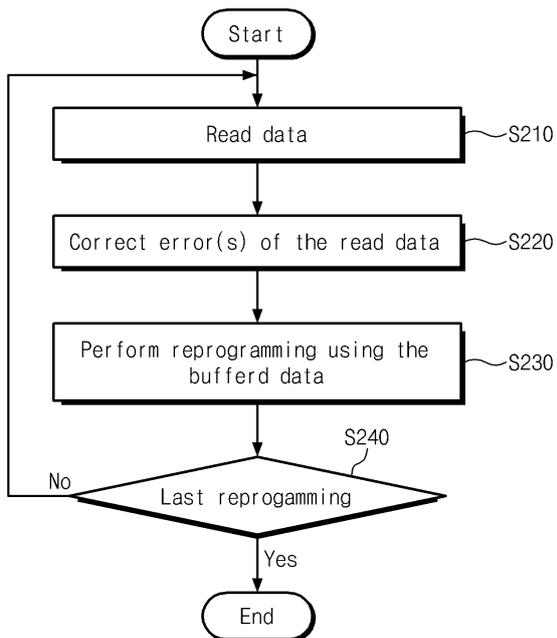


도면15

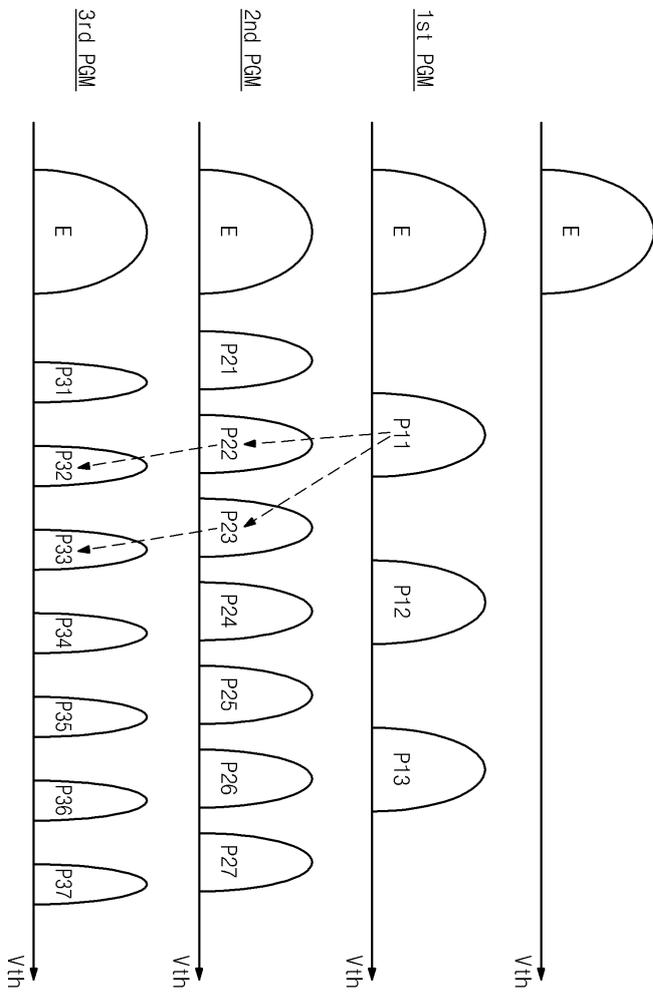


60

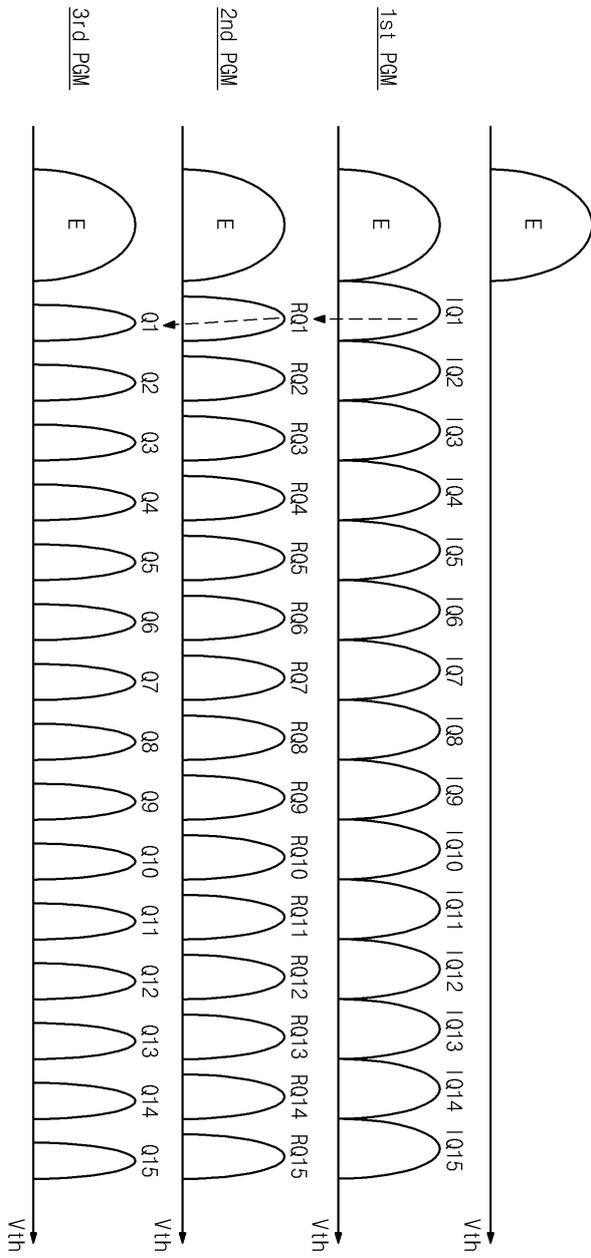
도면16



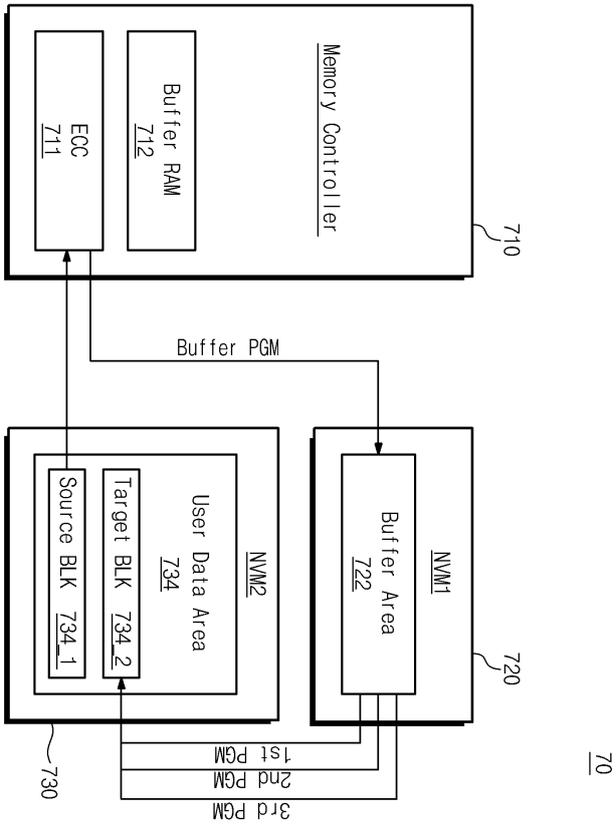
도면17



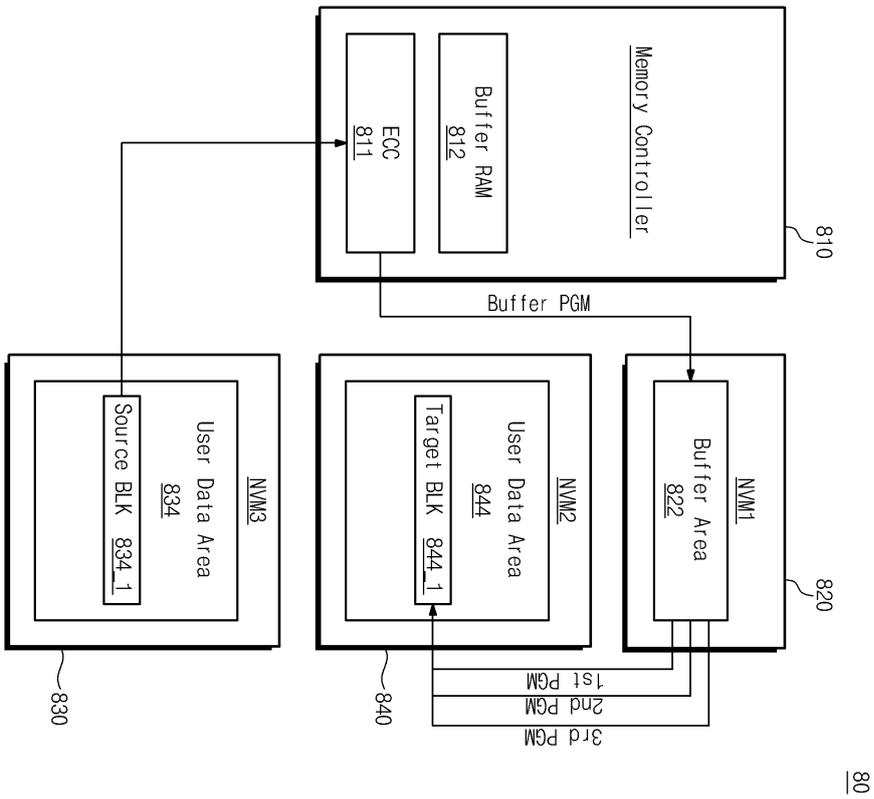
도면18



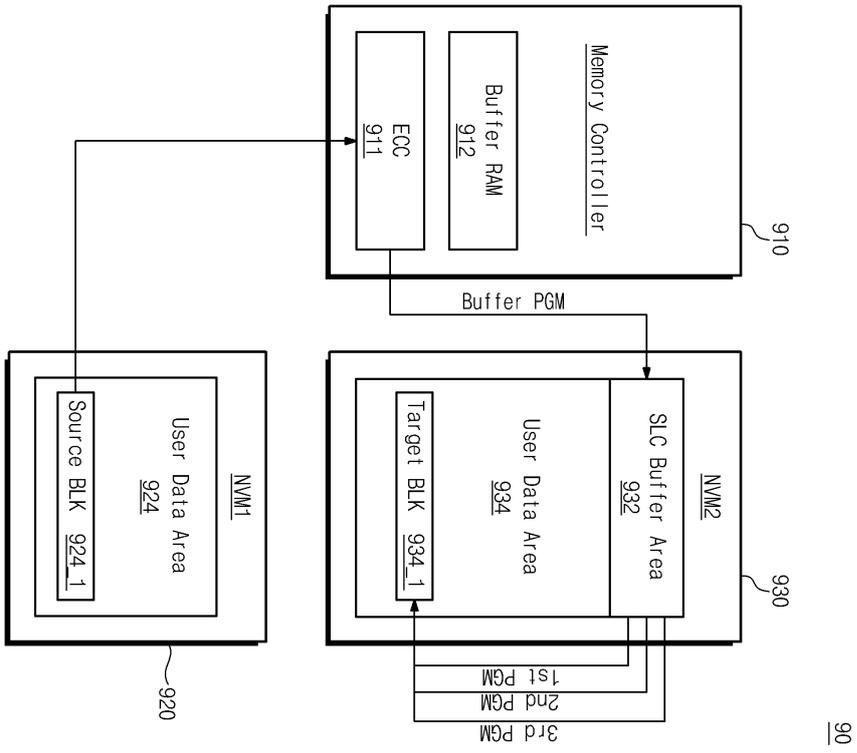
도면19



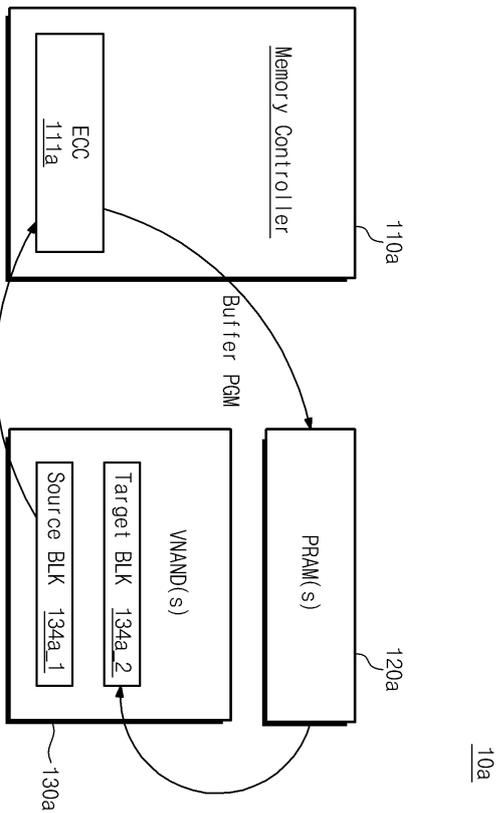
도면20



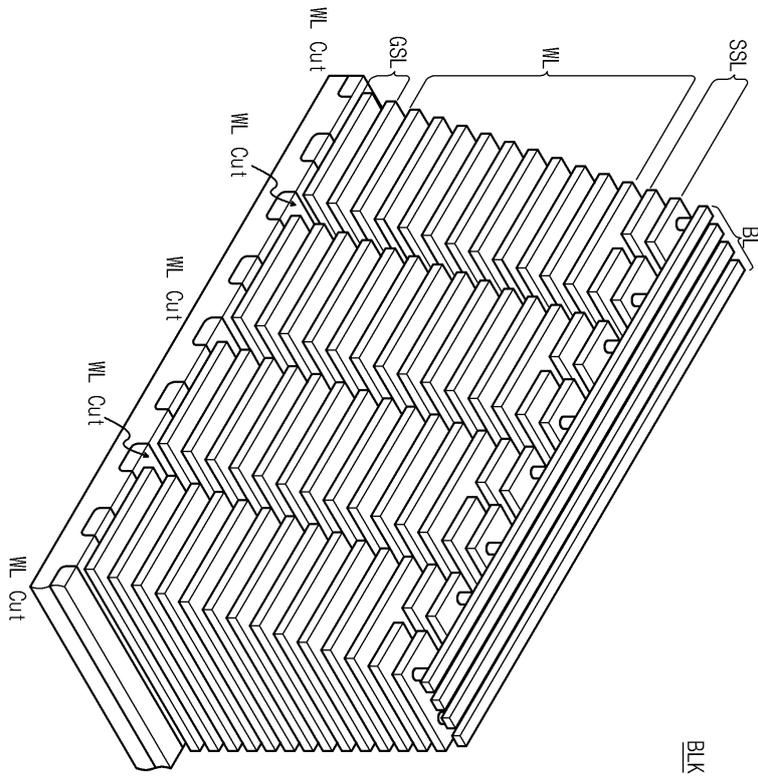
도면21



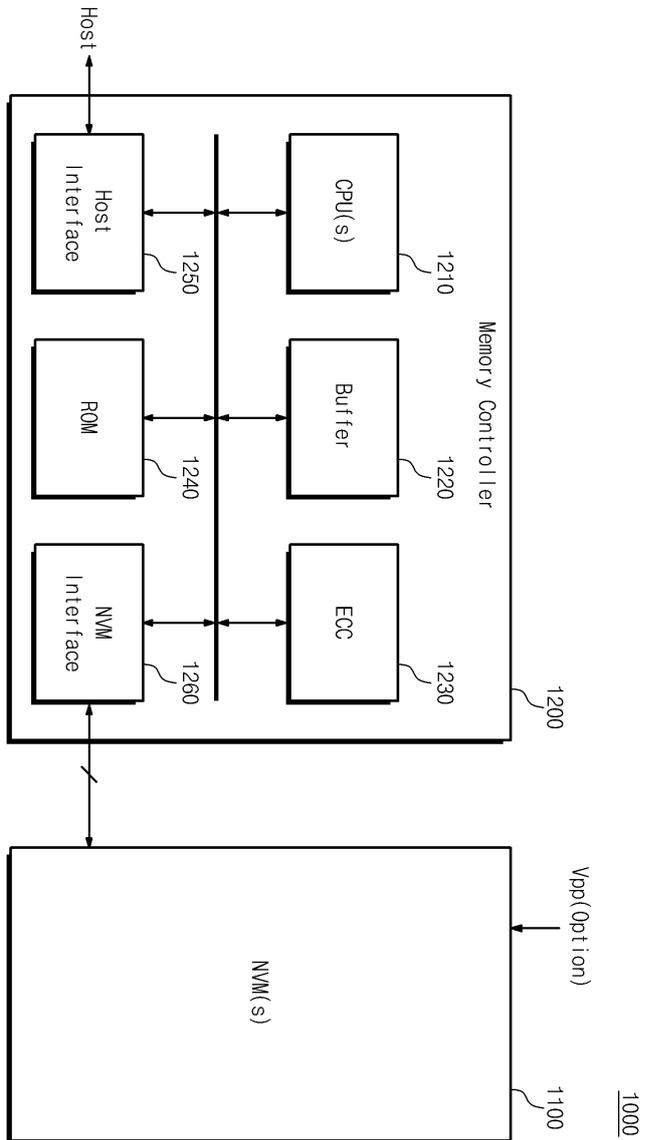
도면22



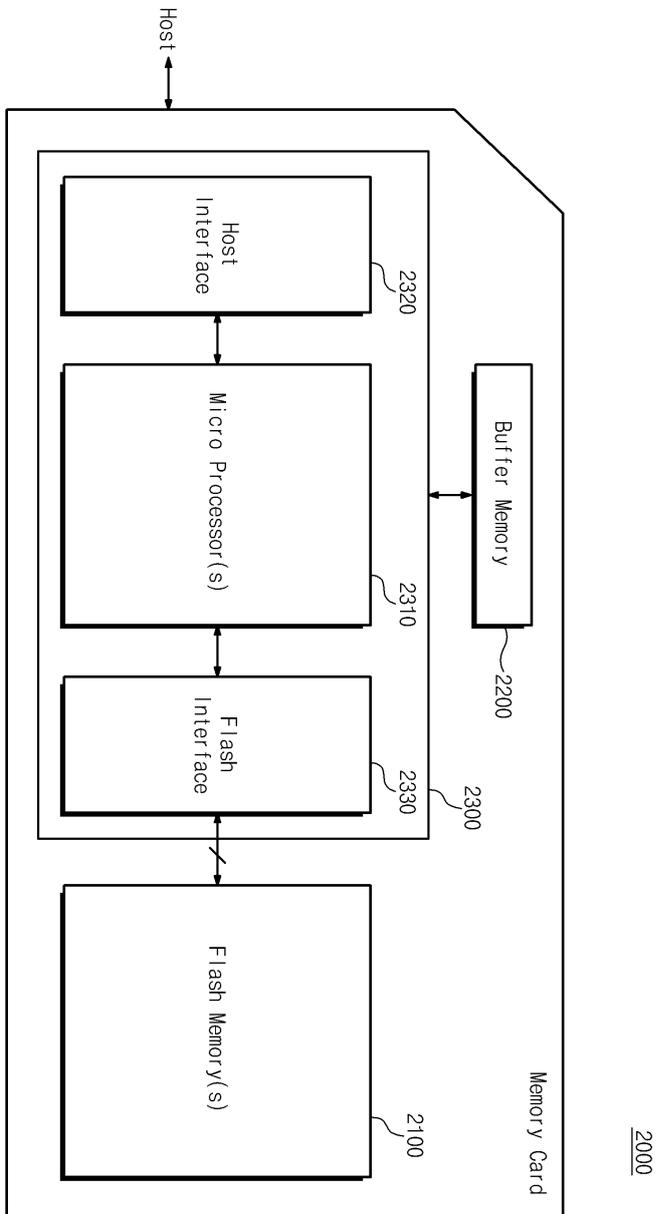
도면23



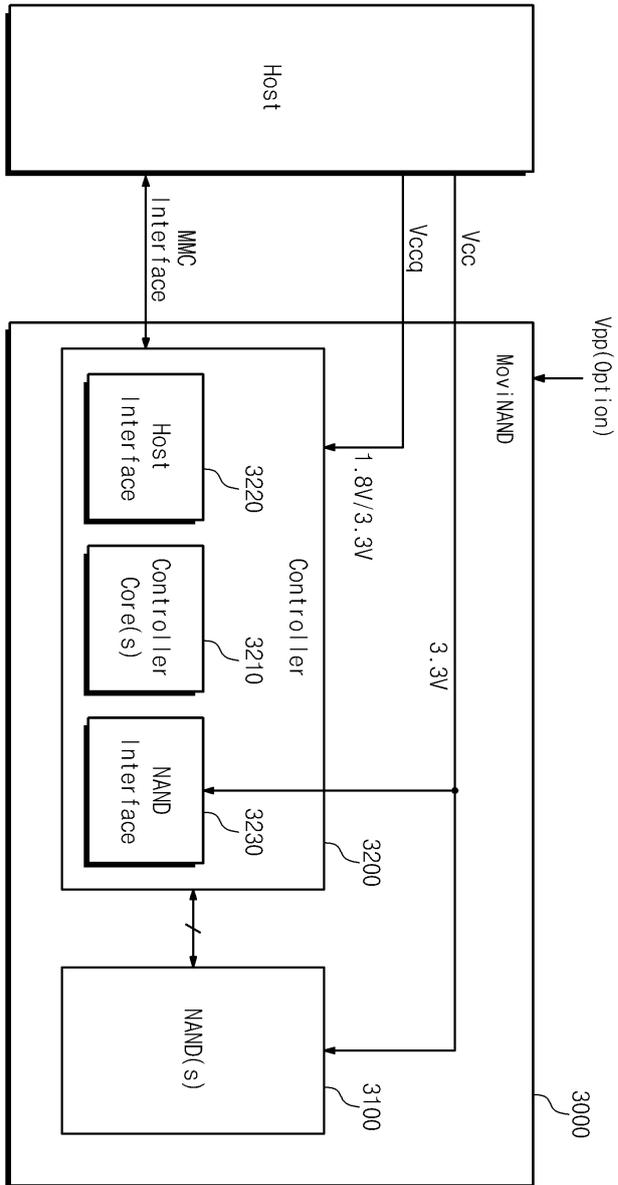
도면24



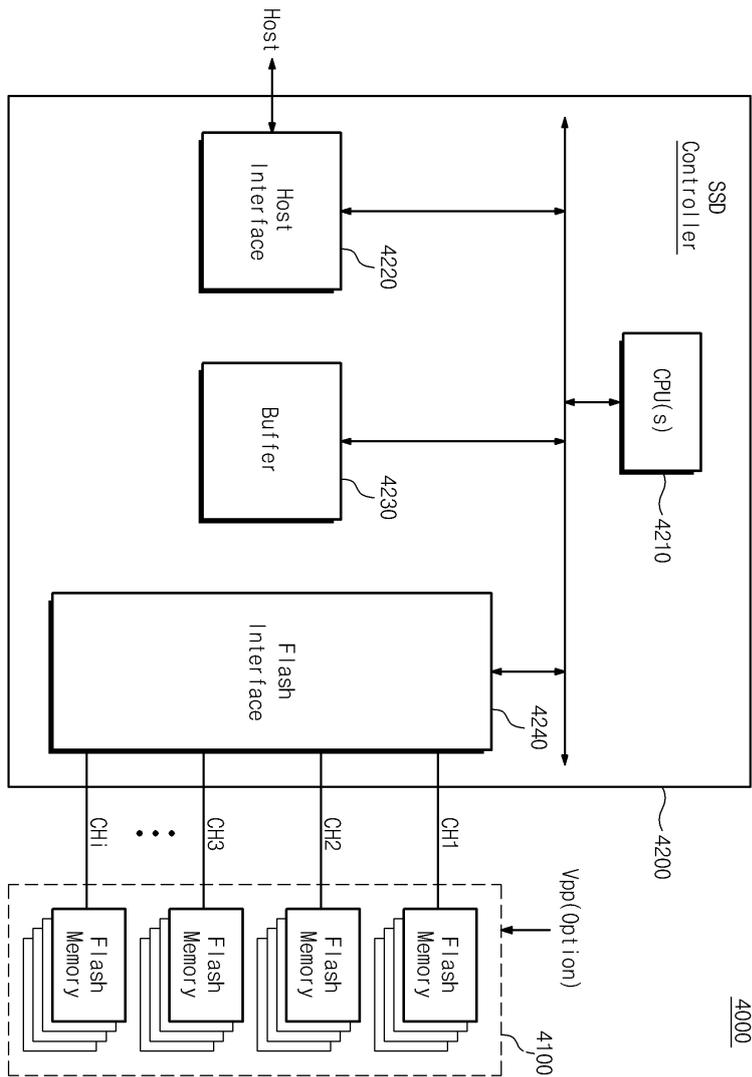
도면25



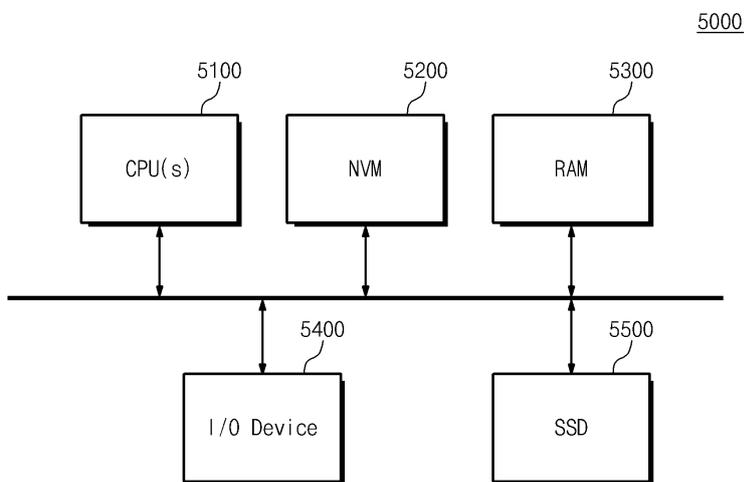
도면26



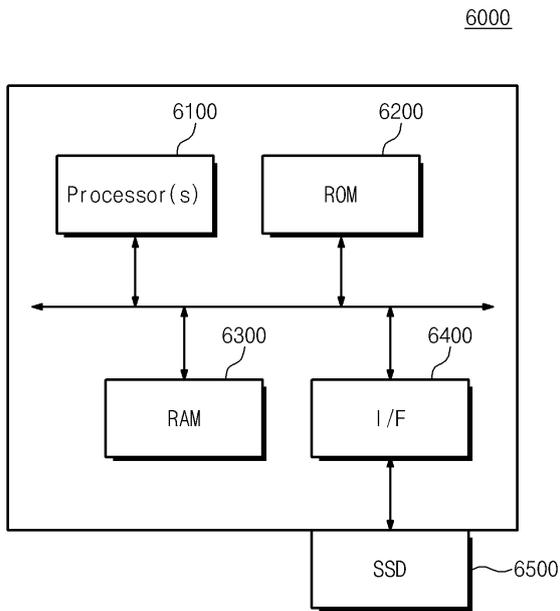
도면27



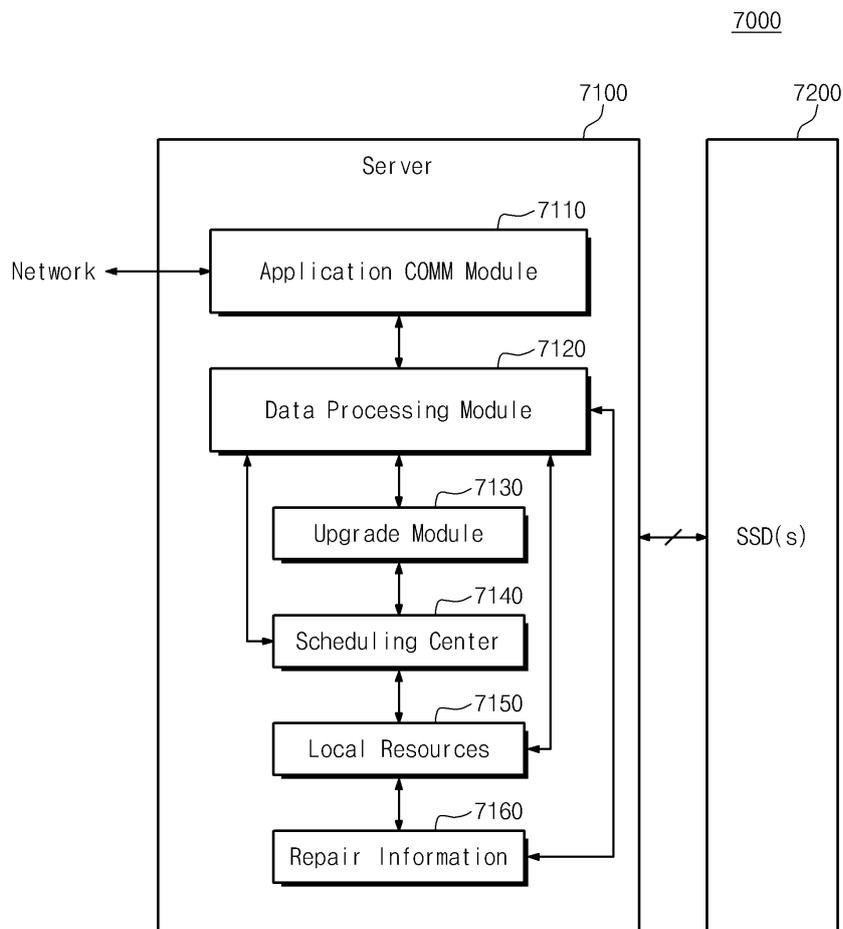
도면28



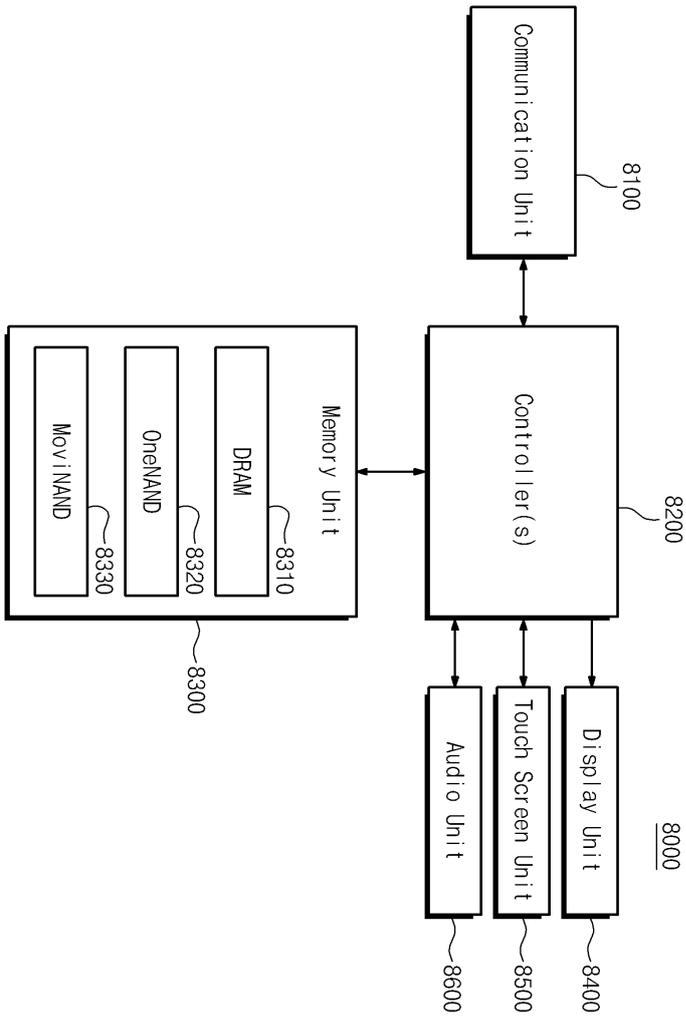
도면29



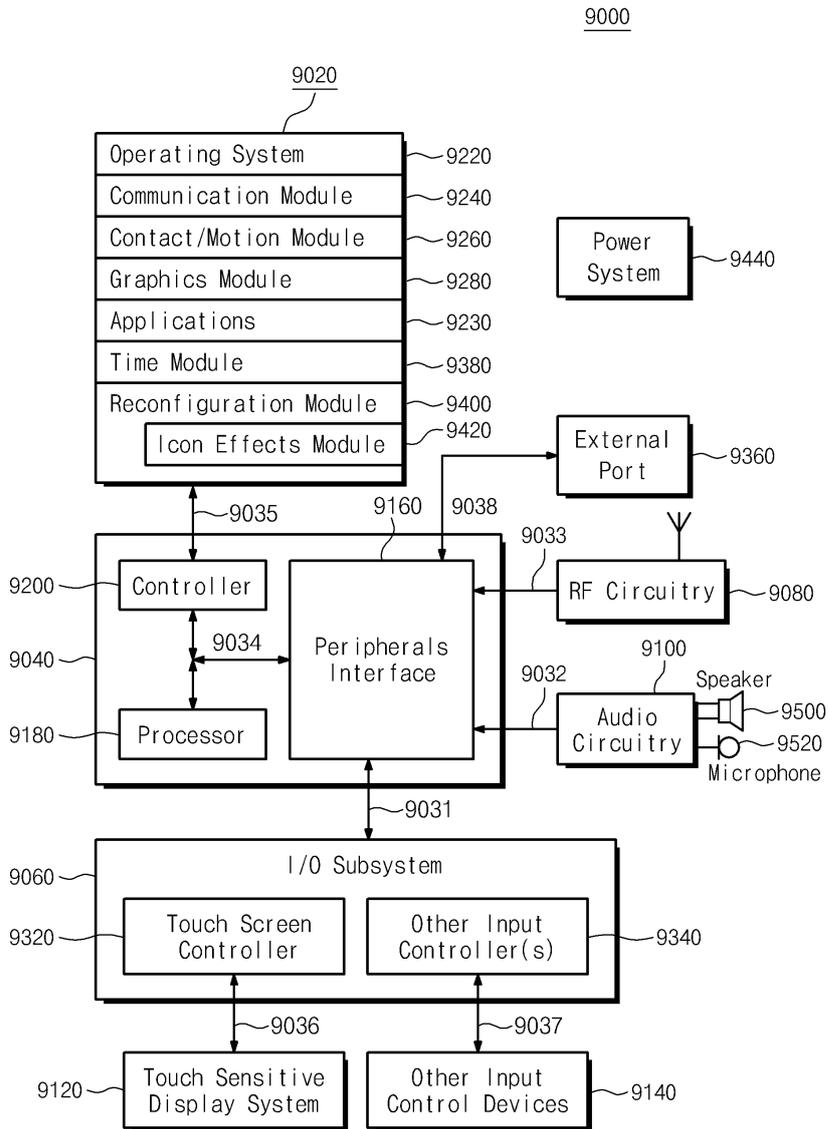
도면30



도면31



도면32



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 제3항

【변경전】

상기 동일한 데이터 비트보다

【변경후】

상기 동일한 멀티 비트보다