



(10) **DE 10 2014 107 271 A1** 2015.11.26

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2014 107 271.5**

(22) Anmeldetag: **23.05.2014**

(43) Offenlegungstag: **26.11.2015**

(51) Int Cl.: **H01L 25/07 (2006.01)**

H01L 23/522 (2006.01)

H01L 23/482 (2006.01)

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(72) Erfinder:
Arens, Andre, 59602 R then, DE

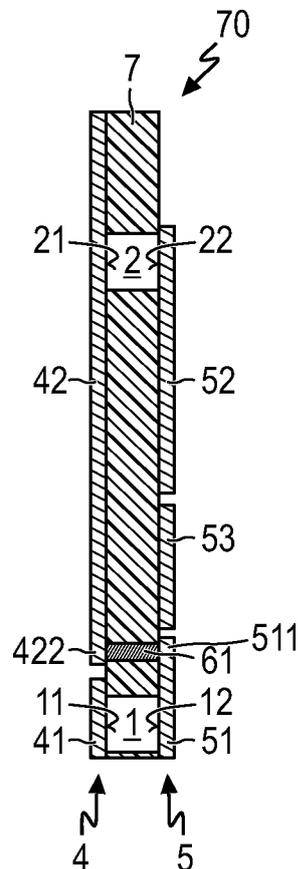
(74) Vertreter:
**Westphal, Musgnug & Partner Patentanw lte mit
beschr nkter Berufshaftung, 80331 M nchen, DE**

Pr fungsantrag gem   § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **HALBLEITERMODUL**

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleitermodul (10), das eine Leiterplatte (10) aufweist, wenigstens einen in die Leiterplatte (10) eingebetteten ersten Halbleiterchip (1) und wenigstens einen in die Leiterplatte (10) eingebetteten zweiten Halbleiterchip (2). Jeder erste Halbleiterchip (1) weist einen ersten Lastanschluss (11) und einen zweiten Lastanschluss (12) auf, und jeder zweite Halbleiterchip (2) weist einen ersten Lastanschluss (21) und einen zweiten Lastanschluss (22) auf. Die Leiterplatte (10) umfasst au erdem eine strukturierte erste Metallisierungsschicht (4), die einen ersten Abschnitt (41) und einen zweiten Abschnitt (42) aufweist, sowie eine strukturierte zweite Metallisierungsschicht (5), die einen ersten Abschnitt (51), einen zweiten Abschnitt (52) und einen dritten Abschnitt (53) aufweist. Der erste Abschnitt (51) der zweiten Metallisierungsschicht (5) besitzt eine kammf rmige Struktur mit mehreren ersten Forts tzen (511), und der zweite Abschnitt (42) der ersten Metallisierungsschicht (4) besitzt eine kammf rmige Struktur mit mehreren zweiten Forts tzen (422). Der erste Abschnitt (51) der zweiten Metallisierungsschicht (5) und der zweite Abschnitt (42) der ersten Metallisierungsschicht (4) sind dadurch elektrisch leitend miteinander verbunden, dass die Leiterplatte (10) eine Anzahl erster Durchkontaktierungen (61) aufweist, von denen eine jede sowohl an einem der ersten Forts tze (511) mit dem ersten Abschnitt (51) der zweiten Metallisierungsschicht (5) als auch an einem der zweiten Forts tze (422) mit dem zweiten Abschnitt (42) der ersten Metallisierungsschicht (4) dauerhaft elektrisch leitend verbunden ist.



Beschreibung

[0001] Bei herkömmlichen Halbleitermodulen werden häufig Halbleiterchips verwendet, die jeweils zwei Lastanschlüsse aufweisen, welche auf einander entgegengesetzten Seiten des betreffenden Halbleiterchips angeordnet sind. Zu ihrer elektrischen Verschaltung werden die Halbleiterchips auf einem Trägersubstrat montiert. Hierzu werden sie an einem ihrer Lastanschlüsse an eine Metallisierung des Trägersubstrats gelötet, während der andere der Lastanschlüsse durch einen oder mehrere Bonddrähte angeschlossen wird. Unter anderem aufgrund der Verwendung von Bonddrähten besitzen derartige Halbleitermodule eine hohe Induktivität, die während des Betriebs des Halbleitermoduls zu unerwünschten Überspannungen führen kann.

[0002] Die Aufgabe der vorliegenden Erfindung besteht darin, ein niederinduktives Halbleitermodul bereitzustellen. Diese Aufgabe wird durch ein Halbleitermodul gemäß Patentanspruch 1 gelöst.

[0003] Ein derartiges Halbleitermodul weist eine Leiterplatte mit einer strukturierten ersten Metallisierungsschicht und einer strukturierten zweiten Metallisierungsschicht auf, sowie wenigstens einen in die Leiterplatte eingebetteten ersten Halbleiterchip und wenigstens einen in die Leiterplatte eingebetteten zweiten Halbleiterchip. Die erste Metallisierungsschicht besitzt einen ersten Abschnitt und einen zweiten Abschnitt, und die zweite Metallisierungsschicht einen ersten Abschnitt, einen zweiten Abschnitt und einen dritten Abschnitt. Von den ersten Halbleiterchips und von den zweiten Halbleiterchips weist ein jeder einen ersten Lastanschluss und einen zweiten Lastanschluss auf. Weiterhin besitzt der erste Abschnitt der zweiten Metallisierungsschicht eine kammförmige Struktur mit mehreren ersten Fortsätzen, und der zweite Abschnitt der ersten Metallisierungsschicht besitzt eine kammförmige Struktur mit mehreren zweiten Fortsätzen.

[0004] Um den ersten Abschnitt der zweiten Metallisierungsschicht und den zweiten Abschnitt der ersten Metallisierungsschicht elektrisch leitend miteinander zu verbinden, weist die Leiterplatte eine Anzahl erster Durchkontaktierungen auf, von denen eine jede sowohl an einem der ersten Fortsätze mit dem ersten Abschnitt der zweiten Metallisierungsschicht als auch an einem der zweiten Fortsätze mit dem zweiten Abschnitt der ersten Metallisierungsschicht dauerhaft elektrisch leitend verbunden ist.

[0005] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die beigefügten Figuren erläutert. Es zeigen:

[0006] Fig. 1 ein Schaltbild einer Halbleiteranordnung mit einem Halbleitermodul und einem Zwischenkreismodul.

[0007] Fig. 2A eine Draufsicht auf ein Halbleitermodul.

[0008] Fig. 2B eine Schnittansicht des Halbleitermoduls gemäß Fig. 2A in einer Schnittebene E1-E1.

[0009] Fig. 2C eine Schnittansicht des Halbleitermoduls gemäß Fig. 2A in einer Schnittebene E2-E2.

[0010] Fig. 3 eine Draufsicht die erste Metallisierungsschicht der Leiterplatte des Halbleitermoduls gemäß Fig. 2A.

[0011] Fig. 4 eine Draufsicht die zweite Metallisierungsschicht der Leiterplatte des Halbleitermoduls gemäß Fig. 2A.

[0012] Fig. 5 eine Schnittansicht einer Halbleitermodulanordnung mit einem Halbleitermodul gemäß Fig. 2B und einem an diesem angeschlossenen Zwischenkreismodul.

[0013] Sofern nicht anders angegeben, bezeichnen in den Figuren gleiche Bezugszeichen gleiche oder gleichwirkende Elemente.

[0014] Fig. 1 zeigt ein Schaltbild einer Halbleitermodulanordnung mit einem Halbleitermodul **10** und einem Zwischenkreismodul **20**. Das Halbleitermodul **10** weist eine Halbbrückenschaltung mit wenigstens einem ersten Halbleiterchip **1** und wenigstens einem zweiten Halbleiterchip **2**. Im Fall von mehr als einem ersten Halbleiterchip **1** sind die ersten Halbleiterchips **1** elektrisch parallel geschaltet. Entsprechend sind die zweiten Halbleiterchips **2** im Fall von mehr als einem zweiten Halbleiterchip **2** elektrisch parallel geschaltet. In dem gezeigten Beispiel sind die ersten Halbleiterchips **1** und die zweiten Halbleiterchips **2** als MOSFETs ausgebildet. Ebenso könnten die ersten Halbleiterchips **1** und die zweiten Halbleiterchips **2** auch als IGBTs ausgebildet sein, als Thyristoren, oder als beliebige andere steuerbare Halbleiterbauelemente, oder als Dioden. Prinzipiell kann die Menge der ersten und zweiten Halbleiterchips **1, 2** aber verschiedene Typen von Halbleiterbauelementen enthalten.

[0015] Jeder der ersten Halbleiterchips **1** weist einen ersten Lastanschluss **11** und einen zweiten Lastanschluss **12** auf. Auch jeder der zweiten Halbleiterchips **2** weist einen ersten Lastanschluss **21** und einen zweiten Lastanschluss **22** auf. Bei dem ersten und zweiten Lastanschluss eines ersten oder zweiten Halbleiterchips kann es sich beispielsweise um einen Drain-Anschluss und einen Source-Anschluss dieses Halbleiterchips handeln, oder um ei-

nen Source-Anschluss und einen Drain-Anschluss, oder um einen Emitter-Anschluss und einen Kollektor-Anschluss, oder um einen Kollektor-Anschluss und einen Emitter-Anschluss, oder um einen Anoden-Anschluss und einen Kathoden-Anschluss, oder um einen Kathoden-Anschluss und einen Anoden-Anschluss.

[0016] Optional können die ersten Halbleiterchips **1** jeweils noch einen Steueranschluss **13** aufweisen, und/oder die zweiten Halbleiterchips **2** können optional jeweils noch einen Steueranschluss **23** aufweisen. Bei solchen Steueranschlüssen **13**, **23** kann es sich um Gate- oder Basisanschlüsse handeln. Mit Hilfe der Steueranschlüsse kann eine zwischen dem ersten und zweiten Lastanschluss desselben Halbleiterchips ausgebildete Laststrecke eingeschaltet (= elektrisch leitender Zustand) werden, oder ausgeschaltet (= elektrisch sperrender Zustand).

[0017] Im Fall von zwei oder mehr ersten Halbleiterchips **1** sind deren erste Lastanschlüsse **11** elektrisch leitend miteinander verbunden, und auch deren zweite Lastanschlüsse **12** sind elektrisch leitend miteinander verbunden. Soweit die mindestens zwei ersten Halbleiterchips **1** dabei jeweils einen Steueranschluss **13** aufweisen, sind auch diese elektrisch leitend miteinander verbunden (in **Fig. 1** der Übersichtlichkeit halber nicht gezeigt). Alternativ kann jedem der Steueranschlüsse **13** auch ein Gatewiderstand vorgeschaltet sein. In diesem Fall werden die Steueranschlüsse **13** nicht direkt über eine oder mehrere niederohmige Verbindungsleitungen miteinander verbunden, sondern diejenigen Anschlüsse der Gatewiderstände, die elektrisch dem zugehörigen Steueranschluss **13** abgewandt sind.

[0018] Entsprechend sind im Fall von zwei oder mehr zweiten Halbleiterchips **2** deren erste Lastanschlüsse **21** elektrisch leitend miteinander verbunden, und auch deren zweite Lastanschlüsse **22** sind elektrisch leitend miteinander verbunden. Soweit die mindestens zwei zweiten Halbleiterchips **2** dabei jeweils einen Steueranschluss **23** aufweisen, sind auch diese elektrisch leitend miteinander verbunden (in **Fig. 1** der Übersichtlichkeit halber nicht gezeigt). Alternativ kann jedem der Steueranschlüsse **23** auch ein Gatewiderstand vorgeschaltet sein. In diesem Fall werden die Steueranschlüsse **23** nicht direkt über eine oder mehrere niederohmige Verbindungsleitungen miteinander verbunden, sondern diejenigen Anschlüsse der Gatewiderstände, die elektrisch dem zugehörigen Steueranschluss **13** abgewandt sind.

[0019] Unabhängig davon, wie viele erste Halbleiterchips **1** und wie viele zweite Halbleiterchips **2** vorhanden sind, sind die ersten Lastanschlüsse **21** der zweiten Halbleiterchips **2** mit den zweiten Lastanschlüssen **12** der ersten Halbleiterchips **1** miteinander sowie mit einem Phasenausgang Ph elektrisch

leitend verbunden. Hierdurch entsteht eine Halbbrückenschaltung, zu deren Betrieb die ersten Lastanschlüsse **11** der ersten Halbleiterchips **1** an ein erstes elektrisches Versorgungspotential V1 und die zweiten Lastanschlüsse **22** der zweiten Halbleiterchips **2** an ein vom ersten elektrischen Versorgungspotential V1 verschiedenes zweites elektrisches Versorgungspotential V2 angeschlossen werden können. Bei dem Ausführungsbeispiel gemäß **Fig. 1** ist V1 größer als V2, allerdings kann V1 – je nach Art der ersten und zweiten Halbleiterchips **1**, **2**, – grundsätzlich auch kleiner als V2 gewählt werden.

[0020] Sind die Laststrecken eines, mehrerer oder sämtlicher erster Halbleiterchips **1** eingeschaltet und zugleich die Laststrecken sämtlicher zweiter Halbleiterchips **2** ausgeschaltet, so liegt an dem Phasenausgang Ph (abgesehen von einem geringen Spannungsabfall über den Laststrecken der ersten Halbleiterchips **1**) das erste Versorgungspotential V1 an. Entsprechend umgekehrt liegt an dem Phasenausgang Ph (abgesehen von einem geringen Spannungsabfall über den Laststrecken der zweiten Halbleiterchips **2**) das zweite Versorgungspotential V2 an, wenn die Laststrecken eines, mehrerer oder sämtlicher zweiter Halbleiterchips **2** eingeschaltet und zugleich die Laststrecken sämtlicher erster Halbleiterchips **1** ausgeschaltet sind.

[0021] Das Zwischenkreiskondensatormodul **20** weist einen oder mehrere Kondensatoren C auf, die im Fall von wenigstens zwei Kondensatoren C elektrisch parallel geschaltet sind. Das Zwischenkreiskondensatormodul **20** ist elektrisch dadurch an das Halbleitermodul **10** angeschlossen, dass von den beiden Anschlüssen dieser Parallelschaltung ist einer an die ersten Lastanschlüsse **11** sämtlicher erster Halbleiterchips **1** angeschlossen ist, und der andere an die zweiten Lastanschlüsse **22** sämtlicher zweiter Halbleiterchips **2**.

[0022] **Fig. 2A** zeigt eine Draufsicht auf ein Halbleitermodul **10**, das zum Beispiel eine Schaltung enthalten kann, wie sie bezugnehmend auf **Fig. 1** erläutert wurde. Das Halbleitermodul **10** weist eine Leiterplatte auf, in die sämtliche ersten Halbleiterchips **1** und sämtliche zweiten Halbleiterchips **2** eingebettet sind. In der Ansicht gemäß **Fig. 2A** sind die Positionen der ersten und zweiten Halbleiterchips **1**, **2** verdeckt und deshalb nur gestrichelt dargestellt. Die **Fig. 2B** und **Fig. 2C** zeigen Schnittansichten des Halbleitermoduls **10** gemäß **Fig. 2A** in Schnittebenen E1-E1 bzw. E2-E2.

[0023] Das Halbleitermodul **10** weist eine Leiterplatte **70** mit einer ersten Metallisierungsschicht **4** und einer zweiten Metallisierungsschicht **5** auf, sowie ein zwischen der ersten Metallisierungsschicht **4** und der zweiten Metallisierungsschicht **5** angeordnetes Dielektrikum **7**. Die ersten Halbleiterchips **1** und die

zweiten Halbleiterchips **2** sind ebenfalls zwischen der ersten Metallisierungsschicht **4** und der zweiten Metallisierungsschicht **5** angeordnet und damit in die Leiterplatte **70** eingebettet. Außerdem weist die Leiterplatte **70** eine optionale Durchgangsöffnung **15** zur Aufnahme einer Befestigungsschraube auf. Die erste Metallisierungsschicht **4** und/oder die zweite Metallisierungsschicht **5** können, jeweils optional, als ebene Schicht ausgebildet sein.

[0024] Jeder der ersten Halbleiterchips **1** weist einen ersten Lastanschluss **11** und einen zweiten Lastanschluss **12** auf, die an einander entgegengesetzten Seiten des betreffenden ersten Halbleiterchips **1** angeordnet sind. Entsprechend weist jeder zweite Halbleiterchip **2** einen ersten Lastanschluss **21** und einen zweiten Lastanschluss **22** auf. Die ersten Lastanschlüsse **11** und **21** befinden sich jeweils an der der ersten Metallisierungsschicht **4** zugewandten Seite des betreffenden Halbleiterchips **1, 2**, und die zweiten Lastanschlüsse **12** und **22** jeweils an der der zweiten Metallisierungsschicht **5** zugewandten Seite des betreffenden Halbleiterchips **1, 2**.

[0025] Die erste Metallisierungsschicht **4** weist mindestens zwei Abschnitte auf, nämlich einen ersten Abschnitt **41** und einen zweiten Abschnitt **42**. Außerdem weist die zweite Metallisierungsschicht **5** mindestens drei Abschnitte auf, nämlich einen ersten Abschnitt **51**, einen zweiten Abschnitt **52** und einen dritten Abschnitt **53**. Die Abschnitte **41, 42, 51, 52, 53** sind jeweils zusammenhängend. Das bedeutet, dass zwei beliebige Stellen des betreffenden, zusammenhängenden Abschnitts elektrisch leitend miteinander verbunden sind. Weiterhin sind verschiedene der Abschnitte **41, 42, 51, 52, 53** voneinander beabstandet und nicht oder zumindest nicht dauerhaft elektrisch leitend miteinander verbunden.

[0026] Der zweite Lastanschluss **12** eines jeden ersten Halbleiterchips **1** ist mit dem ersten Abschnitt **51** der zweiten Metallisierungsschicht **5** dauerhaft elektrisch leitend verbunden, der erste Lastanschluss **21** eines jeden zweiten Halbleiterchips **2** ist mit dem zweiten Abschnitt **42** der ersten Metallisierungsschicht **4** dauerhaft elektrisch leitend verbunden. Um die Parallelschaltung der Laststrecken der ersten Halbleiterchips **1** mit der Parallelschaltung der Laststrecken der zweiten Halbleiterchips **2** wie in **Fig. 1** gezeigt in Reihe zu schalten, sind die zweiten Lastanschlüsse **12** der ersten Halbleiterchips **1** und die ersten Lastanschlüsse **21** der zweiten Halbleiterchips **2** dauerhaft elektrisch leitend miteinander verbunden, was mit Hilfe einer Mehrzahl von ersten Durchkontaktierungen **61** erfolgt, die jeweils den zweiten Abschnitt **42** der ersten Metallisierungsschicht **4** und den ersten Abschnitt **51** der zweiten Metallisierungsschicht **5** dauerhaft elektrisch leitend miteinander verbinden.

[0027] Hierzu weist der erste Abschnitt **51** der zweiten Metallisierungsschicht **5** eine kammförmige Struktur mit mehreren ersten Fortsätzen **511** auf, und der zweite Abschnitt **42** der ersten Metallisierungsschicht **4** weist ebenfalls eine kammförmige Struktur mit mehreren zweiten Fortsätzen **422** auf. Eine jede der ersten Durchkontaktierungen **61** ist zwischen einem der ersten Fortsätze **511** und einem der zweiten Fortsätze **422** angeordnet und dabei an diesen Fortsätzen **511** und **422** an die zweite Metallisierungsschicht **5** bzw. an die erste Metallisierungsschicht **4** angeschlossen. Jeweils einer der ersten Fortsätze **511** und einer der zweiten Fortsätze **422** bilden ein Paar, so dass eine Mehrzahl, beispielsweise wenigstens **3**, wenigstens **4** oder wenigstens **5**, verschiedene Paare (**511; 422**) vorliegen, zwischen denen jeweils eine andere der ersten Durchkontaktierungen **61** angeordnet und an den Fortsätzen **511** und **422** dieses Paares mit dem ersten Abschnitt **51** der zweiten Metallisierungsschicht **5** bzw. mit dem zweiten Abschnitt **42** der ersten Metallisierungsschicht **4** dauerhaft elektrisch leitend verbunden ist. Indem die mit Hilfe der ersten Durchkontaktierungen **61** realisierte, dauerhaft elektrisch leitende Verbindung zwischen dem ersten Abschnitt **51** der zweiten Metallisierungsschicht **5** bzw. mit dem zweiten Abschnitt **42** der ersten Metallisierungsschicht **4** an den deren die jeweilige kammförmige Struktur bildenden Fortsätzen **511** bzw. **422** erfolgt, entsteht eine sehr niederinduktive elektrische Verbindung zwischen den zweiten Lastanschlüssen **12** der ersten Halbleiterchips **1** und den ersten Lastanschlüssen **21** der zweiten Halbleiterchips **2**.

[0028] Optional kann das Halbleitermodul **10** noch eine weitere, mit Hilfe von Durchkontaktierungen und kammförmigen Strukturen realisierte dauerhaft elektrisch leitende Verbindung zwischen einem Abschnitt der ersten Metallisierungsschicht **4** und einem Abschnitt der zweiten Metallisierungsschicht **5** aufweisen, wie dies beispielhaft zwischen dem ersten Abschnitt **41** der ersten Metallisierungsschicht **4** und dem dritten Abschnitt **53** der zweiten Metallisierungsschicht **5** der Fall ist.

[0029] Hierzu weist der erste Abschnitt **41** der ersten Metallisierungsschicht **4** eine kammförmige Struktur mit mehreren dritten Fortsätzen **413** auf, und der dritte Abschnitt **53** der zweiten Metallisierungsschicht **5** weist eine kammförmige Struktur mit mehreren vierten Fortsätzen **534** auf. Eine jede der zweiten Durchkontaktierungen **62** ist zwischen einem der dritten Fortsätze **413** und einem der vierten Fortsätze **534** angeordnet und dabei an diesen Fortsätzen **534** und **413** an die zweite Metallisierungsschicht **5** bzw. an die erste Metallisierungsschicht **4** angeschlossen. Jeweils einer der dritten Fortsätze **413** und einer der vierten Fortsätze **534** bilden ein Paar, so dass eine Mehrzahl, beispielsweise wenigstens **3**, wenigstens **4** oder wenigstens **5**, verschiedene Paare (**413;**

534) vorliegen, zwischen denen jeweils eine andere der zweiten Durchkontaktierungen **62** angeordnet und an den Fortsätzen **534** und **413** dieses Paares mit dem dritten Abschnitt **53** der zweiten Metallisierungsschicht **5** bzw. mit dem ersten Abschnitt **41** der ersten Metallisierungsschicht **4** dauerhaft elektrisch leitend verbunden ist.

[0030] In **Fig. 2A** sind außerdem noch – jeweils gepunktet – Montagefläche für die Montage von elektrischen Anschlusslaschen (zum Beispiel von Anschlusslaschen **65, 66**, wie sie bezugnehmend auf **Fig. 5** noch erläutert werden) dargestellt, an denen die Anschlusslaschen auf der zweiten Metallisierungsschicht **5** montiert werden können.

[0031] **Fig. 3** zeigt nur die erste Metallisierungsschicht **4** mit ihren ersten und zweiten Abschnitten **41** bzw. **42** in Draufsicht. Entsprechend zeigt **Fig. 4** nur die zweite Metallisierungsschicht **5** mit ihren ersten, zweiten und dritten Abschnitten **51, 52** bzw. **53**, ebenfalls in Draufsicht. Die Blickrichtungen der **Fig. 3** und **Fig. 4** sind dabei identisch mit der Blickrichtung gemäß **Fig. 2A**. Soweit sich in **Fig. 4** die zweite Metallisierungsschicht **5** nicht bis zum seitlichen Rand der Leiterplatte **70** erstreckt, ist dieser seitliche Rand anhand einer gestrichpunkteten mit Einfachstrichen und Doppelpunkten dargestellt. In beiden **Fig. 3** und **Fig. 4** sind außerdem die Positionen der ersten und zweiten Durchkontaktierungen **61** bzw. **62** anhand gestrichelter Kreise dargestellt.

[0032] Gemäß einer in **Fig. 3** dargestellten Option können die kammförmige Struktur des ersten Abschnitts **41** der ersten Metallisierungsschicht **4** und die kammförmige Struktur des zweiten Abschnitts **42** der ersten Metallisierungsschicht **4** ineinander greifen, wodurch die zweiten Fortsätze **422** und die dritten Fortsätze **413** entlang einer geraden Linie hintereinander angeordnet sind.

[0033] Entsprechend können gemäß einer in **Fig. 4** dargestellten Option die kammförmige Struktur des ersten Abschnitts **51** der zweiten Metallisierungsschicht **5** und die kammförmige Struktur des dritten Abschnitts **53** der zweiten Metallisierungsschicht **5** ineinander greifen, wodurch die ersten Fortsätze **511** und die vierten Fortsätze **534** entlang einer geraden Linie hintereinander angeordnet sind.

[0034] Durch die elektrisch leitende Verbindung zweier Abschnitte verschiedener (z. B. jeweils ebener, voneinander beabstandeter und parallel zueinander verlaufender) Metallisierungsschichten einer Leiterplatte sowie mit Hilfe von Durchkontaktierungen, die jeweils sowohl an einem Fortsatz einer kammartigen Struktur eines dieser Abschnitte an diesen einen Abschnitt als auch an einem Fortsatz einer kammartigen Struktur des anderen dieser Abschnitte an diesen anderen Abschnitt dauerhaft elek-

trisch leitend angeschlossen sind, lässt sich ein elektrisches Potential niederinduktiv von der einen Metallisierungsschicht in die andere Metallisierungsschicht transferieren. Hierdurch kann auf die Verwendung von Bonddrähten zur Herstellung einer elektrisch leitenden Verbindung der beiden Abschnitte verzichtet werden. Der Vorteil der niederinduktiven elektrisch leitenden Verbindung besteht darin, dass das Auftreten schädlicher Überspannungen, beispielsweise beim Abschalten eines die ersten oder zweiten Halbleiterchips **1, 2** durchfließenden elektrischen Stroms, vermieden werden kann.

[0035] Mit Hilfe derartiger elektrischer Verbindungen lässt sich zum Beispiel auch ein sehr einfacher Aufbau des Halbleitermoduls **10** erreichen. Beispielsweise kann eine Leiterplatte **70** nur genau zwei in verschiedenen Ebenen zueinander parallel verlaufende Metallisierungsschichten aufweisen. Grundsätzlich kann eine Leiterplatte **70** aber auch mehr als zwei in mindestens drei paarweise verschiedenen Ebenen angeordnete, zueinander parallel verlaufende Metallisierungsschichten **4, 5** aufweisen.

[0036] Bei den gezeigten Ausführungsbeispielen können die erste und/oder die zweite Metallisierungsschicht **4, 5**, beispielsweise zum Verschalten der Gateanschlüsse **13** und **23** (**Fig. 1**) noch weitere Leiterbahnen aufweisen, die jedoch in den Figuren der Übersichtlichkeit halber nicht dargestellt sind.

[0037] **Fig. 5** zeigt noch eine Halbleiteranordnung, bei der ein Zwischenkreiskondensatormodul **20** an das Halbleitermodul **10** gemäß **Fig. 2B** angeschlossen ist. Das Zwischenkreiskondensatormodul **20** weist eine weitere Leiterplatte **90** mit wenigstens einer strukturierten Metallisierungsschicht **8** auf einem dielektrischen Träger **9** auf. Die weitere Leiterplatte **90** ist mit einem oder mehreren Zwischenkreiskondensatoren **C** bestückt, die im Fall von mehreren Zwischenkreiskondensatoren **C** wie bezugnehmend auf **Fig. 1** erläutert elektrisch parallel geschaltet sein können.

[0038] Die elektrische Verbindung zwischen dem Halbleitermodul **10** und dem Zwischenkreiskondensatormodul **20** erfolgt mit Hilfe von wenigstens zwei Anschlusslaschen **65, 66** des Halbleitermoduls **10**, von denen eine jede an einem Ende stoffschlüssig und elektrisch leitend mit einem Abschnitt **52, 53** der zweiten Metallisierungsschicht **5** verbunden ist. An ihren anderen Enden können die Anschlusslaschen **65, 66**, jeweils auf beliebige Weise, beispielsweise durch Einpressen oder Einlöten, mit verschiedenen Abschnitten **81** bzw. **82** der Metallisierungsschicht **8** verbunden sein. Hierzu kann ein jeder der Abschnitte **81** und **82** eine Einpressöffnung oder Lötöffnung aufweisen. Alternativ zu einer weiteren Leiterplatte **90** kann die elektrische Verbindung der bestückten ersten Leiterplatte **70** mit dem oder den Zwischenkreis-

kondensatoren C auch mit Hilfe einer metallischen Verschiebung erfolgen, die wenigstens zwei Blechstreifen enthält.

Patentansprüche

1. Halbleitermodul (10), das aufweist:
eine Leiterplatte (10) mit einer strukturierten ersten Metallisierungsschicht (4), die einen ersten Abschnitt (41) und einen zweiten Abschnitt (42) aufweist, sowie mit einer strukturierten zweiten Metallisierungsschicht (5), die einen ersten Abschnitt (51), einen zweiten Abschnitt (52) und einen dritten Abschnitt (53) aufweist;

wenigstens einen in die Leiterplatte (10) eingebetteten ersten Halbleiterchip (1), von denen ein jeder einen ersten Lastanschluss (11) und einen zweiten Lastanschluss (12) aufweist;

wenigstens einen in die Leiterplatte (10) eingebetteten zweiten Halbleiterchip (2), von denen ein jeder einen ersten Lastanschluss (21) und einen zweiten Lastanschluss (22) aufweist;

wobei

der erste Abschnitt (51) der zweiten Metallisierungsschicht (5) eine kammförmige Struktur mit mehreren ersten Fortsätzen (511) aufweist;

der zweite Abschnitt (42) der ersten Metallisierungsschicht (4) eine kammförmige Struktur mit mehreren zweiten Fortsätzen (422) aufweist; und

der erste Abschnitt (51) der zweiten Metallisierungsschicht (5) und der zweite Abschnitt (42) der ersten Metallisierungsschicht (4) dadurch elektrisch leitend miteinander verbunden sind, dass die Leiterplatte (10) eine Anzahl erster Durchkontaktierungen (61) aufweist, von denen eine jede sowohl an einem der ersten Fortsätze (511) mit dem ersten Abschnitt (51) der zweiten Metallisierungsschicht (5) als auch an einem der zweiten Fortsätze (422) mit dem zweiten Abschnitt (42) der ersten Metallisierungsschicht (4) dauerhaft elektrisch leitend verbunden ist.

2. Halbleitermodul (10) nach Anspruch 1, bei dem ein jeder der ersten Halbleiterchips (1) und ein jeder der zweiten Halbleiterchips (2) zwischen der ersten Metallisierungsschicht (4) und der zweiten Metallisierungsschicht (5) angeordnet ist.

3. Halbleitermodul (10) nach Anspruch 1 oder 2, bei dem bei einem jeden der ersten Halbleiterchips (1)

dessen erster Lastanschluss (11) an der der ersten Metallisierungsschicht (4) zugewandten Seite des betreffenden ersten Halbleiterchips (1) angeordnet ist; und

dessen zweiter Lastanschluss (12) an der der zweiten Metallisierungsschicht (5) zugewandten Seite des betreffenden ersten Halbleiterchips (1) angeordnet ist.

4. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem bei einem jeden der zweiten Halbleiterchips (2)

dessen erster Lastanschluss (21) an der der ersten Metallisierungsschicht (4) zugewandten Seite des betreffenden zweiten Halbleiterchips (2) angeordnet ist; und

dessen zweiter Lastanschluss (22) an der der zweiten Metallisierungsschicht (5) zugewandten Seite des betreffenden zweiten Halbleiterchips (2) angeordnet ist.

5. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem

der zweite Lastanschluss (12) eines jeden ersten Halbleiterchips (1) mit dem ersten Abschnitt (51) der zweiten Metallisierungsschicht (5) dauerhaft elektrisch leitend verbunden ist; und/oder

der erste Lastanschluss (21) eines jeden zweiten Halbleiterchips (2) mit dem zweiten Abschnitt (42) der ersten Metallisierungsschicht (4) dauerhaft elektrisch leitend verbunden ist.

6. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem eine jede der ersten Durchkontaktierungen (61) zwischen einem anderen Paar (511, 422) aus jeweils einem der ersten Fortsätze (511) und einem der zweiten Fortsätze (422) angeordnet ist.

7. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem der zweite Abschnitt (42) der ersten Metallisierungsschicht (4) und der erste Abschnitt (51) der zweiten Metallisierungsschicht (5) nicht durch eine Drahtbondverbindung elektrisch leitend miteinander verbunden sind.

8. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem

der erste Lastanschluss (11) eines jeden der ersten Halbleiterchips (1) mit dem ersten Abschnitt (41) der ersten Metallisierungsschicht (4) dauerhaft elektrisch leitend verbunden ist; und/oder

der zweite Lastanschluss (22) eines jeden der zweiten Halbleiterchips (2) mit dem zweiten Abschnitt (52) der zweiten Metallisierungsschicht (5) dauerhaft elektrisch leitend verbunden ist.

9. Halbleitermodul (10) nach Anspruch 8, bei dem der erste Abschnitt (41) der ersten Metallisierungsschicht (4) eine kammförmige Struktur mit mehreren dritten Fortsätzen (413) aufweist;

der dritte Abschnitt (53) der zweiten Metallisierungsschicht (5) eine kammförmige Struktur mit mehreren vierten Fortsätzen (534) aufweist; und

der erste Abschnitt (41) der ersten Metallisierungsschicht (4) und der dritte Abschnitt (53) der zweiten Metallisierungsschicht (5) dadurch elektrisch leitend miteinander verbunden sind, dass die Leiterplatte (10) eine Anzahl zweiter Durchkontaktierungen

(62) aufweist, von denen eine jede sowohl an einem der dritten Fortsätze (413) mit dem ersten Abschnitt (41) der ersten Metallisierungsschicht (4) als auch an einem der vierten Fortsätze (534) mit dem dritten Abschnitt (53) der zweiten Metallisierungsschicht (5) dauerhaft elektrisch leitend verbunden ist.

10. Halbleitermodul (10) nach Anspruch 9, bei dem die kammförmige Struktur des ersten Abschnitts (41) der ersten Metallisierungsschicht (4) und die kammförmige Struktur des zweiten Abschnitts (42) der ersten Metallisierungsschicht (4) ineinander greifen; und/oder die kammförmige Struktur des ersten Abschnitts (51) der zweiten Metallisierungsschicht (5) und die kammförmige Struktur des dritten Abschnitts (53) der zweiten Metallisierungsschicht (5) ineinander greifen.

11. Halbleitermodul (10) nach einem der vorangehenden Ansprüche, bei dem der erste Abschnitt (41) der ersten Metallisierungsschicht (4) und der dritte Abschnitt (53) der zweiten Metallisierungsschicht (5) nicht durch eine Drahtbondverbindung elektrisch leitend miteinander verbunden sind.

12. Halbleitermodul nach einem der vorangehenden Ansprüche, bei dem die erste Metallisierungsschicht (4) als ebene Schicht ausgebildet ist; und/oder die zweite Metallisierungsschicht (5) als ebene Schicht ausgebildet ist.

Es folgen 4 Seiten Zeichnungen

Anhängende Zeichnungen

FIG 1

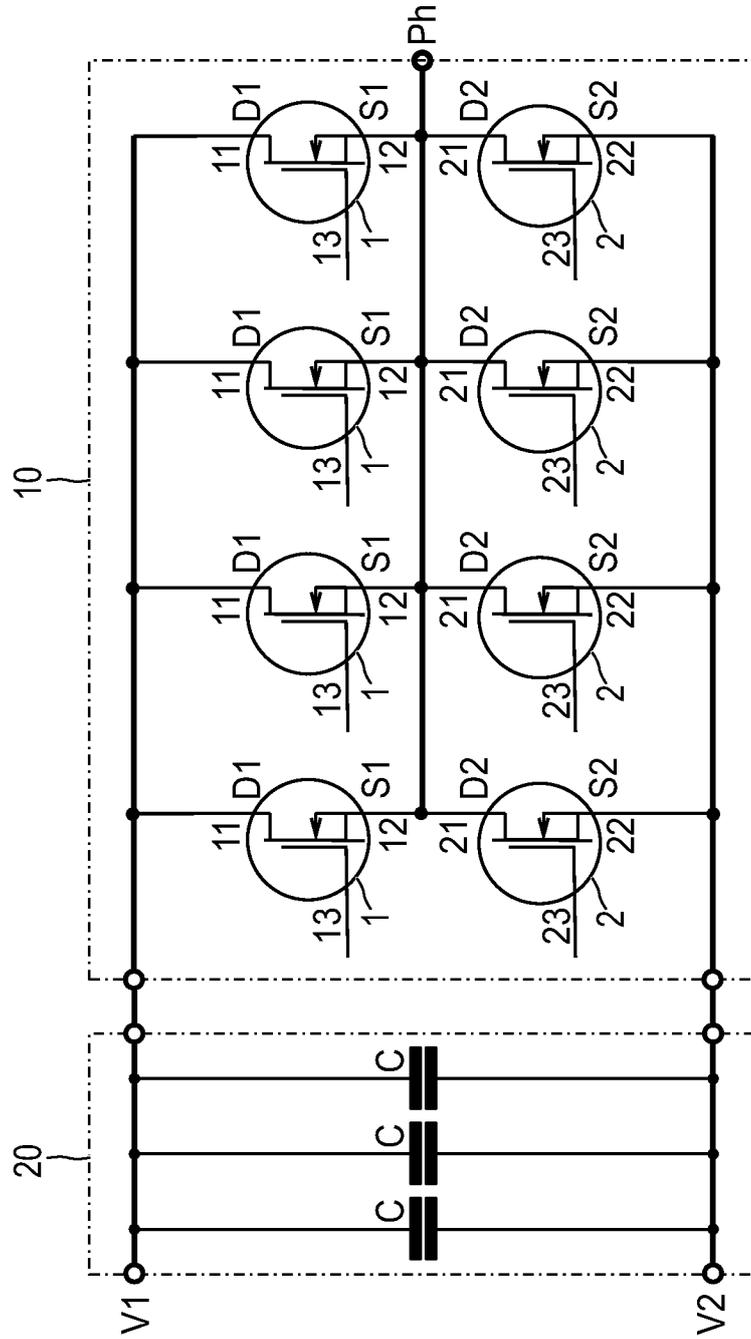


FIG 2A

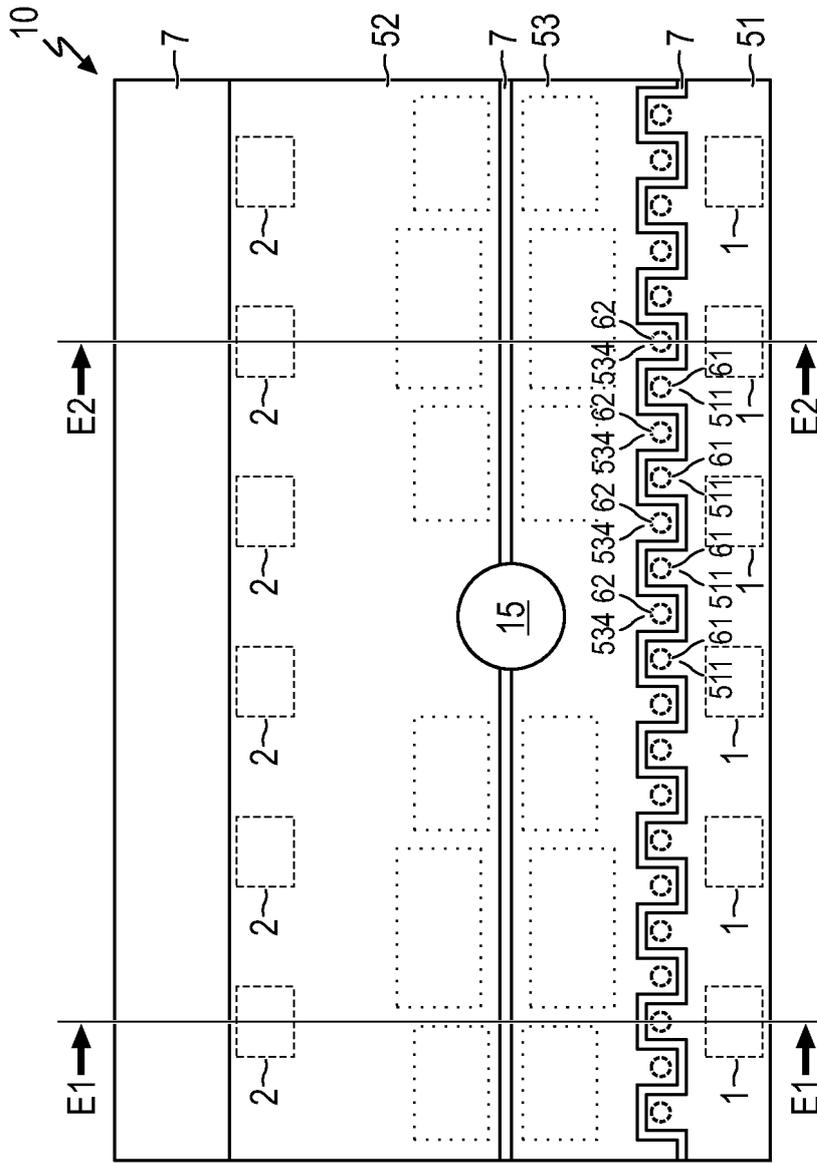


FIG 2B
E1-E1

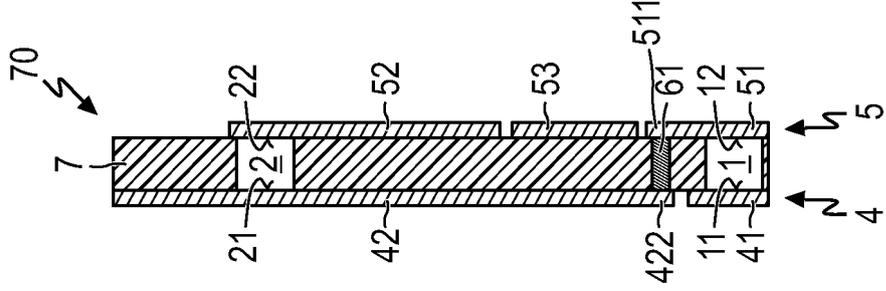


FIG 2C
E2-E2

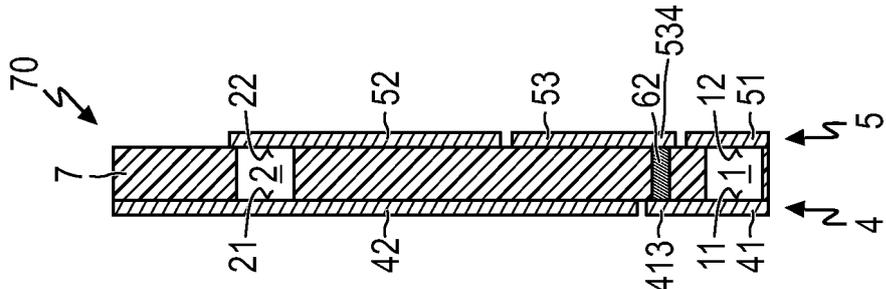


FIG 3

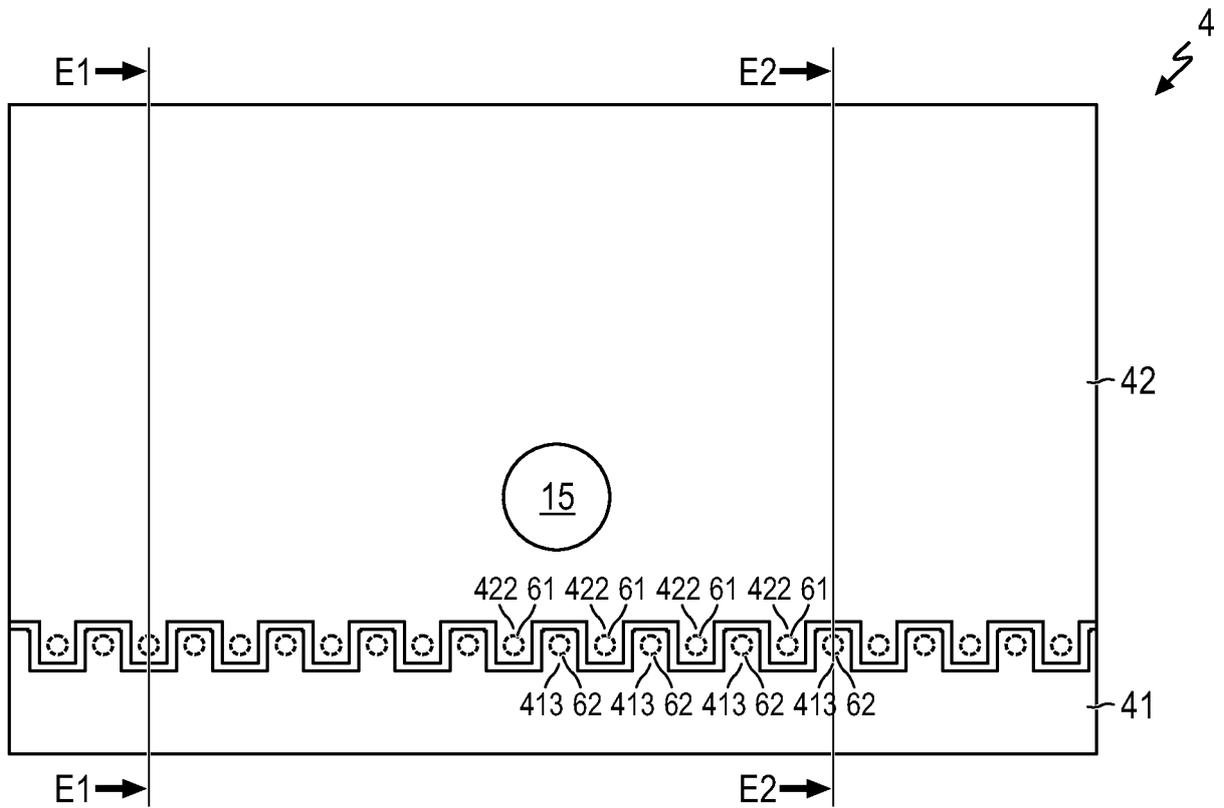


FIG 4

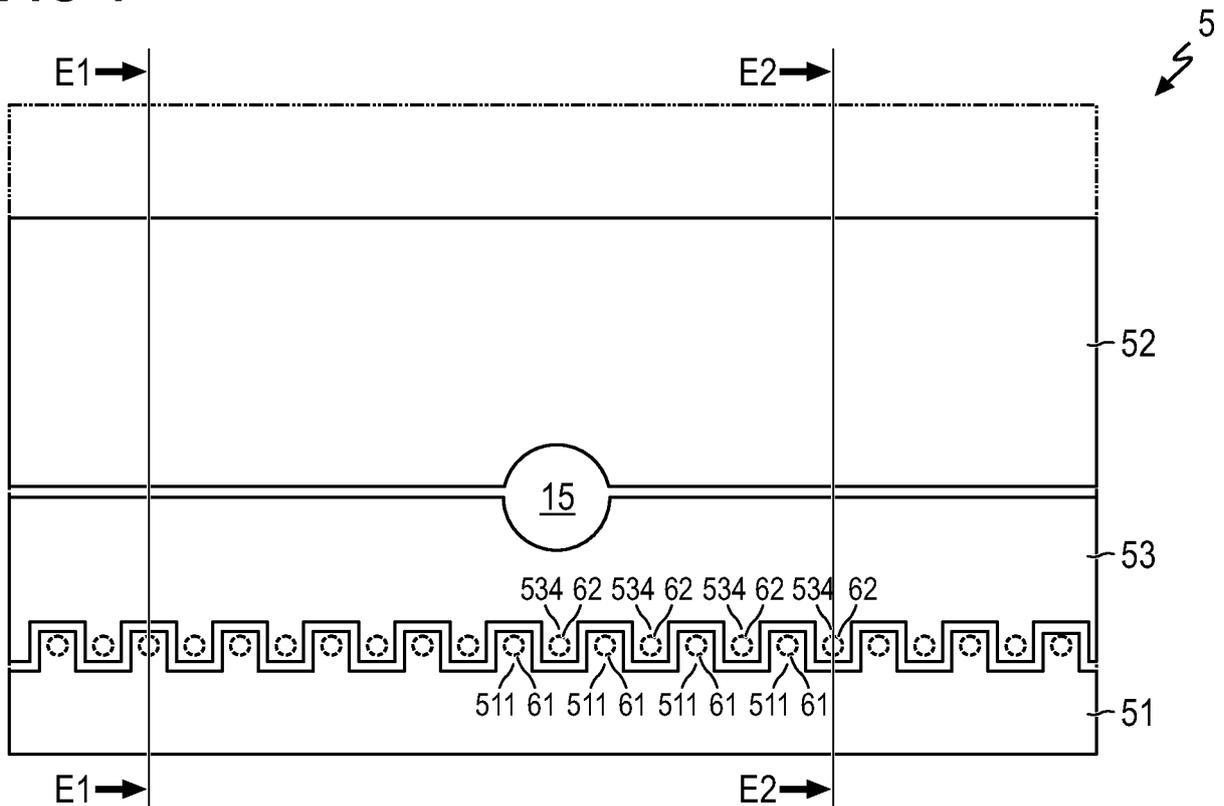


FIG 5

