

公告本

申請日期	88-6-2
案 號	88109120
類 別	H01L 21/21

A4
C4

432534

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半 導 體 組 件 之 製 造 方 法
	英 文	METHOD TO PRODUCE SEMICONDUCTOR ELEMENTS
二、發明 人 創作	姓 名	1. 湯瑪士羅屈爾 Thomas Roehr 2. 卡羅斯馬魯爾-依思佩裘 Carrlos Mazure-Espejo 3. 克利斯汀狄恩 Christine Dehm
	國 籍	1.-3. 皆屬德國
三、申請人	住、居所	1. 德國布屈漢 82178 肯尼德街 10 號 2. 德國羅爾尼丁 85604 格魯蘭德街 4 號 3. 德國慕尼黑 81543 歐菲里斯街 14 號
	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

432534

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
德國

1998年6月29日 19828969.3

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

本發明係關於半導體技術領域，半導體組件及其製造方法。

在半導體組件中積體密度漸漸增加以及隨之而來之結構寬度變小時，則對此半導體組件之結構可靠化製程會有很高之需求。這些可結構化之層例如是金屬或摻雜之多晶矽所構成。

使金屬層結構化所用之方法例如已揭示在 US 5 707 883 中。在該文件所描述之方法中依序在金屬層上沈積一種由氮化鈦所構成之抗反射層，一種由氮化矽所構成之蝕刻停止層以及一種光阻層。然後以微影術來對此光阻層進行結構化。此種光阻層然後作為蝕刻停止層結構化時所用之遮罩。在下一步驟中，抗反射層對應於蝕刻停止層中之遮罩而被結構化。最後，金屬層在蝕刻過程中被結構化，其中蝕刻停止層與抗反射層一起用作硬遮罩。此種製造方法由於使用許多層而非常昂貴。

製造半導體組件所用之另一方法描述在 US 5 707 883 中。在此種方法中使用一種由氮化矽所構成之抗反射層以及一種光阻層以作為金屬層之遮罩。抗反射層在其結構化之後同時作為金屬層蝕刻時之硬遮罩。在此種製法中電性隔離之抗反射層（特別是在隨後與金屬層接觸時）須去除。

由 N. Yokoyame et al., 1992 Symposium on VLSI Technology Digest of Technical Papers, New York, IEEE 1992, 第 68-69 頁中已知例如可使用多晶矽以便在

五、發明說明(>)

隨後之金屬化時作為 SiO_2 -結構化時所用之遮罩，其中此種多晶矽遮罩之一部份在 SiO_2 -結構化時會受到侵蝕且隨後須去除，以便防止一些電性上不期望之連接。

本發明之目的是提供一種製造方法，藉此方法能以簡易之技藝和方式而使一些電性導電層被結構化。

依據本發明，此種目的是藉由製造半導體組件所用之方法來達成，其具有一種配置在半導體基體上之導電層，此種方法具有以下各步驟：

- 在導電層上施加一種矽層；
- 在導電層上施加一種蝕刻遮罩以便使矽層被結構化；
- 在使用蝕刻遮罩之情況下對此矽層進行選擇性蝕刻作用；
- 以一種蝕刻過程對此導電層進行結構化且使用此種已選擇性蝕刻完成之矽層作為硬遮罩。

依據本發明，在蝕刻過程中使用矽層作為硬遮罩以便使導電層被結構化。矽層本身先前是以一種微影術可結構化之層（最好是一種光阻）作為遮罩而被蝕刻。矽在許多蝕刻過程中相對於金屬和其它導電性材料而言具有一種很高之選擇性，其中可理解的是此種選擇性是指可蝕刻之材料之蝕刻速率對矽之蝕刻速率之比（ratio）。由於此種高的選擇性，則矽在蝕刻過程中幾乎不會受到侵蝕，因此可有利地用作硬遮罩。此外，矽之特徵是：其較其它硬遮罩材料（例如，氮化鈦）耐溫。因此，在半導體組件之其它製程亦即高溫中一些可能需要之退火程序

五、發明說明()

可在不損及矽層之情況下進行。由於矽可良好地黏附於許多材料上，因此在導電層之整個結構化期間可確保矽層能可靠地黏附於導電層上，這有助於導電層之可結構化地被蝕刻。

本發明一種有利之實施形式之特徵是：矽層在導電層被結構化之後仍保持在導電層上且用作導電層和所沈積之其它層之間的黏合中間層。

矽之良好之黏附性使其能以有利之方式用來作為一些由不同材料所構成之層之間之黏合媒介。若另一所沈積之層所具有之黏附性較導電層更不良時，則此矽是特別有利的。藉由矽層，特別是可改良由二種不同材料所構成之金屬層之間以及金屬層和氧化層之間的黏附性。

本發明其它有利之實施形式之特徵是：可調整矽層之層厚度以防止其蝕刻遮罩在微影術式之結構化時之反射現象。

矽層之相對應之構成方式使其亦可用作抗反射層。矽層之厚度因此可依據微影術中所使用之波長來調整。使得由於矽層中之干擾現象而使光線在導電層表面上之反射可減小。在蝕刻遮罩之微影術式之結構化過程中由於矽層所達成之干擾式反射之抑制作用可改良矽層作為硬遮罩時精確結構之形成，因此可改良導電層精確結構之形成。

本發明其它有利之特徵是：矽層是用作蝕刻停止層以使保護導電層。

五、發明說明(4)

在隔離層中設計一些接觸孔以便接觸導電層時，則矽層亦能以有利之方式而用作一種蝕刻停止層。矽層因此可在隔離層之穿孔式蝕刻時防止此種配置於隔離層下方之導電層受到蝕刻或甚至被蝕刻而完全去除，因此可保護此導電層使不會受到破壞。

其它優點是：在接觸孔進行蝕刻時，此種材料(其構成導電層)不會裸露在接觸孔外部區域中。於是可防止此種材料(例如，Pt, Al, Cu)對其它層或半導體基體以及程序設備(例如，沈積設備)之可能之污染。

本發明之其它有利之實施形式之特徵是：矽層是不定形的(amorphous)或多晶粒形式的。

矽層是藉由各種不同之方法(其須分別適應於製造導電層時所用之各種材料)而沈積在導電層上。若矽是藉由濺鍍法而被塗佈，則會產生一種不定形之矽層。反之，在矽沈積過程中是藉由CVD(Chemical Vapor Deposition)方法，或在不定形之矽層之於緊接著上述濺鍍過程之退火過程之後形成一種多晶矽層，藉由選取不定形或多晶形結構，則矽層之硬遮罩特性能以有利之技藝和方式而適應於各別之蝕刻程序。

本發明其它有利之實施形式之特徵是：矽層是須摻雜的。

為了提高導電性(特別是在導電層之接觸區中)，則矽層首先須以適當之技藝和方式而被摻雜。這樣可使可能存在之寄生性電容不會形成。

五、發明說明(5)

本發明其它有利之實施形式之特徵是：矽層在層序列(其由導電層和介電質所構成)之選擇性蝕刻中用作硬遮罩。

使用矽層以便對導電層和介電質進行結構化會使此二層有相同之結構。此種結構化能以二個依序之蝕刻程序(其能最佳化地適應於各別之材料(導電層, 介電層)或以一種共同之蝕刻步驟來進行。導電層和介電層之共同進行之結構化特別在記憶體元件之製造中是有利的, 因為相對較敏感之介電質可藉由其上所存在之導電層而受到保護使不會受到製程中不期望之影響。

本發明其它有利之實施形式之特徵是：導電層是一種金屬層。

由於使用矽層, 則金屬層(或甚至是貴金屬層)之選擇性蝕刻以優越之技藝和方式來進行是可能的。此外, 有利的是矽對金屬有良好之黏附性以及金屬對矽有較高之蝕刻選擇性。金屬層(其例如含有鉑, 鈦(Ru)或銱(Ir))之精確結構之可靠性蝕刻只有使用矽作為硬矽層才有可能。

只要導電層是由金屬層。金屬化作用或金屬矽化物所構成, 則在導電層和矽層之間即可形成一種金屬矽化層。此種金屬矽化層之形成可在導電層蝕刻之前, 期間或之後進行, 其中此種矽化作用通常可在較高溫度中藉由一種處理方式來進行。較佳方式是金屬矽化層應在蝕刻之前形成, 以便在導電層和矽層之間達成一種盡可能良

88年12月13日 修正
補充

五、發明說明 (b)

好之黏附性。

在金屬層和矽層之間形成金屬矽化層可有利地在金屬層和矽層之間形成一種完全之歐姆接觸，使得在金屬層隨後之接觸作用中此矽層不必去除。只要此種接觸作用是藉由另一金屬層來達成，則藉由此矽層可在一成另一金屬矽化層之情況下達成一種至此一金屬層或金屬矽化層之良好之電性連接。

此外，藉由此種矽層可改良此種至其它層（例如，氧化層，其是用來使導電層隔離）之黏附性。

本發明其它有利之實施形式之特徵是：金屬層是由鉑，銥 (Iridium)，鈦 (Pd)，鈳 (Ru) 或這些金屬中至少一種所構成之合金所構成。

使用上述之矽層亦可有利地允許上述材料所構成之電極之結構化及蝕刻，這些電極是用來製成結構寬度較小之記憶體單胞，其係使用一種介電常數很高之介電質。主要是可使用鈣鈦礦（例如，Perowskit型式者）作為介電質。此外，較佳之介電質（其亦可具有鐵電特性）是鈦酸鋇鉬 (BST)，鈦酸鋯鉛 (PZT) 或鉍酸鋇鉬 (SBT)。

此外，使用導電性氧化物（例如，氧化銥或氧化鈳）來製成上述之導電層是有利的。

較佳是利用本發明之製造方法來設計一種半導體組件，其具有一種配置於半導體基體上之導電層，其中此導電層在矽層處於中間位置而作為黏合中間層之情況下與其它層相連接且此導電層是由鉑，銥，鈳，鈦或由這些

(請先閱讀背面之注意事項再填寫本頁)

訂
線

修正本有無變更實質內容是否准予修正。

五、發明說明(7)

金屬之合金或由氧化銻或由氧化鈳所構成。

本發明之半導體組件以下將利用一種配置在半導體基體上之貴金屬層來描述，其中此貴金屬層是以矽層處於中間位置而作為黏合中間層之情況下與另一層相連接。若不使用貴金屬，則亦可使用每一其它之上述材料以及銅，鋁及鎢等金屬。

此種半導體組件之特徵是：矽層（其具有一種直接至貴金屬層之接觸區）是用作黏合中間層。本發明之半導體組件因此具有一種層序列，即貴金屬層-矽層-另一層，其中此矽層並不是一種矽基體。由於此種矽層，則特別是少量之反應性貴金屬層（例如，鉑）可用在半導體組件之製造中。

本發明以下將依據圖式作詳述。圖式簡單說明如下：

第1圖至第4圖 本製造方法之各步驟。

第5圖 在接觸孔蝕刻時使用矽層作為蝕刻停止層。

第6圖 本發明之半導體組件。

本發明之製造方法此處以記憶體電容器為例子來作說明。首先在一種中間隔離層上施加一種下(under)電極。需要時須在此下電極施加之前在中間隔離層上沈積一種位障層，此種位障層是在下電極和中間隔離層之間作為黏合媒介。下電極較佳是由鉑所構成。在下電極上以保形(conform)方式藉由CVD方法而施加一種介電質。此種介電質可分別被蝕刻或與隨後即將沈積之導電層一起被蝕刻。前述之層序列位障層-金屬層-介電質-導電層例

五、發明說明(8)

如顯示在第6圖中。為了簡化起見，在第1至第4圖中省略了電容器之圖式。但此處所顯示之基體可代表電容器以及其它基體。

在基體5上沈積一種基本上是由鉑所構成之表示上述導電層10之金屬層10。隨後在金屬層10上例如藉由濺鍍而塗佈一種矽層15，接著施加一種光阻層20。然後，在下一步驟中是以微影術對光阻層20進行結構化。光阻層20於是在使用光罩或網線之情況下選擇性地被照射且隨後被顯像。為了在微影術中使所使用之激發(excitation)光在金屬層10上之干擾性反射現象減小，則矽層15之厚度須適當地選取且其值大約是100nm。基本上由於破壞性干涉現象所造成之反射現象之減小是在矽層15中進行。這樣可使光阻層20之各別被遮罩之區域不會有一種不期望之曝光量。這樣所改進之曝光對比(contrast)可使光阻層20中之結構精確度大大地提高。

在光阻層20已曝光之後須使此光阻層20顯像。於是只有光阻層20之未曝光之區域25會保留在矽層15上。反之，在使用一些負(negative)光阻層時在顯像之後所保留之區域是已曝光之區域。這樣所設計之結構精確之蝕刻遮罩25是用作一種遮罩(如第2圖所示)以便對矽層15進行蝕刻。例如藉由非等向性之蝕刻過程而使矽層15藉由光阻層20之蝕刻遮罩25以對應於此遮罩之方式而被結構化，於是產生一種由矽層15和蝕刻遮罩25之殘留之部份30所構成之硬遮罩30。在以除此種蝕刻遮罩25之後此硬

五、發明說明(9)

遮罩 30 在隨後之蝕刻過程中是作為金屬層 10 之選擇性遮罩用，金屬層 10 例如藉由化學-物理式之乾蝕刻方法而適當地被結構化，其中金屬層 10 之未被硬遮罩 30 所覆蓋之區域須被整平。在基體 5 上因此只殘留此金屬層 10 之區域 35，此區域 35 即為光阻層 20 之原來未曝光之區域 25。此種未曝光之區域 25 及蝕刻遮罩 25 通常在金屬層 10 蝕刻之前須去除，使得一種只由金屬層 10 和硬遮罩 30 之區域 35 所構成之層結構在蝕刻步驟之後仍保持在基體 5 上。仍保存在金屬層 10 之區域 35 上之此種硬遮罩 30 隨後一方面用作一種至其它層之黏合媒介且另一方面用保護，此保護層在下一步驟中可防止金屬層 10 受到侵蝕。這樣可同時防止金屬層 10 之一部份被整平，因此可防止基體 5 受到污染。此外，矽層 15 之導電性在硬遮罩 30 形成之前或之後可藉由適當之摻雜作用而提高至金屬層 10 之電性接觸區。

本發明之製造方法使其可特別有利地用來製造記憶體電容器之上 (upper) 電極。配置在上電極上之矽層用作黏合中間層和接觸層時是特別有利的。

當然，利用本發明之方法亦可使其它導電層適當地被結構化。由於矽層之有利之抗反射作用，因此在蝕刻遮罩曝光及顯像時可達成一種很高之結構精確性，這樣隨後可達成一種很高之蝕刻品質。於是在此種整面沈積之層之各別區域中可使導電層有一種很準確之結構。這些各別之區域於是可配置在記憶體單胞陣列之內部中或配

五、發明說明 ()

氧化層 225 上以佈線平面之方式配置另一金屬層 230。藉由一種以導電性材料填入之接觸孔 235 而在第二電極 215 和金屬層 230 之間形成一種導電性連接。於是此矽層 220 一方面用作此種至接觸孔中所存在之材料之導電性接觸區且另一方面是作為第二電極 215 和氧化層 225 之間的黏合媒介。此種在第二電極 215 和介電質 210 之共同之結構化過程中所使用之矽層 220 因此保存在第二電極 215 上且不必藉由額外之蝕刻過程所需由第二電極 215 去除。

主要元件符號說明

5	基體
10	導電層
15	矽層
20	光阻層
25	蝕刻遮罩
30	硬遮罩
35	未曝光之區域
100	金屬層
105	中間氧化物
110	基體
115	無金屬層之區域
120	中間氧化層
125, 130	接觸孔
135	矽層
200	記憶體單胞
205, 215	電極
210	介電質
220	矽層
225	氧化層
230	金屬層
235	接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

四、中文發明摘要(發明之名稱:)

半導體組件之製造方法

本發明設計一種方法以製造半導體組件，其具有一種配置在半導體基體(5)上之金屬層(10)，本方法之步驟如下：

- 施加一種矽層(15)於金屬層(10)上；
- 施加一種蝕刻遮罩(25)以便使矽層(15)結構化；
- 使用此蝕刻遮罩(25)而對矽層(15)進行選擇性蝕刻；
- 使用上述已被選擇性蝕刻之矽層(15)作為硬遮罩而在一種蝕刻過程中使導電層(10)被結構化。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:)

METHOD TO PRODUCE SEMICONDUCTOR ELEMENTS

It is suggested a method to produce semiconductor elements with a metal-layer (10) that is arranged on a semiconductor-substrate (5), said method has the following steps:

- deposition of a silicon-layer (15) on the metal-layer (10);
- deposition of an etching-mask (25) to structurize said silicon-layer (15);
- selective etching of said silicon-layer (15) by the utilization of said etching-mask (25);
- structurization of the metal-layer (10) in an etching process using the selectively etched silicon-layer (15) as a hard-mask.

六、申請專利範圍

第 88109120 號「半導體組件之製造方法」專利案

(89 年 12 月修正)

六申請專利範圍：

1. 一種半導體組件之製造方法，此半導體組件具有一種配置在半導體基體(5)上之導電層(10)，本方法之特徵為以下各步驟：
 - 施加一種矽層(15)於導電層(10)上；
 - 施加一種蝕刻遮罩(25)於導電層(10)上以便使矽層(15)結構化；
 - 使用此蝕刻遮罩(25)以便對矽層(15)進行選擇性蝕刻；
 - 使用上述已被選擇性蝕刻之矽層(15)作為硬遮罩而在一種蝕刻過程中使導電層(10)被結構化。
2. 如申請專利範圍第 1 項之方法，其中矽層(15)在導電層(10)結構化之後仍保存在導電層(10)上且作為導電層(10)和所沈積之另一層(120)之間之黏合中間層。
3. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)須在其層厚度中作調整以便在其蝕刻遮罩(25)之微影式結構化過程中使反射現象減小。
4. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(135)用作蝕刻停止層以便可保護上述之導電層(100)。
5. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)是不定形的或多晶粒形式的。
6. 如申請專利範圍第 3 項之方法，其中矽層(15)是不定形

(請先閱讀背面之注意事項再填寫本頁)

訂線

煩請發明人於 89 年 12 月 13 日所提之
修正專利範圍內簽名並蓋章准予修正。

修正 89年12月13日 補充

六、申請專利範圍

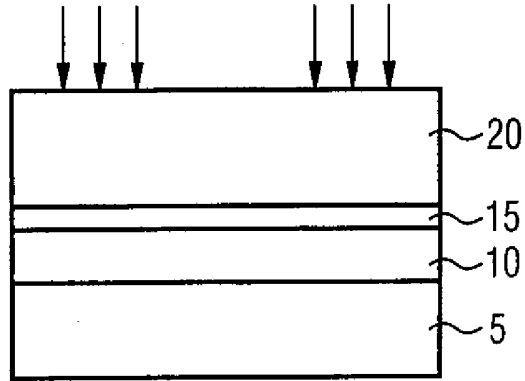
- 的或多晶粒形式的。
7. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)是被摻雜的。
 8. 如申請專利範圍第 3 項之方法，其中矽層(15)是被摻雜的。
 9. 如申請專利範圍第 5 項之方法，其中矽層(15)是被摻雜的。
 10. 如申請專利範圍第 1 項之方法，其中矽層(220)在層序列(其是由導電層(215)和介電質(210)所構成)之選擇性蝕刻中用作硬遮罩。
 11. 如申請專利範圍第 1 或第 10 項之方法，其中導電層(215)是金屬層(215)。
 12. 如申請專利範圍第 11 項之方法，其中金屬層(215)是由鉑，銥(Ir)，鈮，鈳(Ru)或這些金屬中至少一種所構成之合金所構成。
 13. 如申請專利範圍第 1 或 10 項之方法，其中導電層(215)是由氧化銥或氧化鈳所構成。
 14. 一種半導體組件，其具有一種配置在半導體基體上之導電層(215)，其特徵為：導電層(215)在以矽層(220)為中間位置而用作黏合中間層之情況下與其它層(225, 235)相連接；導電層(215)是由鉑，銥，鈮，鈳或這些金屬中至少一種所構成之合金所構成或由氧化銥或氧化鈳所構成。

(請先閱讀背面之注意事項再填寫本頁)

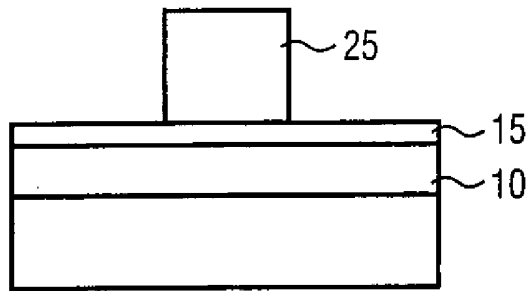
訂
線

1/2

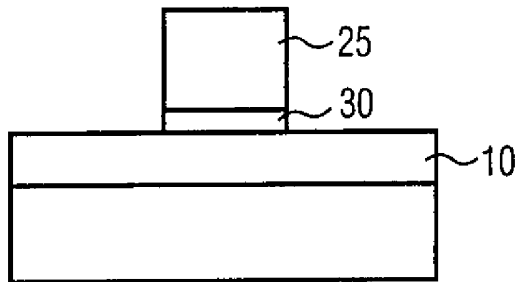
第1圖



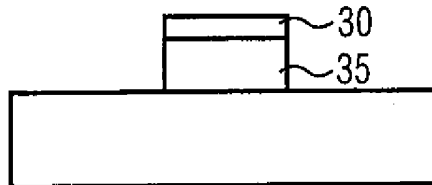
第2圖



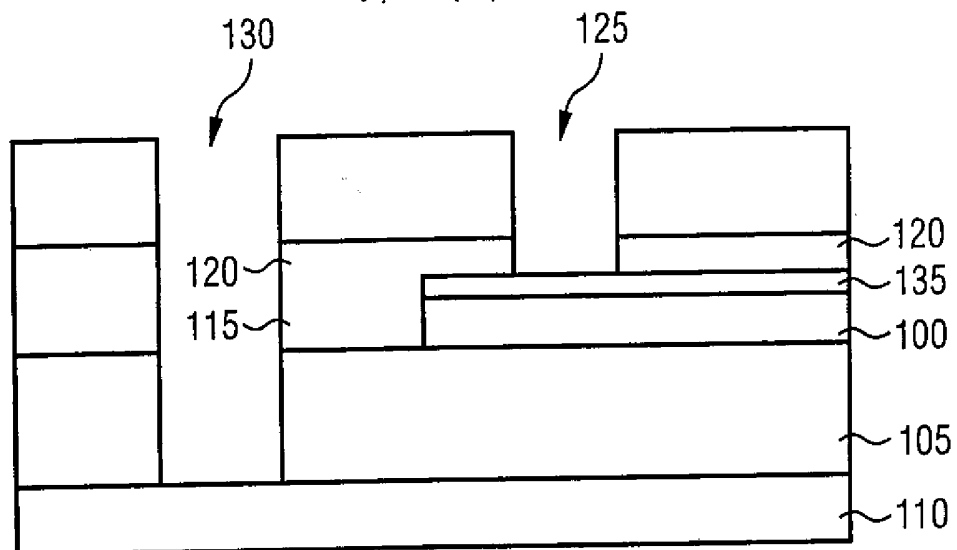
第3圖



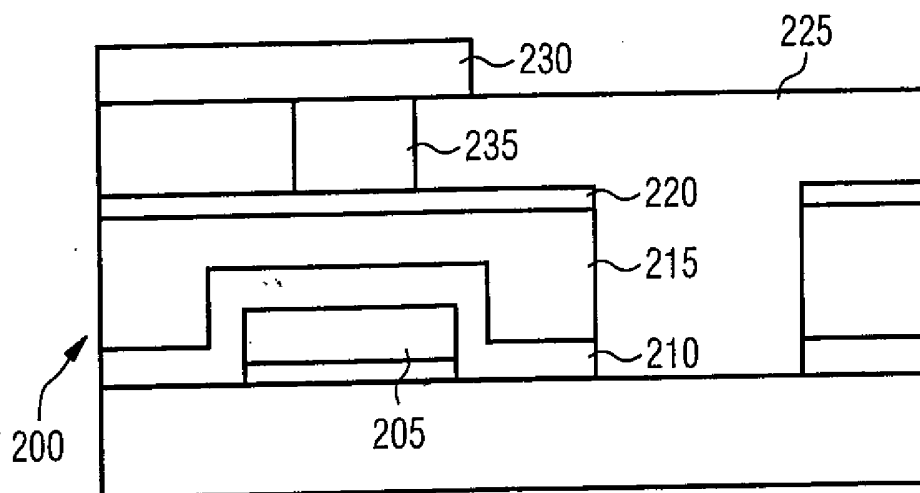
第4圖



第 5 圖



第 6 圖



88年12月13日 修正
補充

五、發明說明 (b)

好之黏附性。

在金屬層和矽層之間形成金屬矽化層可有利地在金屬層和矽層之間形成一種完全之歐姆接觸，使得在金屬層隨後之接觸作用中此矽層不必去除。只要此種接觸作用是藉由另一金屬層來達成，則藉由此矽層可在一成另一金屬矽化層之情況下達成一種至此一金屬層或金屬矽化層之良好之電性連接。

此外，藉由此種矽層可改良此種至其它層（例如，氧化層，其是用來使導電層隔離）之黏附性。

本發明其它有利之實施形式之特徵是：金屬層是由鉑，銥 (Iridium)，鈦 (Pd)，鈳 (Ru) 或這些金屬中至少一種所構成之合金所構成。

使用上述之矽層亦可有利地允許上述材料所構成之電極之結構化及蝕刻，這些電極是用來製成結構寬度較小之記憶體單胞，其係使用一種介電常數很高之介電質。主要是可使用鈣鈦礦（例如，Perowskit型式者）作為介電質。此外，較佳之介電質（其亦可具有鐵電特性）是鈦酸鋇鉬 (BST)，鈦酸鋯鉛 (PZT) 或鉍酸鋇鉬 (SBT)。

此外，使用導電性氧化物（例如，氧化銥或氧化鈳）來製成上述之導電層是有利的。

較佳是利用本發明之製造方法來設計一種半導體組件，其具有一種配置於半導體基體上之導電層，其中此導電層在矽層處於中間位置而作為黏合中間層之情況下與其它層相連接且此導電層是由鉑，銥，鈳，鈦或由這些

(請先閱讀背面之注意事項再填寫本頁)

訂
線

修正本有無變更實質內容是否准予修正。

六、申請專利範圍

第 88109120 號「半導體組件之製造方法」專利案

(89 年 12 月修正)

六申請專利範圍：

1. 一種半導體組件之製造方法，此半導體組件具有一種配置在半導體基體(5)上之導電層(10)，本方法之特徵為以下各步驟：
 - 施加一種矽層(15)於導電層(10)上；
 - 施加一種蝕刻遮罩(25)於導電層(10)上以便使矽層(15)結構化；
 - 使用此蝕刻遮罩(25)以便對矽層(15)進行選擇性蝕刻；
 - 使用上述已被選擇性蝕刻之矽層(15)作為硬遮罩而在一種蝕刻過程中使導電層(10)被結構化。
2. 如申請專利範圍第 1 項之方法，其中矽層(15)在導電層(10)結構化之後仍保存在導電層(10)上且作為導電層(10)和所沈積之另一層(120)之間之黏合中間層。
3. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)須在其層厚度中作調整以便在其蝕刻遮罩(25)之微影式結構化過程中使反射現象減小。
4. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(135)用作蝕刻停止層以便可保護上述之導電層(100)。
5. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)是不定形的或多晶粒形式的。
6. 如申請專利範圍第 3 項之方法，其中矽層(15)是不定形

(請先閱讀背面之注意事項再填寫本頁)

訂線

煩請發員明示 89 年 12 月 13 日所提之
修正說明書是否准予修正。

修正 89年12月13日 補充

六、申請專利範圍

- 的或多晶粒形式的。
7. 如申請專利範圍第 1 或第 2 項之方法，其中矽層(15)是被摻雜的。
 8. 如申請專利範圍第 3 項之方法，其中矽層(15)是被摻雜的。
 9. 如申請專利範圍第 5 項之方法，其中矽層(15)是被摻雜的。
 10. 如申請專利範圍第 1 項之方法，其中矽層(220)在層序列(其是由導電層(215)和介電質(210)所構成)之選擇性蝕刻中用作硬遮罩。
 11. 如申請專利範圍第 1 或第 10 項之方法，其中導電層(215)是金屬層(215)。
 12. 如申請專利範圍第 11 項之方法，其中金屬層(215)是由鉑，銥(Ir)，鈮，鈦(Ru)或這些金屬中至少一種所構成之合金所構成。
 13. 如申請專利範圍第 1 或 10 項之方法，其中導電層(215)是由氧化銥或氧化鈦所構成。
 14. 一種半導體組件，其具有一種配置在半導體基體上之導電層(215)，其特徵為：導電層(215)在以矽層(220)為中間位置而用作黏合中間層之情況下與其它層(225, 235)相連接；導電層(215)是由鉑，銥，鈮，鈦或這些金屬中至少一種所構成之合金所構成或由氧化銥或氧化鈦所構成。

(請先閱讀背面之注意事項再填寫本頁)

訂
線